

## 2. 11 AVR 单片机 I/O 端口

### 2. 11. 1 端口 A

#### 一、A 口特性

A 口为一个 8 位的双向 I/O 口。

A 口分配有 3 个数据存储地址，分别为数据寄存器 PORTA \$1B (\$3B)、数据方向寄存器 DDRA \$1A (\$3A) 和 A 口的输出引脚 PINA \$19 (\$39)。A 口的输入引脚地址为只读，而数据寄存器和数据方向寄存器为可读写。

所有的 A 口引脚都有独立可选的上拉，A 口输出缓冲器可以吸收 20 mA 的电流以直接驱动 LED 显示。当 PA0 到 PA7 引脚被用作输入且被外部拉低时，若内部拉高被触发，这些引脚将成为电流源 ( $I_{IL}$ )。

A 口引脚具有与可选的外部数据 SRAM 有关的第二功能，A 口在访问外部数据存储时配置为复用的低位地址 / 数据线，在该模式下，A 口有内部的上拉。

当通过 MCU 控制寄存器 MCUCR 的 SRE，外部 SRAM 触发位把 A 口设置为第二功能，更改的设置会覆盖数据方向寄存器。

#### 1. A 口数据寄存器——PORTA

位	7	6	5	4	3	2	1	0	
\$1B(\$3B)	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	PORTA
读 / 写	R / W	R / W	R / W	R / W	R / W	R / W	R / W	R / W	
初始化值	\$00								

#### 2. A 口数据方向寄存器——DDRA

位	7	6	5	4	3	2	1	0	
\$1A(\$3A)	DDRA7	DDRA6	DDRA5	DDRA4	DDRA3	DDRA2	DDRA1	DDRA0	DDRA
读 / 写	R / W	R / W	R / W	R / W	R / W	R / W	R / W	R / W	
初始化值	\$00								

#### 3. A 口输入脚地址——PINA

位	7	6	5	4	3	2	1	0	
\$1A(\$3A)	PINA7	PINA 6	PINA 5	PINA 4	PINA 3	PINA 2	PINA 1	PINA 0	PINA
读 / 写	R	R	R	R	R	R	R	R	
初始化值	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	

A 口的输入引脚地址 PINA 不是一个寄存器，该地址允许对 A 口的每一个引脚的物理值进行访问。当读 PORTA 时，读到的是 PORTA 的数据锁存器；当读 PINA 时，引脚上的逻辑值被读取。

#### 二、A 口作为通用的数字 I/O

当作为数字 I/O 口时 A 口所有的 8 位都等效。

PAn 为通用 I/O 引脚：DDRA 寄存器的 DDAn 位选择引脚的方向。如果 DDAn 设为 1，PAn 被配置为输出引脚；如果 DDAn 设为 0，PAn 被配置为输入引脚；如果 PORTAn 被设置为 1，DDAn 被配置为输入引脚，则 MOS 上拉电阻被触发。为了关断上拉电阻，PORTAn 位必须被清除或者引脚被配

置为输出引脚。A 口引脚 DDAn 的作用见表 2. 18。

表 2.18 A 口引脚的 DDAn 的作用

DDAn	PORTAn	I/O	上拉	注 释
0	0	输入	否	三态(高阻)
0	1	输入	是	上拉低 PAn 脚输出电流
1	0	输出	否	推挽 0 输出
1	1	输出	否	推挽 1 输出

n:7,6,5, ..., 0 为引脚数。

### 三、A 口原理图

A 口原理如图 2. 35 所示(注意: 所有引脚是同步的, 同步锁存器在图中并未列出)。

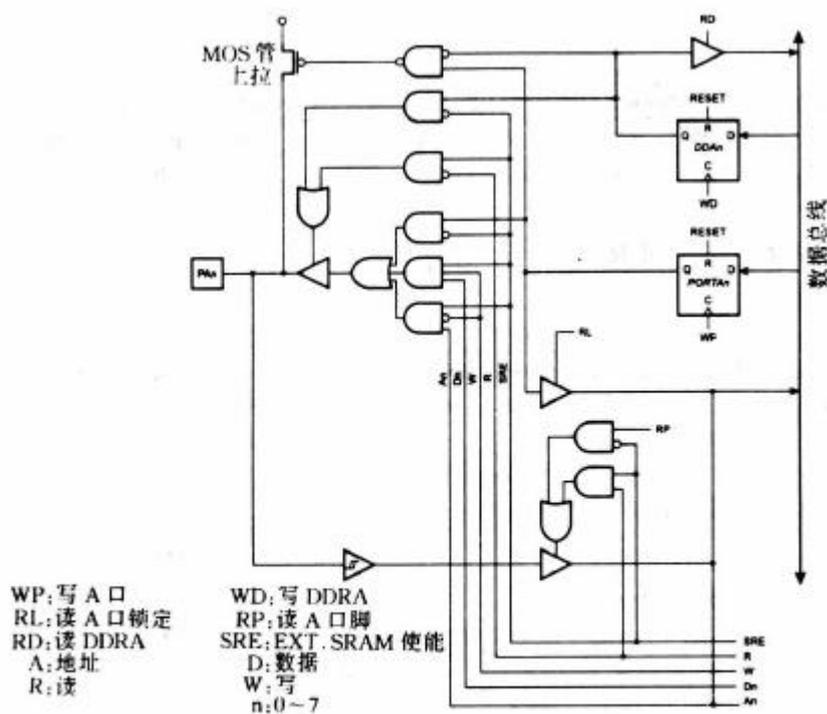


图 2.35 A 口原理图(脚 PA0~PA7)

### 2.11.2 端口 B

#### 一、B 口特性

B 口为一个 8 位的双向 I/O 口。

B 口分配有 3 个数据存储地址，分别为数据寄存器 PORTB \$18 (\$38)、数据方向寄存器 DDRB \$17 (\$37) 和 B 口的输出引脚 PINB \$16 (\$36)。B 口的输入引脚地址为只读，而数据寄存器和数据方向寄存器为可读写。

所有的 B 口引脚均有单独的可选择拉高。B 口输出缓冲器可以吸收 20 mA 的电流以直接驱动 LED 显示。当 PBO 到 PB7 引脚被用作输入。且被外部拉低时，若内部拉高被触发，这些引脚将成为电流源 ( $I_{IL}$ )。

具有第二功能的 B 口引脚如表 2.19 所示。当引脚被用作第二功能时，DDRB 和 PORTB 寄存器必须根据第二功能说明来设置。

表 2.19 B 口引脚第二功能

口引脚	第二功能	口引脚	第二功能
PB0	T0(定时器/计数器 0 外部计数器输入)	PB4	$\overline{SS}$ (SPI 从选择输入)
PB1	T1(定时器/计数器 1 外部计数器输入)	PB5	MOSI(SPI 总线主输出/从输入)
PB2	AIN0(模拟比较器正输入)	PB6	MOSO(SPI 总线主输出/从输入)
PB3	AIN1(模拟比较器负输入)	PB7	SCK(SPI 总线串行时钟)

### 1. B 口数据寄存器——PORTB

位	7	6	5	4	3	2	1	0	
\$18(\$38)	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
读/写	R/W								
初始化值	\$00								

### 2. B 口数据方向寄存器——DDRB

位	7	6	5	4	3	2	1	0	
\$17(\$37)	DDRB7	DDRB6	DDRB5	DDRB4	DDRB3	DDRB2	DDRB1	DDRB0	DDRB
读/写	R/W								
初始化值	\$00								

### 3. B 口输入引脚地址——PINB

位	7	6	5	4	3	2	1	0	
\$16(\$36)	PINB7	PINB 6	PINB 5	PINB 4	PINB 3	PINB 2	PINB 1	PINB 0	PINB
读/写	R	R	R	R	R	R	R	R	
初始化值	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	

B 口输入引脚地址 PINB 并不是一个寄存器，这一地址允许对 B 口每个引脚的物理值进行访问。当读取 PORTB 时，PORTB 数据锁存器被读取，当读取 PINB 时，引脚上的当前逻辑值被读取。

## 二、B 口作为通用数字 I/O

当 B 口上的所有 8 个位用作数字 I/O 引脚时功能一样。

PBn 为通用 I/O 引脚；DDRB 寄存器中的 DDBn 位选择该引脚的方向。若 DDBn 被设为 1 时，PBn 设为输出引脚。若 DDBn 被清为 0 时，PBn 设为输入引脚。若 PORTBn 被设为 1，引脚被设为输入

时，MOS 拉高电阻被触发。为关闭拉高电阻，PORTBn 必须被清为 0，或者该引脚必须被设置为输出引脚。B 口引脚的 DDBn 作用见表 2. 20。

表 2.20 B 口引脚的 DDBn 作用

DDBn	PORTBn	I/O	上拉	注释
0	0	输入	否	三态(高阻)
0	1	输入	是	上拉低 P <sub>Bn</sub> 脚输出电流
1	0	输出	否	推挽 0 输出
1	1	输出	否	推挽 1 输出

n: 7, 6, ..., 0 为引脚数。

### 三、B 口的可选择性功能:

#### SCK—B 口, 位 7

SCK、SPI 的主时钟输出、从时钟输入。当 SPI 被触发为从机时，该引脚被作为输入而不管 DDB7 的设置；当 SPI 被触发为主机时，该引脚的数据方向由 DDB7 来控制；当该引脚被强制作为输入时，内部的上拉仍可以被 PORTB7 位来控制，详见 SPI 口的描述。

#### MISO—B 口, 位 6

MISO、SPI 的主数据输入、从时的数据输出。当 SPI 被触发为主机时，该引脚被作为输入而不管 DDB6 的设置；当 SPI 被触发为从机时，该引脚的数据方向由 DDB6 来控制；当该引脚被强制作为输入时，内部的上拉仍可以被 PORTB6 位来控制，详见 SPI 口的描述。

#### MOSI-B 口, 位 5:

MOSI、SPI 的主数据输出、从时的数据输入。当 SPI 被触发为从机时，该引脚被作为输入而不管 DDB5 的设置；当 SPI 被触发为主机时，该引脚的数据方向由 DDB5 来控制；当该引脚被强制作为输入时，内部的上拉仍可以被 PORTB5 位来控制，详见 SPI 口的描述。

#### /SS-B 口, 位 4:

/SS 为从机端口选择信号输入端。当 SPI 被触发为从机时，该引脚被作为输入而不管 DDB5 的设置。作为从机时，当该引脚被置低时 SPI 被触发。当 SPI 被触发为主机时，该引脚的数据方向由 DDB5 来控制。当该引脚被强制作为输入时，内部的上拉仍可以被 PORTB4 位来控制，详见 SPI 口的描述。

#### AIN1-B 口, 位 3:

AIN1 为模拟比较器负极输入。当被设置为输入 (DDB3 被清为 0)，且内部 MOS 拉高电阻关闭 (PB3 被清为 0) 时，该引脚用作片内模拟比较器的负极输入。

#### AIN0-B 口, 位 2:

AIN0 为模拟比较器正极输入。当被设置为输入 (DDB2 被清为 0)，且内部 MOS 拉高电阻关闭 (PB2 被清为 0) 时，该引脚用作片内模拟比较器的正极输入。

#### T1-B 口, 位 1:

T1 为定时器 / 计数器 1 的计数输入源，详见定时器部分。

#### T0-B 口, 位 0:

T0 为定时器 / 计数器 0 的计数输入源，详见定时器部分。

## 四、B 口原理图

B 口原理图如图 2.26~图 2.41 所示，注意：所有引脚为同步的。同步锁存器图中并未列出。

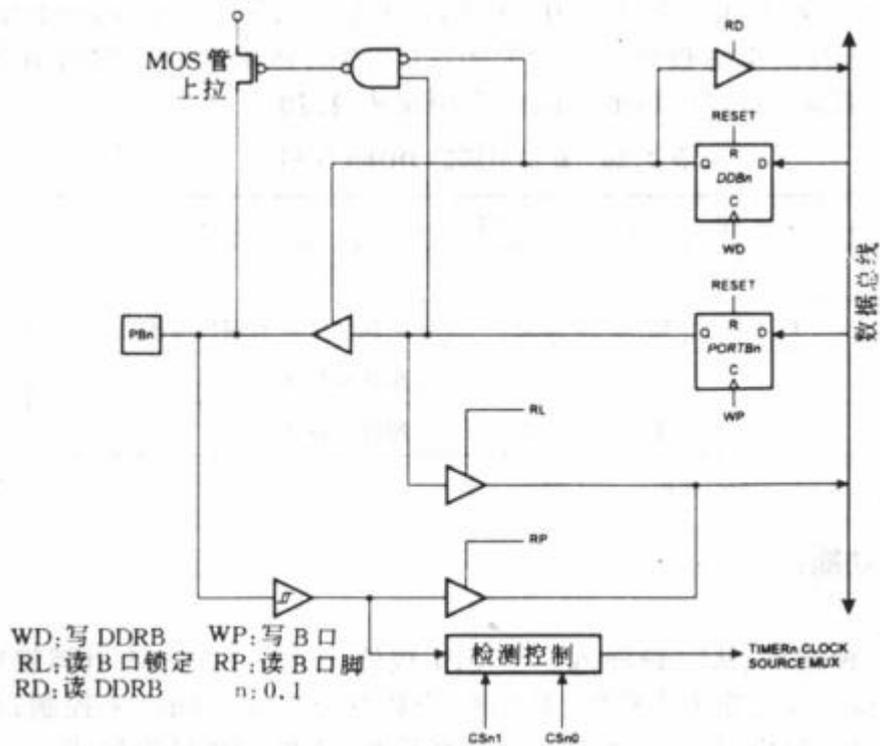


图 2.36 B 口原理图(PB0 和 PB1 脚)

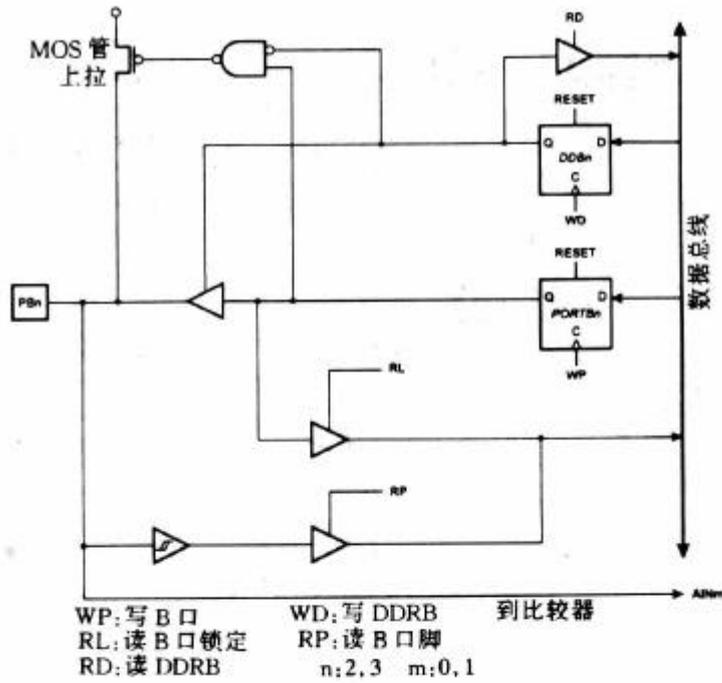


图 2.37 B 口原理图(PB2 和 PB3 脚)

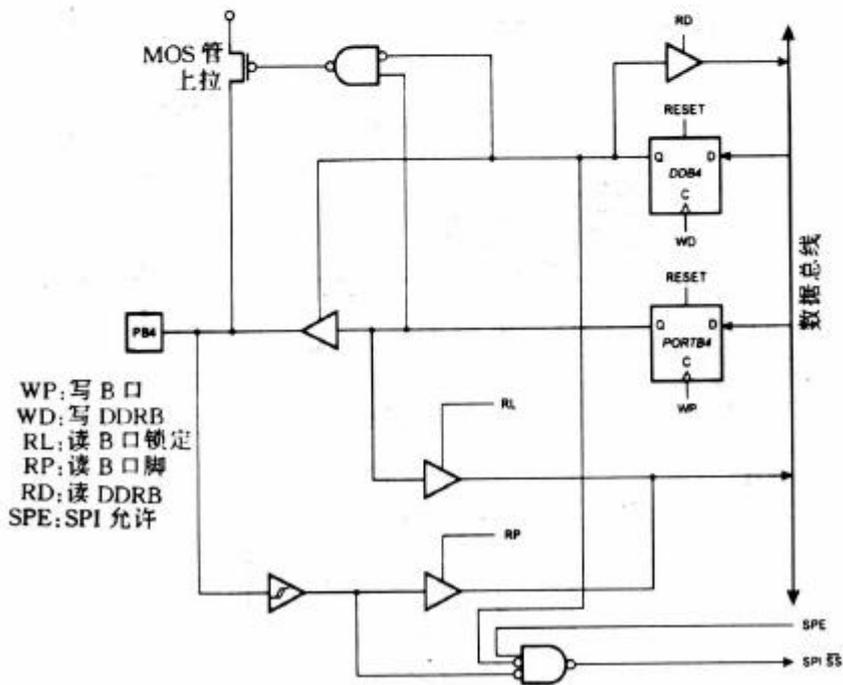


图 2.38 B 口原理图(PB4 脚)

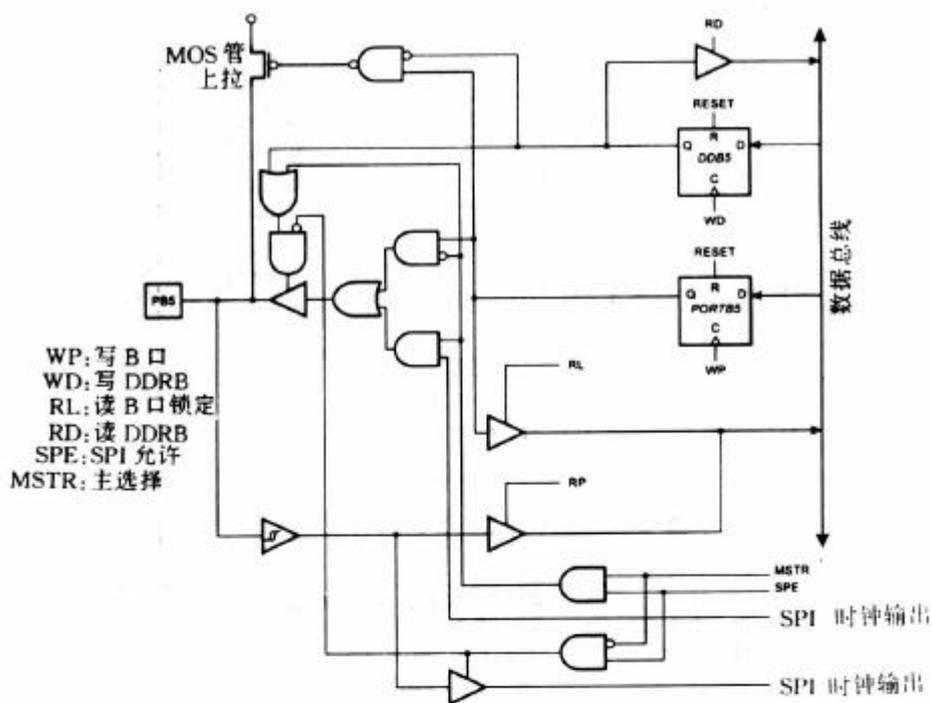


图 2.39 B 口原理图(PB5 脚)

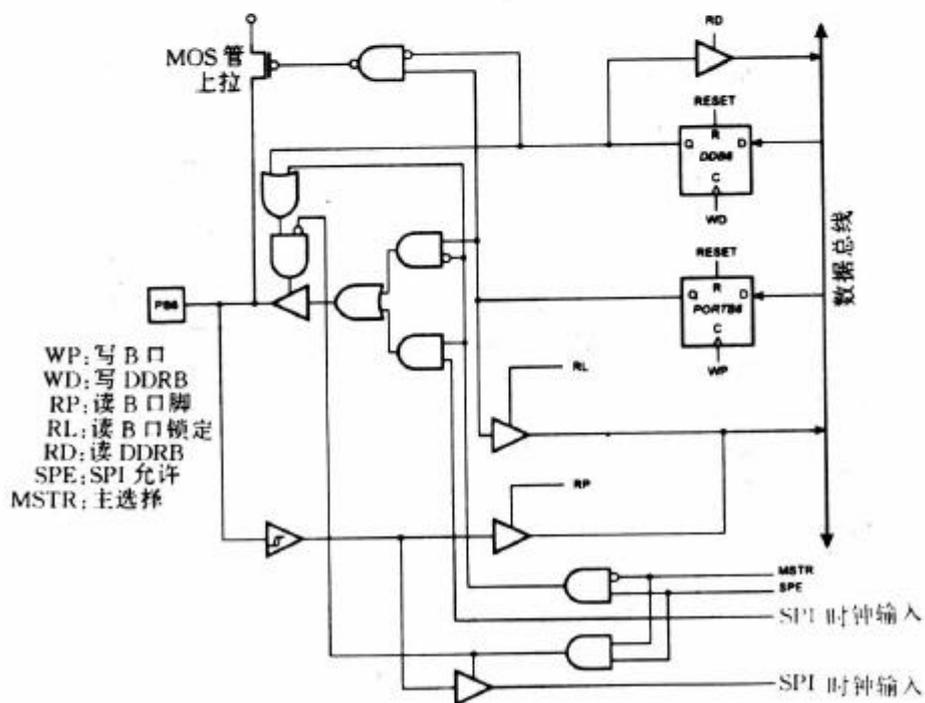


图 2.40 B 口原理图(PB6 脚)

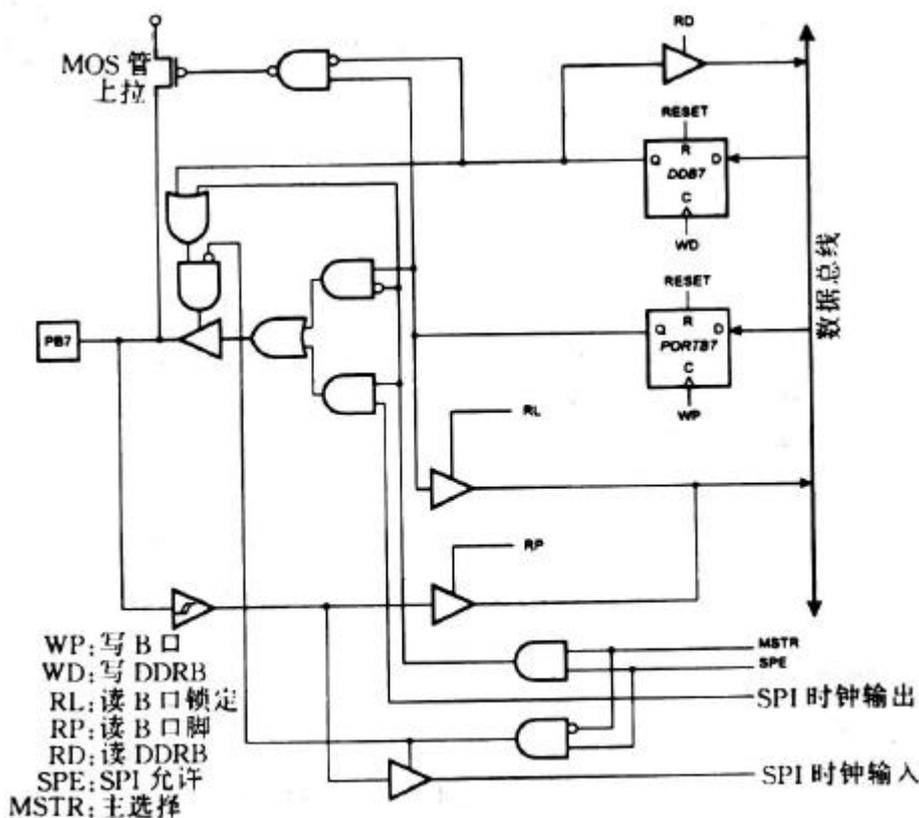


图 2.41 B 口原理图(PB7 脚)

### 2.11.3 端口 C

#### 一、C 口

C 口为一个 8 位的双向 I/O 口。

C 口分配有 3 个数据存储地址，分别为数据寄存器 PORTC \$15 (\$35)、数据方向寄存器 DDRC \$14 (\$34) 和 C 口的输出引脚 PINC \$13 (\$33)。C 口的输入引脚地址为只读，而数据寄存器和数据方向寄存器为可读写。

所有的 C 口引脚均有单独的可选择拉高。C 口输出缓冲器可以吸收 20mA 的电流以直接驱动 LED 显示。当 PC0 到 PC7 引脚被用作输入且被外部拉低时，若内部拉高被触发，这些引脚将成为电流源 (I<sub>IL</sub>)。

C 口引脚具有与可选的外部数据 SRAM 有关的第二功能，C 口在访问外部数据存储时可以被配置为复用的高位地址线，在该模式下，C 回输出 1 时使用内部的上拉。

当通过 MCU 控制寄存器 MCUCR 的 SRE，外部 SRAM 触发位把 C 口设置为第二功能，更改的设置会覆盖数据方向存储器。

#### 1 C 口数据寄存器——PORTC

位	7	6	5	4	3	2	1	0	
\$15(\$35)	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	PORTC
读/写	R/W	R/W							
初始化值	\$00								

## 2. C 口数据方向寄存器——DDRC

位	7	6	5	4	3	2	1	0	
\$14(\$34)	DDRC7	DDRC6	DDRC5	DDRC4	DDRC3	DDRC2	DDRC1	DDRC0	DDRC
读/写	R/W								
初始化值	\$00								

## 3. C 口输入引脚地址——PINC

位	7	6	5	4	3	2	1	0	
\$13(\$33)	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	PINC
读/写	R	R	R	R	R	R	R	R	
初始化值	Hi-Z								

C 口的输入引脚地址 PINC 不是一个寄存器，该地址允许对端口 C 的每一个引脚进行存取。当读 PORTC 时，读到的是 PORTC 的数据锁存器；当读 PINC 时，引脚上的逻辑值被读取。

## 二、C 口作为通用的数字 I/O

当作为数字 I/O 口时 C 口所有的 8 位都等效。

PCn 为通用 I/O 引脚：DDRC 寄存器的 DDCn 位选择引脚的方向。如果 DDCn 设为 1，PCn 被配置为输出引脚；如果 DDCn 设为 0，PCn 被配置为输入引脚；如果 PORTCn 被设置为 1，DDCn 被配置为输入引脚，则 MOS 上拉电阻被触发，为了关断上拉电阻，PORTCn 位必须被清除或者引脚被配置为输出引脚。C 口引脚 DDCn 的作用见表 2. 21。

表 2.21 C 口引脚的 DDCn 作用

DDCn	PORTCn	I/O	上拉	注 释
0	0	输入	否	三态(高阻)
0	1	输入	是	上拉低 PCn 脚输出电流
1	0	输出	否	推挽 0 输出
1	1	输出	否	推挽 1 输出

n:7, ..., 0 为引脚数。

## 三、C 口原理图

C 口原理图如图 2. 42 所示。注意：所有的引脚是同步的，同步锁存器图中并未列出。

## 2.11.4 端口 D

## 一、D 口特性

D 口是一个带内部上拉的 8 位双向 I/O 口。

D 口占了 3 个数据存储器的地址，一个是数据寄存器 PORTD \$12 (\$32)、数据方向寄存器 DDRD \$11 (\$31) 和端口 D 输入引脚 PIND \$10 (\$30)。D 口的引脚地址是只读的，而数据寄存器和数据方向寄存器可以读写。

D 口的输出缓冲器可以吸收 20mA 的电流。D 口的引脚在触发内部上拉时，如果外部被拉低就会成为电流源( $I_{IL}$ )。

某些 D 口的引脚是有第二功能如表 2. 22 所示。

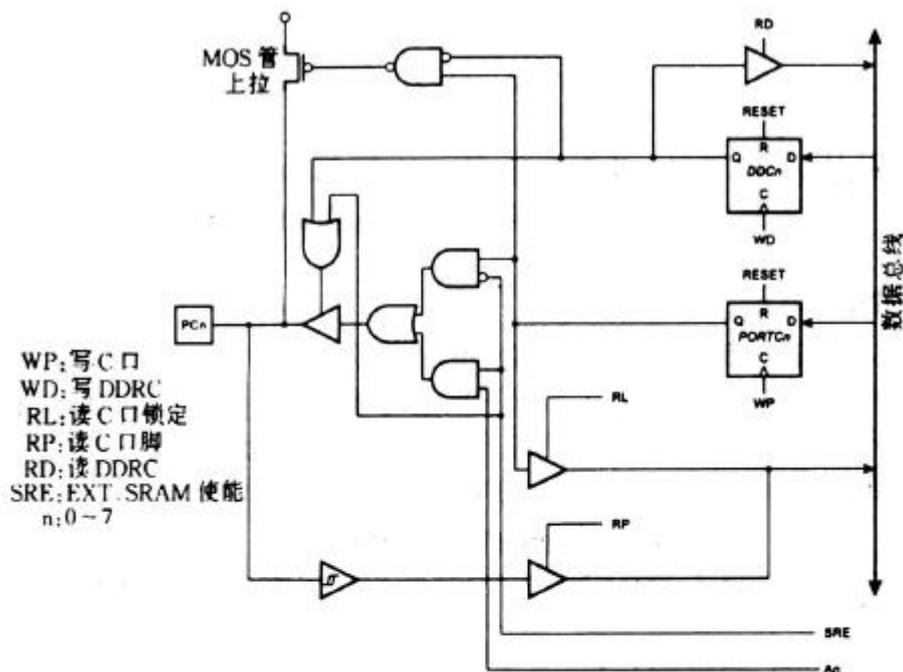


图 2.42 C 口原理图(PC0~PC7)

表 2.22 D 口引脚第二功能

口引脚	第二功能	口引脚	第二功能
PD0	RDX(UART 输入线)	PD5	OC1A(T/C1 输出比较 A 匹配输出)
PD1	TDX(UART 输出线)	PD6	$\overline{WR}$ (写选通)
PD2	INT0(外部中断 0 输入)	PD7	$\overline{RD}$ (读选通)
PD3	INT1(外部中断 1 输入)		

1. D 口数据寄存器——PORTD

位	7	6	5	4	3	2	1	0	
\$12(\$32)	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	PORTD
读/写	R/W								
初始化值 \$00									

2. D 口数据方向寄存器——DDRD

位	7	6	5	4	3	2	1	0	
\$11(\$31)	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	DDRD
读/写	R/W								
初始化值 \$00									

## 3. D 口输入引脚地址——PIND

位	7	6	5	4	3	2	1	0	
\$10(\$30)	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	PIND
读/写	R	R	R	R	R	R	R	R	
初始化值	HI-Z								

D 口的输入引脚地址 PIND 不是一个寄存器，该地址允许对端口 D 的每一个引脚进行存取。当读 PORTD 时，读到的是 PORTD 的数据锁存器；当读 PIND 时，引脚上的逻辑值被读取。

## 二、D 口作为通用的数字 I/O

PD<sub>n</sub>，通用 I/O 引脚：DDRD 寄存器的 DDD<sub>n</sub> 位选择引脚的方向。如果 DDD<sub>n</sub> 设为 1，PD<sub>n</sub> 被配置为输出引脚，如果 DDD<sub>n</sub> 设为 0，PD<sub>n</sub> 被配置为输入引脚；如果 PORTD<sub>n</sub> 被设置为 1，DDD<sub>n</sub> 被配置为输入引脚，则 MOS 上拉电阻被触发。为了关断上拉电阻，PORTD<sub>n</sub> 位必须被清除或者引脚被配置为输出引脚。D 口引脚 DDD<sub>n</sub> 的作用见表 2.23。

表 2.23 D 口引脚的 DDD<sub>n</sub> 作用

DDD <sub>n</sub>	PORTD <sub>n</sub>	I/O	上拉	注 释
0	0	输入	否	三态(高阻)
0	1	输入	是	上拉低 PD <sub>n</sub> 脚输出电流
1	0	输出	否	推挽 0 输出
1	1	输出	否	推挽 1 输出

n: 7, 6, ..., 0 为引脚数。

## 三、D 口的第二功能

/RD——PORTD，位 7

RD 是外部数据存储器该选通。

/WR——PORTD，位 6

WR 是外部数据存储器写选通。

OC1——PORTD，位 5

OC1 表示比较匹配的输。PD5 可以作为定时器 / 计数器 1 的比较匹配的外部输出。为了实现该功能，PD5 应被配置为输出 (DDD5 设置为 1)。详细说明和怎样触发该输出请见定时器 / 计数器 1 的描述。OC1 引脚还可以作为 PWM 模式下定时功能的输出。

INT1——PORTD，位 3

INT1 为外部中断源 1。PD3 引脚可作为 MCU 的外部中断源，详见中断部分。

INT0——PORTD，位 2

INT0 为外部中断 0。PD2 引脚可作为 MCU 的外部中断源，详见中断部分。

TXD——PORTD，位 1

发送数据 (UART 的数据输出引脚)，当 UART 数据输出允许时，该引脚被作为输出而不管 DDRD1 的值。

RXD——PORTD，位 0

接受数据 (UART 的数据输入引脚)，当 UART 数据输入允许时，该引脚被作为输出而不管 DDRD0 的值。当 UART 强制该引脚为输入时，PORTD0 的一个逻辑 1 将开房内部的上拉。

## 四、D 口原理图

D 口原理图如图 2.43~2.49 所示，注意所有的端口引脚都是同步的，图中未画出同步锁存器。

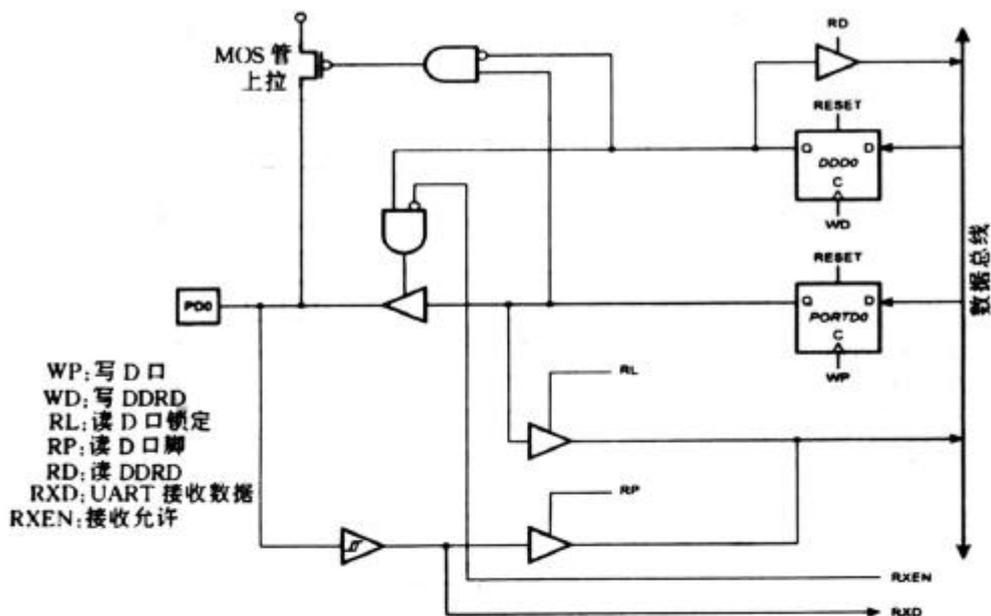


图 2.43 D 口原理图(PD0 脚)

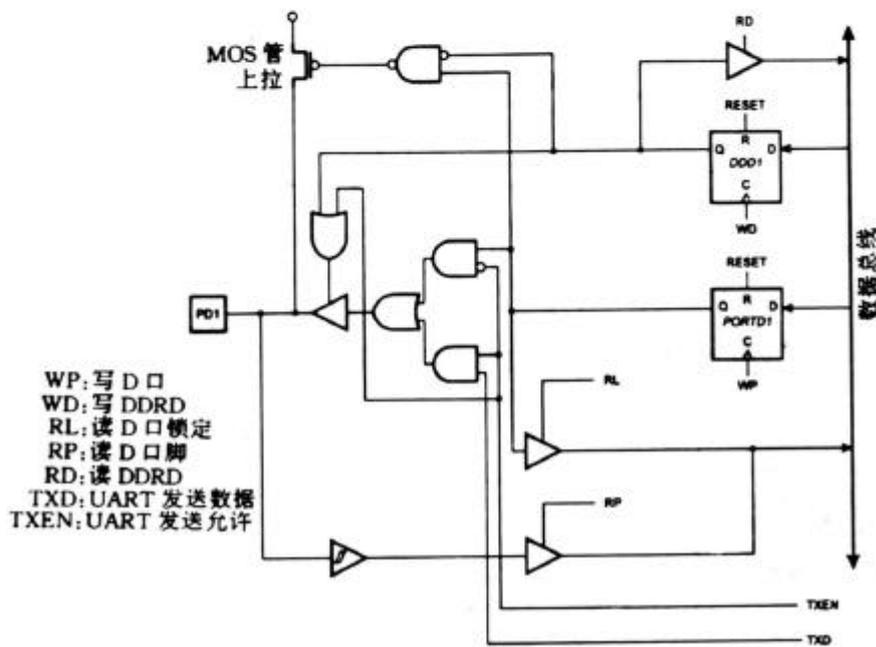


图 2.44 D 口原理图(PD1 脚)

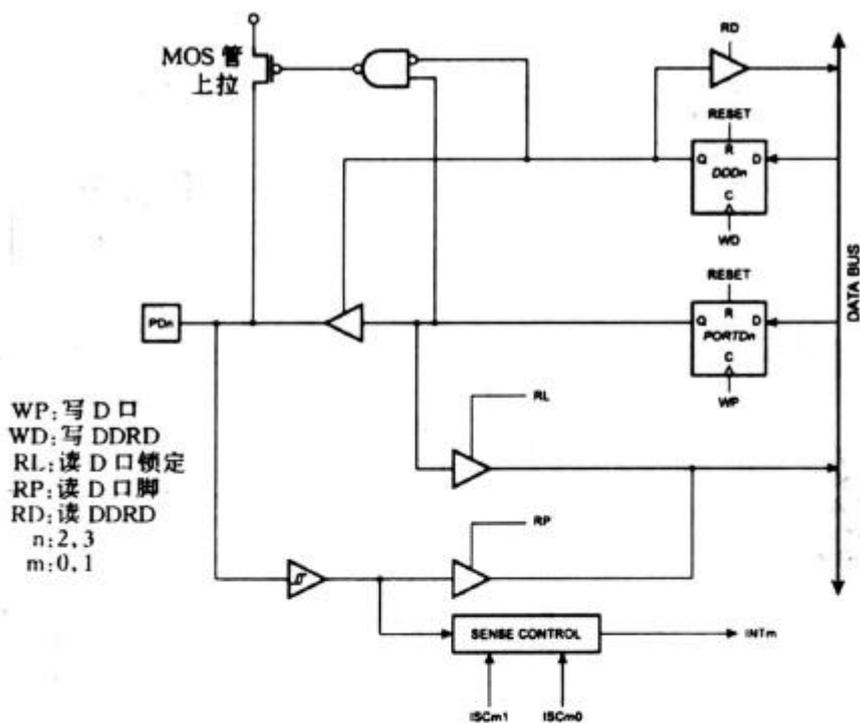


图 2.45 D 口原理图(PD2 和 PD3 脚)

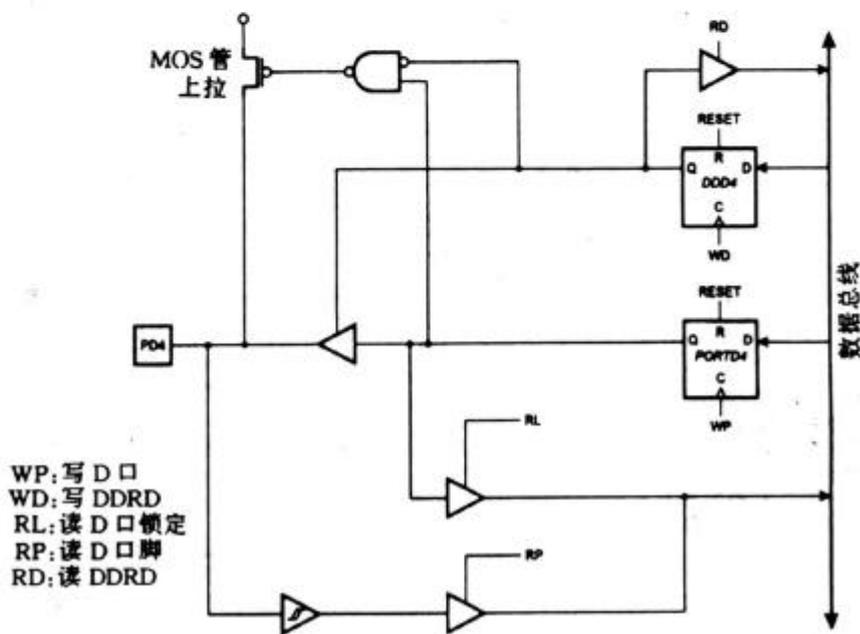


图 2.46 D 口原理图(PD4 脚)

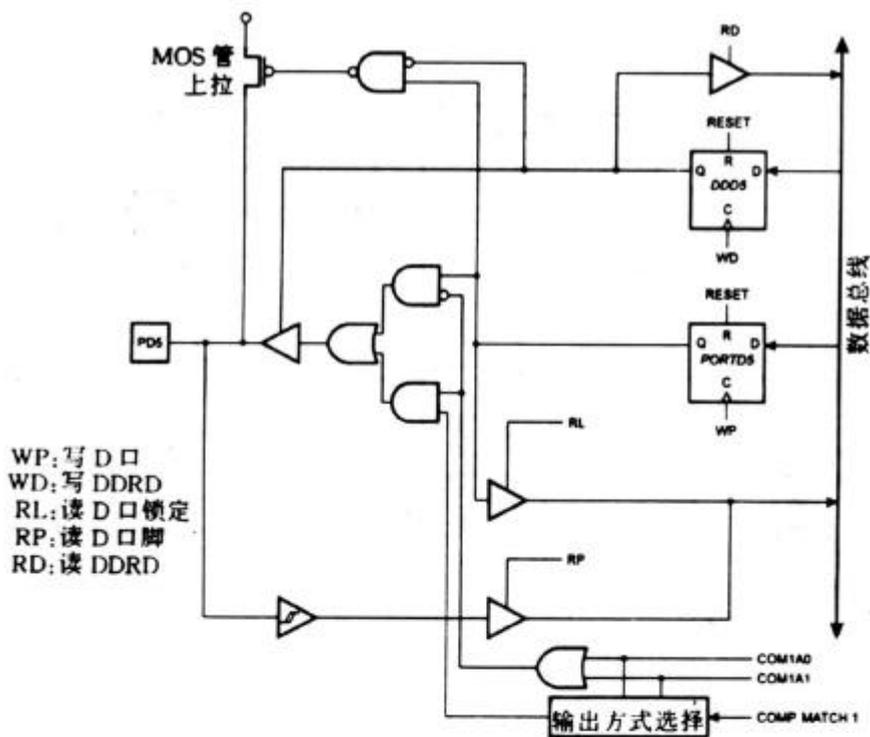


图 2.47 D 口原理图(PD5 脚)

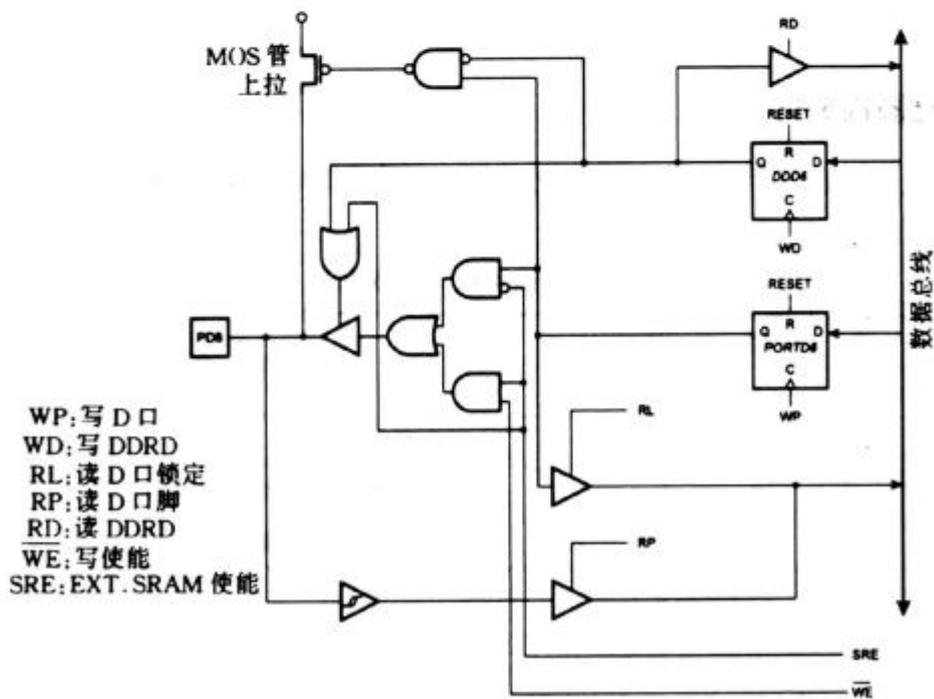


图 2.48 D 口原理图(PD6 脚)

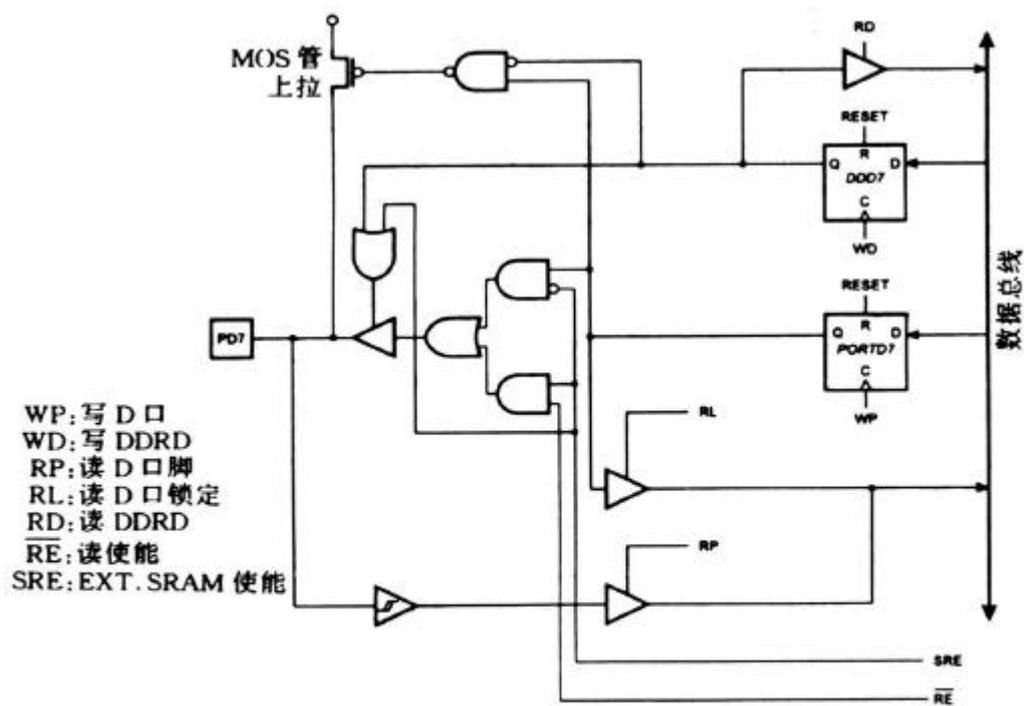


图 2.49 D 口原理图(PD7 脚)