



低待机电流的过压保护控制器

MAX4843-MAX4846

概述

MAX4843-MAX4846过压保护控制器可在高达28V的高压故障条件下为低压系统提供保护。当输入电压超出过压门限时，器件会断开外部低成本的n沟道FET，使受保护元件免于损坏。内部电荷泵无需外部电容，用于驱动FET栅极，构成简单和高度可靠的解决方案。

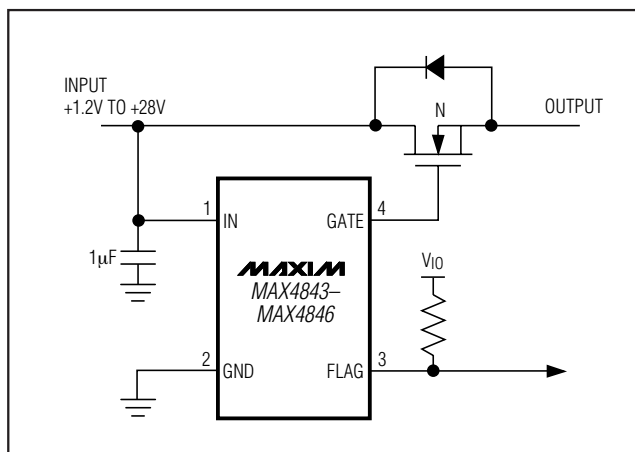
过压门限电平设定为7.4V (MAX4843)、6.35V (MAX4844)、5.8V (MAX4845)以及4.65V (MAX4846)。当输入电压下降至低于欠压锁定(UVLO)门限时，器件进入低电流待机模式(10 μ A)。MAX4843/MAX4844/MAX4845具有4.15V的UVLO门限，MAX4846具有2.5V的UVLO门限。除了单FET配置结构之外，器件也可配置成背靠背的外部FET结构，以防止电流反向流入适配器。

此外，当输入端使用1 μ F电容旁路至地时，可提供 \pm 15kV ESD保护。所有器件采用小尺寸(1.5mm x 1.0mm)、6引脚 μ DFN封装，工作于-40 $^{\circ}$ C至+85 $^{\circ}$ C温度范围。

应用

蜂窝电话
数码相机
PDA与掌上电脑设备
MP3播放器

典型工作电路



特性

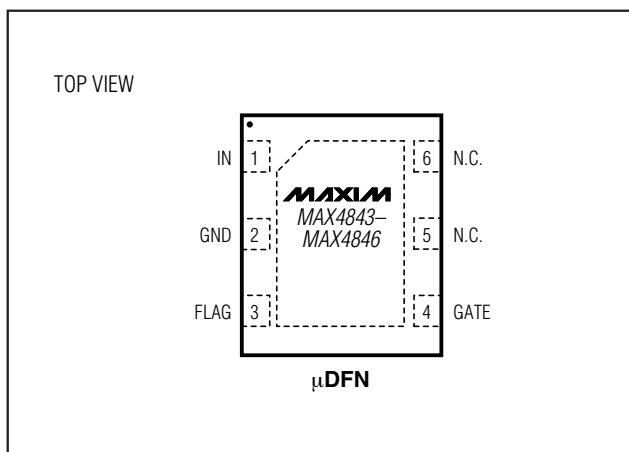
- ◆ 高达28V的过压保护
- ◆ 预设7.4V、6.35V、5.8V或4.65V过压门限电平
- ◆ 低欠压锁定待机电流(10 μ A)
- ◆ 驱动低成本n沟道MOSFET
- ◆ 内置50ms启动延时
- ◆ 内置电荷泵
- ◆ 过压故障FLAG指示器
- ◆ 6引脚 (1.5mm x 1.0mm) μ DFN封装

订购信息

PART*	PIN-PACKAGE	UVLO (V)	OVLO (V)	TOP MARK
MAX4843ELT	6 μ DFN	4.15	7.40	BE
MAX4844ELT	6 μ DFN	4.15	6.35	BF
MAX4845ELT	6 μ DFN	4.15	5.80	BG
MAX4846ELT	6 μ DFN	2.50	4.65	BH

*所有器件均工作于-40 $^{\circ}$ C至+85 $^{\circ}$ C温度范围。

引脚配置



低待机电流的过压保护控制器

MAX4843-MAX4846

ABSOLUTE MAXIMUM RATINGS

IN to GND	-0.3V to +30V	Operating Temperature Range	-40°C to +85°C
GATE to GND	-0.3V to +12V	Junction Temperature	+150°C
FLAG to GND	-0.3V to +6V	Storage Temperature Range	-65°C to +150°C
Continuous Power Dissipation (T _A = +70°C)		Lead Temperature (soldering, 10s)	+300°C
6-Pin µDFN (derate 2.1mW/°C above +70°C)	167.7mW		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{IN} = +5V for MAX4843/MAX4844/MAX4845, V_{IN} = +4V for MAX4846, C_{GATE} = 500pF, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Input Voltage Range	V _{IN}			1.2		28.0	V
Undervoltage Lockout Threshold	UVLO	V _{IN} falling	MAX4843/MAX4844/MAX4845	3.9	4.15	4.4	V
			MAX4846	2.3	2.5	2.7	
Undervoltage Lockout Hysteresis		MAX4843/MAX4844/MAX4845		41			mV
		MAX4846		25			
Overvoltage Trip Level	OVLO	V _{IN} rising	MAX4843	7.0	7.4	7.8	V
			MAX4844	6.0	6.35	6.7	
			MAX4845	5.5	5.8	6.1	
			MAX4846	4.35	4.65	4.95	
Overvoltage Lockout Hysteresis		MAX4843		75			mV
		MAX4844		65			
		MAX4845		55			
		MAX4846		50			
IN Supply Current	I _{IN}	MAX4843/MAX4844/MAX4845		70	120	µA	
		MAX4846		60	110		
UVLO Supply Current	I _{UVLO}	V _{IN} = 3.8V	MAX4843/MAX4844/MAX4845	10	22	µA	
		V _{IN} = 2.2V	MAX4846	8	18		
Gate Voltage	V _{GATE}	1µA load	MAX4843/MAX4844/MAX4845	9	9.83	10	V
			MAX4846	7.5	7.85	8.0	
GATE Pulldown Current	I _{PD}	V _{IN} > OVLO, V _{GATE} = 5.5V		10	27		mA
FLAG Output Low Voltage	V _{OL}	I _{SINK} = 1mA, FLAG deasserted				0.4	V
FLAG Leakage Current		V _{FLAG} = 5.5V, FLAG asserted				1	µA

低待机电流的过压保护控制器

MAX4843-MAX4846

ELECTRICAL CHARACTERISTICS (continued)

($V_{IN} = +5V$ for MAX4843/MAX4844/MAX4845, $V_{IN} = +4V$ for MAX4846, $C_{GATE} = 500pF$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 1)

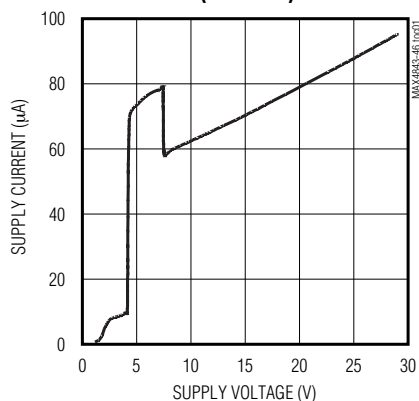
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TIMING						
Startup Delay	t_{START}	$V_{IN} = UVLO$ rising to $V_{GATE} = 0.3V$ rising (Figure 1)	20	50	80	ms
FLAG Blanking Time	t_{BLANK}	$V_{GATE} = 0.3V$ rising to $V_{FLAG} = 0.3V$ falling (Figure 1)	20	50	80	ms
Gate Turn-On Time	t_{GON}	$V_{GATE} = 0.3V$ to $8V$ (MAX4843/MAX4844/MAX4845), $V_{GATE} = 0.3V$ to $7V$ (MAX4846) (Figure 1)		10		ms
Gate Turn-Off Time	t_{GOFF}	V_{IN} rising at $1V/\mu s$ from $5V$ to $8V$ (MAX4843/MAX4844/MAX4845) or from $4V$ to $7V$ (MAX4846) to $V_{GATE} = 0.3V$ (Figure 2)		6	20	μs
FLAG Assertion Delay	t_{FLAG}	V_{IN} rising at $1V/\mu s$ from $5V$ to $8V$ (MAX4843/MAX4844/MAX4845) or from $4V$ to $7V$ (MAX4846), to $V_{FLAG} = 2.4V$, $R_{FLAG} = 10k\Omega$ to $3V$ (Figure 2)		5.8		μs
Initial Overvoltage Fault Delay	t_{OVP}	V_{IN} rising at $1V/\mu s$ from $0V$ to $9V$, time from $V_{IN} = 5V$ to $I_{GATE} = 80\%$ of I_{PD} (Figure 3)		1.5		μs

Note 1: All devices are 100% tested at $+25^{\circ}C$. Electrical limits across the full temperature range are guaranteed by design and correlation.

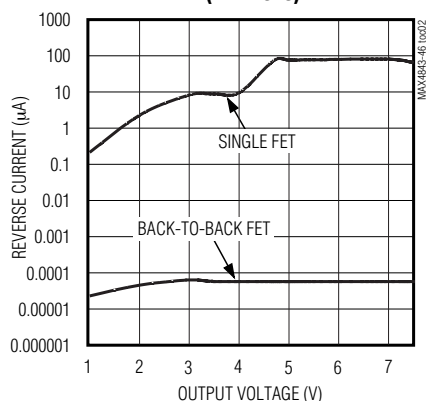
典型工作特性

($V_{IN} = +5V$ for MAX4843/MAX4844/MAX4845, $V_{IN} = +4V$ for MAX4846, $T_A = +25^{\circ}C$, unless otherwise noted.)

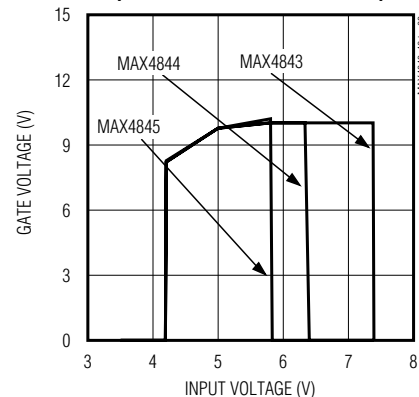
SUPPLY CURRENT vs. SUPPLY VOLTAGE (MAX4843)



REVERSE CURRENT vs. OUTPUT VOLTAGE (MAX4843)



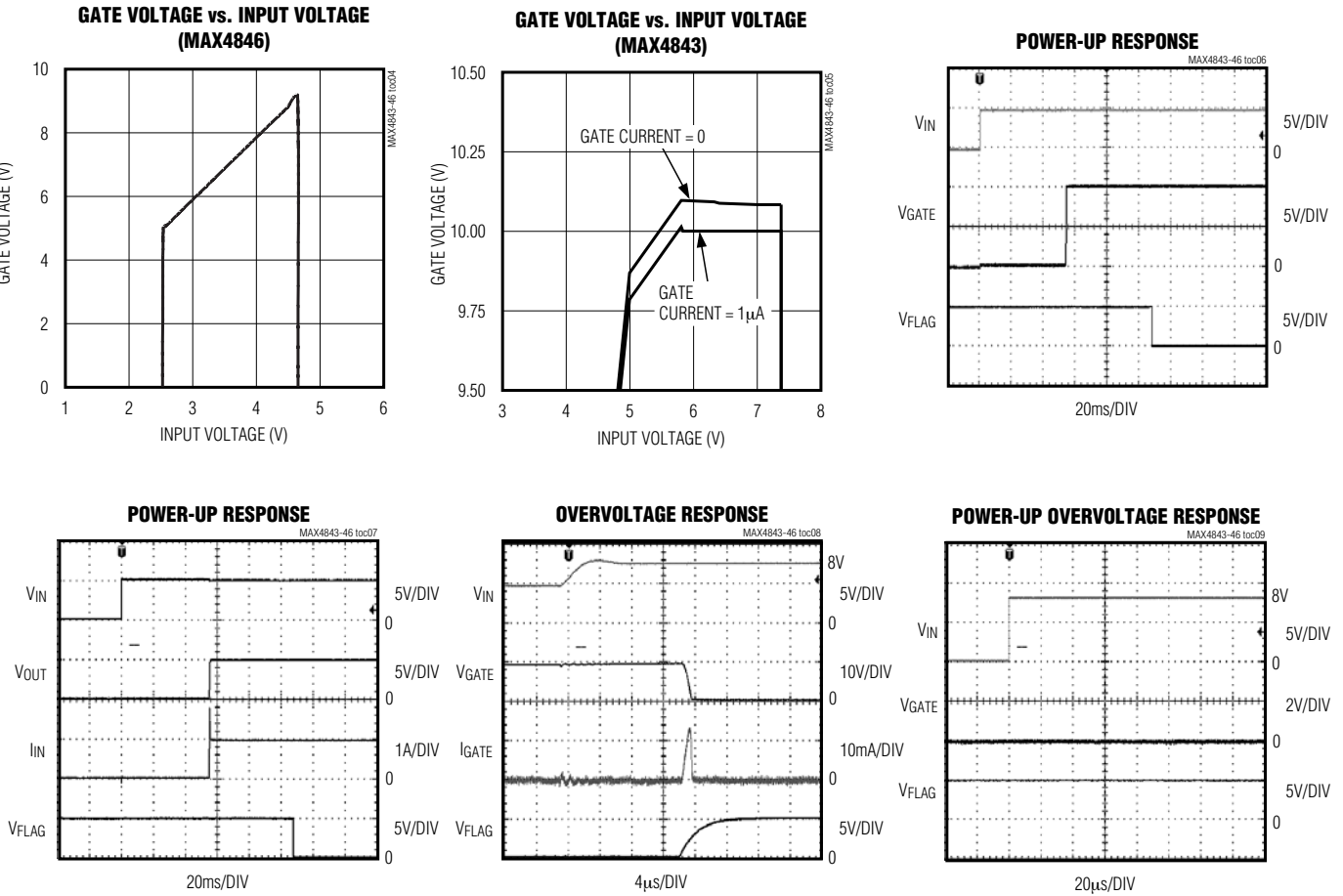
GATE VOLTAGE vs. INPUT VOLTAGE (MAX4843/MAX4844/MAX4845)



低待机电流的过压保护控制器

典型工作特性 (续)

($V_{IN} = +5V$ for MAX4843/MAX4844/MAX4845, $V_{IN} = +4V$ for MAX4846, $T_A = +25^\circ C$, unless otherwise noted.)

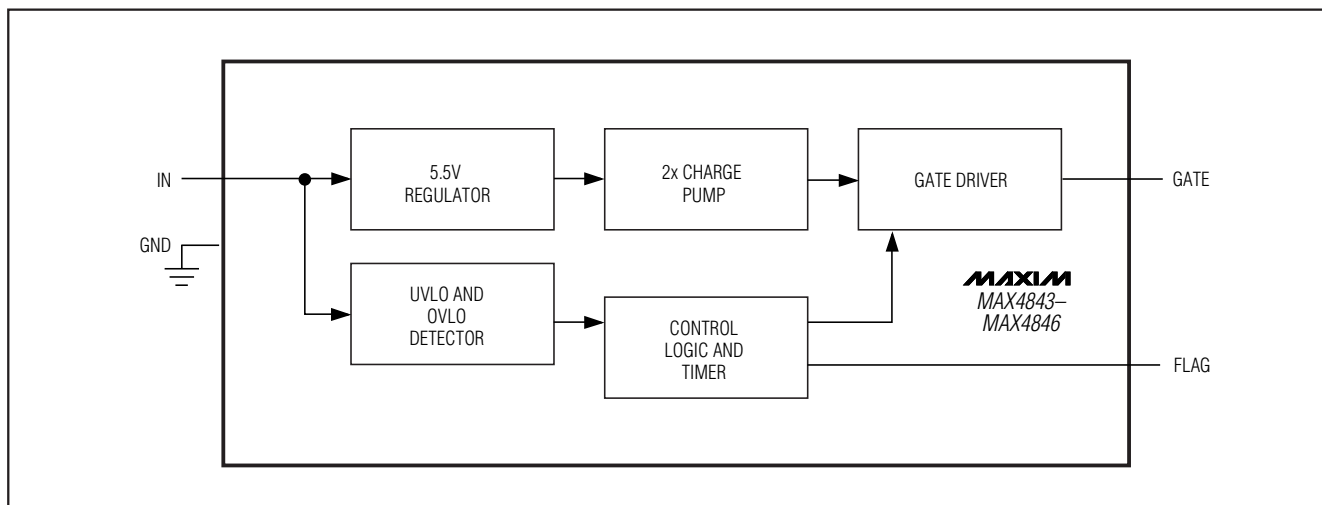


引脚说明

引脚	名称	功能
1	IN	电压输入。IN同时作为电源输入和过压检测输入。用1μF或更大电容将IN旁路至GND。
2	GND	地
3	FLAG	故障指示输出。在欠压锁定和过压锁定情况下，FLAG被触发至高电平。正常工作期间，FLAG不被触发。FLAG为漏极开路输出。
4	GATE	栅极驱动输出。GATE为片内电荷泵输出。当 $V_{UVLO} < V_{IN} < V_{OVLO}$ 时，GATE拉高以打开外部n沟道MOSFET。
5, 6	N.C.	无连接。无内部连接。

低待机电流的过压保护控制器

功能框图



MAX4843-MAX4846

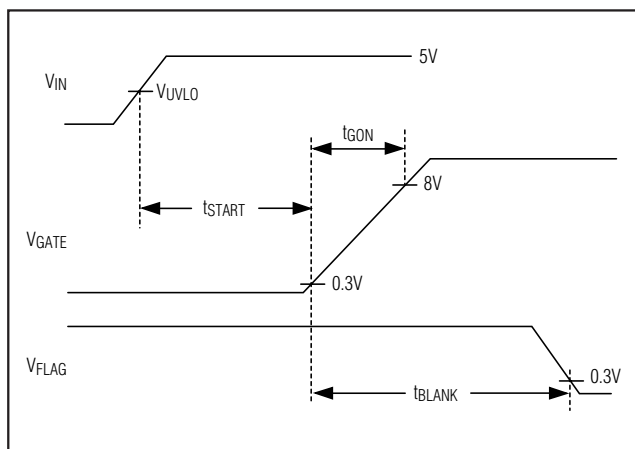


图1. 启动时序图

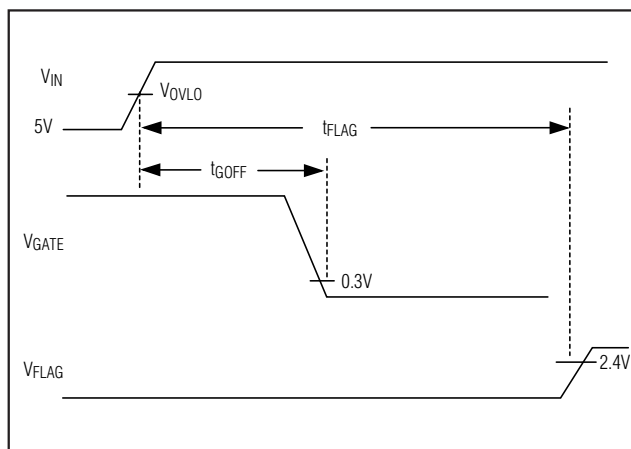


图2. 关断时序图

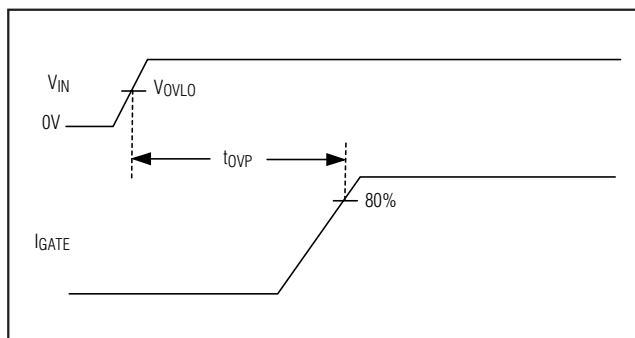


图3. 上电过压时序图

低待机电流的过压保护控制器

详细说明

MAX4843-MAX4846为低压系统提供高达28V的过压保护。当输入电压超出过压门限时，MAX4843-MAX4846会断开外部低成本n沟道FET，以避免受保护器件损坏。内部电荷泵（参考功能框图）可驱动FET栅极，构成简单、高度可靠的解决方案。上电时，器件在拉高GATE之前等待50ms。GATE拉高后，漏极开路输出FLAG在触发故障报警之前将继续保持50ms的高阻状态。出现过压故障时，FLAG输出立刻变为高电平。

欠压锁定 (UVLO)

MAX4843/MAX4844/MAX4845具有固定4.15V的典型UVLO电平，MAX4846具有2.5V的典型UVLO。当 V_{IN} 低于UVLO时，GATE驱动器被拉低，FLAG被触发产生故障指示。

过压锁定 (OVLO)

MAX4843具有7.4V典型OVLO；MAX4844具有6.35V典型OVLO；MAX4845具有5.8V典型OVLO。MAX4846具有4.65V的典型过压门限。当 V_{IN} 高于OVLO时，GATE驱动器被拉低，FLAG被触发产生故障指示。

FLAG输出

当输入电压出现故障时，漏极开路输出FLAG将为主系统发送指示信号。出现过压故障时，FLAG立即输出故障指示。GATE导通后，FLAG在被触发产生故障指示之前保持50ms的高电平。FLAG需外接上拉电阻至主系统的逻辑I/O电源。

GATE驱动器

片内电荷泵用于驱动GATE，提供高于 V_{IN} 的驱动电压，从而允许使用低成本的n沟道MOSFET。电荷泵由内部5.5V稳压器供电。

在 V_{IN} 超过5.5V或OVLO门限以前，实际的GATE输出近似为 V_{IN} 的两倍。MAX4843具有7.4V典型OVLO，因此当 $5.5V < V_{IN} < 7.4V$ 时，GATE保持相对恒定，约为10.5V。MAX4845具有5.8V的典型OVLO，但可低至5.5V。GATE输出电压是输入电压的函数，请参考典型工作特性。

器件工作原理

MAX4843-MAX4846具有片内状态机，用于控制器件的工作状态。流程图如图4所示。上电初始化时，如果 $V_{IN} < UVLO$ 或 $V_{IN} > OVLO$ ，GATE保持0V，FLAG为高电平。

如果 $UVLO < V_{IN} < OVLO$ ，在50ms内部延时后，器件开始启动。内部电荷泵打开，GATE由内部电荷泵驱动至 V_{IN} 电平以上。启动过程中，FLAG将一直保持高电平，直到FLAG屏蔽周期结束，其典型值为GATE开始拉高之后50ms。然后，器件进入正常工作态。

任何情况下，一旦 V_{IN} 下降至UVLO以下或 V_{IN} 高于OVLO，FLAG输出高电平，GATE拉低至地。

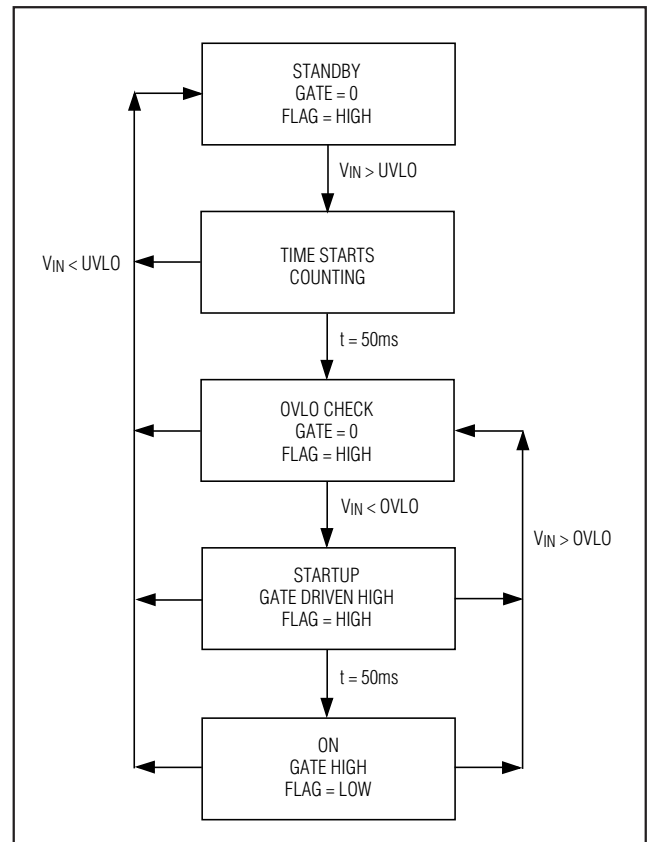


图4. 状态图

低待机电流的过压保护控制器

应用信息

MOSFET 配置

MAX4843-MAX4846可配合典型工作电路所示的单MOSFET使用，也可以配合图5所示的背靠背MOSFET使用。当输入电源电压低于输出时，背靠背结构的反向电流几乎为零。

如果不考虑反向漏电流，可采用单MOSFET。选用类似的MOSFET型号时，这种结构的功耗只有背靠背结构的一半，是一种较低成本的解决方案。注意，如果输入被拉低，由于MOSFET的寄生体二极管，输出也被同时拉低。如果系统中需要考虑这个因素，应采用背靠背结构。

在MAX4846典型应用中，内置电池充电器的外部适配器连接至IN，电池连接至外部FET的源极。适配器拔掉时，IN通过外部FET直接连接至电池。由于电池电压通常高于3V，GATE电压保持高电平，器件保持电池供电。

MOSFET 选择

MAX4843-MAX4846设计可配合单个n沟道MOSFET或背靠背n沟道MOSFET使用。在大多数情况下，如果MOSFET具有规范在4.5V V_{GS} 的 $R_{DS(ON)}$ ，即可满足需求。如果输入电源电压接近3.5V的UVLO最大值，应选择较低 V_{GS} 电压的MOSFET。为了承受MAX4843-MAX4846 28V的满量程IN范围，MOSFET的 V_{DS} 应达到30V。表1给出了几款适合与MAX4843-MAX4846配合使用的MOSFET。

IN旁路设计

对于大多数应用，用1 μ F陶瓷电容将IN旁路至GND。如果由于较长的引线导致电源出现明显的磁感应，应注意防止LC谐振回路的过冲，必要时需提供保护，以防止IN引脚电压超过30V的绝对额定值。

MAX4843-MAX4846为高至28V的电压故障提供保护，但是，这并不包括负电压。如果需要考虑负电压，应在IN与GND之间连接肖特基二极管，以钳制负输入电压。

ESD测试条件

ESD性能依赖于一定的外部条件。当IN用1 μ F陶瓷电容旁路至GND时，MAX4843-MAX4846的IN引脚可承受 ± 15 kV(典型值)的ESD冲击。

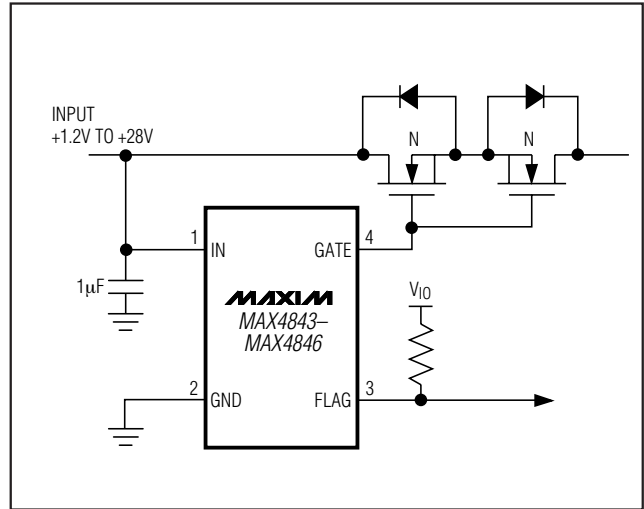


图5. 背靠背外部MOSFET结构

表1. 推荐MOSFET

PART	CONFIGURATION/ PACKAGE	V_{DS} MAX (V)	R_{ON} at 4.5V ($m\Omega$)	MANUFACTURER
Si5902DC	Dual/1206-8	30	143	Vishay Siliconix www.vishay.com
Si1426DH	Single/SSOT-6	30	115	
FDC6561AN	Dual/SSOT-6	30	145	Fairchild Semiconductor www.fairchildsemi.com
FDC6305N	Dual/SSOT-6	20	80	
FDG315N	Single/SC70-6	30	160	

低待机电流的过压保护控制器

人体模型

图6给出了人体模型，图7给出了低阻放电时产生的电流波形。该模型包含一个100pF电容，电容充电至所感兴趣的ESD电压，然后通过1.5kΩ电阻放电。

IEC 1000-4-2

1996年1月起，所有在欧盟制造和/或销售的设备须严格遵守IEC 1000-4-2标准。IEC 1000-4-2标准包括ESD测试和最终设备的性能指标，并不特别针对集成电路。MAX4843-

MAX4846有助于用户设计符合IEC 1000-4-2 3级标准的设备，而无需附加ESD保护元件。

使用人体模型和IEC 1000-4-2进行测试的主要差别在于IEC 1000-4-2具有更高的峰值电流。因为IEC 1000-4-2 ESD测试模型(图8)的串联电阻较低，该模型下所测量的ESD电压通常低于人体模型下的测试值。图9给出了±8kV IEC 1000-4-2, 4级ESD接触放电的测试电流波形。气隙放电测试采用的是充电探针放电。接触放电模型是在探针加电之前将探针与设备连接起来。

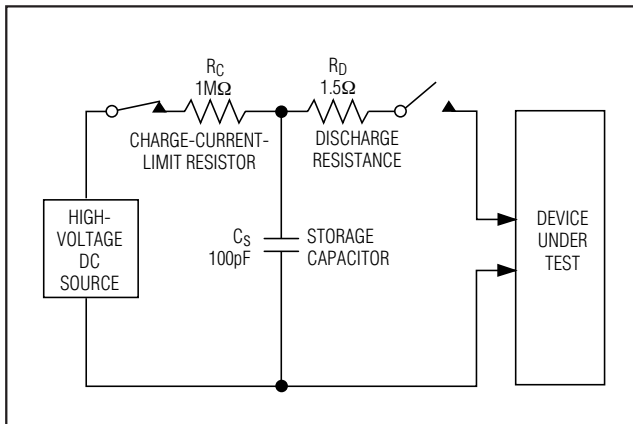


图6. 人体ESD测试模型

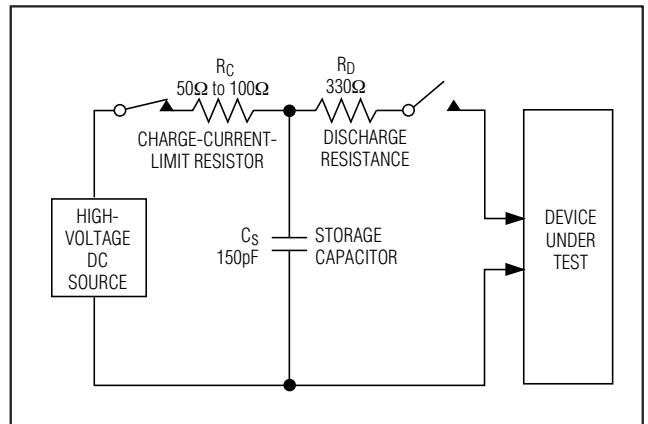


图8. IEC 1000-4-2 ESD测试模型

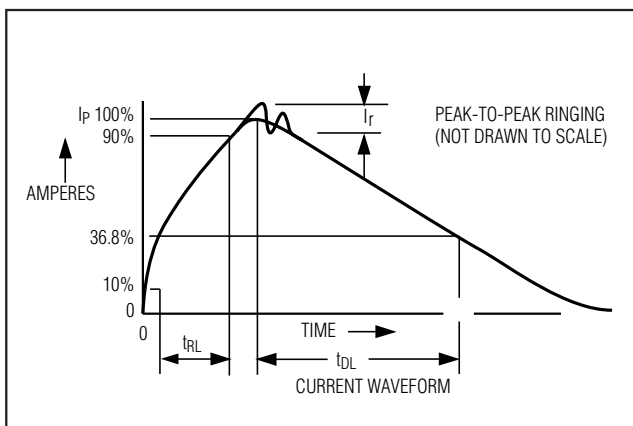


图7. 人体模型电流波形

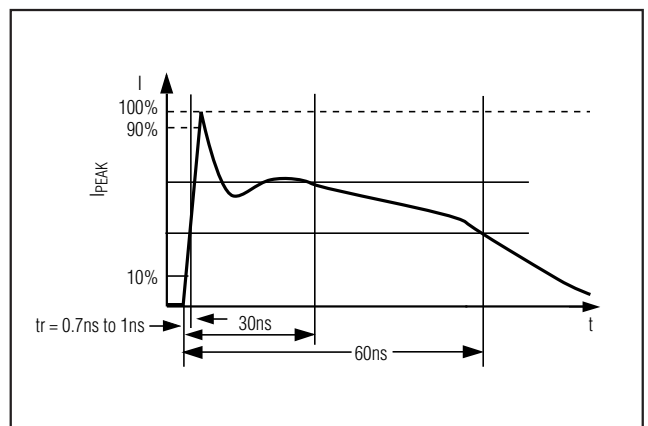


图9. IEC 1000-4-2 ESD发生器的电流波形

低待机电流的过压保护控制器

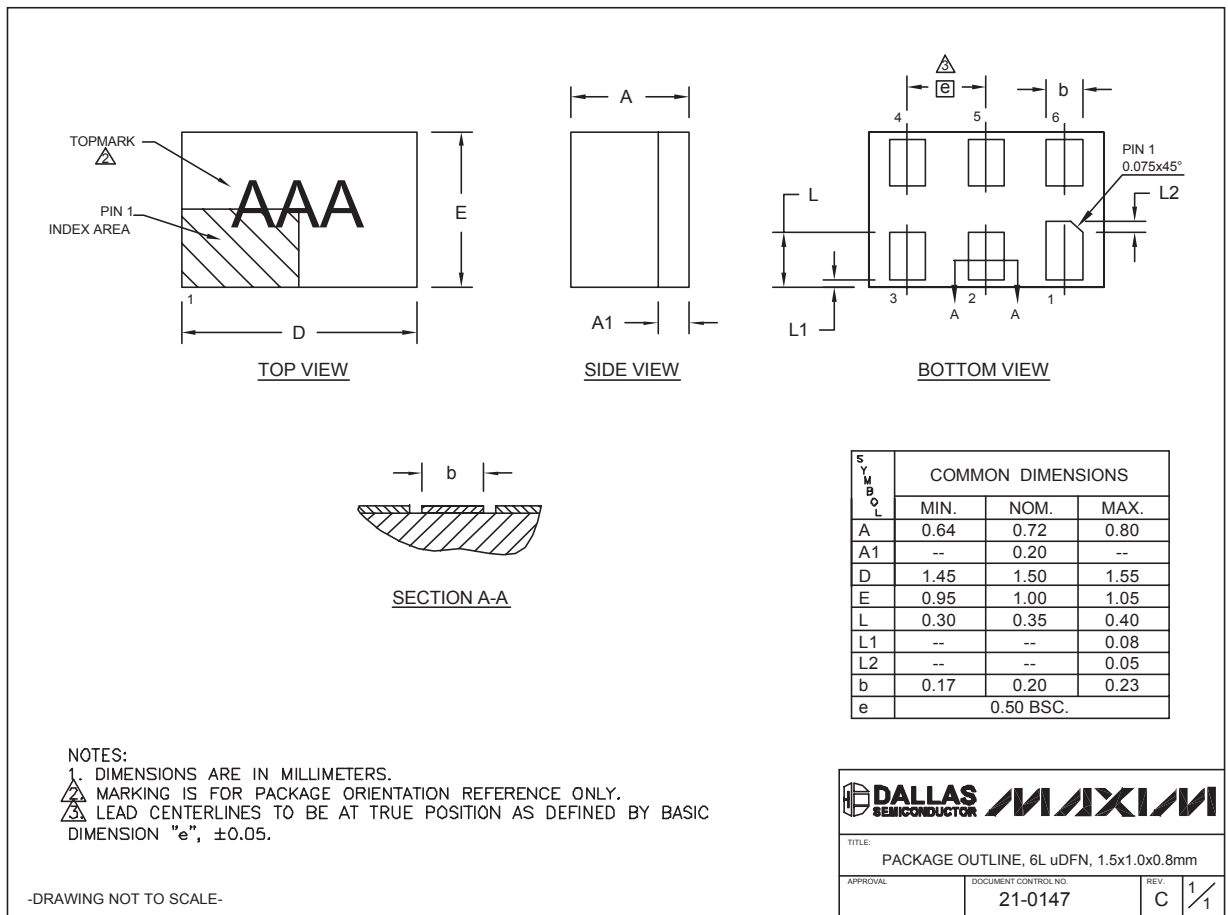
MAX4843-MAX4846

芯片信息

PROCESS TECHNOLOGY: BiCMOS

封装信息

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外型信息, 请查询 www.maxim-ic.com.cn/packages.)



MAXIM北京办事处

北京 8328信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6201 0598

传真: 010-6201 0298

Maxim 不对 Maxim 产品以外的任何电路使用负责, 也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 9