

12.5Gbps CML 2 x 2矩阵开关

概述

MAX3841 为低功耗、12.5Gbps 2 x 2 矩阵开关 IC，适用于高速串行数据环回、冗余及交换应用。MAX3841 电流模式逻辑 (CML) 输入和输出带有独立的 V_{CC} 端，允许直流耦合方式接口到 1.8V、2.5V 和 3.3V CML 集成芯片。全差分信号通道和 Maxim 的第二代 SiGe 技术提供了最佳的信号完整性，尽可能地降低了抖动、串扰和信号失真。MAX3841 尤其适合于 OC-192 和 10GbE 光模块、线卡、交换阵列及类似应用。

MAX3841 具有 150mV_{P-P} 最小差分输入灵敏度、及 500mV_{P-P} 的标称差分输出摆幅。闲置的输出可单独关断，以节省功耗。MAX3841 除了用作 2 x 2 开关以外，还可配置为 2:1 复用器、1:2 缓冲器或双路 1:1 缓冲器。MAX3841 采用 24 引脚 4mm x 4mm 薄型 QFN 封装，在双输出使能时功耗仅为 215mW。

应用

OC-192、10GbE 交换/线卡

OC-192、10GbE 光模块

系统冗余/自测试

时钟扇出

特性

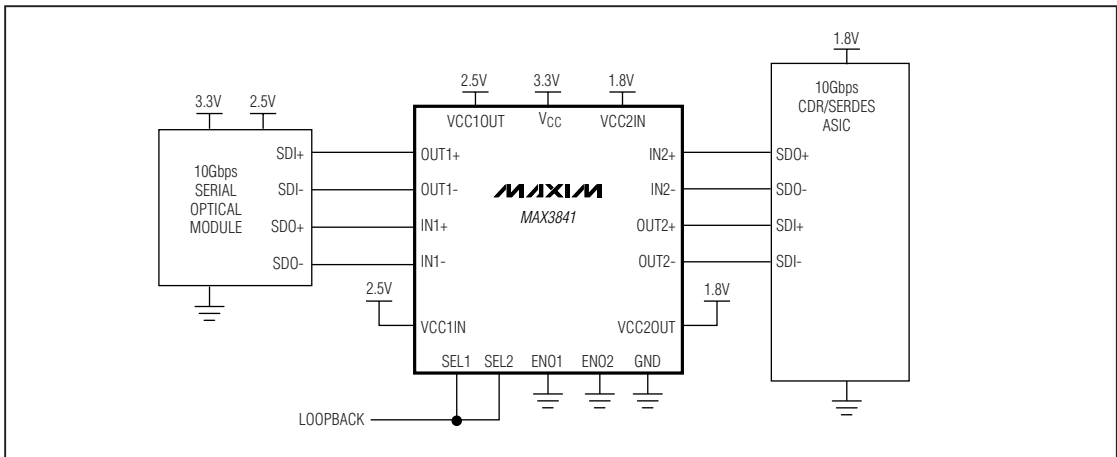
- ◆ 工作速率高达 12.5Gbps
- ◆ 小于 10ps_{P-P} 的系统抖动
- ◆ 小于 0.7ps_{RMS} 的随机抖动
- ◆ 1.8V、2.5V 和 3.3V 直流耦合到 CML I/O
- ◆ 独立的输出关断
- ◆ 4mm x 4mm 薄型 QFN 封装
- ◆ -40°C 至 85°C 的工作温度范围
- ◆ +3.3V 内核电压
- ◆ 215mW 功耗 (终端匹配电流除外)

订购信息

PART	TEMP RANGE	PIN-PACKAGE	PKG. CODE
MAX3841ETG	-40°C to +85°C	24 Thin QFN	T2444-1

引脚配置参见产品资料结尾部分

典型应用电路



12.5Gbps CML 2 x 2矩阵开关

ABSOLUTE MAXIMUM RATINGS

Supply Voltage, V_{CC}	-0.5V to +4.0V	Continuous Power Dissipation ($T_A = +85^\circ\text{C}$)	
CML Supply Voltage (V_{CC_IN} , V_{CC_OUT}).....	-0.5V to +4.0V	24-Pin Thin QFN (derate 20.8mW/ $^\circ\text{C}$	
Continuous Output Current ($\text{OUT}1\pm$, $\text{OUT}2\pm$).....	$\pm 25\text{mA}$	above $+85^\circ\text{C}$).....	1352mW
CML Input Voltage ($\text{IN}1\pm$, $\text{IN}2\pm$).....	-0.5V to ($V_{CC_IN} + 0.5\text{V}$)	Operating Temperature Range	-40°C to $+85^\circ\text{C}$
LVC MOS Input Voltage ($\text{SEL}1$, $\text{SEL}2$, ENO1, ENO2).....	-0.5V to ($V_{CC} + 0.5\text{V}$)	Storage Temperature Range	-55°C to $+150^\circ\text{C}$
		Lead Temperature (soldering, 10s).....	$+300^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($V_{CC} = +3.0\text{V}$ to $+3.6\text{V}$, $V_{CC_IN} = +1.71\text{V}$ to V_{CC} , $V_{CC_OUT} = +1.71\text{V}$ to V_{CC} , $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$. Typical values are at $V_{CC} = +3.3\text{V}$, $V_{CC_IN} = V_{CC_OUT} = 1.8\text{V}$, $T_A = +25^\circ\text{C}$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Core Supply Current	I_{CC}	Excluding CML termination currents		65	90	mA
Data Rate		(Note 1)	0		12.5	Gbps
CML Input Differential	V_{IN}	AC-coupled or DC-coupled (Note 2)	150		1200	mV _{P-P}
CML Input Common Mode		DC-coupled	$V_{CC_IN} - 0.3$	V_{CC_IN}		V
CML Input Termination		Single ended	42.5	50	57.5	Ω
CML Input Return Loss		Up to 10GHz		12		dB
CML Output Differential	V_{OUT}	(Note 2)	400	500	600	mV _{P-P}
CML Output Termination		Single ended	42.5	50	57.5	Ω
CML Output Transition Time	t_R , t_F	20% to 80% (Notes 1, 3)			30	ps
Deterministic Jitter		(Notes 1, 4)			10	ps _{P-P}
Random Jitter		$V_{IN} = 150\text{mV}_{P-P}$ (Notes 1, 5)		0.3	0.7	ps _{RMS}
Propagation Delay		Any input to output (Note 1)		100	140	ps
Channel-to-Channel Skew		(Note 1)			12	ps
Output Duty-Cycle Skew		50% input duty cycle (Notes 1, 3)			8	ps
LVC MOS Input Current	I_{IH} , I_{IL}		-10		+10	μA
LVC MOS Input High Voltage	V_{IH}		1.7			V

Note 1: Guaranteed by design and characterization.

Note 2: Differential swing is defined as $V_{IN} = (\text{IN}_+) - (\text{IN}_-)$ and $V_{OUT} = (\text{OUT}_+) - (\text{OUT}_-)$. See Figure 1.

Note 3: Measured using a 0000011111 pattern at 12.5Gbps, and $V_{IN} = 400\text{mV}_{P-P}$ differential.

Note 4: Measured at 9.953Gbps using a pattern of 100 ones, $2^7 - 1$ PRBS, 100 zeros, $2^7 - 1$ PRBS, and at 12.5Gbps using a $\pm\text{K}28.5$ pattern. $V_{CC_IN} = V_{CC_OUT} = 1.8\text{V}$, and $V_{IN} = 400\text{mV}_{P-P}$ differential.

Note 5: Refer to Maxim application note HFAN-04.5.1: *Measuring Random Jitter on a Digital Sampling Oscilloscope*.

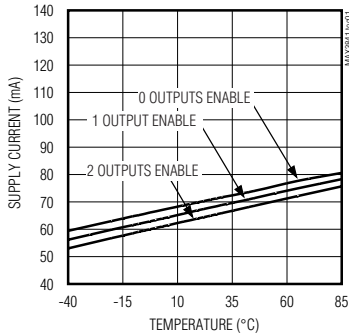
12.5Gbps CML 2 x 2矩阵开关

典型工作特性

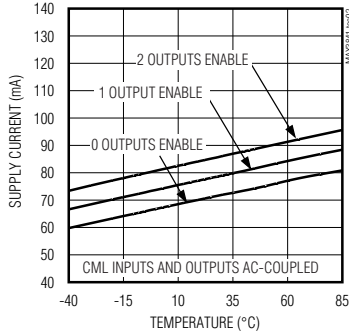
($V_{CC} = 3.3V$, V_{CC_IN} , $V_{CC_OUT} = 1.8V$, $V_{IN} = 500mV_{P-P}$, $T_A = +25^\circ C$, unless otherwise noted.)

MAX3841

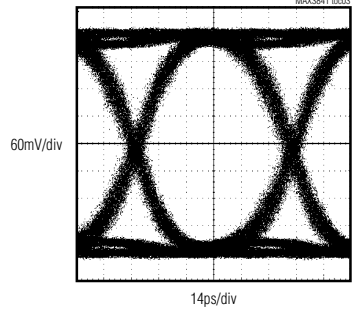
**CORE SUPPLY CURRENT vs. TEMPERATURE
(EXCLUDES CML I/O CURRENTS)**



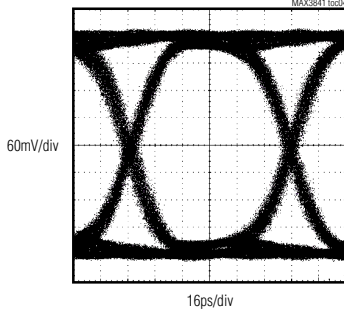
**SUPPLY CURRENT vs. TEMPERATURE
(CORE PLUS CML I/O CURRENTS)**



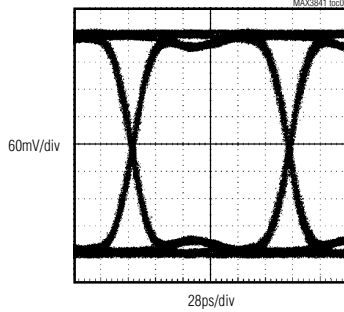
**OUTPUT EYE DIAGRAM
(12.5Gbps, 2²³ - 1 PRBS)**



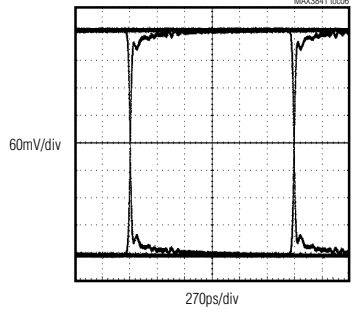
**OUTPUT EYE DIAGRAM
(10.7Gbps, 2²³ - 1 PRBS)**



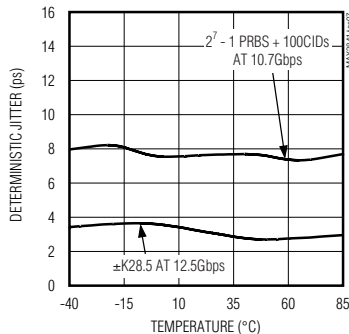
**OUTPUT EYE DIAGRAM
(6.25Gbps, 2²³ - 1 PRBS)**



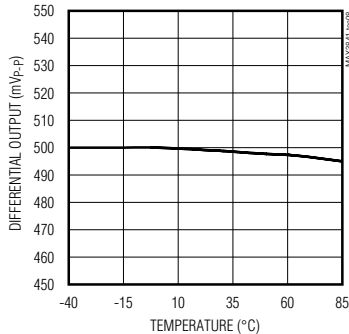
**OUTPUT EYE DIAGRAM
(622Mbps, 2²³ - 1 PRBS)**



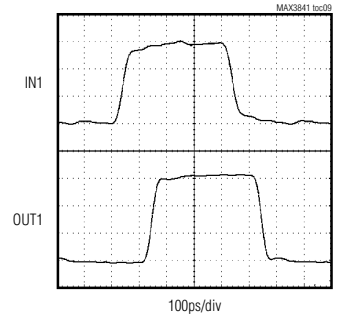
**DETERMINISTIC JITTER
vs. TEMPERATURE**



**DIFFERENTIAL OUTPUT SWING
vs. TEMPERATURE**



PROPAGATION DELAY



12.5Gbps CML 2 x 2矩阵开关

引脚说明

引脚	名称	功能
1, 12	VCC	+3.3V 内核电源
2, 5	VCC1IN	CML 输入 IN1 的电源电压端, 连接到 1.8V、2.5V 或 3.3V 电源。
3	IN1+	串行数据输入 1 正端, CML 电平。
4	IN1-	串行数据输入 1 负端, CML 电平。
6	SEL1	输出 1 选择引脚, LVCMOS 输入。参阅表 1。
7	SEL2	输出 2 选择引脚, LVCMOS 输入。参阅表 1。
8, 11	VCC2IN	CML 输入 IN2 的电源电压端, 连接到 1.8V、2.5V 或 3.3V 电源。
9	IN2+	串行数据输入 2 正端, CML 电平。
10	IN2-	串行数据输入 2 负端, CML 电平。
13, 24	GND	电源地
14, 17	VCC1OUT	CML 输出 OUT1 的电源电压端, 连接到 1.8V、2.5V 或 3.3V 电源。
15	OUT1-	串行数据输出 1 负端, CML 电平。
16	OUT1+	串行数据输出 1 正端, CML 电平。
18	ENO1	输出 1 使能引脚, LVCMOS 输入。参阅表 1。
19	ENO2	输出 2 使能引脚, LVCMOS 输入。参阅表 1。
20, 23	VCC2OUT	CML 输出 OUT2 的电源电压端, 连接到 1.8V、2.5V 或 3.3V 电源。
21	OUT2-	串行数据输出 2 负端, CML 电平。
22	OUT2+	串行数据输出 2 正端, CML 电平。
EP	Exposed Pad	电源地。为达到正常的散热和电性能, 裸露焊盘必须焊接到电路板地层。

详细说明

MAX3841 包括一对 CML 输入, 驱动两个 2:1 复用器, 且带有独立的输入选择 SEL1 和 SEL2, 提供 2 x 2 矩阵数据通路。每个复用器的输出提供一路高性能 CML 输出, 且能够通过 ENO1/ENO2 输入禁止 (断电)。所有的数据通道都采用全差分方式, 以尽可能降低抖动、串扰和信号失真。其功能图如图 1 所示。

CML 输入和输出缓冲器

MAX3841 输入和输出缓冲器都采用 50Ω 端接至独立的电源端, 且兼容于 100Ω 差分终端匹配。(参见图 3 和图 4。)为内核电源、输入缓冲器和输出缓冲器提供独立的电源端, 以允许直流耦合到 1.8V、2.5V 或 3.3V CML 电平 IC。如果需要, CML 输入和输出也可以采用交流耦合方式。

CML 输入能够接受 150mV_{P-P} 至 1200mV_{P-P} (见图 2) 差分幅度的串行 NRZ 数据。CML 输出提供 500mV_{P-P} 的标称差分摆幅, 由此降低功耗。

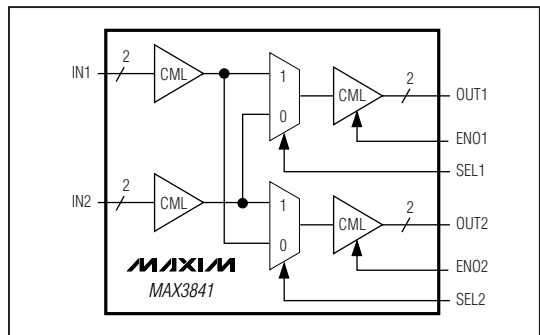


图1. 功能图

12.5Gbps CML 2 x 2矩阵开关

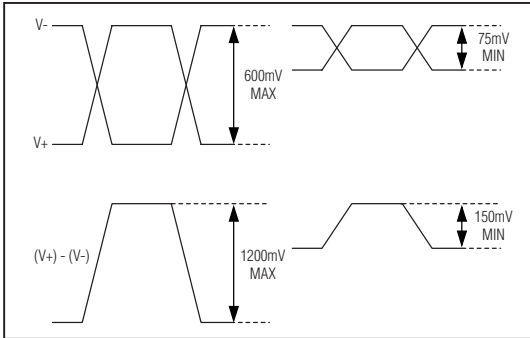


图2.差分电压摆幅定义

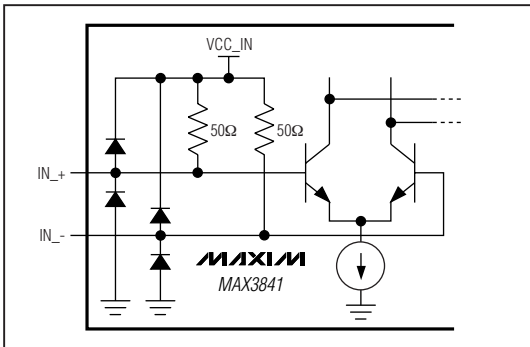


图3.等效CML输入电路

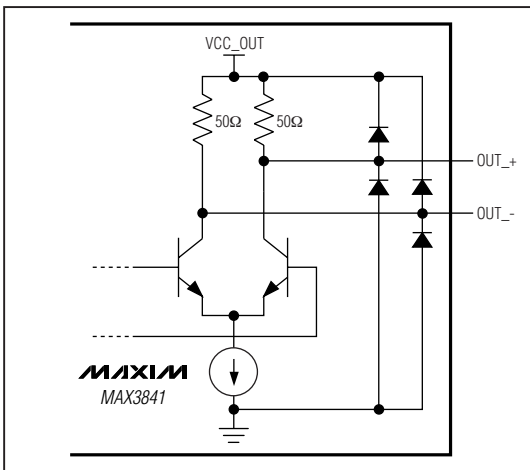


图4.等效CML输出电路

表 1、输出控制

ENO1	ENO2	SEL1	SEL2	OUT1	OUT2
0	0	0	0	IN2	IN1
0	0	0	1	IN2	IN2
0	0	1	0	IN1	IN1
0	0	1	1	IN1	IN2
1	1	X	X	Disabled	Disabled

应用说明

选择和使能控制

MAX3841 提供两路 LVC MOS 兼容的选择输入: SEL1 和 SEL2。任何一路数据输入均能连接到任何一路或两路数据输出。MAX3841 提供两路 LVC MOS 兼容的使能输入: ENO1 和 ENO2, 所以每路输出可独立关断。通过利用相应的 LVC MOS 控制输入 (参阅表 1), MAX3841 还可做 1:2 驱动器、2:1 复用器或双 1:1 缓冲器。

电源连接

每路输入和输出电源端 (VCC1IN、VCC2IN、VCC1OUT、VCC2OUT) 是独立的, 不必连接相同的电压。输入和输出电源能够连接 1.8V、2.5V 或 3.3V 电源, 但内核电源 (VCC) 必须连接到 3.3V 电源, 以保证正常工作。

输入和输出接口

MAX3841 输入和输出根据不同的应用可采用交流耦合或直流耦合。若输入和输出闲置, 应该通过 50Ω 电阻端接至对应的输入或输出电源端。关于逻辑系列接口的更多信息, 请参考 Maxim 应用笔记 HFAN-01.0: *Introduction to LVDS, PECL, and CML*。

封装和布局考虑因素

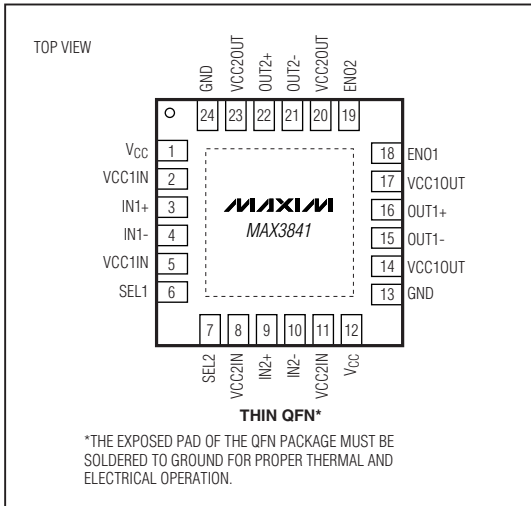
MAX3841 采用焊盘裸露的 24 引脚 4mm x 4mm 薄型 QFN 封装。裸露焊盘提供 IC 的散热途径和电气连接, 必须焊接到高频地线层。利用多个过孔将封装底部的裸露焊盘连接到 PCB 板地线层。

应该采用良好的 10Gbps PC 板传输线布线技术, 且布线应该靠近 IC, 以尽可能减少阻抗不连续性。电源去耦电容应该尽可能靠近 IC。

12.5Gbps CML 2 x 2矩阵开关

引脚配置

芯片信息



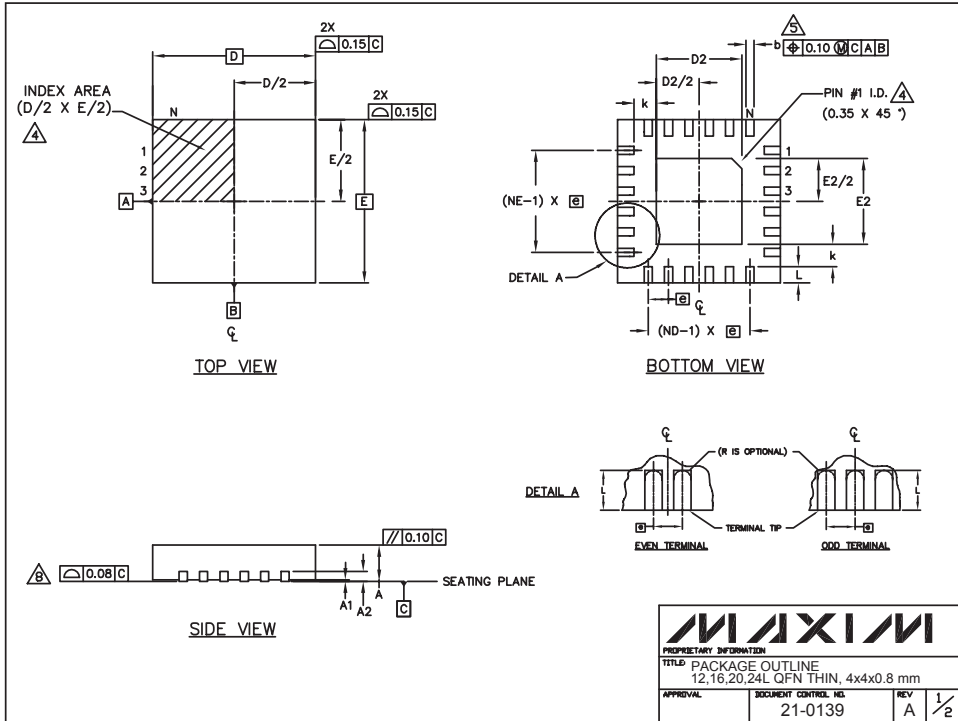
TRANSISTOR COUNT: 950

PROCESS: SiGe BICMOS

12.5Gbps CML 2 x 2矩阵开关

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-ic.com/packages。)



MAX3841

12.5Gbps CML 2 x 2 矩阵开关


封装信息 (续)


(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外型信息, 请查询 www.maxim-ic.com/packages。)


COMMON DIMENSIONS													EXPOSED PAD VARIATIONS							
PKG REF.	12L 4x4			16L 4x4			20L 4x4			24L 4x4			PKG CODES	D2			E2			
	MIN.	NDM.	MAX.	MIN.	NDM.	MAX.	MIN.	NDM.	MAX.	MIN.	NDM.	MAX.		MIN.	NDM.	MAX.	MIN.	NDM.	MAX.	
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	T1244-2	1.95	2.10	2.25	1.95	2.10	2.25	
A1	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	T1644-2	1.95	2.10	2.25	1.95	2.10	2.25	
A2	0.20 REF			0.20 REF			0.20 REF			0.20 REF			T2044-1	1.95	2.10	2.25	1.95	2.10	2.25	
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.18	0.23	0.30	T2444-1	2.45	2.60	2.63	2.45	2.60	2.63	
D	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10								
E	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10								
e	0.80 BSC.			0.65 BSC.			0.50 BSC.			0.50 BSC.										
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-								
L	0.45	0.55	0.65	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50								
N	12			16			20			24										
ND	3			4			5			6										
NE	3			4			5			6										
JeDEC Ver.	VGGB			VGGC			WGGD-1			WGGD-2										


NOTES:


- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.


 THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.


 DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.

 ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.

 DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.

 COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.

 DRAWING CONFORMS TO JEDEC M0220.

			
PROPRIETARY INFORMATION			
TITLE: PACKAGE OUTLINE			
12,16,20,24L QFN THIN, 4x4x0.8 mm			
APPROVAL	DOCUMENT CONTROL NO.	REV	2/2
	21-0139	A	

MAXIM北京办事处

北京 8328 信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6201 0598

传真: 010-6201 0298

Maxim 不对 Maxim 产品以外的任何电路使用负责, 也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

8 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**

© 2003 Maxim Integrated Products

Printed USA

MAXIM 是 Maxim Integrated Products, Inc. 的一个注册商标。