

电力线通信模拟前端收发器

概述

MAX2980 电力线通信模拟前端 (AFE) 集成电路 (IC) 是一款基于先进的CMOS工艺造就的器件，具有高性能和低成本。这个高集成度器件整合了模数转换器 (ADC)、数模转换器 (DAC)、信号调理和线驱动器等部件。MAX2980 极大地缩减了原设计中所需的系统元件，并且兼容于第三方HomePlug®器件。该器件可以和多种数字物理层 (PHY) IC连接，构成完整的电力线通信方案。

先进的设计使得MAX2980可以在没有外部控制的情况下工作，这就简化了它与各种HomePlug数字PHY IC的连接。该器件还集成了低功耗技术，可以利用多个控制信号对其进行控制。

MAX2980的额定工作温度范围是0°C至+70°C商业级温度范围，提供64引脚TQFP封装。

应用

局域网 (LAN)
 电力线音频
 电力线语音
 安全系统
 远程监控
 宽带接入 (最后一公里)
 电力线到WiFi桥
 电力线到DSL桥
 电力线到以太网桥
 电力线到USB桥

典型工作电路见本数据资料的最后部分。

HomePlug是HomePlug Powerline Alliance, Inc. 的注册商标。

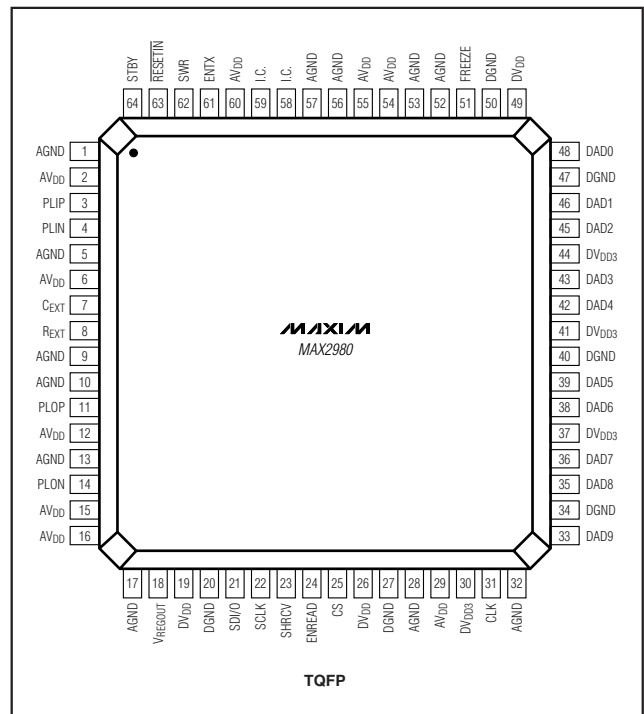
特性

- ◆ 完全集成的线驱动器和接收器
- ◆ 与数字PHY IC无缝连接
- ◆ 完全集成的、采样频率50MHz的10位ADC和DAC
- ◆ 54dB自适应增益控制
- ◆ 允许最小10Ω的线路阻抗
- ◆ 3.0V到3.6V I/O
- ◆ 3.3V下250mA的接收模式和/或160mA的发送模式
- ◆ 64引脚TQFP封装

订购信息

PART	TEMP RANGE	PIN-PACKAGE
MAX2980CCB	0°C to +70°C	64 TQFP

引脚配置



电力线通信模拟前端收发器

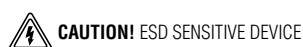
MAX2980

ABSOLUTE MAXIMUM RATINGS

AV _{DD} to AGND	-0.3V to +3.9V
DV _{DD3} to DGND	-0.3V to +3.9V
DV _{DD} to DGND	-0.3V to +2.8V
AGND to DGND	-0.3V to +0.3V
All Other Pins	-0.3V to (V _{DD} + 0.3V)
Current into Any Pin	±100mA
Short-Circuit Duration (V _{REGOUT} to AGND)	10ms

Continuous Power Dissipation (T _A = +70°C)	
64-Pin TQFP (derate 25mW/°C above +70°C).....	2000mW
Operating Temperature Range.....	0°C to +70°C
Junction Temperature	+150°C
Storage Temperature Range	-40°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.



ELECTRICAL CHARACTERISTICS

(AV_{DD} = DV_{DD3} = +3.3V, DV_{DD} = V_{REGOUT}, AGND = DGND = STBY = 0, T_A = 0°C to +70°C, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS	
Operating Supply Voltage Range	AV _{DD} , DV _{DD3}	(Note 1)		3.0		3.6	V	
	DV _{DD}				2.5			
Quiescent Supply Current	I _{DD}	Receive mode	Clock		250		mA	
			No clock (Note 1)	175	220	260		
		Transmit mode	Normal operation	Clock		250		
				No clock (Note 1)	175	220		260
			Receiver disabled, SHRCV = high	Clock		160		
No clock (Note 1)	100	135	165					
Standby Supply Current		Clock			20		mA	
		No clock (Note 1)			5			
Regulator Output	V _{REGOUT}				2.4		V	
Output-Voltage High	V _{OH}	(Note 1)		2.4			V	
Output-Voltage Low	V _{OL}	(Note 1)				0.4	V	
LOGIC-INPUT CHARACTERISTICS								
Input High Voltage	V _{IH}			2.0			V	
Input Low Voltage	V _{IL}					0.8	V	
Input Leakage Current High	I _{IH}	V _{IH} = V _{DD} (Note 1)				+5	μA	
Input Leakage Current Low	I _{IL}	V _{IL} = 0 (Note 1)		-5			μA	
ANALOG-TO-DIGITAL CONVERTER (ADC) CHARACTERISTICS								
Resolution	N				10		Bits	
Integral Nonlinearity	INL				2.1		LSB	
Differential Nonlinearity	DNL				0.4		LSB	

电力线通信模拟前端收发器

MAX2980

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = DV_{DD3} = +3.3V$, $DV_{DD} = V_{REGOUT}$, $AGND = DGND = STBY = 0$, $T_A = 0^{\circ}C$ to $+70^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL-TO-ANALOG CONVERTER (DAC) CHARACTERISTICS						
Resolution	N			10		Bits
Integral Nonlinearity	INL			0.4		LSB
Differential Nonlinearity	DNL			0.3		LSB
Two-Tone Third-Order Distortion	IM3	Two tones at 17MHz and 18MHz, 1V _{P-P} , differential		54		dB
RECEIVER CHARACTERISTICS						
Common-Mode Voltage		Pins PLIP/PLIN		1.6		V
Input Impedance per Pin	Z _{IN}	Between pins PLIP, PLIN, and GND at 12 MHz		875		Ω
Two-Tone Third-Order Distortion	IM3	Two tones at 17MHz and 18MHz, 1V _{P-P} , differential		53		dB
AGC Gain Range	AGC			54		dB
Lowpass-Filter Corner Frequency				21		MHz
Lowpass-Filter Ripple				1.5		dB
TRANSMITTER CHARACTERISTICS						
Common-Mode Voltage		At pins PLOP/PLON		1.6		V
Output Impedance per Pin	Z _{OUT}	Between pins PLOP, PLON, and GND at 12MHz		134		Ω
Output-Voltage Swing at 12MHz		Predriver gain = -6dB		2.4		V _{P-P} diff
		Predriver gain = +3dB		6.0		
Short-Circuit Current	I _{SC}			230		mA
Two-Tone Third-Order Distortion	IM3	Two tones at 17MHz and 18MHz, 1V _{P-P} , differential (Note 1)	35	50	70	dB
Lowpass-Filter Corner Frequency				21		MHz
Lowpass-Filter Ripple				1.5		dB
Minimum Line Impedance Capability		<1dB output swing variation <1dB linearity variation		10		Ω

电力线通信模拟前端收发器

MAX2980

TIMING CHARACTERISTICS

($AV_{DD} = DV_{DD3} = +3.3V$, $DV_{DD} = V_{REGOUT}$, $AGND = DGND = STBY = 0$, $T_A = 0^{\circ}C$ to $+70^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CLK Frequency				50		MHz
CLK Tolerance			-25		+25	ppm
CLK Fall to ADC Data Output Valid Time	t_{ADCO}			2		ns
CLK Fall to DAC Data Latch Time	t_{DACI}			3		ns

Note 1: Guaranteed by production test at $T_A = +27^{\circ}C$ and $T_A = +70^{\circ}C$ and by design and characterization at $T_A = 0^{\circ}C$.

引脚说明

引脚	名称	功能
1, 5, 9, 10, 13, 17, 28, 32, 52, 53, 56, 57	AGND	模拟地
2, 6, 12, 15, 16, 29, 54, 55, 60	AV _{DD}	模拟电源, AV _{DD} 供电范围为3.0V至3.6V, 用0.1μF电容旁路AV _{DD} 到AGND。
3	PLIP	交流电力线正输入。
4	PLIN	交流电力线负输入。
7	C _{EXT}	外部电容连接端, 从C _{EXT} 到AGND接一个10nF电容。
8	R _{EXT}	外部电阻连接端, 从R _{EXT} 到AGND连接一个25kΩ电阻。
11	PLOP	交流电力线正输出。
14	PLON	交流电力线负输出。
18	V _{REGOUT}	电压调节器输出, 正常工作时将V _{REGOUT} 连接到DV _{DD} 。
19, 26, 49	DV _{DD}	数字2.5V输入, 正常工作时连接至V _{REGOUT} 。
20, 27, 34, 40, 47, 50	DGND	数字地
21	SDI/O	串行数据输入和输出。
22	SCLK	串行时钟输入。
23	SHRCV	接收器关断控制。驱动SHRCV为高电平可关断接收器, 驱动为低电平时正常工作。
24	ENREAD	读模式使能控制。驱动ENREAD为高电平则置DAD [9:0]双向缓冲器为读模式。数据从数字PHY传递到AFE DAC。ENREAD信号确定了发送帧。
25	CS	高电平有效载波选择输入。驱动CS为高电平则启动内部定时器。
30, 37, 41, 44	DV _{DD3}	数字电源。DV _{DD3} 供电范围为3.0V到3.6V。用一只0.1μF电容尽可能靠近引脚旁路DV _{DD3} 到DGND。
31	CLK	50MHz系统时钟输入。

电力线通信模拟前端收发器

MAX2980

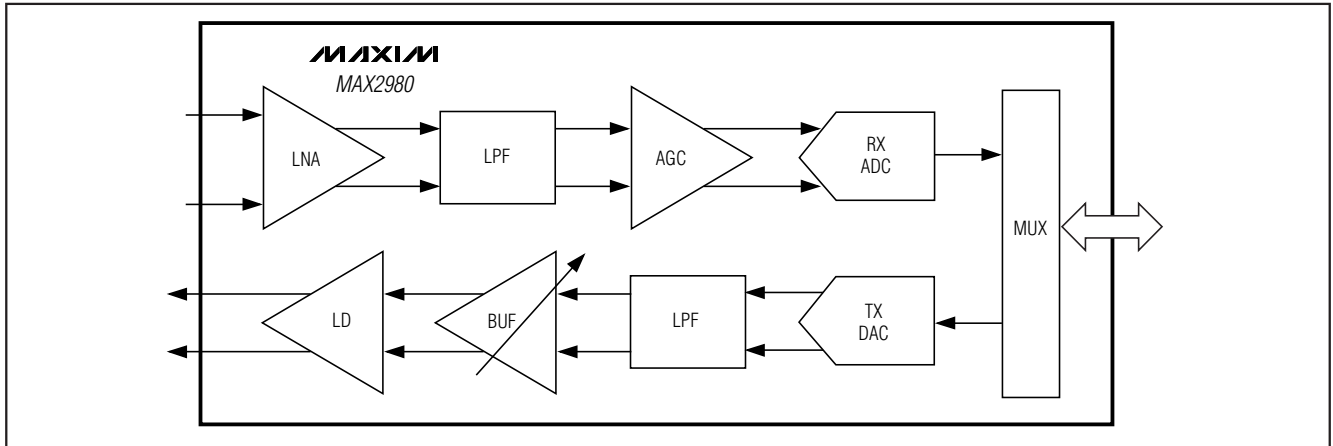
引脚说明 (续)

33	DAD9	DAC/ADC输入/输出数据最高位 (MSB)。用于数字-模拟和模拟-数字转换器的50MHz、双向、10位输入/输出数据。数据是二进制格式。
35	DAD8	DAC/ADC输入/输出数据第8位。用于数字-模拟和模拟-数字转换器的50MHz、双向、10位输入/输出数据。数据是二进制格式。
36	DAD7	DAC/ADC输入/输出数据第7位。用于数字-模拟和模拟-数字转换器的50MHz、双向、10位输入/输出数据。数据是二进制格式。
38	DAD6	DAC/ADC输入/输出数据第6位。用于数字-模拟和模拟-数字转换器的50MHz、双向、10位输入/输出数据。数据是二进制格式。
39	DAD5	DAC/ADC输入/输出数据第5位。用于数字-模拟和模拟-数字转换器的50MHz、双向、10位输入/输出数据。数据是二进制格式。
42	DAD4	DAC/ADC输入/输出数据第4位。用于数字-模拟和模拟-数字转换器的50MHz、双向、10位输入/输出数据。数据是二进制格式。
43	DAD3	DAC/ADC输入/输出数据第3位。用于数字-模拟和模拟-数字转换器的50MHz、双向、10位输入/输出数据。数据是二进制格式。
45	DAD2	DAC/ADC输入/输出数据第2位。用于数字-模拟和模拟-数字转换器的50MHz、双向、10位输入/输出数据。数据是二进制格式。
46	DAD1	DAC/ADC输入/输出数据第1位。用于数字-模拟和模拟-数字转换器的50MHz、双向、10位输入/输出数据。数据是二进制格式。
48	DAD0	DAC/ADC输入/输出数据最低位 (LSB)。用于数字-模拟和模拟-数字转换器的50MHz、双向、10位输入/输出数据。数据是二进制格式。
51	FREEZE	高电平有效冻结模式使能。驱动FREEZE为高电平则置AGC自适应电路于冻结模式。如果没有信号提供给基带芯片时驱动FREEZE为低电平。
58, 59	I.C.	内部连接。浮空该引脚。
61	ENTX	高电平有效发送使能。驱动ENTX为高电平可使能发送器。驱动ENTX为低电平则置发送器于三态。
62	SWR	高电平有效寄存器写使能。驱动SWR为高电平则置寄存器于写模式。
63	$\overline{\text{RESETIN}}$	低电平有效复位输入。驱动 $\overline{\text{RESETIN}}$ 为低电平则置MAX2980于复位模式。复位期间设置CLK为自激振荡模式。最小复位脉冲宽度为100ns。
64	STBY	高电平有效待机输入。驱动STBY为高电平则置MAX2980于待机模式，为低电平时正常工作。

电力线通信模拟前端收发器

MAX2980

功能图



详细说明

MAX2980 电力线通信集成 AFE 是一款先进的 CMOS 器件，具有非常高的性能和极低的成本。这个高集成器件整合了 ADC、DAC、信号调理和线驱动器，如功能图所示。MAX2980 极大地缩减了原设计中所必需的系统元件，并且兼容于第三方 HomePlug 器件。该器件可以和多种数字 PHY IC 连接，构成完整的电力线通信方案。

先进的设计使得 MAX2980 可以在没有外部控制的情况下工作，这就简化了它与各种 HomePlug 数字 PHY 芯片的连接。该器件还集成了低功耗技术，可以利用多个控制信号对其进行控制。

接收通道

接收器模拟前端包括低噪放 (LNA)、低通滤波器 (LPF) 和一个自适应增益控制电路 (AGC)。ADC 单元采样 AGC 输出。通过一个复用单元，ADC 和数字 PHY 芯片通信。

通过提供一定的信号增益给 AFE 输入，LNA 降低了接收通道的等效输入噪声。

滤波器单元滤除了干扰噪声，同时为 ADC 提供抗混迭，以确保精确采样。

AGC 用来控制送给模数转换器的信号的幅度，以便为 ADC 提供最佳的信号电平，并防止 AGC 放大器进入饱和状态。

50MHz、10 位 ADC 采样模拟信号，将其转换为 10 位数字流。这部分完全集成了基准电压和用于差分输入信号的偏置电路。

发送通道

发送通道包含一个 10 位数模转换器 (DAC)，一个低通滤波器和一个可调增益发送缓冲器及线驱动器。DAC 通过复用单元接收来自于数字 PHY IC 的数据流。

50MHz、10 位 DAC 提供与接收通道互补的功能。DAC 以 50MHz 速率将 10 位数据流转换为模拟电压。

低通滤波器滤除 DAC 输出中邻近有用频段的杂散和谐波成分，降低带外泄漏能量。

发送缓冲器和线驱动器用来提高低通滤波器输出信号的电平，以便直接连接至电力线媒体，无需外部放大器和缓冲器。输出幅值 (差分) 可在 $2.4V_{P-P}$ 到 $6.0V_{P-P}$ 之间调整。线驱动器能驱动低至 10Ω 的阻性负载。

数字接口

数字接口由一些控制信号和用于连接 DAC 及 ADC 的 10 位双向数据总线组成。控制信号包括复位、发送请求、I/O 方向请求和接收器关断控制等。

电力线通信模拟前端收发器

控制信号

发送使能 (ENTX)

ENTX 用来使能 MAX2980 AFE 中的发送器。当 ENTX 和 ENREAD 同时为高电平时，数据通过数据总线 DAD [9:0] 送入 DAC，并经过调理后发送到电力线上。

读使能 (ENREAD)

ENREAD 信号设置数据总线 DAD [9:0] 的方向。当 ENREAD 为高电平时，来自数字 PHY 的数据被送入 MAX2980 AFE 内的 DAC。ENREAD 为低时 ADC 传送数据给数字 PHY。

接收器关断 (SHRCV)

SHRCV 信号为接收器提供关断控制。当器件正在发送时逻辑高的 SHRCV 信号随时都可使 MAX2980 的接收部分进入掉电状态。MAX2980 还具有发送省电模式，可以使电源电流从 410mA 降低到 160mA。要进入发送省电模式，可在发送结束前 0.1 μ s 驱动 SHRCV 为高。正常工作时可连接 SHRCV 到 ENTX 和 ENREAD。

数模和模数转换器 输入/输出 (DAD [9:0])

DAD [9:0] 是 10 位双向总线，用来连接数字 PHY 和 MAX2980 的 DAC 及 ADC。总线的方向由 ENREAD 控制，详情请参见读使能部分。

AGC 控制信号 (CS)

CS 信号控制着 MAX2980 接收通道中的 AGC 电路。CS 为逻辑低时，增益电路连续、自适应地为输入信号提供最大灵敏度。数字 PHY 检测到有效的同步信号后使 CS 升到高电平。当 CS 变高后，AGC 会继续在一个短时间内自适应调整，然后它锁定在当前的自适应输入信号电平上。在接收期间，数字 PHY 保持 CS 为高，然后降低 CS，继续为其他输入信号提供自适应的最大灵敏度。

AGC 冻结模式 (FREEZE)

利用 FREEZE 信号可以锁定 AGC 增益。注意如果未使用 CS 或 FREEZE 信号，由于 AGC 电路对于某些选定通道的调制效应，SNR 会有最大 1dB 的损失。

时钟 (CLK)

CLK 信号为 MAX2980 提供全部定时。给该输入施加一个 50MHz 时钟。更多信息请参见图 1 中的时序图。

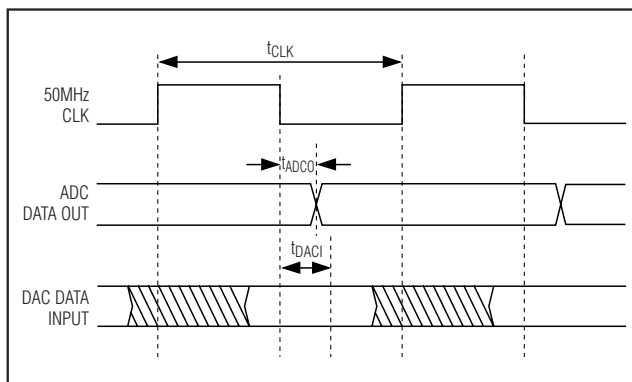


图 1. ADC 和 DAC 时序图

复位输入 ($\overline{\text{RESETIN}}$)

$\overline{\text{RESETIN}}$ 信号为 MAX2980 提供复位控制。为了实现复位，可设置时钟为自激振荡模式，驱动 $\overline{\text{RESETIN}}$ 为低最小 100ns。每次上电都须执行一次复位。

待机控制 (STBY)

MAX2980 具有低功耗关断模式，通过 STBY 可激活该模式。驱动 STBY 为高电平时 MAX2980 处于待机模式。待机模式下，有时钟时 MAX2980 仅消耗 20mA，无时钟时仅 5mA。

MAX2980 控制寄存器

MAX2980 的串行接口

通过 3 线串行接口可以控制 MAX2980 的工作模式。SCLK 是用于寄存器编程的串行时钟。SDI/O 是读或写寄存器的串行输入和输出数据。SWR 信号控制串行接口的读/写模式。如果 SWR 是高电平，那么串行接口是写模式，一个新的值将被写入 MAX2980 的寄存器。在 SWR 从低变高后，数据在串行时钟 (SCLK) 的下降沿被同步移入 (低位先) 寄存器，如图 2 所示。注意，还需要一个额外的时钟 (WR_CLK) 将保持缓冲器里的内容写入适当的寄存器。

如果 SWR 是低电平，串行接口为读模式，可以读出当前寄存器中的数据。针对于一个特定寄存器的读操作必须紧跟在对同一个寄存器的写操作之后。在 SWR 从高变低后，数据在串行时钟 (SCLK) 的下降沿被同步移出 (低位先) 寄存器，如图 3 所示。

MAX2980 有 6 个读/写寄存器：位 A2、A1、A0 是寄存器寻址位。

电力线通信模拟前端收发器

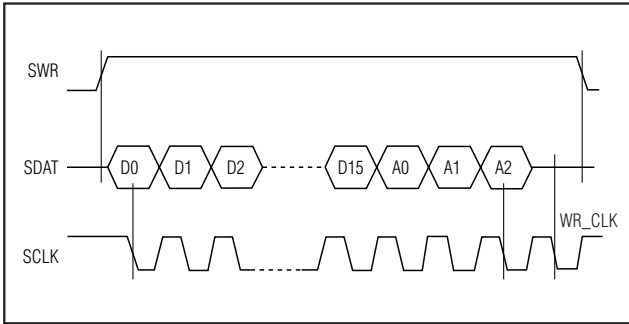


图2. 寄存器写模式时序图

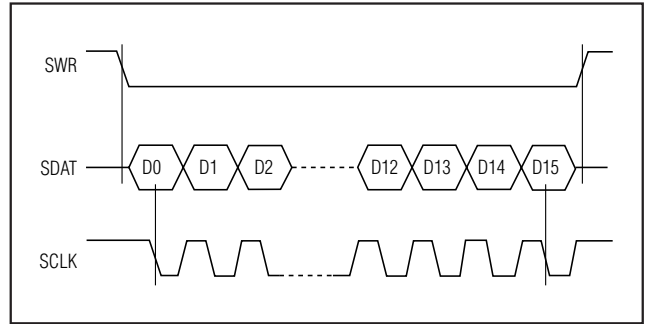


图3. 寄存器读模式时序图

表 1. MAX2980 寄存器地址

REGISTER	A2	A1	A0
R1 (R/W)	0	0	0
R2 (R/W)	0	0	1
R3 (R/W)	0	1	0
R4 (R/W)	0	1	1
R5 (R/W)	1	0	0
R6 (R/W)	1	0	1

MAX2980 AFE 寄存器映射

表 2. R1 寄存器映射

REGISTER BIT NO.	DEFAULT	COMMENT
R1B0	LOW	Active high, powers down receiver when in transmit mode. Based on SHRCV signal going high (enable SMT1 mode).
R1B1	HIGH	Active high, powers down transmitter when in receive mode. Based on Tx signal going high (enables SMT2 mode).
R1B2	LOW	Active high, powers down DAC when in receive mode. Based on Tx signal going high (SMTDA mode).
R1B3	LOW	Active high, powers down entire chip.
R1B4	LOW	Reserved.
R1B5	LOW	Reserved.
R1B6	LOW	Reserved.
R1B7	LOW	Reserved.
R1B8	LOW	Reserved.
R1B9	LOW	Reserved.
R1B10	LOW	Reserved.
R1B11	LOW	Reserved.
R1B12	LOW	Reserved.
R1B13	LOW	Reserved.
R1B14	LOW	Reserved.
R1B15	LOW	Reserved.

注：位4-15控制各个单元的关断。

电力线通信模拟前端收发器

MAX2980

表3. R2寄存器映射

REGISTER BIT NO.	DEFAULT	COMMENT
R2B0	LOW	Reserved.
R2B1	LOW	Reserved.
R2B2	LOW	Reserved.
R2B3	HIGH	Reserved.
R2B4	LOW	Reserved.
R2B5	LOW	Reserved.
R2B6	LOW	Reserved.
R2B7	LOW	Reserved.
R2B8	LOW	Reserved.
R2B9	LOW	Reserved.
R2B10	LOW	Reserved.
R2B11	LOW	Reserved.
R2B12	LOW	Reserved.
R2B13	LOW	Reserved.
R2B14	LOW	Reserved.
R2B15	LOW	Active high, bypass the receive LPF.

注：位0到位2和位4-14必须被置低以禁止与测试总线的连接。

表4. R3寄存器映射

REGISTER BIT NO.	DEFAULT	COMMENT
R3B0	LOW	Reserved.
R3B1	LOW	
R3B2	LOW	These set the predriver gain as follows setting 000 to 111: 3dB, 2dB, 1dB, 0dB, -1dB, -2dB, -3dB, -6dB R3B2 is the LSB.
R3B3	LOW	
R3B4	LOW	
R3B5	LOW	
R3B6	LOW	Reserved.
R3B7	LOW	
R3B8	LOW	
R3B9	LOW	
R3B10	LOW	
R3B11	HIGH	Active high, place process tune in continuous mode. Otherwise active only during RESET.
R3B [15:12]	0111	Reserved.

电力线通信模拟前端收发器

表 5. R4 寄存器映射

REGISTER BIT NO.	DEFAULT	COMMENT
R4B0	LOW	Reserved.
R4B1	HIGH	Reserved.
R4B2	HIGH	Reserved.
R4B3	HIGH	Reserved.
R4B4	LOW	Reserved.
R4B5	LOW	Reserved.
R4B [10:6]	01011	Reserved.
R4B11	HIGH	Reserved.
R4B12	HIGH	Reserved.
R4B13	HIGH	Reserved.
R4B14	HIGH	
R4B15	LOW	Reserved.

表 6. R5 寄存器映射

REGISTER BIT NO.	DEFAULT	COMMENT
R5B [6:0]	LOW	Set to manually control VGA and offset-cancellation circuits. Low for automatic adaptation.
R5B [12:7]	LOW	
R5B13	LOW	
R5B14	LOW	
R5B15	LOW	

应用信息

布局考虑

到数字PHY电路的接口

MAX2980与MAX2986数字PHY IC连接，通过双向总线传递DAC和来自于ADC的数字数据。握手线用于协助数据的传递和MAX2980的操作。图4所示的应用电路给出了MAX2980和数字基带芯片MAX2986的连接。

合理的印制板设计对于任何高速电路来讲都是至关重要的一个部分。所有高频输入和输出都应采用控制阻抗的走线。所有接地引脚和无论何处的接地都应采用低感抗连线接地。去耦电容要靠近所有V_{DD}连接。为确保正常工作，须将IC背面裸露的金属垫片用多个过孔连接到印制板的地平面上。

电力线通信模拟前端收发器

MAX2980

表7. R6寄存器映射

REGISTER BIT NO.	DEFAULT	COMMENT
R6B0	LOW	Reserved.
R6B [2:1]	00	Reserved.
R6B3	LOW	Reserved.
R6B4	LOW	Active high, allow BYPASS of transmit LPF.
R6B [6:5]	00	Reserved.
R6B7	LOW	
R6B8	LOW	
R6B9	LOW	
R6B [11:10]	10	
R6B [13:12]	00	
R6B14	HIGH	
R6B15	HIGH	

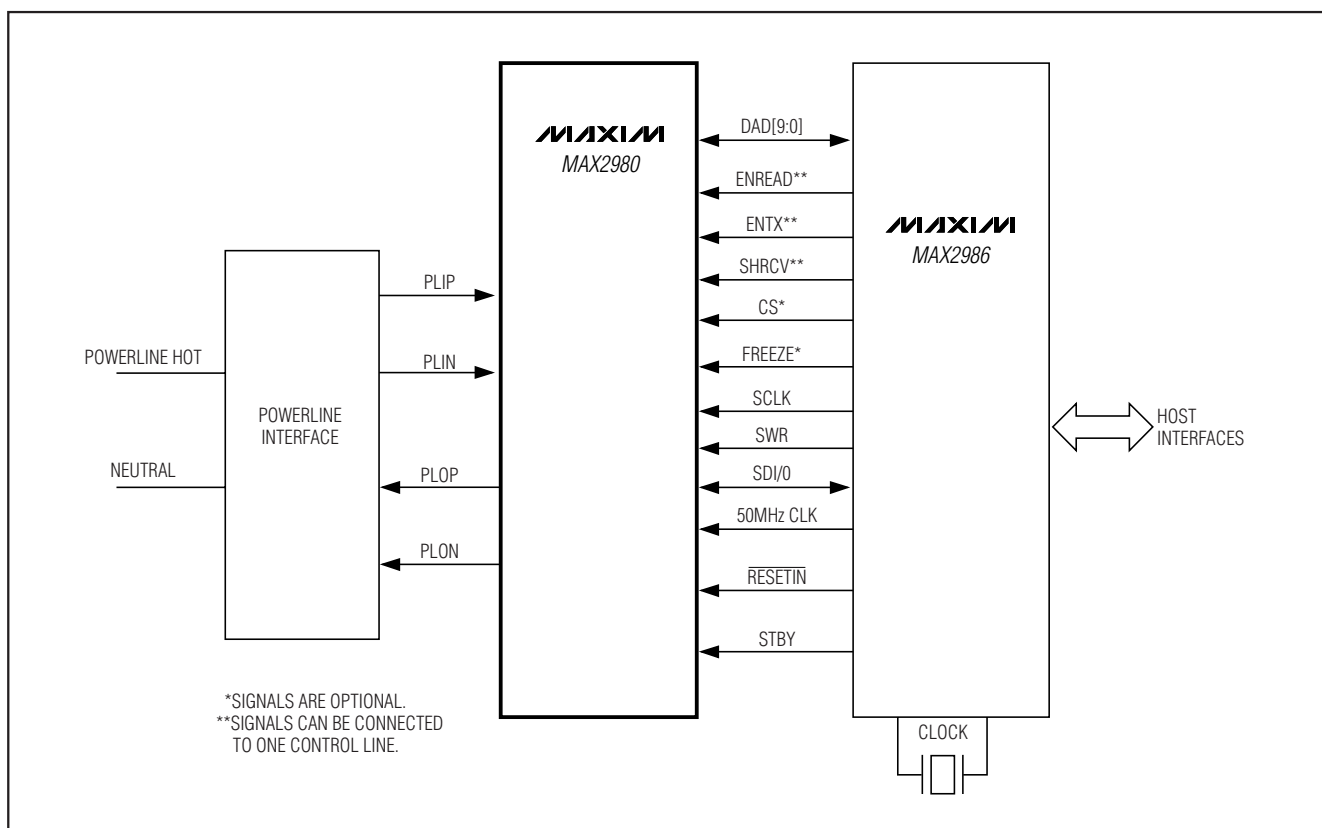
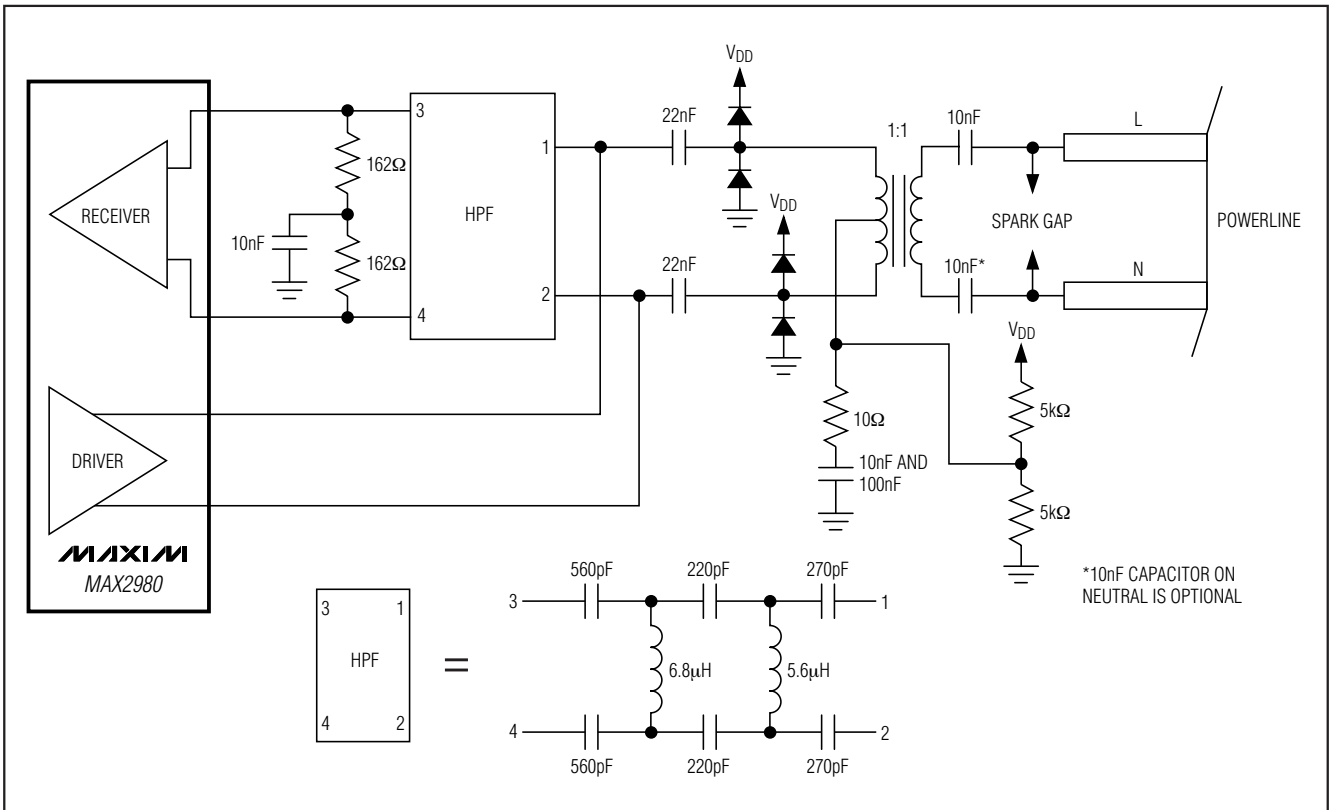


图4. MAX2980到MAX2986的接口

电力线通信模拟前端收发器

MAX2980

典型工作电路



芯片信息

TRANSISTOR COUNT: 64,841

PROCESS: CMOS

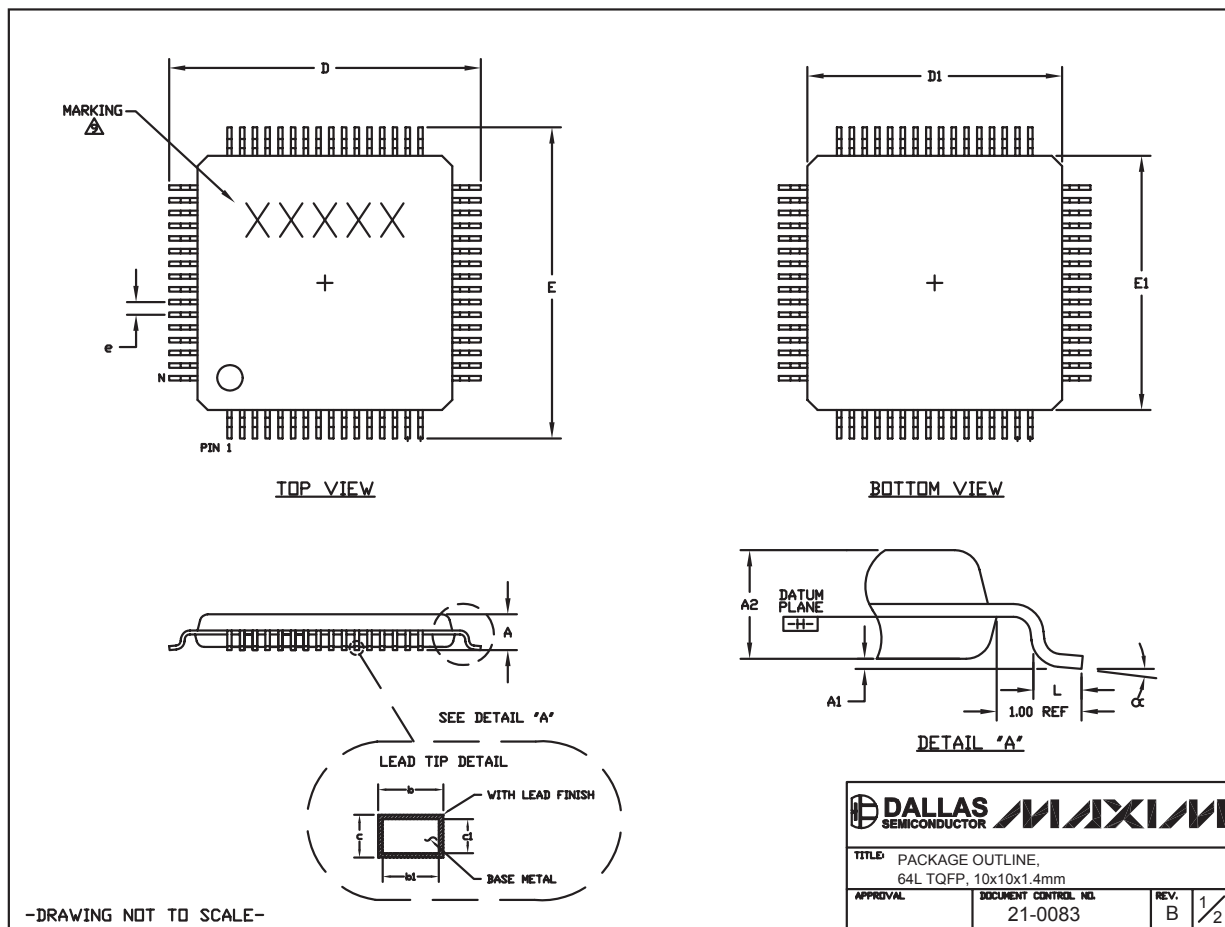
电力线通信模拟前端收发器

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-ic.com.cn/packages.)

MAX2980

64L TQFP, EPS



电力线通信模拟前端收发器

封装信息 (续)

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外型信息, 请查询 www.maxim-ic.com.cn/packages.)

NOTES:

1. ALL DIMENSIONING AND TOLERANCING CONFORM TO ANSI Y14.5-1982.
2. DATUM PLANE \square IS LOCATED AT MOLD PARTING LINE AND COINCIDENT WITH LEAD, WHERE LEAD EXITS PLASTIC BODY AT BOTTOM OF PARTING LINE.
3. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION IS 0.25 MM ON D1 AND E1 DIMENSIONS.
4. THE TOP OF PACKAGE IS SMALLER THAN THE BOTTOM OF PACKAGE BY 0.15 MILLIMETERS.
5. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 MM TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. ALL DIMENSIONS ARE IN MILLIMETERS.
7. THIS OUTLINE CONFORMS TO JEDEC PUBLICATION 95, REGISTRATION MS-026, VARIATION BCD.
8. LEADS SHALL BE COPLANAR WITHIN .004 INCH.
9. MARKING SHOWN IS FOR PACKAGE ORIENTATION REFERENCE ONLY.

JEDEC VARIATION		
BCD		
64 LEAD		
	MIN.	MAX.
A	---	1.60
A ₁	0.05	0.15
A ₂	1.35	1.45
D	11.80	12.20
D ₁	9.80	10.20
E	11.80	12.20
E ₁	9.80	10.20
e	0.50 BSC.	
L	0.45	0.75
b	0.17	0.27
b ₁	0.17	0.23
c	0.09	0.20
c ₁	0.09	0.16
α	0°	7°

-DRAWING NOT TO SCALE-

		
TITLE: PACKAGE OUTLINE, 64L TQFP, 10x10x1.4mm		
APPROVAL	DOCUMENT CONTROL NO. 21-0083	REV. B 2/2

MAXIM北京办事处

北京 8328 信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6201 0598

传真: 010-6201 0298

Maxim 不对 Maxim 产品以外的任何电路使用负责, 也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

14 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**