



A7102A

315/433MHz FSK Transceiver

Document Title

315/433MHz FSK Transceiver

Revision History

<u>Rev. No.</u>	<u>History</u>	<u>Issue Date</u>	<u>Remark</u>
0.0	Preliminary	May 8 , 2007	

AMIC-COM CONFIDENTIAL

Important Notice:

AMIC-COM reserves the right to make changes to its products or to discontinue any integrated circuit product or service without notice. AMIC-COM integrated circuit products are not designed, intended, authorized, or warranted to be suitable for use in life-support applications, devices or systems or other critical applications. Use of AMIC-COM products in such applications is understood to be fully at the risk of the customer.



Table of contents

1. 一般描述 (General Description)	4
2. 基本應用 (Typical Applications)	4
3. 特性 (Features)	4
4. 接腳配置 (Pin Configurations)	4
5. RF Chip方塊圖 (Block Diagram)	5
6. 絕對最大範圍	6
7. 接腳說明	8
8. 控制暫存器 (Control Register).....	9
8.1 Control Register Summary.....	9
8.2 控制暫存器說明 (Control Register Description):.....	10
8.2.1 System clock (Address: 00h)	10
8.2.2 PLL I (Address: 01h).....	10
8.2.3 PLL II (Address: 02h).....	10
8.2.4 PLL III (Address: 03h).....	11
8.2.5 PLL IV (Address: 04h)	11
8.2.6Crystal (Address: 05h)	12
8.2.7 TX I (Address: 06h).....	12
8.2.8 TX II (Address: 07h).....	13
8.2.9 RX I (Address: 08h)	13
8.2.10 RX II (Address: 09h)	14
8.2.11 ADC (Address: 0Ah)	15
8.2.12 FIFO (Address: 0Bh).....	15
8.2.13 Code (Address: 0Ch)	16
8.2.14 Pin Control (Address: 0Dh).....	16
8.2.15 Calibration (Address: 0Eh).....	17
8.2.16 Mode control (Address: 0Fh)	19
9. SPI串列介面控制.....	21
9.1 SPI格式.....	21
Address Byte	21
9.2 SPI時序圖(SPI Timing Chart).....	22
9.3 控制暫存器存取型態	22
9.4 SPI時序特性(SPI Timing Specification)	23
10 振盪電路連接	24
10.1 使用石英晶體	24
10.2 使用外部時脈(Clock Source).....	24
11. 系統時脈 (System Clock)	25
11.1 clock chain 機制.....	26
11.1.1 不使用clock chain	26
11.1.2 使用基頻參考信號(GRCK)800KHz設置	26
11.1.3 使用基頻參考信號(GRCK)1.2MHz設置	26
12. 工作頻率設定	27
12.1 PLL I及PLL II的設定.....	27
13. 系統狀態機制 (State machine)	28
14. CAL state的校準	30
14.1 校準程序 (Calibration Process).....	30
15. VCO band校準.....	30
15.1 校準程序 (Calibration Process).....	30
16. FIFO (First In First Out)功能	31
16.1 傳送封包格式	31
16.2 封包處理 (Packet Handling).....	31
16.3 資料傳送時間計算	32
16.4 TX/RX FIFO.....	32
16.5 FIFO pointer margin threshold.....	32
17. 工作模式 (Mode of operation)	34
17.1 Direct mode	34
17.1.1 TX傳送時序.....	34



A7102A

315/433MHz FSK Transceiver

17.1.2 RX傳送時序	35
17.2 FIFO mode.....	36
17.2.1 TX傳送時序.....	36
17.2.2 RX接收時序	37
18. ADC (Analog Digital Converter)	38
18.1 溫度量測	38
18.2 RSSI量測	38
18.3 載波(Carrier)偵測	38
18.4 外部信號源量測.....	38
19. 應用電路(Application Circuit)	39
20. 包裝資訊(Package Information)	41
21. 產品資訊(Ordering Information)	42

AMIC-COM CONFIDENTIAL



A7102A

315/433MHz FSK Transceiver

1. 一般描述 (General Description)

A7102 A 是一單晶片 CMOS 製程，用於 315/433MHz ISM 頻段的無線應用 IC。這裝置提供 32 接腳，QFN5x5 包裝。FSK 調變技術，可雙向傳輸 data rate 最高為 150Kbps。

2. 基本應用 (Typical Applications)

- Wireless data communication
- Remote control
- Keyless entry
- Home automation
- Wireless toy

3. 特性 (Features)

- Frequency bands: 315MHz/433MHz
- Programmable RF output power: up to 15dBm
- Low power consumption:
RX:12mA, TX:20mA@0dBm
- Supply voltage 2.2 ~ 3.6V
- Programmable data rate up to 150kbps
- No external SAW Filter
- Optional RTC function
- On chip 8-bit ADC
- Integrated temperature sensor
- RSSI (Received Signal Strength Indicator)
- Programmable channel filter bandwidth
- Programmable carrier sense indicator
- RX clock recovery
- Frame synchronization recognition
- Optional FEC/CRC/data whitening
- Optional Manchester Data
- 64 bytes TX/RX FIFO buffer
- Extern FIFO up to 256 bytes
- Small 5x5 mm QFN32 package

4. 接腳配置 (Pin Configurations)

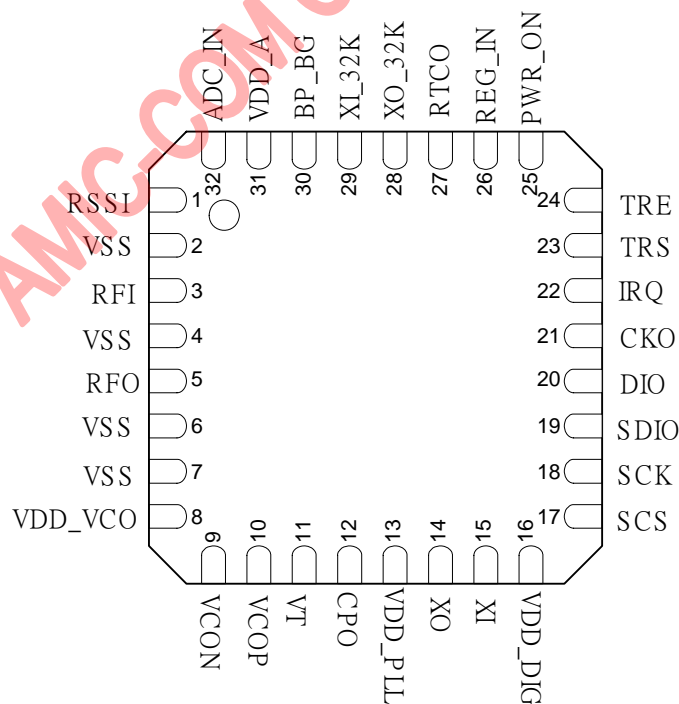


Fig1. A7102A QFN Package Top View



5. RF Chip 方塊圖 (Block Diagram)

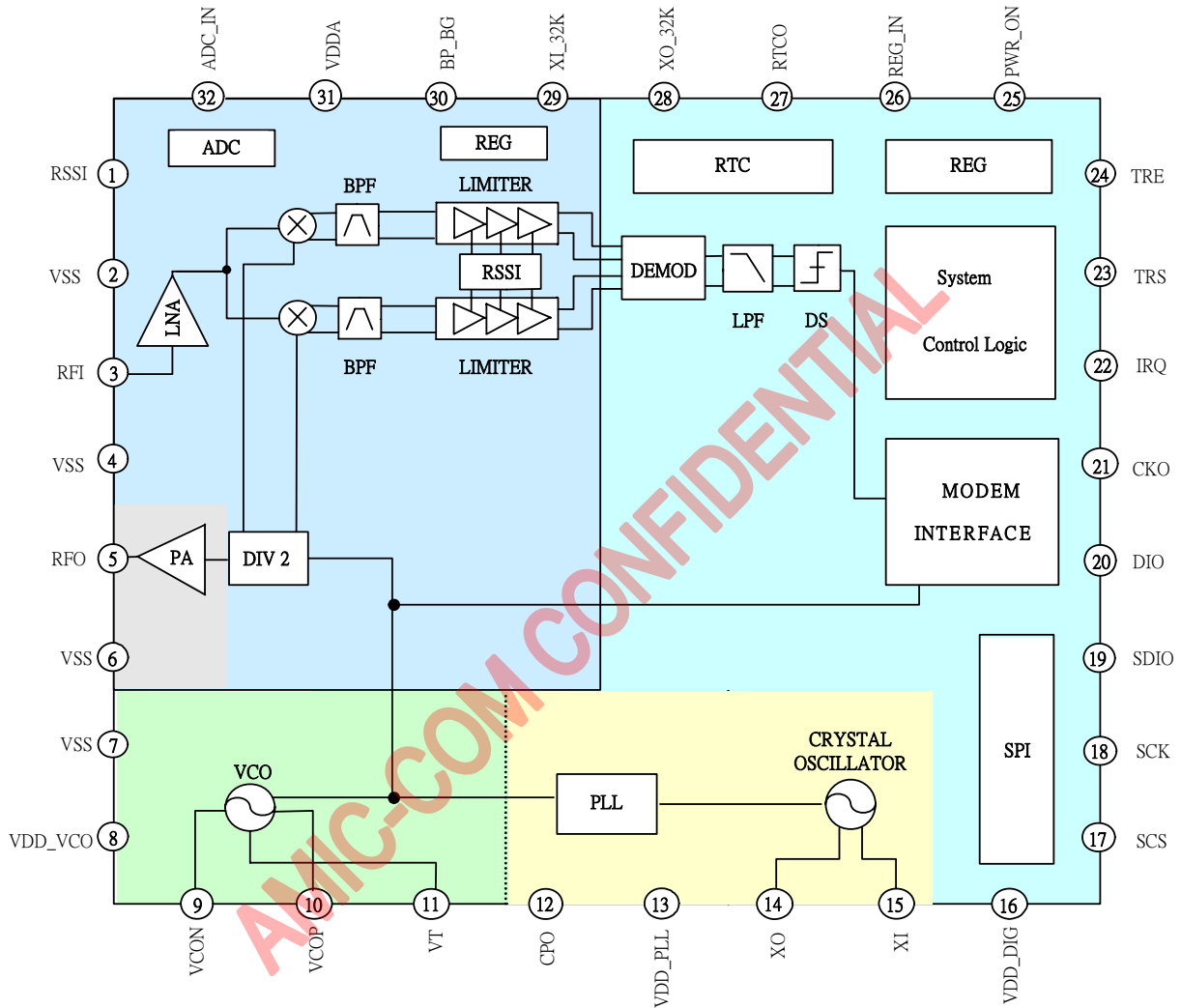


Fig2.系統方塊圖



A7102A

315/433MHz FSK Transceiver

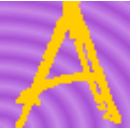
6. 絕對最大範圍

Parameter	With respect to	Rating	Unit
Supply voltage range (VDD)	GND	-0.3 ~ 3.6	Vdc
Other I/O pins range	GND	-0.3 ~ VDD+0.3	Vdc
Maximum input RF level		0	dBm
Storage Temperature range		-55 ~ 125	°C

*Stresses above those listed under "Absolute Maximum Rating" may cause permanent damage to the device. These are stress ratings only; functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

電氣特性(Ta=25°C, VDD=3.3V, data rate= 100kbps)

Parameter	Description	Minimum	Typical	Maximum	Unit
General					
Operating Temperature		-40		85	°C
Supply Voltage		2.2	3.3	3.6	V
Current Consumption Transceiver Circuit in 433MHz band	RX low gain mode		12		mA
	RX high gain mode		14		mA
	TX Mode @15dBm output		40		mA
	TX Mode @10dBm output		34		mA
	TX Mode @5dBm output		25		mA
	TX Mode @0dBm output		20		mA
	Synthesizer Mode		7.1		mA
	Standby Mode(x'tal on)		1		mA
Standby Mode(x'tal off)		0.3		mA	
Sleep Mode				1	μA
Phase Locked Loop					
X'TAL Settling Time	couple=1, high current		0.45		ms
X'TAL frequency	@150K Mode ¹		4/8/12.8/19.2		MHz
PLL Phase noise (loop component: R1=3.9k,C1=1.5nF,C2=220pF)	PN @10k offset		75		dBc/Hz
	PN @100k offset		100		dBc/Hz
	PN @500k offset		115		dBc/Hz
Reference spur			65		dBc
PLL Settling Time @settle to 10Hz	C1=2.2nF,R2=820,C2=33nF,R3=22k,C3=33pF		70		μs
Transmitter					
TX Power	@ Maximum Power Setting		15		dBm
Power Control Range	Step 5dBm		15		dB
TX Settling Time			60		μs
Receiver					
Sensitivity @BER=0.001, high gain mode	Data rate 50kbps@50K Mode ²		-110		dBm
	Data rate 100kbps		-107		
	@150K Mode		-104		
IF Frequency	@50K Mode		100		KHz
	@100K Mode		200		
	@150K Mode		300		
Receiver bandwidth	@50K Mode		50		



A7102A

315/433MHz FSK Transceiver

	@100K Mode		100		KHz
	@150K Mode		150		
Image Rejection			25		dB
RSSI Range	@RF input	-120		-60	dBm
RSSI linearity			-/+2		dB
RX Settling Time			150		μ s

Note:

1. Crystal frequency can be chosen 1 to 32X of 0.8MHz.
2. Max Data rate= 50kbps @50K Mode, Max Data rate= 150kbps @150K Mode.

AMIC-COM CONFIDENTIAL



7. 接腳說明

Note: I: 輸入(input); O: 輸出(output);

Pin No.	Symbol		Function Description
1	RSSI	I	RSSI bypass. 連接外部電容.
2	VSS	I	類比(Analog)電路接地點.
3	RFI	I	射頻(RF) 輸入端.
4	VSS	I	類比(Analog)電路接地點.
5	RFO	O	射頻(RF) 輸出端.
6	VSS	I	類比(Analog)電路接地點.
7	VSS	I	類比(Analog)電路接地點.
8	VDD_VCO	I	VCO 電源提供輸入.
9	VCON	I	VCO 外部電感元件接點 1.
10	VCOP	I	VCO 外部電感元件接點 2..
11	VT	I	VCO VT(tuning voltage)輸入.
12	CPO	O	Charge-pump 輸出.
13	VDD_PLL	I	VCO PLL 電源提供輸入.
14	XO	I	振盪電路接點 2 .
15	XI	I	振盪電路接點 1 .
16	VDD_DIG	I	數位(Digital) 電源提供輸入.
17	SCS	I	SPI 信號致能.
18	SCK	I	SPI 時脈信號.
19	SDIO	I/O	SPI 資料信號.
20	DIO	I/O	在 direct mode 時，雙向資料(TX/RX)接腳.
21	CKO	O	時脈信號輸出. RCK (RX recovery clock) or DCK (TX data clock).
22	IRQ	I/O	多工信號輸入/輸出.CD (carrier detect), SYNC (RX frame sync) , FP (FIFO packet).
23	TRS	I	TX/RX state 選擇. 0:RX, 1:TX.
24	TRE	I	TX/RX mode 致能接腳. 高電位致能.
25	PWR_ON	I	RF Chip 電源致能(ON/OFF)接腳. 高電位致能..
26	REG_IN	I	+3.3V 提供電源輸入接腳.
27	RTCO	O	32.768KHz 參考時脈輸出.
28	XO_32K	I	32.768KHz 晶體振盪電路接點 2.
29	XI_32K	I	32.768KHz 晶體振盪電路接點 1.
30	BP_BG	I	Bandgap bypass. 連接外部電容.
31	VDD_A	I	類比(Analog)電源提供輸入.
32	ADC_IN	I	外部信號 ADC 輸入腳



A7102A

315/433MHz FSK Transceiver

8. 控制暫存器 (Control Register)

A7102 chip 有16 x 16-bit的控制暫存器，可透過簡單的3線串列相容的介面操作讀出或寫入資料 (SCS, SCK, SDIO)。控制暫存器列表如下：

8.1 Control Register Summary

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
00h System clock	W	SDR6	SDR5	SDR4	SDR3	SDR2	SDR1	SDR0	GRS	GRC4	GRC3	GRC2	GRC1	GRC0	CSC2	CSC1	CSC0
	R	SDR6	SDR5	SDR4	SDR3	SDR2	SDR1	SDR0	GRS	GRC4	GRC3	GRC2	GRC1	GRC0	CSC2	CSC1	CSC0
01h PLL I	W				MDIV	RRC3	RRC2	RRC1	RRC0	IP7	IP6	IP5	IP4	IP3	IP2	IP1	IP0
02h PLL II	W	FP15	FP14	FP13	FP12	FP11	FP10	FP9	FP8	FP7	FP6	FP5	FP4	FP3	FP2	FP1	FP0
03h PLL III	W	AFC	MC14	MC13	MC12	MC11	MC10	MC9	MC8	MC7	MC6	MC5	MC4	MC34	MC24	MC1	MC0
	R	AFC	MC14	MC13	MC12	MC11	MC10	MC9	MC8	MC7	MC6	MC5	MC4	MC34	MC24	MC1	MC0
04h PLL IV	W					PDL2	PDL1	PDL0	HFB	VCS1	VCS0	CPS	CPC1	CPC0	SDPW	NSDO	EDI
05h Crystal	W							RTOE	RTCI	RTC1	RTC0	RTCE	XCC	XCP1	XCP0	CGS	XS
06h TX I	W				TME	GS	FDP2	FDP1	FDP0	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0
07h TX II	W							TDL1	TDL0	TXDI	PAC1	PAC0	TDC1	TDC0	TBG2	TBG1	TBG0
08h RX I	W		DMT	MPL1	MPL0	SLF2	SLF1	SLF0	ETH1	ETH0	DMOS	DMG1	DMG0	BW1	BW0	ULS	HGM
09h RX II	W	RXDI	PMD1	PMD0	DCV7	DCV6	DCV5	DCV4	DCV3	DCV2	DCV1	DCV0	DCL2	DCL1	DCL0	DCM1	DCM0
0Ah ADC	W							XADS	CDM	RTH7	RTH6	RTH5	RTH4	RTH3	RTH2	RTH1	RTH0
	R							VBD1	VBD0	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0
0Bh FIFO	W	FPM1	FPM0	PSA5	PSA4	PSA3	PSA2	PSA1	PSA0	FEP7	FEP6	FEP5	FEP4	FEP3	FEP2	FEP1	FEP0
0Ch Code	W			WS6	WS5	WS4	WS3	WS2	WS1	WS0	MCS	WHTS	FECS	CRCS	IDL	PML1	PML0
0Dh Pin control	W							PCS	IRQI	IRQ1	IRQ0	IRQE	CKOI	CKO1	CKO0	CKOE	SCKI
0Eh Calibration	W		VTL2	VTL1	VTL0	VTH2	VTH1	VTH0	MVBS	MVB2	MVB1	MVB0	MIFS	MIF3	MIF2	MIF1	MIF0
	R	FCD4	FCD3	FCD2	FCD1	FCD0	DVT1	DVT0	VBCF	VB2	VB1	VB0	FBCF	FB3	FB2	FB1	FB0
0Fh Mode control	W								FMT	FMS	CER	PLLE	TRSR	TRER	VBC	FBC	ADCM
	R						FECF	CRCF	FMT	FMS	CER	PLLE	TRSR	TRER	VBC	FBC	ADCM



8.2 控制暫存器說明 (Control Register Description):

8.2.1 System clock (Address: 00h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
00h	W	SDR6	SDR5	SDR4	SDR3	SDR2	SDR1	SDR0	GRS	GRC4	GRC3	GRC2	GRC1	GRC0	CSC2	CSC1	CSC0
System clock	R	SDR6	SDR5	SDR4	SDR3	SDR2	SDR1	SDR0	GRS	GRC4	GRC3	GRC2	GRC1	GRC0	CSC2	CSC1	CSC0
Reset		0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

SDR[6:0]:

Data rate 除頻器設定。

$$\text{Data rate} = \text{System clock} / (\text{SDR}[6:0]+1) / 128$$

GRS:

clock generation reference 頻率選擇。

[0]: 800KHz

[1]: 1.2MHz

GRC[4:0]:

Clock generation reference 除頻器設定。

$$\text{Clock generation reference} = f_{\text{xtal}} / (\text{GRC}[4:0]+1)$$

CSC[2:0]:

System clock 除頻器設定。

$$\text{System clock} = 64 * \text{IF clock} = \text{Clock source} / (\text{CSC}[2:0]+1)$$

8.2.2 PLL I (Address: 01h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
01h	W				MDIV	RRC3	RRC2	RRC1	RRC0	IP7	IP6	IP5	IP4	IP3	IP2	IP1	IP0
Reset					1	0	0	0	0	0	0	0	0	0	0	0	0

MDIV:

RF divider range 設定

[0]:IP[7:0]的範圍為 32~127。

[1]:IP[7:0]的範圍為 64 ~ 255。

RRC[3:0]:

RF PLL 參考除頻器(reference counter)設定。

$$\text{除數 } R = \text{RRC}[3:0] + 1.$$

IP[7:0]:

RF divider 整數部份設定。

範圍值由 MDVI bit 決定。

8.2.3 PLL II (Address: 02h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
02h	W	FP15	FP14	FP13	FP12	FP11	FP10	FP9	FP8	FP7	FP6	FP5	FP4	FP3	FP2	FP1	FP0
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FP[15:0]:

RF PLL 分數部份(fractional part)設定。

$$f_{\text{RF}} = [f_{\text{xtal}} / (\text{RRC}[4:0]+1)] * (\text{IP}[7:0] + \text{FP}[15:0] / 2^{16})$$



8.2.4 PLL III (Address: 03h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
03h	W	AFC	MC14	MC13	MC12	MC11	MC10	MC9	MC8	MC7	MC6	MC5	MC4	MC3	MC2	MC1	MC0
PLL III	R	AFC	MC14	MC13	MC12	MC11	MC10	MC9	MC8	MC7	MC6	MC5	MC4	MC3	MC2	MC1	MC0
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

AFC:

頻率補償(frequency compensation)自動/手動調校選擇

[0]: 手動調校

[1]: 自動調校

MC[14:0]:

RF PLL 分數部份(fractional part)手動設定 compensation value。

8.2.5 PLL IV (Address: 04h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
04h	W					PDL2	PDL1	PDL0	HFB	VCS1	VCS0	CPS	CPC1	CPC0	SDPW	NSDO	EDI
Reset						0	0	0	0	0	0	0	0	0	0	0	0

PDL[2:0]:

PLL settling 延遲時間選擇。

Delay = (128/system clock) * (PDL[2:0]+1) * (BW+1) * (RRC+1) us

HFB:

Transceiver 頻段選擇。

[0]: 工作頻率 < 500MHz

[1]: 工作頻率在 500MHz~ 1GHz。

VCS[1:0]:

VCO 電流控制。

CPS:

Charge pump tri-state 設定。

[0]: Tri-state

[1]: Normal

CPC[1:0]:

Charge pump 電流設定。

[00]: 0.5mA

[01]: 1mA

[10]: 1.5mA

[11]: 2mA

SDPW[1:0]:

pulse width of sigma-delta modulator

NSDO[1:0]:

Mash sigma delta order setting,

[0]: order 2.

[1]: order 3.

EDI[1:0]:

dither noise enable/disable 設定

[0]: dither noise 關閉

[1]: dither noise 開啓



A7102A

315/433MHz FSK Transceiver

8.2.6 Crystal (Address: 05h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
05h Crystal	W							RTOE	RTCI	RTC1	RTC0	RTCE	XCC	XCP1	XCP0	CGS	XS
Reset								0	0	0	0	0	0	0	0	0	0

RTOE[2:0]:

RTC 輸出設定。

[0]: 關閉, High Z。

[1]: 開啓。

RTCI:

RTC 時脈信號反向輸出。

[0]: 信號非反向輸出。

[1]: 信號反向輸出。

RTC[1:0]:

RTC 計數器設定。

[00]: 125ms。

[01]: 500ms。

[10]: 250ms。

[11]: 1 sec。

RTCE:

RTC 計數器開啓/關閉設定。

[0]: 關閉。

[1]: 開啓。

XCC[1:0]:

Crystal 電流設定。

[0]: Low current。

[1]: High current。

XCP1[1:0]:

pulse width of sigma-delta modulator。

XCP[1:0]:

Crystal regulating couple setting。

CGS:

Clock generation 選擇。

[0]: 關閉。

[1]: 開啓。

XS:

Crystal 振盪電路 On/Off 選擇設定。

[0]: 關閉。

[1]: 開啓。

8.2.7 TX I (Address: 06h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
06h TX I	W				TME	GS	FDP2	FDP1	FDP0	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0
Reset					1	0	1	0	1	0	1	0	0	0	0	0	0

TME:

TX 調變致能。



- [0]: TX 調變關閉。
- [1]: TX 調變開啓。

GS:

高斯濾波器(Gaussian filter)選擇。

- [0]: 高斯濾波器關閉。
- [1]: 高斯濾波器開啓。

FDP[2:0]:

Frequency deviation power 設定。

FD[7:0]:

頻率偏移量(frequency deviation)設定。

如高斯濾波器關閉(GS = 0), $F_{dev} = FX / (RRC[3:0]+1) * (FD[7:0] * 2^{FDP[2:0]} / 8 / 2^{16})$

如高斯濾波器開啓(GS = 1), $F_{dev} = FX / (RRC[3:0]+1) * (128 * 2^{FDP[2:0]} / 8 / 2^{16})$

8.2.8 TX II (Address: 07h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
07h TX II	W							TDL1	TDL0	TXDI	PAC1	PAC0	TDC1	TDC0	TBG2	TBG1	TBG0
Reset								0	0	0	0	1	1	0	1	1	1

TDL[1:0]:

TX settling 延遲時間選擇。

TX settling Delay = (128/system clock) * (PLD[2:0]+1) * (BW+1) * (RRC+1) us.

TXDI:

TX data 輸入反向選擇。

- [0]: TX data 非反向輸入。
- [1]: TX data 反向輸入。

PAC[1:0]:

PA 電流設定。

TDC[1:0]:

TX driver 電流設定。

TBG[2:0]:

TX buffer 增益設定。

8.2.9 RX I (Address: 08h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
08h RX I	W		DMT	MPL1	MPL0	SLF2	SLF1	SLF0	ETH1	ETH0	DMOS	DMG1	DMG0	BW1	BW0	ULS	HGM
Reset			0	0	1	1	0	0	0	1	0	0	1	0	0	0	0

DMT[1:0]:

保留位元(Reserved for Demodulator test bit)。

- [0]: Normal(預設值)。
- [1]: 測試用。

MPL[1:0]:

symbol recovery loop filter setting after SYNC ok。

SLF[2:0]:

symbol recovery loop filter setting。

**ETH[1:0]:**

同步碼(Sync word)容許錯誤 bit 數。

[00]: 0 bit。

[01]: 1bits(建議值)。

[10]: 2 bits。

[11]: 3 bits。

DMOS:

Demodulator over-sample 選擇。

[0]: x64(預設值)。

[1]: x32。

DMG[1:0]:

Demodulator 增益選擇

[00]: x1 倍。

[01]: x3 倍(預設值)。

[10]: x5 倍。

[11]: x5 倍。

BW[1:0]:

BPF 頻帶寬選擇。

[00]: 50KHz。

[01]: 100KHz。

[10]: 150Hz。

[11]: None。

ULS:

RX Up/Low side bank 選擇。

[0]: 上旁波帶(Up side band)。

[1]: 下旁波帶(Low side band)。

HGM:

LNA gain 設定。

[0]: Normal。

[1]: High Gain。

8.2.10 RX II (Address: 09h)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
09h RX II	W	RXDI	PMD1	PMD0	DCV7	DCV6	DCV5	DCV4	DCV3	DCV2	DCV1	DCV0	DCL2	DCL1	DCL0	DCM1	DCM0
Reset								0	0	0	0	1	1	0	1	1	1

RXDI:

RX data 輸入信號反向。

PMD[1:0]:

Preamble 長度偵測設定，使用於 DCM[1:0]=01 時。

[00]: 0 bit。

[01]: 4 bits。

[10]: 8 bits(預設值)。

[11]: 16 bits。

注意：偵測長度設定需小於 PML[1:0]的設定值。

DCV[7:0]:

DC 值設定，使用於 DCM[1:0]=00 時。

DCL[2:0]:



DC 平均值收到 Data 長度設定。

DCM[1:0]:

RX data 的 DC 值選擇設定。

[00]: 由 DCV[7:0]值設定。

[01]: 收到 preamble 長度時，決定 DC 值。

[10]: 收到 ID 時，決定 DC 值。

[11]: 收到 data 長度(DCL[:2:0]值設定)，決定 DC 值。

8.2.11 ADC (Address: 0Ah)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Ah ADC	W							XADS	CDM	RTH7	RTH6	RTH5	RTH4	RTH3	RTH2	RTH1	RTH0
	R							VBD1	VBD0	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0
Reset								0	0	0	0	1	1	0	1	1	1

XADS:

ADC 輸入信號的選擇。

[0]: 對內部溫度或 RSSI 信號作 ADC 量測轉換。

[1]: 對外部信號作 ADC 量測轉換。

CDM:

載波(Carrier) 偵測開啓/關閉。

[0]: RSSI/Temperature 量測。

[1]: Carrier 偵測。

RTH[7:0]:

載波偵測(carrier detect)臨界值設定。

在 RX mode 時，

CD=1: RSSI 值 \leq RTH。

CD=0: RSSI 值 \geq RTH。

VBD[1:0]:

VCO 偏壓偵測值。

ADC[7:0]:

溫度、RSSI 或外部信號量測的 ADC 值輸出。

RX state: Digital RSSI output. $PWR_{RSSI} = -110\text{dbm} + 40 * RSSI [7:0] / 8$.

Non-RX state: Digital thermometer output. The temperature slope is around $+2 \text{ }^\circ\text{C} / \text{LSB}$.

8.2.12 FIFO (Address: 0Bh)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Bh FIFO	W	FPM1	FPM0	PSA5	PSA4	PSA3	PSA2	PSA1	PSA0	FEP7	FEP6	FEP5	FEP4	FEP3	FEP2	FEP1	FEP0
Reset								0	0	0	0	1	1	0	1	1	1

FPM[1:0]:

TX/RX FIFO 臨界值設定。

設定值	Bytes in TX FIFO	Bytes in RX FIFO
[00]	4	60
[01]	8	56
[10]	12	52
[11]	16	48

PSA[5:0]:

TX FIFO packet 起始位址。

**FEP[7:0]:**

TX/RX FIFO bytes 結束位址設定。FIFO 結束位址 = FEP[7:0]+1。

8.2.13 Code (Address: 0Ch)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Ch Code	W			WS6	WS5	WS4	WS3	WS2	WS1	WS0	MCS	WHTS	FECS	CRCS	IDL	PML1	PML0
Reset				0	1	0	1	0	1	0	0	0	0	0	1	0	1

WS[6:0]:

Whitening seed 設定。

MCS:

Manchester code 選擇。

[0]: Manchester code 開啓。

[1]: Manchester code 關閉。

WHTS:

Data whitening 選擇。

[0]: Data whitening 開啓。

[1]: Data whitening 關閉。

FECS:

FEC 選擇。

[0]: FEC 開啓。

[1]: FEC 關閉。

CRCS:

CRC 選擇。

[0]: CRC 開啓。

[1]: CRC 關閉。

IDL:

ID code 長度選擇。

0: 2 bytes。

1: 4 bytes。

PML[1:0]:

Preamble 長度選擇。

[00]: 1 byte。

[01]: 2 bytes。

[10]: 3 bytes。

[11]: 4 bytes。

8.2.14 Pin Control (Address: 0Dh)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Dh Pin control	W							PCS	IRQI	IRQ1	IRQ0	IRQE	CKOI	CKO1	CKO0	CKOE	SCKI
Reset											0	0	0	0	1	0	1

PCS:

Pin TRE, TRS 控制選擇。

[0]: 使用 register 控制 mode 的選擇。

[1]: 使用 pin TRE, TRS 控制 mode 的選擇。

**IRQI:**

IRQ pin 信號反向輸出。
 [0]: pin IRQ 非反向輸出。
 [1]: pin IRQ 反向輸出。

IRQ[1:0]:

Pin IRQ 信號輸出選擇。

	TX state	RX state
[00]	wait state & TX state	WTR
[01]	Access code 傳送完成	Access code 正確找到
[10]	TX 調變開始	carrier 偵測到
[11]	None	外部 sync 信號輸入(for direct mode)

IRQE:

IRQ pin 輸出開啓。
 [0]: pin CKO High Z。
 [1]: pin CKO 開啓。

CKOI:

CKO pin 信號反向輸出。
 [0]: pin CKO 非反向輸出。
 [1]: pin CKO 反向輸出。

CKO[1:0]:

CKO pin 信號輸出選擇。
 [00]: BCK(Bit Clock)。
 [01]: MRCK(Modulation Rate)。
 [10]: FPF(FIFO Point Flag)。
 [11]: 保留。

CKOE:

CKO pin 信號輸出開啓。
 [0]: pin CKO High Z。
 [1]: pin CKO 開啓。

SCKI:

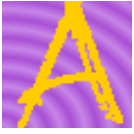
SPI pin - SCK 信號反向輸入。
 [0]: pin SCK 非反向輸入。
 [1]: pin SCK 反向輸入。

8.2.15 Calibration (Address: 0Eh)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Eh	W		VTL2	VTL1	VTL0	VTH2	VTH1	VTH0	MVBS	MVB2	MVB1	MVB0	MIFS	MIF3	MIF2	MIF1	MIF0
Calibration	R	FCD4	FCD3	FCD2	FCD1	FCD0	DVT1	DVT0	VBCF	VB2	VB1	VB0	FBCF	FB3	FB2	FB1	FB0
Reset			0	0	0	0	0	0	0	1	0	0	0	0	1	1	0

VTL[2:0]:

VT 低臨界值(Threshold)設定。
 [000]: VTH=Vdd-0.1V。
 [001]: VTH=Vdd-0.2V。
 [010]: VTH=Vdd-0.3V。
 [011]: VTH=Vdd-0.4V。
 [100]: VTH=Vdd-0.5V(預設值)。
 [101]: VTH=Vdd-0.6V。



[110]: $V_{TH} = V_{dd} - 0.7V$ ◦

[111]: $V_{TH} = V_{dd} - 0.8V$ ◦

VTH[2:0]:

VT 高臨界值(Threshold)設定

[000]: $V_{TL} = 0.1V$ ◦

[001]: $V_{TL} = 0.2V$ ◦

[010]: $V_{TL} = 0.3V$ ◦

[011]: $V_{TL} = 0.4V$ ◦

[100]: $V_{TL} = 0.5V$ ◦

[101]: $V_{TL} = 0.6V$ ◦

[110]: $V_{TL} = 0.7V$ ◦

[111]: $V_{TL} = 0.8V$ ◦

MVBS:

VCO bank 自動(Auto)/手動(Manual)校準選擇 ◦

[0]: 自動校準 ◦

[1]: 手動校準 ◦

MVB[2:0]:

VCO band 手動調校值設定 ◦

MIFS:

IF filter tuning 自動(Auto)/手動(Manual)校準選擇 ◦

[0]: 自動校準 ◦

[1]: 手動校準 ◦

MIF[3:0]:

IF filter tuning 手動(Manual)調校值設定 ◦

FCD[4:0]:

IF filter 校準值與目標值的差值 ◦

DVT[1:0]:

DVT 值輸出 ◦

[00]: $V_{T} < V_{TL} < V_{TH}$ ◦

[01]: $V_{TL} < V_{T} < V_{TH}$ ◦

[10]: No used ◦

[11]: $V_{TL} < V_{TH} < V_{T}$ ◦

VBCF:

VCO band 自動調校成功/錯誤指示 ◦

[0]: 調校成功 ◦

[1]: 調校失效 ◦

VB[2:0]:

VCO bank 自動調校值 ◦

FBCF:

IF filter calibration 成功/錯誤指示 ◦

[0]: 校準成功 ◦

[1]: 校準失效 ◦

FB[3:0]:

IF filter tuning 自動校準值 ◦

AMIC-COM CONFIDENTIAL



8.2.16 Mode control (Address: 0Fh)

Address/Name	R/W	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0Fh	W								FMT	FMS	CER	PLLE	TRSR	TRER	VBC	FBC	ADCM
Mode control	R						FECF	CRCF	FMT	FMS	CER	PLLE	TRSR	TRER	VBC	FBC	ADCM
Reset									0	0	0	0	0	0	0	0	0

FMT:

FIFO mode test。

[0]: Normal。

[1]: FIFO mode test。僅在 FIFO mode 工作模式有效。當完成封包(packet)測試後，會自動清除為 0。

FMS:

Direct/FIFO mode 工作模式選擇。

[0]: Direct mode。

[1]: FIFO mode。

CER:

RF chip 致能選擇。

[0]: 關閉。

[1]: 啟動。

PLLE:

PLL 開啓選擇。

[0]: PLL 開啓。

[1]: PLL 關閉。

TRSR:

TRX state 選擇。

[0]: RX state。

[1]: TX state。

當設定 TRE=1 後，依 TRS bit 選擇進入 TX state 或 RX state。

TRER:

TRX state 致能選擇。

[0]: 清除 TRE

[1]: 致能 TRE。如在 FIFO mode 時，傳送封包(packet)完成後，會自動清除為 0。

VBC:

VCO 自動校準(calibration)選擇。

[0]: 關閉 VCO calibration 或已校正完成。

[1]: 啟動 VCO calibration 功能。完成校正後，會自動清除為 0。

FBC:

IF filter 自動校準(calibration)選擇。

[0]: 關閉校準功能或已校準完成。

[1]: 啟動校準功能。完成校準後，會自動清除為 0。

ADCM:

ADC 量測致能。

[0]: 關閉 ADC 量測。

[1]: 啓始 ADC 量測。這 bit 設定後，量測動作完成時，會自動清除為 0。

	None Rx state	RX state
[0]	None	None
[1]	溫度量測	RSSI 量測、載波偵測、對外部信號作 ADC 量測轉換



A7102A

315/433MHz FSK Transceiver

FECF:

FEC 檢查旗標。

[0]: FEC 檢查正確。

[1]: FEC 檢查錯誤。

CRCF:

CRCF 檢查旗標。

[0]:CRC 檢查正確。

[1]: CRC 檢查錯誤。

AMIC-COM CONFIDENTIAL



9. SPI 串列介面控制

A7102 RF chip 控制暫存器的控制係藉由簡單的3線串列相容的介面操作讀出或寫入資料(SCS, SCK, SDIO)。

SCK時脈正緣(rising edge), 將資料門鎖(latch)寫入控制暫存器中。讀出控制暫存器值時, 在寫入位址資料欄(address)後, RF chip會在SCK時脈負緣(falling edge)時, 將資料轉換。

9.1 SPI 格式

Address Byte(8 bits)								Data words(16 bits)															
R/W	Command				Address			Data															
7	6	5	4	3	2	1	0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Address bytes:

Bit 7: R/W bit

[0]: 寫data至register。

[1]: 從register讀出data。

Bit [6:4]: Command

[00x]: 讀/寫 控制register。

[01x]: 讀/寫 ID code。

[10x]: 讀/寫 FIFO register。

[110]: 重置TX/RX FIFO指標。

[111]: 重置RF register。

Bit[3:0]: 控制暫存器位址

指令表:

Address Byte								說明
b7	b6	b5	b4	b3	b2	b1	b0	
0	0	0	x	A3	A2	A1	A0	寫 data 到控制暫存器 A[3:0]
1	0	0	x	A3	A2	A1	A0	從控制暫存器 A[3:0]讀出 data
0	0	1	x	x	x	x	x	寫入 ID code 指令
1	0	1	x	x	x	x	x	讀出 ID code 指令
0	1	0	x	x	x	x	x	TX FIFO 寫入指令
1	1	0	x	x	x	x	x	RX FIFO 讀出指令
X	1	1	1	x	x	x	x	RF chip Reset 指令
0	1	1	0	x	x	x	x	TX FIFO 位址指標重置指令
1	1	1	0	x	x	x	x	RX FIFO 位址指標重置指令

註: x – Don't care

Data words:

Bit[15:0]: 資料位元



9.2 SPI 時序圖(SPI Timing Chart)

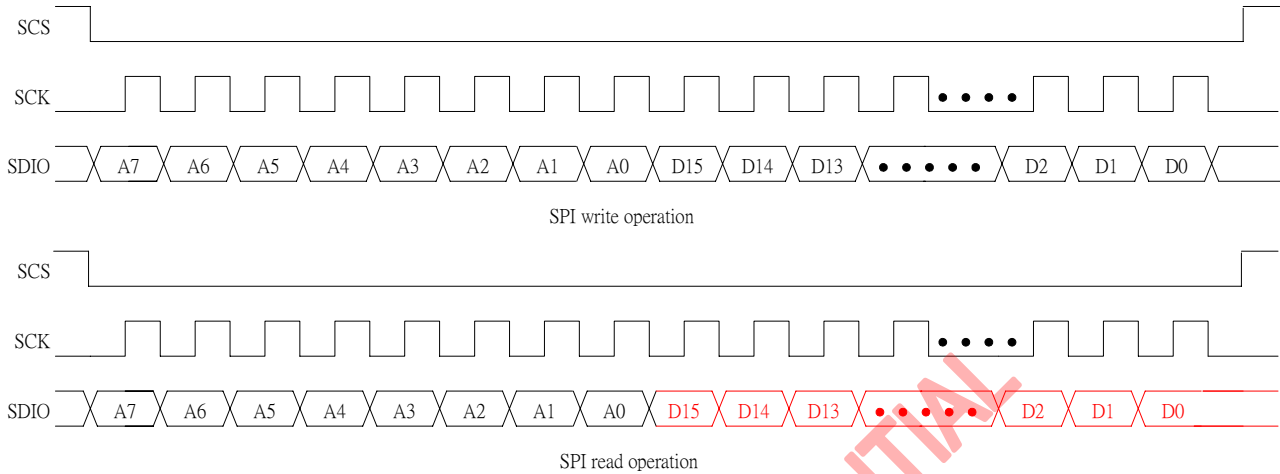


Fig3. SPI 讀/寫時序

9.3 控制暫存器存取型態

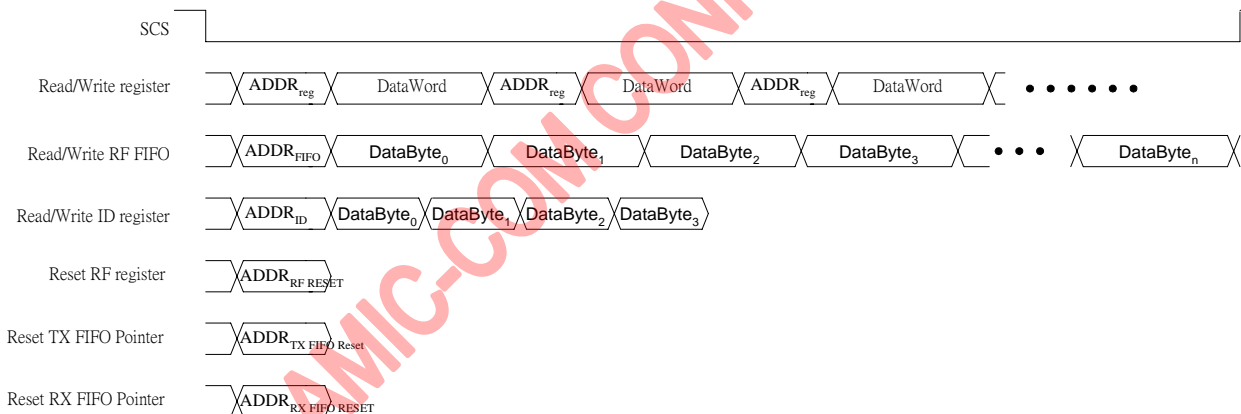
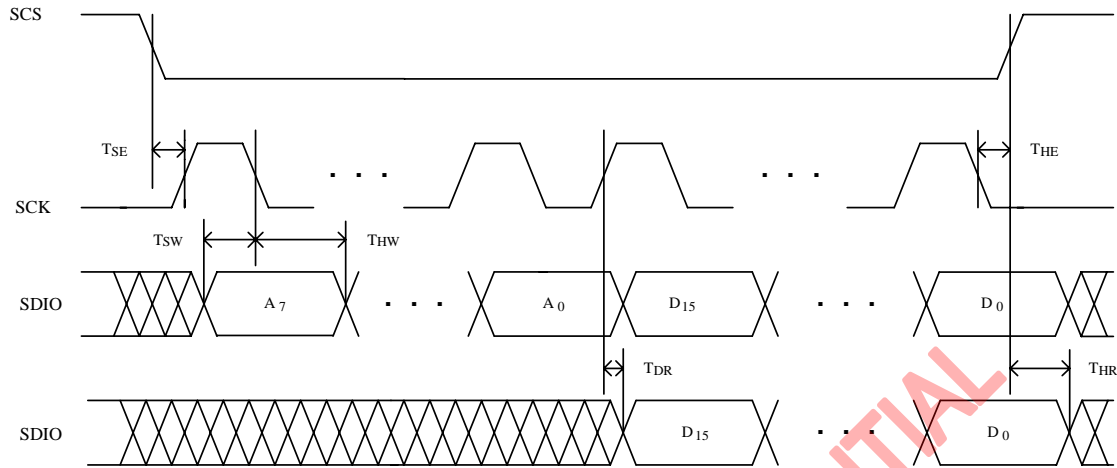


Fig4. 控制暫存器存取型態



9.4 SPI 時序特性(SPI Timing Specification)



Parameter	Description	Min.	Max.	Unit
F _C	SPI clock frequency.		10	MHz
T _{SE}	SCS setup time.	50		ns
T _{HE}	SCS hold time.	50		ns
T _{SW}	SDIO setup time.	50		ns
T _{HW}	SDIO hold time.	50		ns
T _{DR}	SDIO delay time.	0	100	ns
T _{HR}	SDIO hold time.	0		ns

AMIC-COM CONFIDENTIAL



10 振盪電路連接

A7102 RF chip 使用石英晶體或是外部提供穩定的基準信號源，做為基本振盪源。

10.1 使用石英晶體

在 A7102 的 XI 和 XO 接腳之間連接一個石英振盪器(Crystal)，對不同頻率的振盪模式所須外加電容 C1 與 C2 值，請參照表，選用適當的電容值。同時需設定 XS bit =1，啓始振盪電路工作。

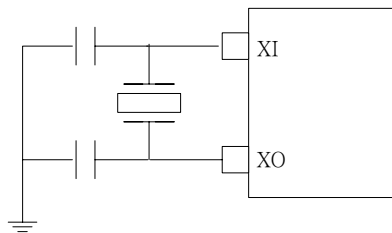


Fig5. 石英振盪電路

10.2 使用外部時脈(Clock Source)

A7102 也可直接由外部輸入 Clock，如下圖。只要將裝置的 Clock 輸出到 XO 接腳，XI 接腳空接。由於 IC 內部已內建阻隔 DC 的電容，故 pin XO 不需另接一電容，請參照圖 7。

Clock Source 的振幅+2.0 ~ +2.5VPP。Clock Source 信號是否純淨，會直接影響 RF chip 的效能。同時需設定 XS bit =0，關閉振盪電路工作，可減少耗電。

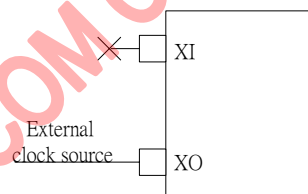


Fig6. 外部振盪源連接電路



11. 系統時脈 (System Clock)

A7102 RF chip 內部使用的系統時脈源(system clock)，是由晶體振盪源或外部提供的基準信號，經 clock chain 的處理機制，計數器的正確設定，提供 RF chip 所需的系統時脈，才能正常運作。

Clock chain 的機制是由計數器 GRC，PLL 倍頻電路所組成，產生 38.4MHz 的標準時脈源(clock source)。

時脈源(clock source)的選擇，可為晶體振盪源或外部提供的基準信號源，或是 38.4MHz 的標準時脈源。

計數器 GRC 的設定值，將晶體振盪源或外部提供的基準信號源，經除頻動作除至 800KHz 或 1.2MHz 的基頻參考信號 (GRCK)。同時這信號時脈會提供給 ADC 電路使用。

基頻參考信號(GRCK) = (晶體振盪源或外部提供的時脈源) / (GRC[4:0]+1)。

計數器 CSC 的設定值，將時脈(clock source)，經除頻動作除至所需的系統時脈(system clock)。

系統時脈(system clock) = 時脈源(clock source) / (CSC[2:0]+1)。

系統時脈(system clock)的設定，首先需考量使用者工作的速率(data rate)來決定系統中頻時脈(IF clock)。

如速率(data rate) ≤ 50Kbps 時，IF clock 須設定為 100KHz。

如 50Kbps < 速率(data rate) ≤ 100Kbps 時，IF clock 須設定為 200KHz。

如 100Kbps < 速率(data rate) ≤ 150Kbps 時，IF clock 須設定為 300KHz。

決定了中頻時脈(IF clock)，可計算出系統時脈(system clock)。

系統時脈(system clock) = 64 * 中頻時脈(IF clock)。

計數器 SDR 的設定值，將時脈(clock source)，經除頻動作除至所需的速率(data rate)。

速率(data rate) = 時脈源(clock source) / (SDR[6:0]+1) / 128。

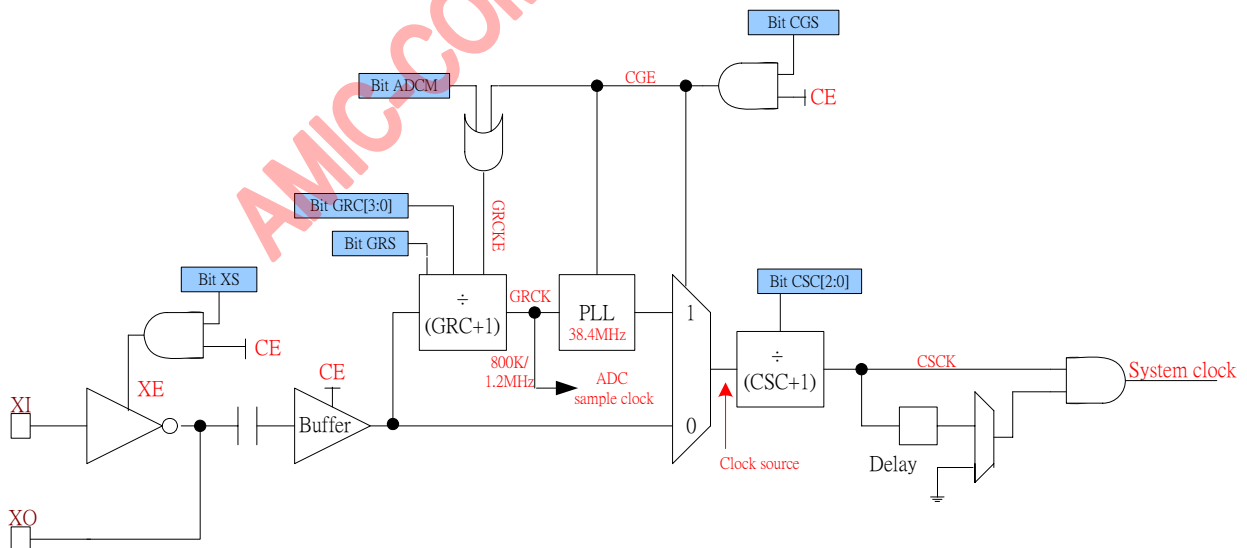


Fig7. 系統時脈方塊圖一

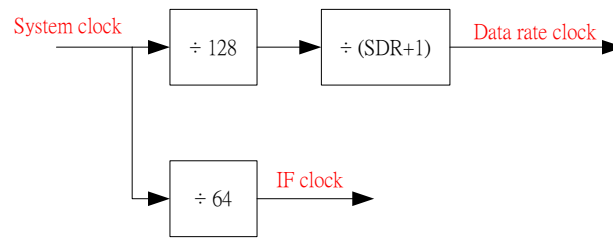


Fig8. 系統時脈方塊圖二

11.1 clock chain 機制

如不使用標準的晶體振盪或是外部提供的基準信號源為 12.8, 19.2MHz 時，需經 clock chain 機制，將信號處理，成為基頻參考信號(GRCK)800KHz 或 1.2MHz，經內部 PLL 電路倍頻到 38.4MHz，成為時脈源(clock source)。再依系統需求，設定計數器 CSC，以獲得正確的系統時脈(system clock)。

11.1.1 不使用 clock chain

當使用晶體振盪元件或是外部提供的基準信號源為 12.8, 19.2MHz 時，可不經 clock chain 機制處理，成為時脈源(Clock source)。時脈源 (Clock source) 即相等於晶體振盪源的時脈。Crystal 控制暫存器 (crystal register) 中 bit CGS 設置為 0，則不使用 clock chain 機制。

11.1.2 使用基頻參考信號(GRCK)800KHz 設置

當使用晶體振盪元件或是外部提供的基本信號源為 4, 8, 12, 16MHz 時，可透過 clock chain 機制及選擇基頻參考信號為 800KHz，再 PLL 倍頻為 38.4MHz 的時脈源(clock source)。

使用 clock chain 機制時，Crystal 控制暫存器(crystal register)中 bit CGS 須設置為 1。使用基頻參考信號(GRCK)800KHz 時，system clock 控制暫存器中 bit GRS 須設置為 0。另外，須正確的設定計數器 GRC，將晶體振盪元件或是外部提供的時脈源，除到 800KHz 的基頻參考信號。

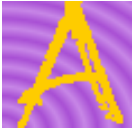
11.1.3 使用基頻參考信號(GRCK)1.2MHz 設置

當使用晶體振盪元件或是外部提供的基準信號源為 6MHz 時，可透過 clock chain 機制及選擇基頻參考信號為 1.2MHz，再 PLL 倍頻為 38.4MHz 的時脈源(clock source)。

使用 clock chain 機制時，Crystal 控制暫存器(crystal register)中 bit CGS 須設置為 1。使用基頻參考信號(GRCK)1.2MHz 時，system clock 控制暫存器中 bit GRS 須設置為 1。另外，須正確的設定計數器 GRC，將晶體振盪元件或是外部提供的時脈源，除到 1.2MHz 的基頻參考信號。

常用 Crystal source 的設定表：

Crystal source	CGS	GRS	GRC[4:0]	說明
12.8MHz	0	0	15	不使用 clock chain，使用基頻參考信號(GRCK)800KHz。
19.2MHz	0	0	23 or 15	不使用 clock chain，使用基頻參考信號(GRCK)800KHz 或 1.2MHz。
4MHz	1	0	4	使用 clock chain，使用基頻參考信號(GRCK)800KHz，倍頻至 38.4MHz 的時脈源。
8MHz	1	0	9	使用 clock chain，使用基頻參考信號(GRCK)800KHz，倍頻至 38.4MHz 的時脈源
12MHz	1	0	14	使用 clock chain，使用基頻參考信號(GRCK)800KHz，倍頻至 38.4MHz 的時脈源
16MHz	1	0	19	使用 clock chain，使用基頻參考信號(GRCK)800KHz，倍頻至 38.4MHz 的時脈源
6MHz	1	1	4	使用 clock chain，使用基頻參考信號(GRCK)1.2MHz，倍頻至 38.4MHz 的時脈源



12. 工作頻率設定

A7102 RF chip 可在 ISM 頻段內任一頻率工作。依公式計算工作頻率時的 IP, FP 及 R 值，設置 PLL I, II 控制暫存器，可完成工作頻率的設定。A7102 的 VCO 基本方塊圖如下。

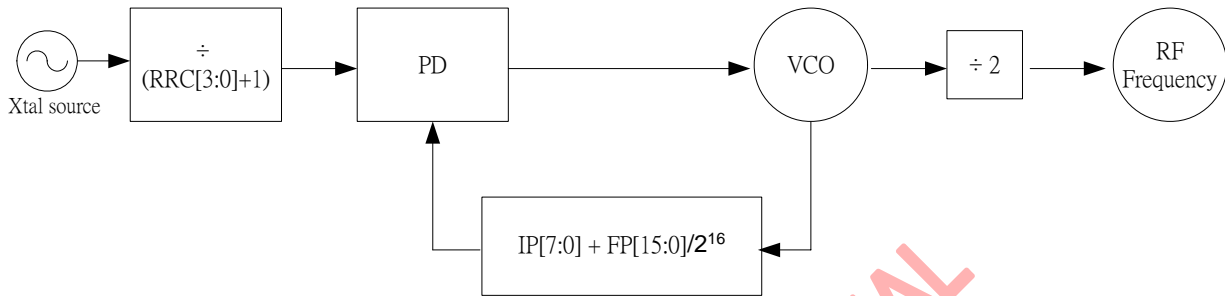


Fig9. VCO 基本方塊圖

12.1 PLL I 及 PLL II 的設定

公式: $F_{RF} * 2 = (X'tal / (RRC[3:0]+1)) * (IP[7:0] + FP[15:0] / 2^{16})$

參考比較頻率(PD)值的選擇，建議值為 $\geq 40 * (\text{data rate})$ ，愈大愈佳。

Ex. RF freq=433.2MHz, X'tal=12.8MHz, PD=12.8MHz

$$PD = X'tal / (RRC[3:0]+1)$$

$$\Rightarrow RRC[3:0] = (PD / X'tal) - 1$$

$$RRC[3:0] = 12.8 / 12.8 - 1, RRC[3:0] = 0$$

$$PD = (F_{RF} * 2) / (IP[7:0] + FP[15:0] / 2^{16})$$

$$\Rightarrow IP[7:0] + FP[15:0] / 2^{16} = (F_{RF} * 2) / PD$$

$$IP[7:0] + FP[15:0] / 2^{16} = (433.2 * 2) / 12.8 = 67.6875$$

$$IP[7:0] = 67$$

$$FP[15:0] / 2^{16} = 0.6875, \quad FP[15:0] = 0.6875 * 2^{16} = 45056$$

決定MDIV bit

$$32 \leq IP[7:0] \leq 127 \Rightarrow \text{bit MDIV 設定為 } 0$$

$$64 \leq IP[7:0] \leq 255 \Rightarrow \text{bit MDIV 設定為 } 1$$

IP[7:0] = 67，所以bit MDIV 可設定為 0 或 1。



13. 系統狀態機制 (State machine)

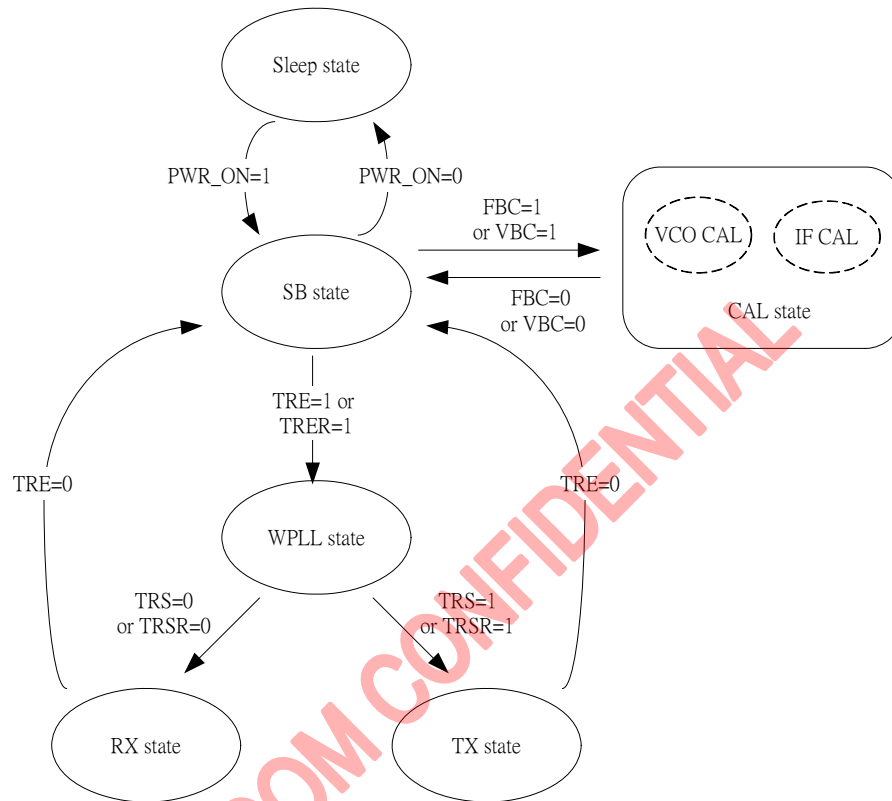


Fig10. 系統狀態機制圖

A7102 RF chip 有 6 個主要的 state。Sleep state, SB state, WPLL(waiting PLL) state, TX state, RX state, CAL state。這 state 狀態圖如系統狀態機制圖所示。

Sleep state: 當 pin PWR_ON=0，RF chip 進入 sleep state。

SB state: 當 pin PWR_ON=1，會從 Sleep state 進入 SB state。依 bit CER, PLLE 設定值，決定 RF chip 內部 crystal 振盪電路，參考電壓源(band gap)，PLL 電路的開啓或關閉。

如 bit CER=0, PLLE=0，chip 內部參考電壓源(band gap)及 crystal 振盪電路會關閉。

如 bit CER=1, PLLE=0，chip 內部參考電壓源(band gap)及 crystal 振盪電路會開啓。

如 bit CER=X, PLLE=1，PLL 功能開啓(PLL on)。

WPLL(waiting PLL) state: 當 PLL state 進入 TX/RX state 時，會依據頻控制暫存器 PLL I, PLL II, PLL III, PLL IV 設定值是否已變動，而進入此 state 或是直接跳脫該 state，進入 TX/RX state。

如設定值已變動時，在進入 TX/RX state 前，會自動延遲 PLL 穩定時間(PLL settling time)。PLL 穩定時間的延遲設定，依 PLL register 中 PDL[2:0]來決定。

自動延遲結束後，即進入 TX/RX state。

TX/RX state: 當 pin TRE=1(或 bit TRER=1)時，會依據 bit TRS(或 bit TRSR)來決定進入 TX 或是 RX state。

如使用 pin TRE, TRS 控制模式切換(mode control)，當 pin TRS=1, TRE=1 時，則進入 TX state，同時射頻輸出功率(RF power on)。當 pin TRS=0, TRER=1 時，則進入 RX state。



如使用 FIFO mode 工作，進入 TX state 後，會自動延遲 TX 穩定時間(TX settling time)。TX 穩定時間的延遲設定，依 TX register II 中 TDL[1:0]來決定。延遲時間完成後，自動會將 TX FIFO 的資料傳送出去。

CAL state: 在 CAL state 中，有二個獨立的校準項目，SB state 下，當 bit FBC=1 或 VBC=1 時，會進入 IF filter 校準或是 VCO band 的校準程序。完成校準程序後，bit FBC 或 VBC 會自動清除為 0，且回到 SB state。

13.2 控制狀態一覽表

A7102 控制狀態的決定由 pin PWR_ON, bit CER, PLLC, TRSR(or pin TRS), TRER(or pin TRS)設定。

PWR_ON	CER	PLLE	TRS(TRSR)	TRE(TRER)	Operation mode
0	x	x	x	x	Sleep mode
1	0	0	x	0	SB mode, XOSC off, bandgap off, PLL off
1	1	0	x	0	SB mode, XOSC on, bandgap on, PLL off
1	x	1	x	0	SB mode, XOSC on, bandgap on, PLL on
1	x	x	1	1	TX mode
1	x	x	0	1	RX mode

如不使用 I/O pin 控制 TRS, TRE，可使用 SPI 介面設定 mode control register 中 TRSR 視為 TRS，TRER 視為 TRE。在 pin control register 中 bit PCS 必須設為 0。Pin TRS, TRE 建議接地(Ground)。

13.3 自動模式回復(Auto Mode Back)功能

A7102 RF chip 在 FIFO mode 下，具有自動模式回復功能，使用者可簡單的操控。

如 RF chip 系統狀態是在 SB state，使用者可下達進入 TX/RX state 設定後，系統會自動依序開啓 crystal 電路、PLL 電路，再進入 TX/RX state。完成 TX/RX 動作時，會自動回復到 SB state。使用者可不需自行從 SB state 一步一步切換模式到 TX/RX state，或是從 TX/RX state 再一一返回切換設定。

自動模式回復到那一 state，是依據 bit CER, bit PLLC 初始設定而決定如初始設定 CER=1, PLLC=0，則在進入 TX/RX state，完成動作後，即回復到 CER=1, PLLC=0。



14. CAL state 的校準

在初始化 A7102 時，需作硬體參數的調校。在校準程序中有 2 個校準項目，IF CAL(IF Filter calibration), VCO band CAL(VCO band calibration)。IF CAL 是校準 IF filter 中頻濾波器頻帶 (IF filter bandwidth) 及中心頻率點。VCO band CAL(VCO band calibration)是校準確保 VCO 能夠在適當的 band 工作。

14.1 校準程序 (Calibration Process)

首先設定 bit MFBS=0(auto calibration)，在設定 bit FBC=1 後，A7102 RF chip 會進入 CAL state，開始執行校準動作。

如設定 bit FBC=1 不是在 SB state，這 chip 會等待進入 SB state 後，才會開始進入 CAL state。當完成校準程序後，bit FBC 會自動清除為 0。從 CAL state 再回到 SB state。

如 mode control register 中 bit TRER=1,FBC=1 或 VBC=1 同時設定時，首先會進入 CAL state，完成 IF filter 校準或 VCO band 校準後，才會進入 TX/RX state 的程序。

15. VCO band 校準

A7102 有 8 個 VCO band(band 0 ~ band 7)。為確保 VCO 能夠在適當的 band 工作，在初始化時，需作 VCO band 校準程序，使工作頻率在最佳化。

15.1 校準程序 (Calibration Process)

首先需對工作頻率正確設定 PLL I, PLL II 控制暫存器值，同時設定 VCO 的 VT 值範圍(VTH[2:0], VTL[2:0])及設定 bit MFBS=0(Auto calibration)。

設定 mode control register 中 bit VBC=1 後，會進入 CAL state 開始執行校準動作。

如設定 bit VBC=1 不是在 SB state，這 chip 會等待進入 SB state 後，才會開始進入 CAL state。當完成校準程序後，bit VBC 會自動清除為 0。從 CAL state 再回到 SB state。

如 mode control register 中 bit TRER=1,FBC=1 或 VBC=1 同時設定時，首先會進入 CAL state，完成 IF filter 校準或 VCO band 校準後，才會進入 TX/RX state 的程序。

AMIC.COM CONFIDENTIAL



16. FIFO (First In First Out)功能

A7102 RF chip 內建 TX 和 RX FIFO register，各自擁有 FIFO 長度 64 bytes。TX FIFO 僅能寫入 data，Rx FIFO 僅能讀出 data。寫入和讀出係由 SPI 操作介面完成。在 FIFO 操作模式下，內部硬體電路會依定義的傳送封包格式，將資料傳送或自行解封包的動作。

16.1 傳送封包格式

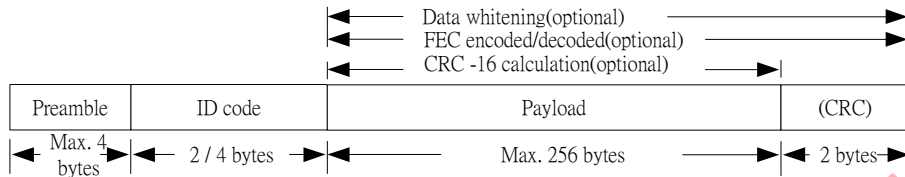


Fig11. 傳送封包格式

Preamble:

前導碼長度可由 code control register 中 bit PML[1:0]設定，最大長度為 4 bytes。Chip 內部硬體電路會依識別碼(ID code)的第一個 bit，而自動加入前導碼"0101...0101"或"1010..."。

如 ID code 第一個 bit 為 0，則前導碼設定"0101..."。如 ID code 第一個 bit 為 1，則前導碼設定"1010..."。

ID code:

識別碼(ID code)長度可由 code control register 中 bit IDL 設定為 2/4 bytes。寫入/讀出 ID code，使用 pin SPI 串列介面方式讀寫。

在 FIFO 工作模式下，A702 RF chip 內部硬體電路會自動比對 ID code。如收到正確的識別碼後，封包資料會自動寫入 RX FIFO 中，減輕 MCU 的負荷。Rx control register 1 中 bit ETH[1:0]可設定接收容許 ID 錯誤的 bit 數。

Payload:

FIFO 封包(packet)長度由 FIFO control register 中 FEP[7:0]設定。一次封包傳送或接收長度最大為 256 bytes。寫入 TX FIFO 或讀出 RX FIFO，使用 pin SPI 串列介面方式讀寫 TX/RX FIFO。

CRC:

CRC 檢查碼可為選項的設定。如 code control register 中 bit CRCS=1 時，則在傳送封包時會自動在 Payload 之後加入 CRC 檢查碼 2 bytes。

16.2 封包處理 (Packet Handling)

A7102 RF chip 提供 3 種選項對傳送封包資料做編碼(coding)動作，CRC, FEC, Data Whitening。

CRC:

當設定 code control register 中 bit CRCS=1，傳送封包時，會計算啓始至結束的 payload 資料欄位(不含 preamble code, ID code)。在 payload 之後加上 2 個 bytes 的 CRC 檢查碼。

在接收到封包後，會自動檢查 CRC 碼。可讀取 mode control register 中 bit CRCF，如計算 CRC 檢查碼正確時，會清除為 0。如計算 CRC 檢查碼錯誤時，bit CRCF 會設定為 1。

FEC(Forward Error Correction):

當設定 code control register 中 bit FECS=1，傳送封包/接收封包時，會將 payload 的資料欄位及 CRC 檢查碼，做 FEC 的編碼/解碼動作。

在完成接收的動作時，會自動檢查是否有 FEC 的錯誤發生。可讀取 mode control register 中 bit FECF，如有 FEC 錯誤發生時，bit FECF 會設定為 1。

Data Whitening:



當設定 code control register 中 bit WHIT=1 時，將 payload 的資料欄位及 CRC 檢查碼，與 7 bit pseudo random 序列碼 (pseudo random sequence) 做 XOR 將資料編碼傳送。使用者可自行設定 code control register 中 bit WS[6:0] data whitening 的初始種子(initial seed)。

在接收時，會依初始種子(initial seed)而解出資料。如收發兩端的初始種子不相同時，會無法解出正確的資料。

Manchester Code:

當設定 code control register 中 bit MCS=1 時，會對傳送封包做 Manchester code 編碼處理。接收時，解調電路會自動做 Manchester code 解碼處理，還原資料。

16.3 資料傳送時間計算

$$T = [[\text{Preamble code}] + [\text{ID code}] + [\text{Payload} + 16 * K_{\text{CRC}}] * [1 + 3/4 * K_{\text{FEC}}]] * [1 / \text{Data rate}]$$

$K_{\text{CRC}} = 0$ @CRC Disable, $K_{\text{CRC}} = 1$ @CRC Enable

$K_{\text{FEC}} = 0$ @FEC Disable, $K_{\text{FEC}} = 1$ @FEC Enable

16.4 TX/RX FIFO

TX/RX FIFO 各自擁有 64 bytes 長度的 FIFO 暫存器。TX FIFO 僅能寫入 data，Rx FIFO 僅能讀出 data。寫入和讀出係由 SPI 串列介面完成。

FIFO control register 中 bit FEP[7:0] 決定使用的 TX/RX FIFO 的長度及傳送/接收封包資料結束位址指標。在寫入 TX FIFO 資料前，需先設定 FEP[7:0] 值。之後，TX FIFO 的寫入動作，如超過結束位址指標 FEP[7:0] 值後，會回到 TX FIFO 位址 0x00，覆蓋(overwrite)原先位址 0x00 的資料值。

FIFO control register 中 bit PSA[5:0] 決定傳送資料的啓始位址指標。預設值是 0x00。使用者可用於如簡易、固定的的控制資料，將資料組合，完成 TX FIFO 的資料寫入動作後，可不再對 TX FIFO 作寫入動作。僅編輯欲傳送資料的啓始位址指標 PSA[5:0] 及結束位址指標 FEP[7:0]，可達資料的重覆使用。

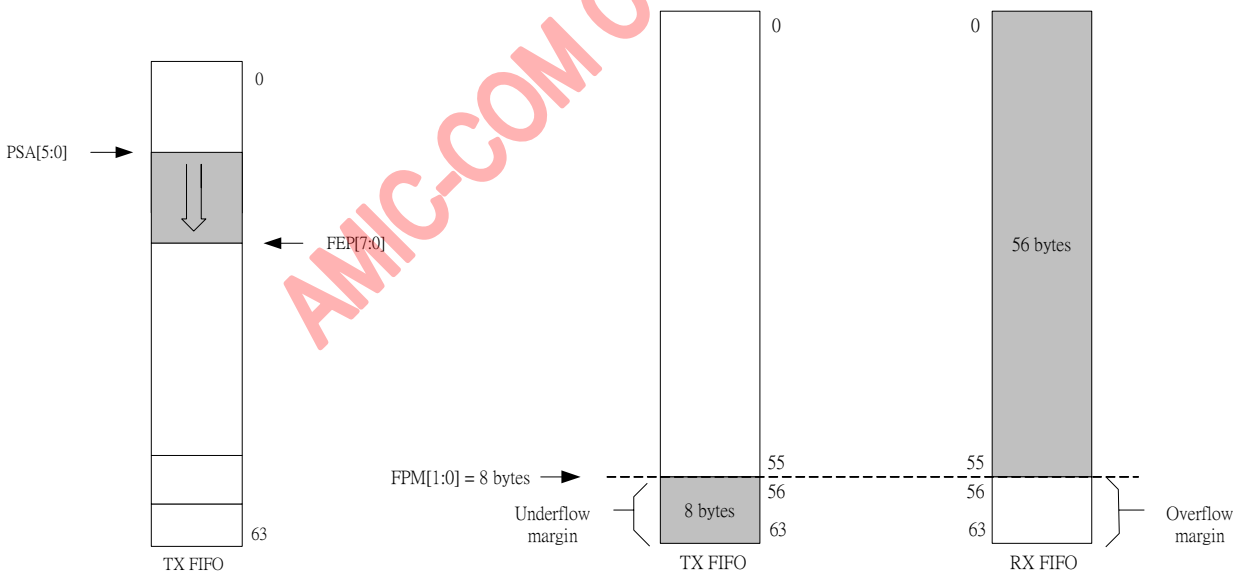


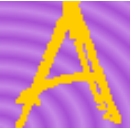
Fig12. PSA 與 FEP 指標的關係圖

Fig13. FIFO margin threshold

16.5 FIFO pointer margin threshold

如一次傳送/接收的封包長度大於 64 bytes，MCU 必須決定在封包傳送中何時寫入 TX FIFO，在接收中何時可從 RX FIFO 讀出資料。如動作錯誤，會造成資料溢出(overflow)或資料不足(underflow)。

A7102 RF chip 提供可設定的 FIFO 臨界點值(FIFO control register 中 FPM[1:0])。提供 pin CKO(FIFO pointer flag)，可用於指示 FIFO 狀態信號。FIFO 控制器自動偵測資料不足(underflow)在 TX FIFO，資料溢出(overflow)在 RX FIFO。同時，當寫入資料至 TX FIFO，MCU 必須避免 TX FIFO 的資料溢出(overflow)，造成傳送資料內容錯誤。當讀出 RX FIFO 時，MCU 必須避免 RX FIFO 的資料不足(underflow)，造成過早讀取資料。



FIFO 控制器自動偵測的判斷條件：

TX FIFO:

$WP(\text{write pointer}) - RP(\text{read pointer}) \leq \text{FIFO threshold point}$

WP(write pointer)係指資料寫入 TX FIFO 的指標。RP(read pointer)係指從 TX FIFO 中將資料取出傳送至調變器(modulation)的指標。

RX FIFO:

$WP(\text{write pointer}) - RP(\text{read pointer}) > \text{FIFO threshold point}$

WP(write pointer)係指接收資料寫入 RX FIFO 的指標。RP(read pointer)係指從 RX FIFO 中將資料取出的指標。

如設定 FPM[1:0]=01，決定 TX FIFO 臨界點為 8 bytes，RX FIFO 臨界點為 56 bytes。

TX FIFO 的 $WP - RP \leq 8$ 時，pin CKO(FIFO pointer flag)會設定為 1。反之，則為 0。

RX FIFO 的 $WP - RP > 56$ 時，pin CKO(FIFO pointer flag)會設定為 1。反之，則為 0。

AMIC-COM CONFIDENTIAL



17. 工作模式 (Mode of operation)

A7102 RF chip 可分為二種主要工作模，Direct mode, FIFO mode。可設定 mode control register 中 bit FMS，選擇適合的工作模式。

17.1 Direct mode

Direct mode 提供使用者一個 RF 通道，在 TX 端 Baseband 系統或 MCU 將資料傳送到 pin DIO，RF chip 僅做資料調變，把資料傳送至接收端。RX 端採數位解調方式，還原資料。Baseband 系統或 MCU 需自行找出正確的資料訊息。

17.1.1 TX 傳送時序

設定 pin TRS=1, TRE=1，工作狀態進入 TX 模式，使用 Pin DIO 將資料傳送。當資料傳送完成後，可將 pin TRE 設定為 0，結束 TX 模式，回到 SB state。

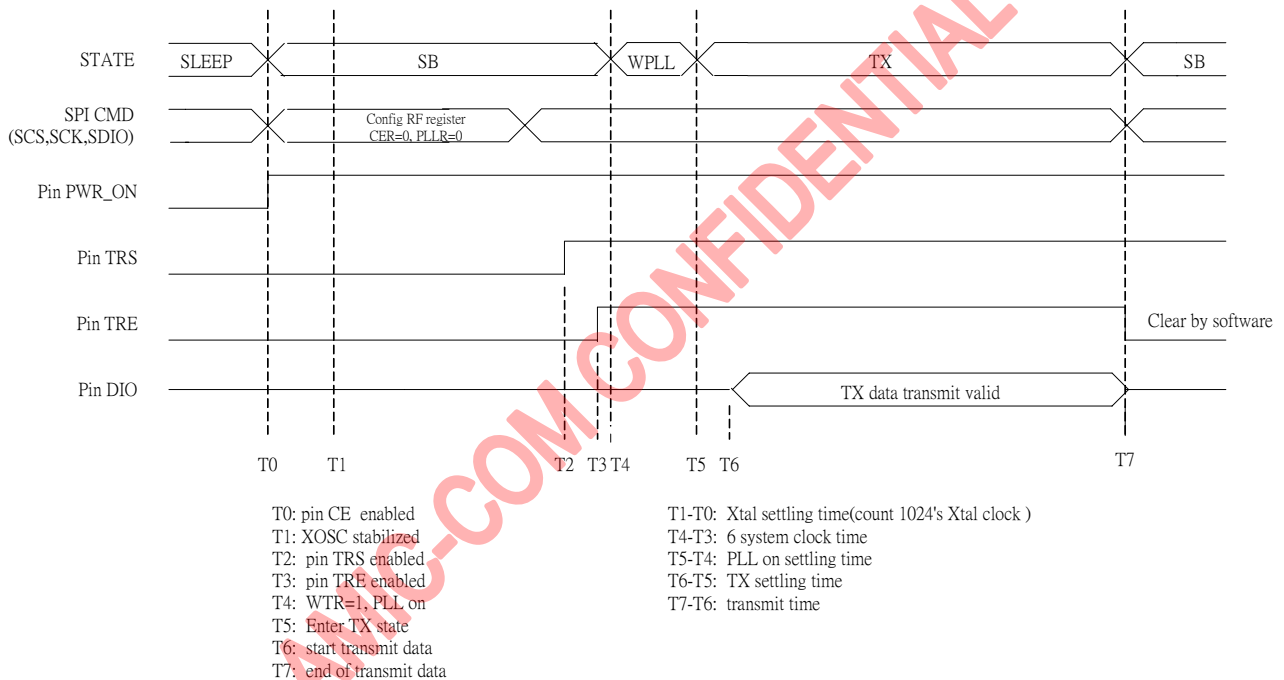


Fig14. Direct mode 的 TX 傳送時序圖



17.1.2 RX 傳送時序

設定 pin TRS=0, TRE=1，工作狀態進入 RX 模式，使用 Pin DIO 接收資料。當資料接收完成後，可將 pin TRE 設定為 0，結束 RX 模式，回到 SB state。

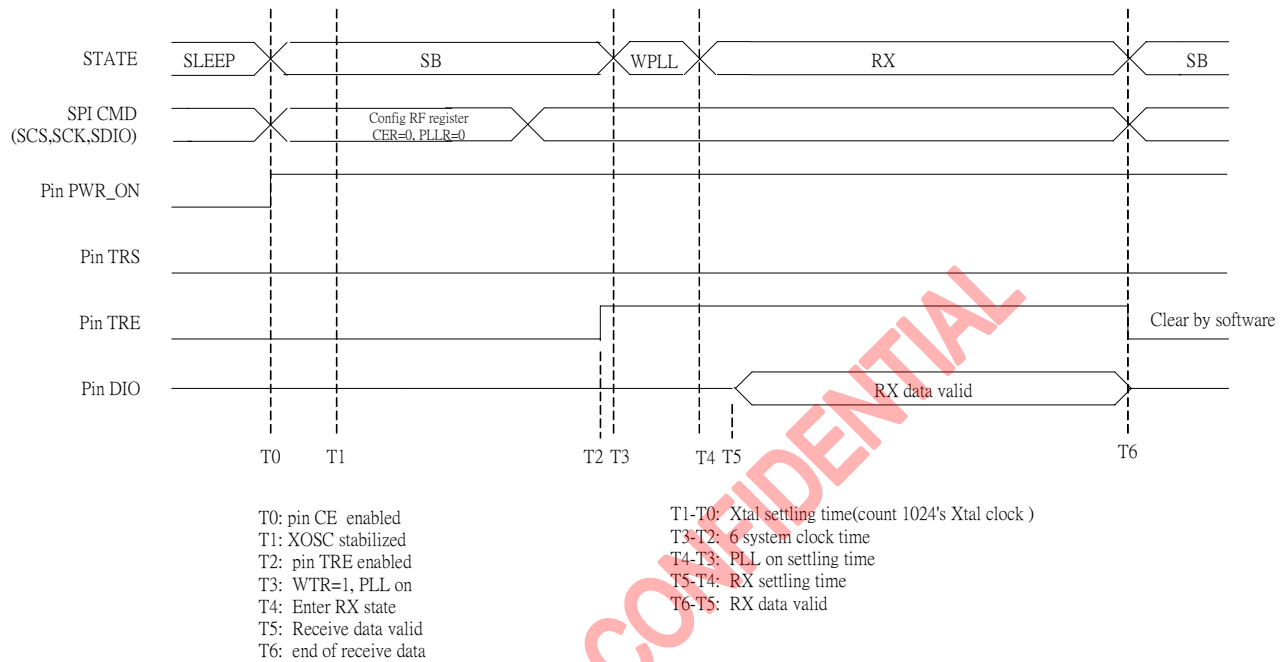


Fig15. Direct mode 的 RX 接收時序圖



17.2 FIFO mode

RF chip 內建 FIFO，使用者可用 SPI 介面將傳送資料寫入 TX FIFO 中。致能 RF chip 後，內部硬體電路會自動將資料依封包格式傳送出去。接收時，硬體電路會自動找出識別碼(ID code)，並將資料寫入 RX FIFO。完成一個封包的接收時，使用者可用 SPI 介面將資料從 RX FIFO 讀出，減輕 MCU 的工作負荷。

17.2.1 TX 傳送時序

使用 SPI 介面將傳送資料寫入 TX FIFO。設定 pin TRS=1, TRE=1，工作狀態進入 TX 模式。開始傳送資料，直到傳送完成時，會自動回到 STB state。

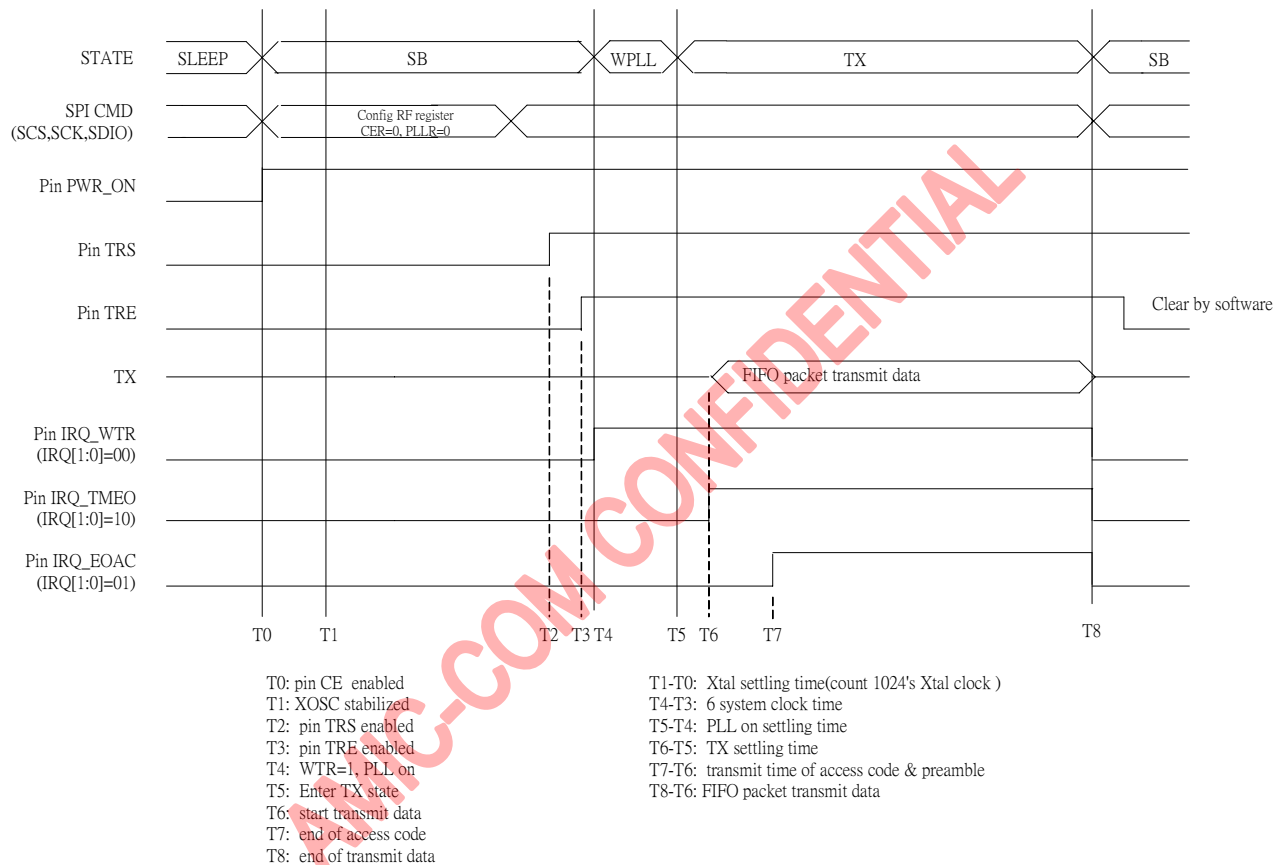
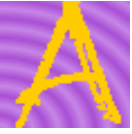


Fig16. FIFO mode 的 TX 傳送時序圖



17.2.2 RX 接收時序

設定 pin TRS=0, TRE=1，工作狀態進入 RX 模式, 等待找到相同的同步碼後 pin RX_SYN 會設定為 1。此時，接收資料開始寫入 RX FIFO。完成一資料封包接收動作後，會自動回到 STB state。使用 SPI 介面將接收資料從 RX FIFO 讀出

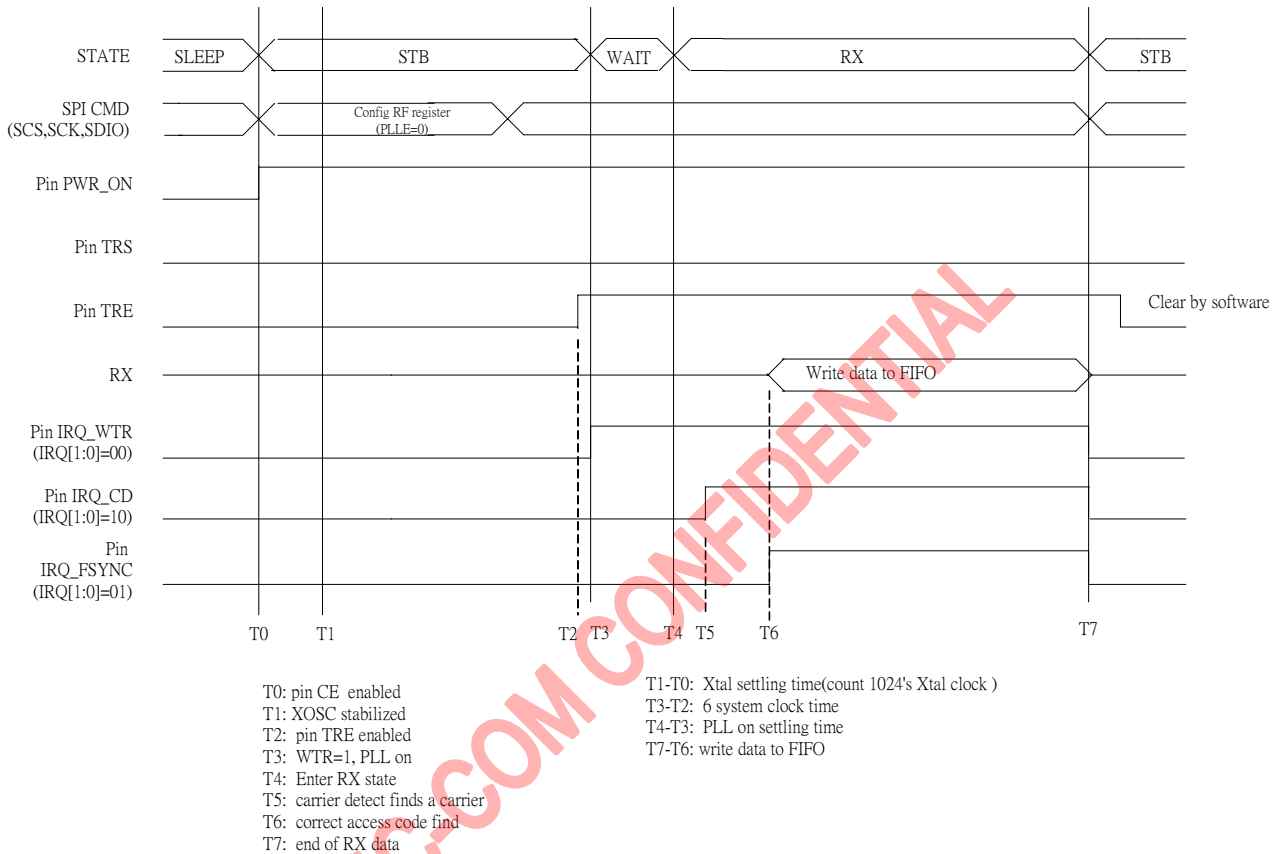


Fig17. FIFO mode 的 RX 接收時序圖



18. ADC (Analog Digital Converter)

A7102 RF chip 內建一個 8 位元類比數位轉換器(ADC)，可供內部溫度、RSSI、載波(Carrier)偵測，或透過 pin ADC_IN(pin32)做外部信號源的量測。

ADC 所需要的轉換時間是依據 ADC 時脈來計算，需要 20 個 ADC 時脈週期的時間。在使用類比數位轉換器(ADC)時，需依據使用的 Crystal source，設定 system clock register 中 bit GRC[4:0]，選擇 ADC 時脈週期為 800KHz 或 1.2MHz。

18.1 溫度量測

A7102 RF chip 內建一個簡易的溫度感測器，可監測 RF chip 的工作環境溫度的變化。

設置 ADC register 中 bit CDM=0 後，啟動 mode control register 中 bit ADCM 為 1，開始做溫度信號的量測。當完成溫度信號量測動作，bit ADCM 會自動清除為 0。使用者再從 ADC register 中 bit ADC[7:0]讀取溫度值。

在非 RX state 下，ADC 是對溫度感測器作量測動作。如在 RX state 下，ADC 則是對 RSSI 量測。

18.2 RSSI 量測

A7102 RF chip 有內建數位 RSSI(received signal strength indicator)，可偵測 RF 的信號強度。完成 RSSI 量測後，RSSI 值可從 ADC register 中讀出，範圍值 0~255。接收信號強度愈大，RSSI 值愈小。反之，接收信號強度愈小，RSSI 值愈大。

在 RX state 下，設置 ADC register 中 bit CDM=0 後，啟動 mode control register 中 bit ADCM 為 1，開始做 RSSI 信號的量測。當完成 RSSI 信號量測動作，bit ADCM 會自動清除為 0。使用者再從 ADC register 中 bit ADC[7:0]讀取 RSSI 值。

18.3 載波(Carrier)偵測

A7102 RF chip 有提供 pin IRQ 輸出接腳，監測載波有無載波信號發生。如偵測載波信號大於 ADC register 中 bit RTH[7:0]所設置的 RSSI 信號強度臨界值時，pin IRQ 會輸出 high 準位。反之，則輸出 low 準位。

在 RX state 下，設置 ADC register 中 bit CDM=1 後，啟動 mode control register 中 bit ADCM 為 1，開始做載波信號的量測，每一轉換週期完成後，會自動更新 bit ADC[7:0]，直到結束載波偵測動作。

18.4 外部信號源量測

A7102 RF chip 提供 pin32 ADC_IN 輸入接腳，量測外部信號的大小。可量測輸入信號範圍 0 ~ 1.28Vdc。

在 RX state 下，將欲量測的信號源，接至 ADC_IN(RF chip pin 32)腳，設置 ADC register 中 bit XADS=1，bit CDM=0 後，啟動 mode control register 中 bit ADCM 為 1，開始做外部信號源的量測。

當完成信號量測動作，bit ADCM 會自動清除為 0。使用者再從 ADC register 中 bit ADC[7:0]讀取量測值。

ADC 量測設定表：

Bit		說明	
XADS	CDM	None Rx state	RX state
0	0	溫度量測	RSSI 量測
0	1	無	載波偵測(carrier detector)
1	1	無	使用 pin ADC_IN 做外部信號 ADC 量測



A7102A

315/433MHz FSK Transceiver

19. 應用電路(Application Circuit)

19.1 應用電路一 (VDD > 2.5V)

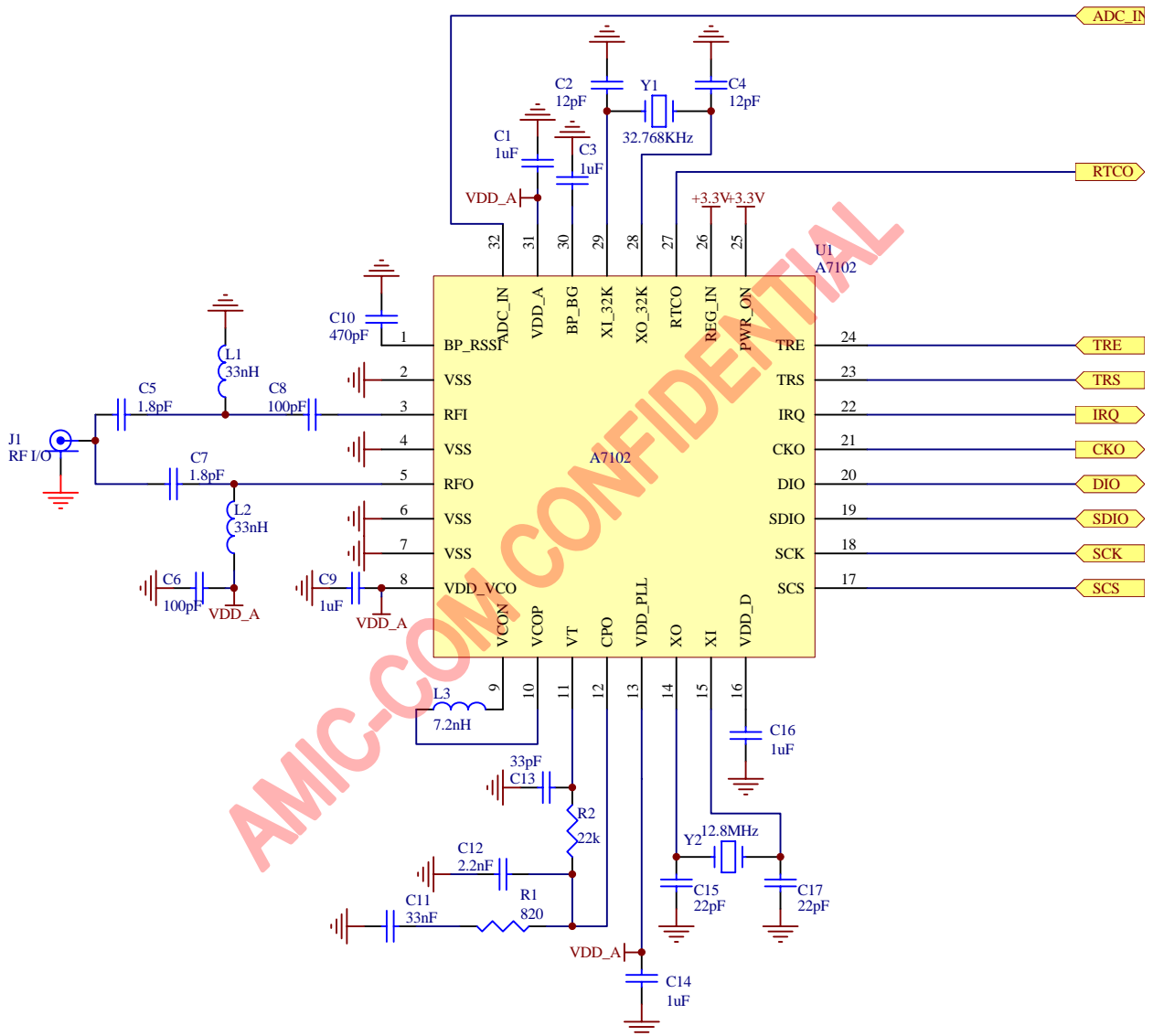


Fig18. 應用電路一



A7102A

315/433MHz FSK Transceiver

19.1 應用電路二 (VDD = 2.5V))

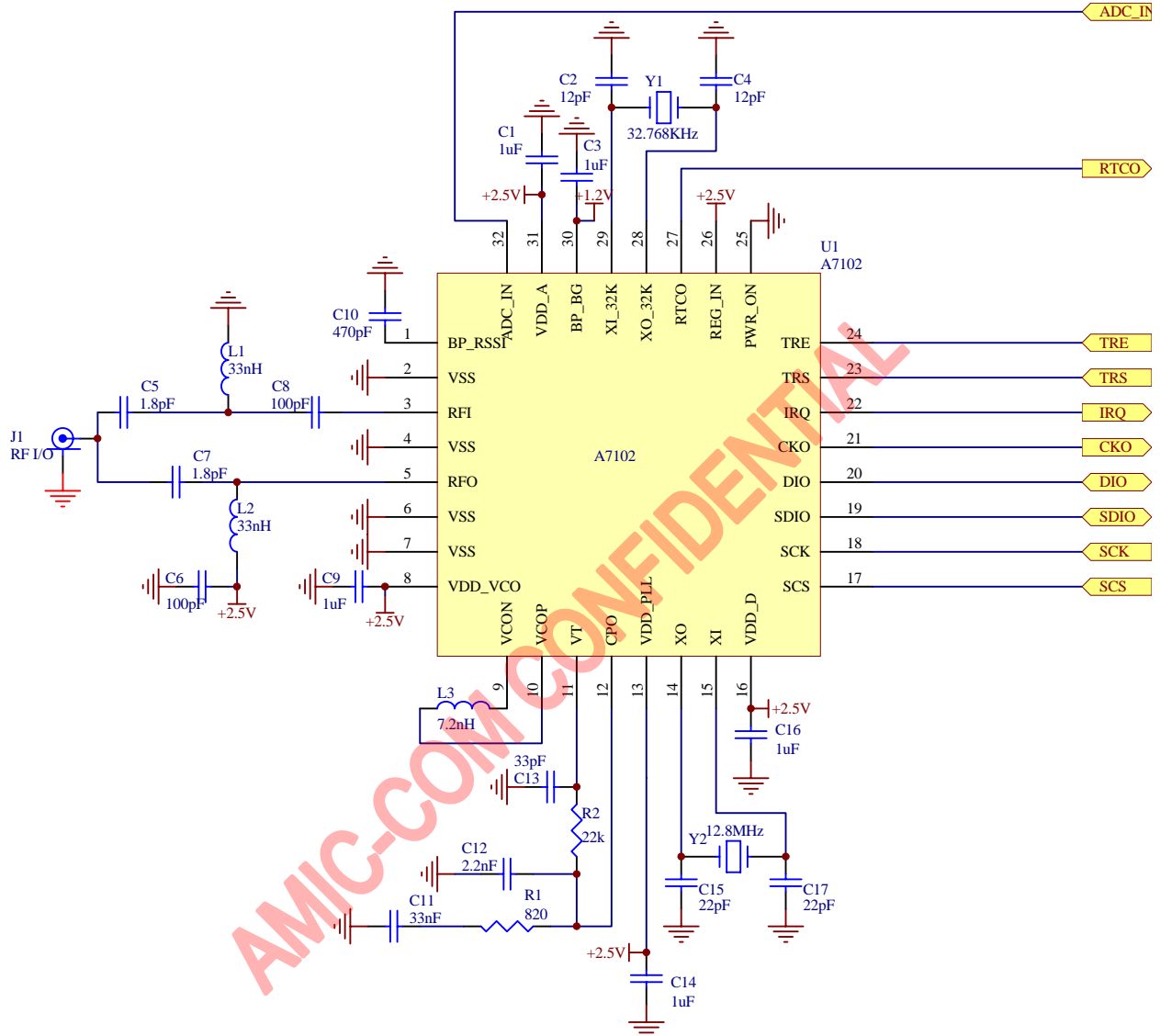


Fig19. 應用電路二



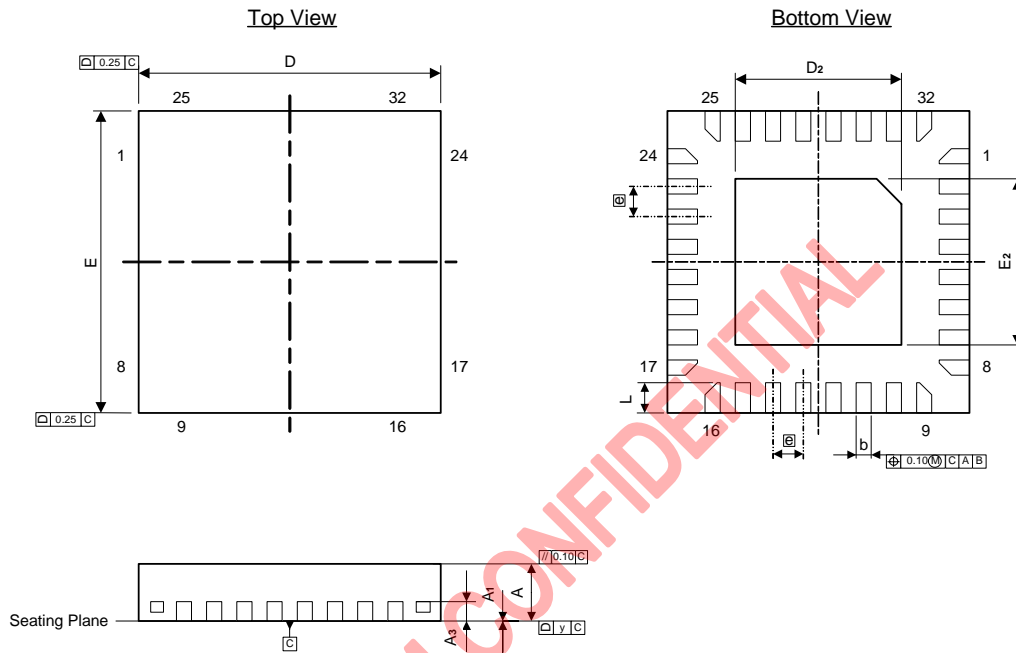
A7102A

315/433MHz FSK Transceiver

20. 包裝資訊(Package Information)

QFN 32L Saw Type Outline Dimensions

unit: inches/mm



Symbol	Dimensions in inches			Dimensions in mm		
	Min	Nom	Max	Min	Nom	Max
A	0.028	0.030	0.032	0.70	0.75	0.80
A1	0.000	0.001	0.002	0.00	0.02	0.05
A3	0.010 REF			0.20 REF		
b	0.007	0.010	0.012	0.18	0.25	0.30
D	0.197 BSC			5.00 BSC		
D2	0.049	0.106	0.128	1.25	2.70	3.25
E	0.197 BSC			5.00 BSC		
E2	0.049	0.106	0.128	1.25	2.70	3.25
e	0.020 BSC			0.50 BSC		
L	0.012	0.016	0.020	0.30	0.40	0.50
y	0.004			0.10		



A7102A

315/433MHz FSK Transceiver

21. 產品資訊(Ordering Information)

Part No.	Package	Units Per Reel / Tray
A71C02AQF/Q	QFN32L, Tape & Reel, Pb free	3K
A71C02AQF	QFN32L, Tray, Pb free	490EA

AMIC-COM CONFIDENTIAL