

用 AD9850 激励的锁相环频率合成器

山东省济南市 72655 部队(250022) 司朝良

摘要: 提出了一种 DDS 和 PLL 相结合的频率合成方案,介绍了 DDS 芯片 AD9850 的基本工作原理、性能特点及引脚功能,给出了以 AD9850 作为参考信号源的锁相环频率合成器实例,并对该频率合成器的硬件电路和软件编程进行了简要说明。

关键词: DDS 锁相环 频率合成器 数据寄存器

以 DDS(直接数字合成)激励的 PLL(锁相环)频率合成器,是用 DDS 作为参考信号源,将 DDS 和 PLL 组合在一起的一种独特的频率合成器方案。它综合了 DDS 和 PLL 频率合成器的优点,具有极高的频率分辨率、极短的换频时间和较好的噪声性能,而且频率范围宽、控制灵活,是应用于雷达、通信等领域中的一种较为先进的频率合成方案。其电路原理框图如图 1 所示。

我们在实际工作中,以美国 AD 公司生产的 DDS 芯片 AD9850 和 MITEL 公司的 PLL 芯片 SP8858 为核心,完成了一款高性能的 DDS+PLL 的频率合成器的设计与试验,并将其应用于一无线测量接收机中,收到了极好的效果。下面介绍 AD9850 的基本工作原理和引脚功能等,并给出频率合成器实例的方案组成。

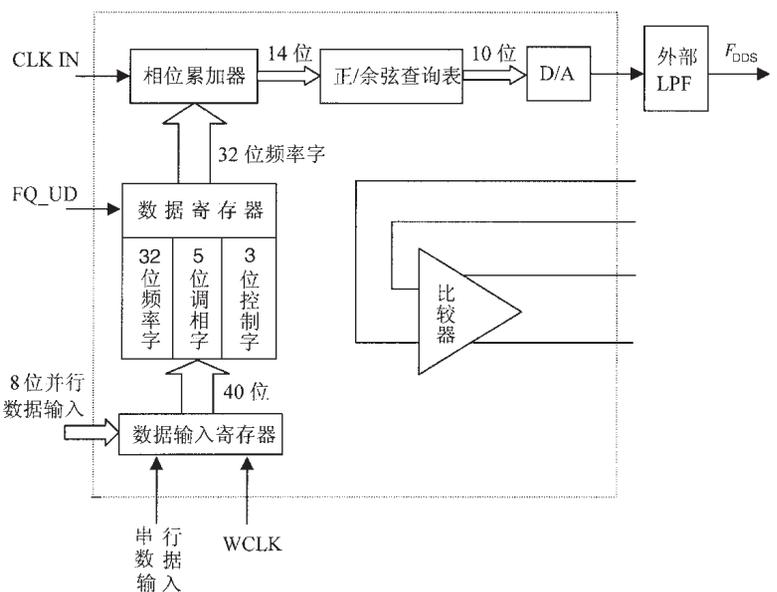


图 2 AD9850 原理框图

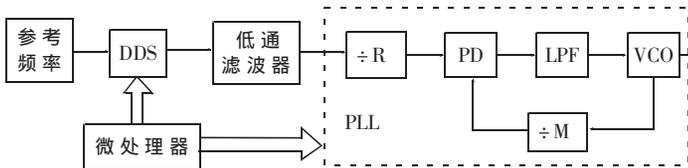


图 1 频率合成器原理框图

式中, Δf 为 32 位频率控制字的值, F_{CLK} 为工作时钟。

1.2 控制方式

AD9850 内部的 5 个 8 位寄存器构成一个 40 位的数据寄存器, 储存来自外部数据总线的数据和控制字, 其中 32 位为频率控制字、5 位为相位调制字、1 位是电源休眠(power down)功能控制, 另 2 位储存工厂保留码(用户编程时, 应将其设定为“00”)。寄存器可通过并行或串行方式装载。

并行方式是在使能信号 FQ_UD 和写脉冲 WCLK 的控制下, 通过 8 位数据总线 D0~D7 分五次来完成全部 40 位数据的输入, 其工作时序图见图 3。在 FQ_UD 的上升沿, 40 位数据从输入寄存器打入数据寄存器, 同时将地址指针复位到第一个输入寄存器。随后, 在 WCLK 的上升沿写入第一组 8 位数, 并把指针指向下一个输入寄存器。连续五次装载以后, WCLK 的上升沿无效, 直到复位信号 Reset 有效或者 FQ_UD 的上升沿再次来到。

1 AD9850 的工作原理与引脚功能

1.1 基本工作原理

AD9850 采用先进的 DDS 技术, 在内部集成了 32 位相位累加器、14 位正/余弦查询表和高性能的 10 位 D/A 转换器以及一个高速比较器, 其原理框图见图 2。它通过并口或串口写入的频率控制字来设定相位累加器的步长大小, 相位累加器输出的数字相位通过查找正/余弦查询表得到所需频率信号的采样值, 然后通过 D/A 变换, 输出所需频率的正弦波信号。还可以通过高速比较器将该正弦波信号转换成方波, 作为时钟信号输出。

输出信号的频率 F_{DDS} 由下式确定:

$$F_{DDS} = \Delta f \cdot F_{CLK} / 2^{32} \quad (1)$$

集成电路应用

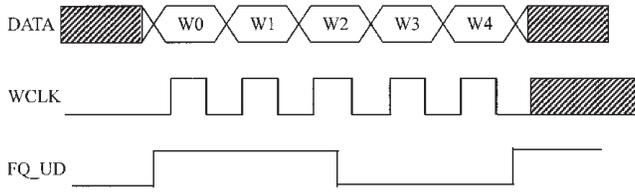


图3 并行输入方式

串行输入方式如图4所示,在WCLK的上升沿,40位数据由低位到高位依次从引脚25(D7)移入到输入寄存器,并在FQ_UD的脉冲作用下,一次性打入到数据寄存器,以更新芯片的输出频率(或相位)。

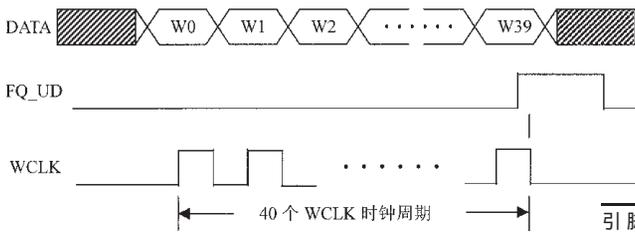


图4 串行输入方式

1.3 主要性能

- (1)单电源工作: +3.3V 或 +5V。
- (2)接口简单,可用8位并行口或串行口直接装载频率和相位调制数据。
- (3)片内有高性能D/A转换器和高速比较器,可输出正弦波和方波。
- (4)最高工作时钟125MHz,32位频率控制字保证在125MHz的工作时钟下频率分辨率达0.0291Hz。
- (5)5位调相控制字,可实现相位调制功能。
- (6)频率转换速率极快,可达 2.3×10^7 次/秒。
- (7)低功耗:在125MHz时钟频率、+5V电源工作时,功耗为380mW;110MHz时钟、+3.3V工作时,功耗为155mW。
- (8)工作温度范围宽: $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 。

1.4 引脚功能

AD9850为28脚紧缩型小外形封装(SSOP),其管脚排列见图5,引脚功能如表1所示。

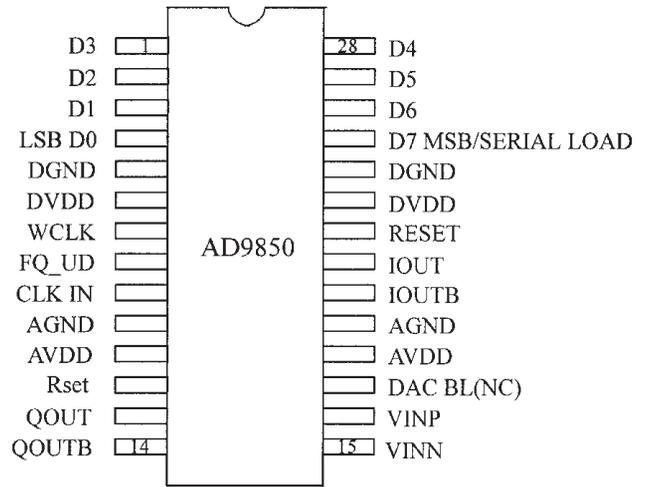


图5 管脚排列

表1 引脚功能

引脚名称	引脚功能
D0~D7	8位数据输入/输出,可分次并行装载40位控制数据,D7(第25脚)也可以作为串行数据输入端使用
DGND	数字地
DVDD	数字电源
WCLK	数据写入脉冲
FQ_UD	频率刷新使能信号
CLK IN	外部参考时钟输入,可以是CMOS电平的脉冲序列或者是加0.5VDD的直流偏置的正弦波信号
AGND	模拟地
AVDD	模拟电源
Rset	D/A输出电流Iout的控制电阻连接端,通常接一只3.9kΩ电阻到地。 $I_{out} = 32 \times (1.248 / R_{set})$
QOUT	内部比较器输出端
QOUTB	内部比较器互补输出端
VINN	内部比较器的负向输入端
VINP	内部比较器的正向输入端
DACBL	D/A内部的旁路端,通常悬空
IOUTB	D/A的互补输出端
IOUT	D/A的输出端
RESET	复位端。高电平时将所有的数据寄存器清零,并将地址指针指向W0,同时使输入寄存器无效,相位累加器清零

高鉴相频率可达5MHz;内部还包括 $\div 16/17$ (或 $\div 8/9$)的双模前置分频器,两个15位的程序分频器,一个4位的吞脉冲计数器和一个13位的参考分频器。两个程序分频器数据缓冲器可轮流工作,有助于减少频率合成器的换频时间。外部的微处理器可通过对片内的三总线串行数据接口进行操作,来控制各分频器的状态和数据刷新。

AD9850和SP8858的置数由数字信号处理芯片TMS320C32的串口控制。在我们设计的无线测量接收机中,整个系统的控制和数字信号的处理由TMS320C32完成。为了简化系统,将TMS320C32的串口用于频率

集成电路应用

表 2 串行装载时 40 位数据的功能

W 0	W 30	W 31	W 32	W 33	W 34	W 35	W 36	W 37	W 38	W 39
Freq	Freq	Freq	Control	Control	Power	Phase	Phase	Phase	Phase	Phase
-b 0	-b 30	-b 31			- down	- b 0	- b 1	- b 2	- b 3	- b 4
(LSB)			(MSB)				(LSB)				(MSB)

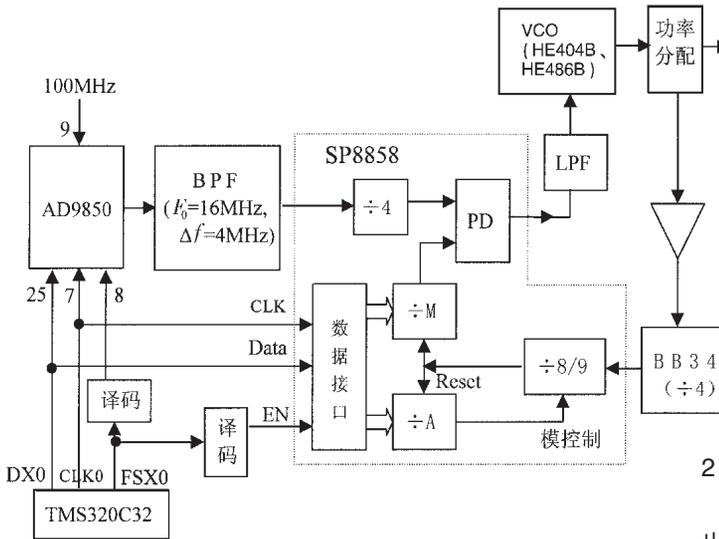


图 6 1.6GHz~29GHz 频率合成器硬件组成框图

合成器的置数和频率刷新。

环路滤波器是由低噪声运放 LT1028 构成的有源二阶低通滤波器，VCO 由 HE404B 和 HE486B 两只低噪声压控振荡器分段组成，以覆盖 1.6GHz~2.9GHz 的频率范围。VCO 的输出信号分成两路，一路经放大和 4 分频后送入 SP8858 进行程序分频、鉴相；另一路经由 RFIC 芯片 ERA-5 放大后作为本振信号输出。

2.2 软件编程

软件编程比较简单，主要是根据 AD9850 和 SP8858 的控制字方式，由 TMS320C32 通过串口分别

将相应的控制字装载到两只芯片中去，以产生需要信号的频率。

在本例中，SP8858 主要控制信号频率的粗调，其步进量 Δf 为 4MHz；AD9850 实现信号频率的细调，控制其输出频率在 16MHz 附近变化，步进量接近 1Hz。

SP8858 的编程规则可参考文献 [2]。从系统的总体设计考虑，为了与 SP8858 的串行送数方式一致，AD9850 的数据输入方式也采用串行方式（此时，芯片的 2 脚应接地，3 脚和 4 脚接 VDD，数据从 25 脚输入），串行装载时 40 位数据的功能见表 2，编程时应将“W32 W33 W34”置为“000”。

2.3 测试结果

采用此方案研制的频率合成器经实用测试，其输出信号频率范围为 1.5GHz~2.9GHz，频率分辨率为 1Hz；输出功率为 +9dBm；带内杂散抑制为 -60dBc；偏离中心频率 10kHz 的相位噪声为 -90dBc/Hz。

实践证明，在本方案中，将 DDS 输出端的低通滤波器改为带通滤波器，对于减小整个频率合成器的杂散噪声非常有效。

参考文献

- 1 CMOS, 125MHz Complete DDS Synthesizer Data sheet. REV E-5/99
- 2 SP8858 1.5GHz Professional Synthesizer Data sheet. MITEL, 1998

(收稿日期：2001-04-27)