

54161/74161

4 位二进制同步计数器（异步清除）

简要说明：

161 为可预置的 4 位二进制同步计数器，共有 54/74161 和 54/74LS161 两种线路结构型式，其主要电特性的典型值如下：

型号	F _{MAX}	P _D
CT54161/CT74161	32MHz	305mW
CT54LS161/CT74LS161	32MHz	93mW

161 的清除端是异步的。当清除端 CLEAR 为低电平时，不管时钟端 CLOCK 状态如何，即可完成清除功能。

161 的预置是同步的。当置入控制端 LOAD 为低电平时，在 CLOCK 上升沿作用下，输出端 QA—QD 与数据输入端 A—D 相一致。对于 54/74161，当 CLOCK 由低至高跳变或跳变前，如果计数控制端 ENP、ENT 为高电平，则 LOAD 应避免由低至高电平的跳变，而 54/74LS161 无此种限制。

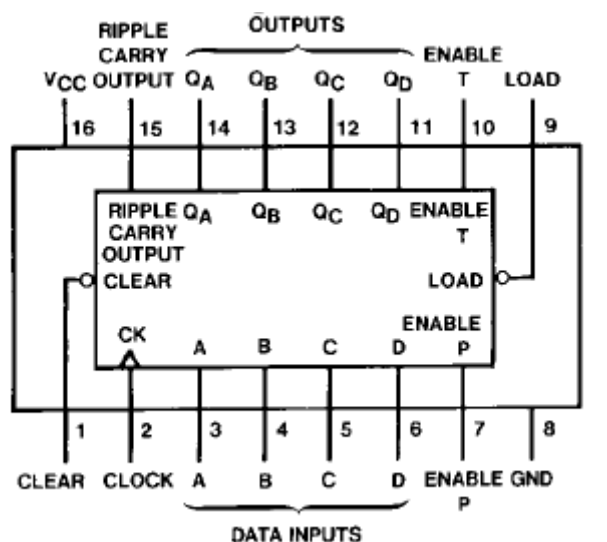
161 的计数是同步的，靠 CLOCK 同时加在四个触发器上而实现的。当 ENP、ENT 均为高电平时，在 CLOCK 上升沿作用下 QA—QD 同时变化，从而消除了异步计数器中出现的计数尖峰。对于 54/74161，只有当 CLOCK 为高电平时，ENP、ENT 才允许由高至低电平的跳变，而 54/74LS161 的 ENP、ENT 跳变与 CLOCK 无关。

161 有超前进位功能。当计数溢出时，进位输出端（RCO）输出一个高电平脉冲，其宽度为 QA 的高电平部分。

在不外加门电路的情况下，可级联成 N 位同步计数器。

对于 54/74LS161，在 CLOCK 出现前，即使 ENP、ENT、CLEAR 发生变化，电路的功能也不受影响。

管脚图：



引出端符号：

PCO	进位输出端
CLOCK	时钟输入端（上升沿有效）
CLEAR	异步清除输入端（低电平有效）
ENP	计数控制端
ENT	计数控制端
ABCD	并行数据输入端
LOAD	同步并行置入控制端（低电平有效）
QA—QD	输出端

功能表:

CLK	CLR	ENP	ENT	Load	Function
X	L	X	X	X	Clear
X	H	H	L	H	Count & RC disabled
X	H	L	H	H	Count disabled
X	H	L	L	H	Count & RC disabled
↑	H	X	X	L	Load
↑	H	H	H	H	Increment Counter

说明: H—高电平
 L—低电平
 X—任意
 ↑—低到高电平跳变

极限值

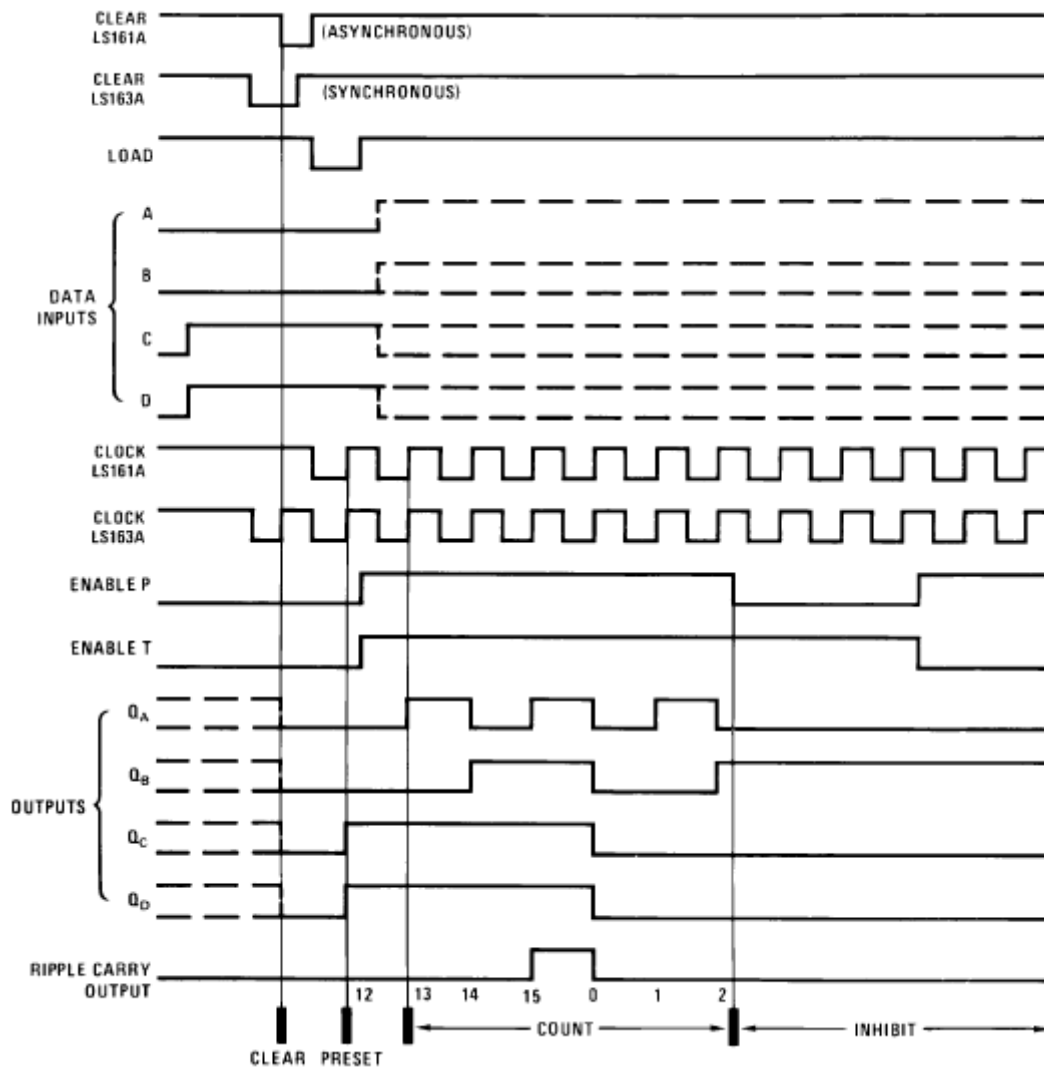
电源电压-----7V
 输入电压
 54/74161-----5.5V
 54/74LS161-----7V
 ENP 与 ENT 间电压
 54/74161-----5.5V
 工作环境温度
 54×××----- -55~125℃
 74×××----- -0~70℃
 贮存温度----- -65~150℃

推荐工作条件:

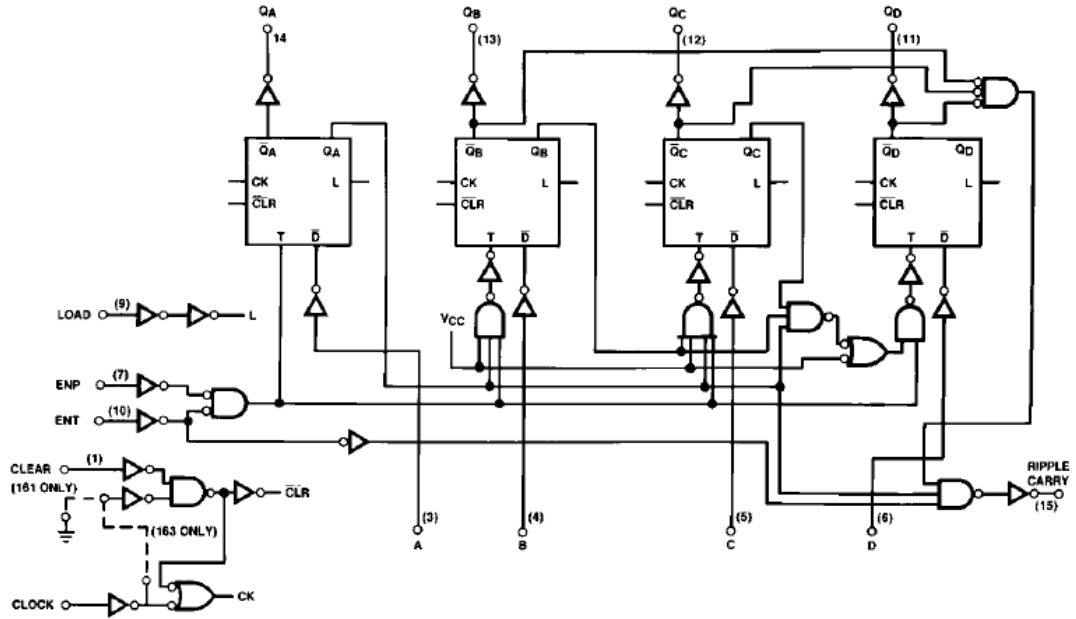
		CT54161/CT74161			CT54LS161/CT74LS161			单位
		最小	额定	最大	最小	额定	最大	
电源电压 V _{CC}	54	4.5	5	5.5			5.5	V
	74	4.75	5	5.25	4.75	5	5.25	
输入高电平电压 V _{IH}		2			2			V
输入低电平电压 V _{IL}	54			0.8			0.7	V
	74			0.8			0.8	
输出高电平电流 I _{OH}				-800			-400	μA

输出低电平电流 I_{OL}	54			16			4	mA
	74			16			8	
时钟频率 f_{CP}		0		25	0		25	MHz
脉冲宽度 t_W	CLOCK	25			25			ns
	CLEAR	20			20			
建立时间 t_{set}	A-D、ENP	20			20			ns
	LOAD	25			20			
保持时间 t_H		0			0			ns

时序图:



逻辑图



静态特性 (TA 为工作环境温度范围)

参数		测试条件【1】		`161		`LS161		单位	
				最小	最大	最小	最大		
VIK 输入钳位电压		Vcc 最小	IIK=-12mA			-1.5		V	
			IIK=-18mA				-1.5		
VOH 输出高电平电压		Vcc=最小, VIH=2V, VIL=最大, IOH=最大		54	2.4		2.5	V	
				74	2.4		2.7		
VOL 输出低电平电压		Vcc=最小, VIH=2V, VIL=最大, IOL=最大		54	0.4		0.4	V	
				74		0.4	0.5		
II 最大输入电压时输入电流	A-D, ENP, CLEAR	Vcc=最大 VI=5.5V (`LS161 为 7V)			1		0.1	mA	
	LOAD, CLOCK, ENT				1		0.2		
IIH 输入高电平电流	A-D, ENP, CLEAR	Vcc=最大 VIH=2.4V (`LS161 为 2.7V)			40		20	μA	
	LOAD				40		40		
	CLOCK, ENT				80		40		
VIL 输入低电平电流	A-D, ENP, CLEAR	Vcc=最大 VIL=0.4V			-1.6		-0.4	mA	
	LOAD				-1.6		-0.8		
	CLOCK, ENT				-3.2		-0.8		
IOS 输出短路电流		Vcc=最大		54	-20	-57	-20	-100	mA
				74	-18	-57	-20	-100	
IccH 输出高电平时电源电流		Vcc=最大, LOAD 先接高电平, 再接低电平, 其余输入接高电平		54		85		31	mA
				74		94		31	
IccL 输出低电平时电源电流		Vcc=最大, CLOCK 先接高电平, 再接低电平, 其余输入接低电平		54		91		32	mA
				74		101		32	

【1】: 测试条件中的“最大”和“最小”用推荐工作条件中的相应值。

动态特性 (TA=25°C)

参数【2】		测试条件	‘161		‘LS161		单位
			最小	最大	最小	最大	
f _{max}		V _{CC} =5V C _L =15pF R _L =400Ω (‘LS161 为 2KΩ)	25		25		MHz
t _{PLH}	CLOCK→RCO			35		35	ns
t _{PHL}				35		35	
t _{PLH}	CLOCK→Q (LOAD=H)			20		24	ns
t _{PHL}				23		27	
t _{PLH}	CLOCK→Q (LOAD=L)			25		24	ns
t _{PHL}				29		27	
t _{PLH}	CLOCK→RCO			16		14	ns
t _{PHL}				16		14	
t _{PHL}	CLEAR→Q			38		28	ns

【2】: f_{max}—最大时钟频率

t_{PLH}—输出由低到高电平传输延迟时间

t_{PHL}—输出由高到低电平传输延迟时间