

54/74166

8 位移位寄存器（串、并行输入，串行输出）

简要说明

54/74166 为 8 位移位寄存器,其主要电特性的典型值如下:

型号	fm	P _D
54/74166	35MHz	360mW
54/74LS166A	35MHz	100mW

当清除端 (\overline{CLR}) 为低电平时, 输出端 (Q_H) 为低电平, 其余七个触发器也均为低电平。

当CLK INH为低电平, 移位/置入控制端 ($\overline{SH/LD}$) 为低电平, 并行数据输入端 (A-H) 送入数据, 在 CLK上升沿作用下进行串行移位操作, 数据由SER送入。

CLK 和 CLK INH 在功能上是等价的, 可以交换使用。在 CLK 为高电平时 CLK INH 才可变为高电平。

引出端符号

CLK, CLK INH 时钟输入端 (上升沿有效)

\overline{CLR} 清除端 (低电平有效)

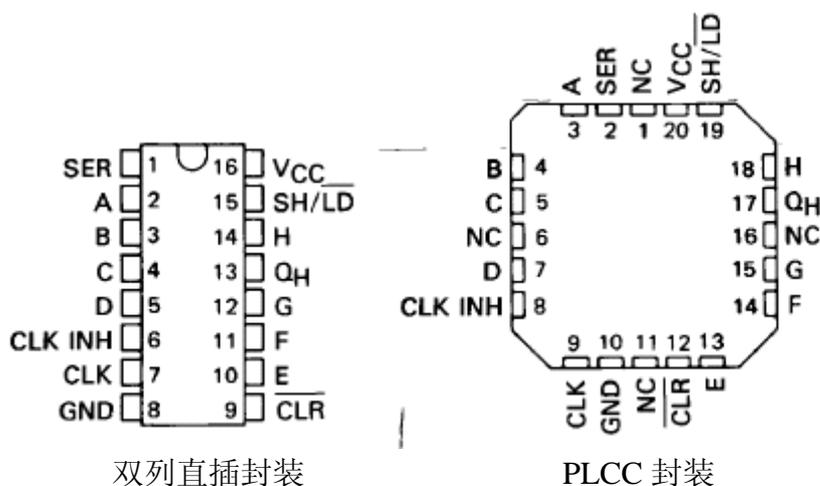
A-H 并行数据输入端

SER 串行数据输入端

Q_H 输出端

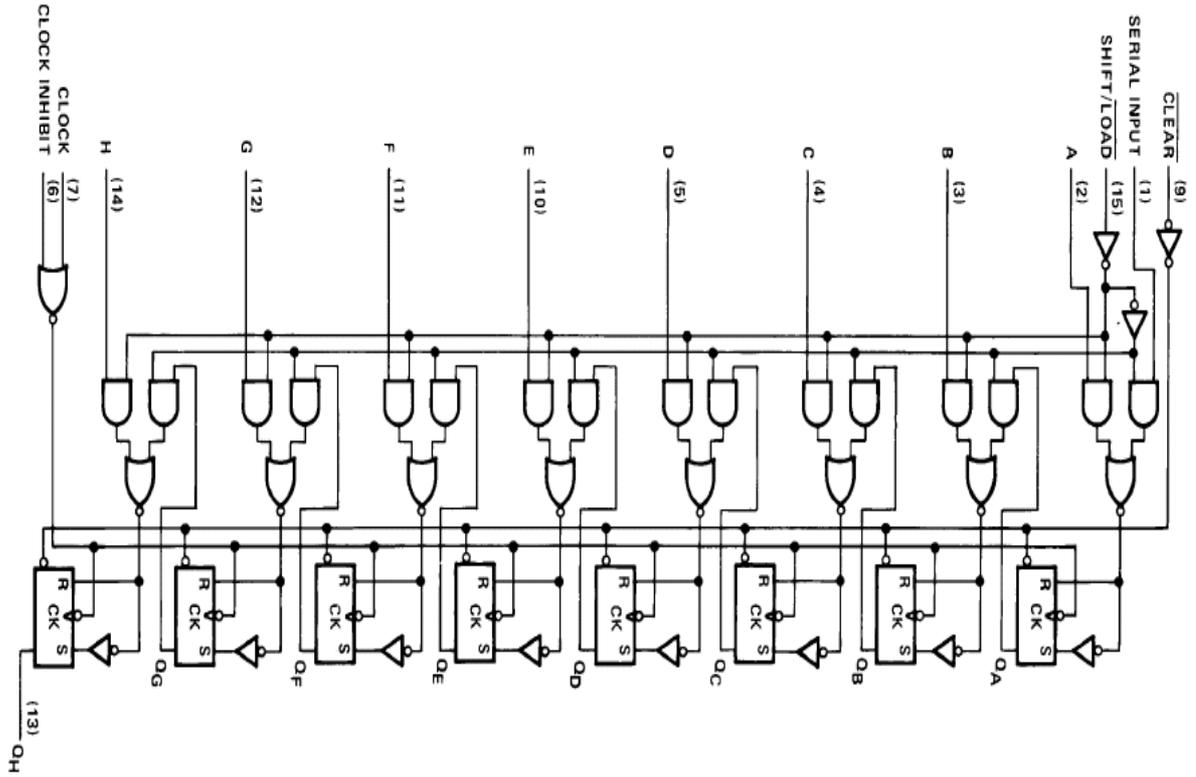
$\overline{SH/LD}$ 移位控制/置入控制 (低电平有效)

封装图与逻辑图



双列直插封装

PLCC 封装

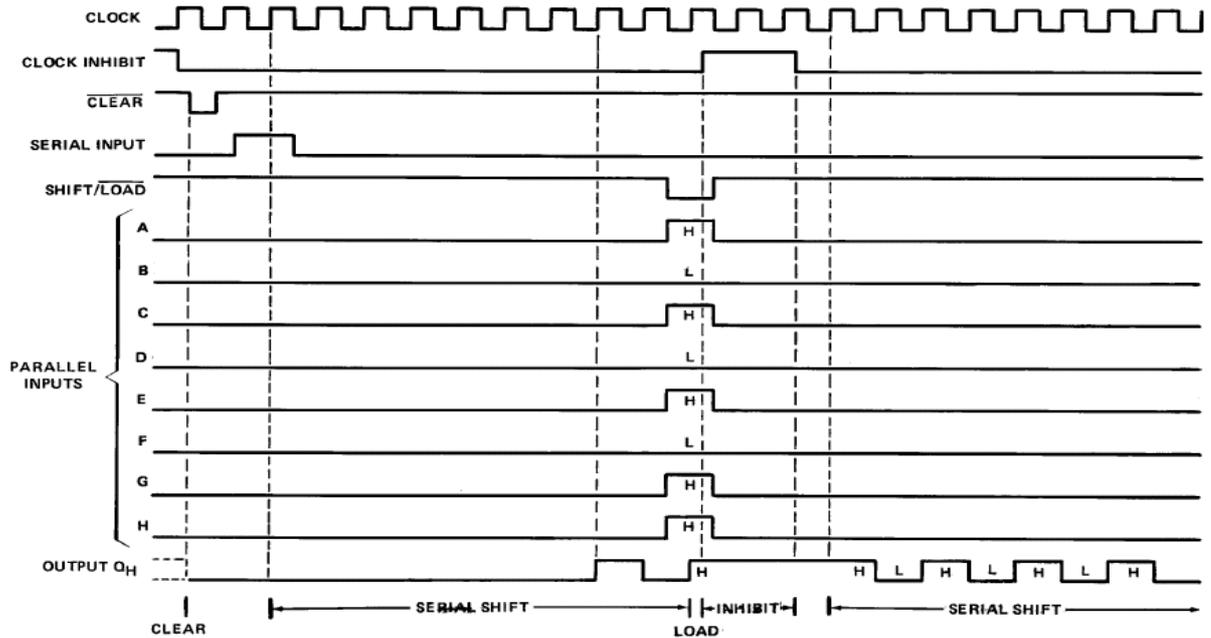


极限值

- 电源电压..... 7V
- 输入电压..... 5.5V
- 工作环境温度
- 54164..... -55~125°C
- 74164..... -0~70°C
- 储存温度..... -65°C~150°C

真值表

INPUTS						INTERNAL OUTPUTS		OUTPUT
CLEAR	SHIFT/LOAD	CLOCK INHIBIT	CLOCK	SERIAL	PARALLEL A...H	QA	QB	QH
L	X	X	X	X	X	L	L	L
H	X	L	L	X	X	QA0	QB0	QH0
H	L	L	↑	X	a...h	a	b	h
H	H	L	↑	H	X	H	QA _n	QG _n
H	H	L	↑	L	X	L	QA _n	QG _n
H	X	H	↑	X	X	QA0	QB0	QH0



推荐工作条件:

		'166			单位
		最小	额定	最大	
电源电压V _{CC}	54	4.5	5	5.5	V
	74	4.75	5	5.25	
输入高电平电压V _{IH}		2			V
输入低电平电压V _{IL}				0.8	V
输出高电平电流I _{OH}				-800	μA
输出低电平电流I _{OL}				16	mA
时钟频率f _{cp}		0		25	MHz
脉冲宽度T _w	CLK, \overline{C} L R	20			ns
建立时间t _{set}	SH/ \overline{L} D	30			ns
	SER, A-H	20			ns
保持时间t _H		0			ns

静态特性 (TA 为工作环境温度范围)

参 数	测 试 条 件 ⁽¹⁾	'166		单位
		最小	最大	
V _{IK} 输入嵌位电压	V _{CC} =最小, V _{IK} =-12mA		-1.5	V
V _{OH} 输出高电平电压	V _{CC} =最小, V _{IH} =2V, V _{IL} =0.8V, I _{OH} =-800μA	2.4		V
V _{OL} 输出低电平电压	V _{CC} =最大, V _{IH} =2V, V _{IL} =0.8V, I _{OL} =16mA		0.4	V
I _I 最大输入电压时输入电流	V _{CC} =最大, V _I =5.5V		1	mA
I _{IH} 输入高电平电流	V _{CC} =最大, V _{IH} =2.4V		40	μA
I _{IL} 输入低电平电流	V _{CC} =最大, V _{IL} =0.4V		-1.6	mA
I _{OS} 输出短路电流	V _{CC} =最大	54	-20	mA
		74	-18	

I _{CC} 电源电流	V _{CC} =最大, SER 接 4.5V, 除 CLK 外的其余输入接地, CLK 瞬时接地后接 4.5V		127	mA
----------------------	--	--	-----	----

[1]: 测试条件中的“最小”和“最大”用推荐工作条件中的相应值。

动态特性(T_A=25°C)

参 数 ^[2]		测 试 条 件	'165		单 位
			最小	最大	
f _{max}		V _{CC} =5V, C _L =15Pf, R _L =400 Ω	24		MHz
t _{PLH}	CLK → Q _H			26	ns
t _{PHL}				30	ns
t _{PHL}	$\overline{C L R} \rightarrow Q_H$			35	ns

[2]: f_{max} 最大时钟频率。t_{PLH} 输出由低电平到高电平传输延迟时间 t_{PHL} 输出由高电平到低电平传输延迟时间