

## 附录 A： 常用并行接口芯片 8255A

一般来说，外设接口可以分成两类：

- 并行接口：一组数据在多根线上同时传送；
- 串行接口：一组数据按位顺序在一根线上依次传送。

本附录主要介绍常用并行接口芯片 8255A 的工作原理、编程方法及其应用。

### A.1 并行接口的基本原理及结构

作为一个并行接口，应具备下列功能：

- 具有一个或多个数据 I/O 寄存器和缓冲器（称为 I/O 端口）；
- 每个端口应具有与 CPU 和外设进行联络控制的功能；
- CPU、端口及外设之间能够以中断方式进行通信；
- 接口可有多种工作方式，并且能够由用户编程控制。

并行接口与 CPU、外设之间的连接逻辑如图 A.1 所示，其输入、输出过程可按下列步骤描述。

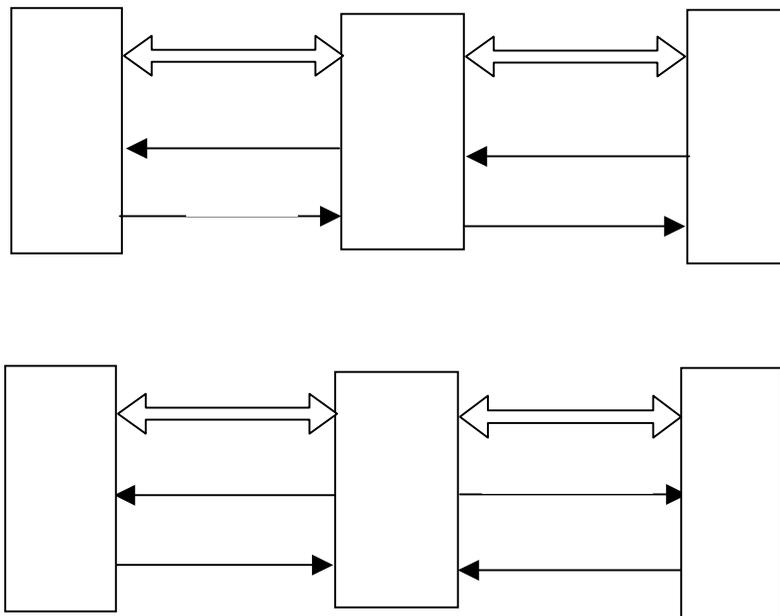


图 A.1 并行接口与 CPU、外设之间的连接逻辑

并行接口的输入过程：

1. 外设将原始数据放在数据总线上，并向并行接口发出“数据准备好”信号；
2. 在并行接口中，将数据锁存于寄存器中，并向外设发出“数据输入响应”信号，表示外设数据已输入到接口，但还未送到 CPU，因此外设不能发来新的数据；同时向 CPU 发出“数据准备就绪”信号或者发出中断请求信号，表示端口寄存器中已经准

备好数据，CPU 可以读取数据；

3. 外设收到“数据输入响应”信号，撤销数据及“数据准备好”信号；
4. CPU 从接口中读取数据，并给并行接口发出“回执”，并行接口据此撤销“数据准备就绪”信号，并向外设发出“接收准备好”信号，外设在此“接收准备好”信号控制下，发送新的数据。

并行接口的输出过程：

1. 并行接口向 CPU 发出“准备就绪”信号或者发出中断请求信号，表示端口寄存器中已经作好接收数据的准备，CPU 可以发来数据；
2. CPU 将数据写入端口寄存器，并发送“回执”信号；接口收到“回执”信号后，撤销“准备就绪”信号；
3. 并行接口向外设发出“数据准备好”信号；
4. 外设取走数据，并向接口发出“数据输入响应”信号，表示外设已取走数据；
5. 并行接口撤销“数据准备好”信号，同时再次向 CPU 发出“准备就绪”信号或者发出中断请求信号。

## A.2 常用并行接口芯片 8255A 基础

Intel 公司生产的可编程并行接口芯片 8255A 已广泛应用于实际工程中，例如 8255A 与 A/D、D/A 配合构成数据采集系统，通过 8255A 连接的两个或多个系统构成相互之间的通信，系统与外设之间通过 8255A 交换信息，等等，所有这些系统都将 8255A 用作为并行接口。

8255A 的原理结构如图 A.2 所示。它采用 40 脚的 DIP 封装，其引脚定义如表 A.1 所示。

表 A.1 8255A 引脚定义

引脚名	功能	连接去向
$D_0 \sim D_7$	数据总线（双向）	CPU
RESET	复位输入	CPU
$\overline{CS}$	片选信号	译码电路
$\overline{RD}$	读信号	CPU
$\overline{WR}$	写信号	CPU
$A_0, A_1$	端口地址	CPU
$PA_0 \sim PA_7$	端口 A	外设
$PB_0 \sim PB_7$	端口 B	外设
$PC_0 \sim PC_7$	端口 C	外设
Vcc	电源（+5V）	/
GND	地	/

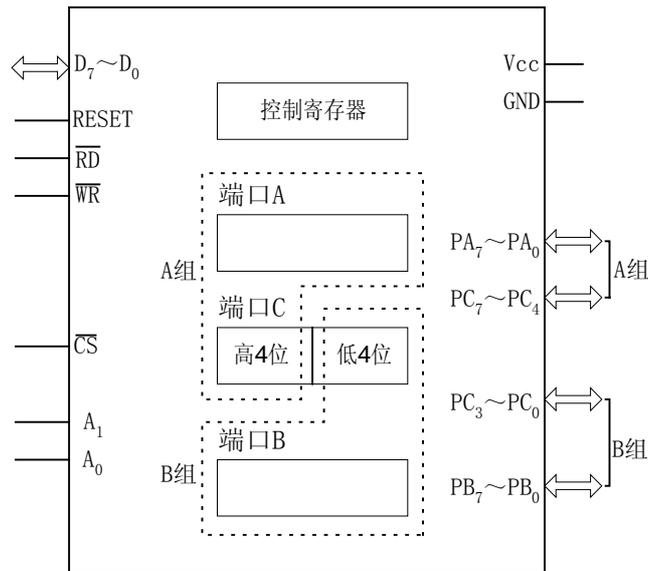


图 A.2 8255A 编程模型

8255A 为一可编程的通用接口芯片。它有三个数据端口 A、B、C，每个端口为 8 位，并均可设成输入和输出方式，但各个端口仍有差异：

端口 A ( $PA_0 \sim PA_7$ ): 8 位数据输出锁存/缓冲器，8 位数据输入锁存器；

端口 B ( $PB_0 \sim PB_7$ ): 8 位数据 I/O 锁存/缓冲器，8 位数据输入缓冲器；

端口 C ( $PC_0 \sim PC_7$ ): 8 位输出锁存/缓冲器，8 位输入缓冲器（输入时没有锁存）；

在模式控制下这个端口又可以分成两个 4 位的端口，它们可单独用作为输出控制和状态输入。

端口 A、B、C 又可组成两组端口（12 位）：A 组和 B 组，参见图 A.2。在每组中，端口 A 和端口 B 用作为数据端口，端口 C 用作为控制和状态联络线。

在 8255A 中，除了这三个端口外，还有一个控制寄存器，用于控制 8255A 的工作方式。因此 8255A 共有 4 个端口寄存器，分别用  $A_0, A_1$  指定：

$A_1 = 0, A_0 = 0$ ，表示访问端口 A；

$A_1 = 0, A_0 = 1$ ，表示访问端口 B；

$A_1 = 1, A_0 = 0$ ，表示访问端口 C；

$A_1 = 1, A_0 = 1$ ，表示访问控制寄存器；

### A.3 8255A 工作方式选择

8255A 有三种基本工作方式：

方式 0：基本的输入/输出

方式 1: 有联络信号的输入/输出;

方式 2: 双向传送。

A 组可采用方式 0~方式 2, 而 B 组只能采用方式 0 和方式 1, 这由 8255A 的方式控制字控制。当向  $A_1 = 1$ 、 $A_0 = 1$  的端口寄存器 (即控制寄存器) 发送  $D_7 = 1$  的控制字时, 其作用为方式控制字, 各个位的含义如图 A.3 所示。

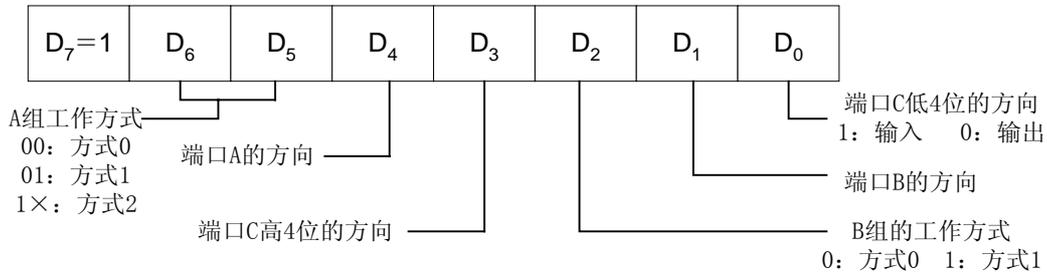


图 A.3 方式控制字

应该注意, 当向  $A_1 = 1$ 、 $A_0 = 1$  的端口寄存器 (即控制寄存器) 发送  $D_7 = 0$  的控制字时, 其作用为置位控制字, 各个位的含义如图 A.4 所示。

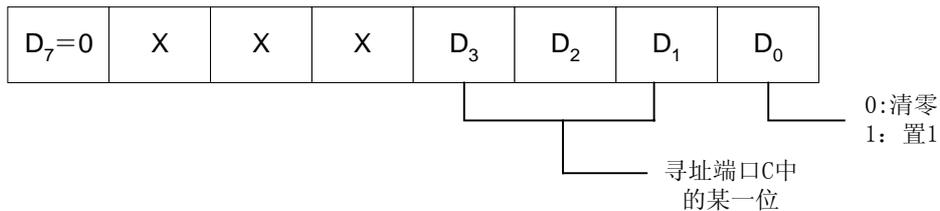


图 A.4 置位控制字

## A.4 8255A 工作方式

### A.4.1 方式 0 —— 基本的输入/输出

将端口信号线分成 4 组, 分别由方式控制字的  $D_4$ 、 $D_3$ 、 $D_1$ 、 $D_0$  控制其传送方向, 当某位为 1 时, 相应的端口数据线设置成输入方式; 当某位为 0 时, 相应的端口数据线设置成输出方式。

例如, 当方式控制字设置成 1000 1010B 时, 端口 A 与端口 C 的低 4 位数据线设置成输出方式, 端口 B 与端口 C 的高 4 位数据线设置成输入方式。

特别注意, 当将 C 口的低 4 位设置成同一传送方向时, 则端口 C 可用作作为独立的端口, 因此, 8255A 提供了 3 个独立的 8 为端口。

### A.4.2 方式 1 —— 有联络信号的输入/输出

三个端口的信号分成 A、B 两组,  $PC_7 \sim PC_4$  用作为 A 组的联络信号,  $PC_3 \sim PC_0$  用作为 B 组的联络信号。但  $PC_3$ 、 $PC_0$  固定用作为 A 组和 B 组向 CPU 发送的中断请求信号。

为对中断请求信号进行管理，8255A 中专门设置了中断屏蔽触发器 INTEA 和 INTEB，它们是通过端口 C 某一位置的置位控制字进行控制，如表 A.2 所示。

表 A.2 中断管理

分组	中断屏蔽触发器	输入/输出方式	端口 C 中的控制位
A 组	INTEA	输入	PC <sub>4</sub>
A 组	INTEA	输出	PC <sub>6</sub>
B 组	INTEB	输入/输出	PC <sub>2</sub>

通过置位控制字，当对 INTE 对应的端口 C 的位置位时，INTE=1，允许产生中断请求信号；当对 INTE 对应的端口 C 的位清零时，INTE=0，不允许（屏蔽）产生中断请求信号。

### 1. 方式 1/输入

当将 A 组和 B 组设置成方式 1 输入时，其方式控制字与端口数据线如图 A.5 所示，注意 D<sub>3</sub> 用于控制 PC<sub>6</sub> ~ PC<sub>7</sub> 的传送方向。

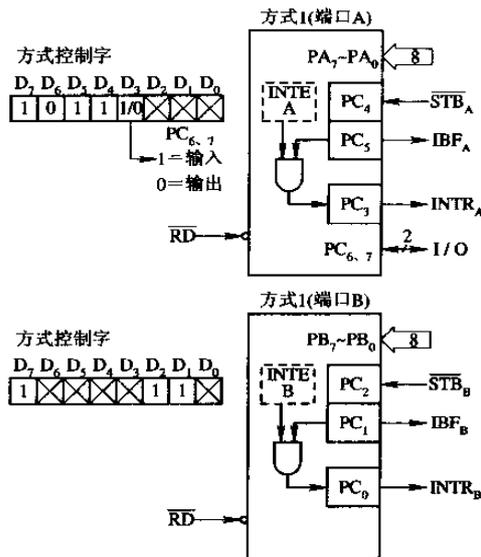


图 A.5 方式 1/输入时的方式控制字与端口数据线

方式 1 下的输入方式，8255A 与 CPU 通过 INTR（中断请求信号）联络，它与外设有 2 个联络信号： $\overline{\text{STB}}$ （选通输入）与外设提供的选通脉冲相连，将外设送来的数据锁存到端口寄存器，这相当于“数据准备好”信号。IBF（输入缓冲器满）向外设发送数据输入响应（高电平有效），表示端口寄存器已收到数据，但尚未被 CPU 取走；当 IBF 信号无效时，表示“接收准备好”。

8255A 工作在方式 1 的输入方式下，其方式控制字与端口数据线与外设之间的数据传送与联络信号的时序如图 A.6 所示。

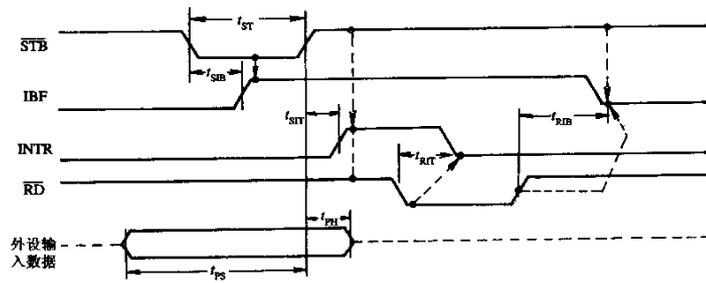


图 A.6 8255A 方式 1/输入方式下的控制时序

## 2. 方式 1/输出

当将 A 组和 B 组设置成方式 1 输入时，其方式控制字与端口数据线如图 A.7 所示，注意  $D_3$  用于控制  $PC_4 \sim PC_5$  的传送方向。

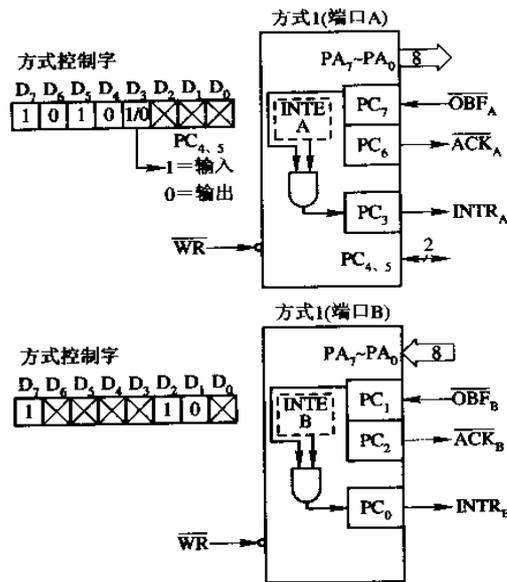


图 A.7 方式 1/输出时的方式控制字与端口数据线

方式 1 下的输出方式，8255A 与 CPU 通过 INTR（中断请求信号）联络，它与外设有 2 个联络信号： $\overline{OBF}$ （输出缓冲器满）有效表示 CPU 已将数据写入端口寄存器，这相当于“数据准备好”信号。 $\overline{ACK}$ （回执）有效表示外设已将数据取走，CPU 可发来新的数据。

8255A 工作在方式 1 的输出方式下，其与外设之间的数据传送与联络信号的时序如图 A.8 所示。

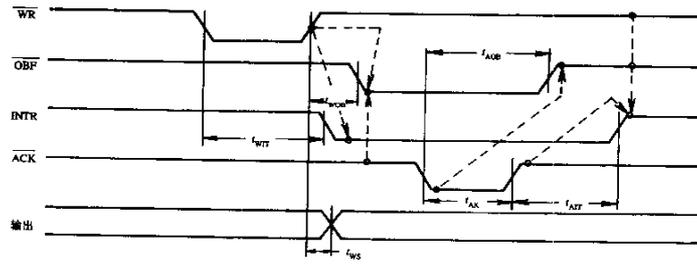


图 A.8 8255A 方式 1/输出方式下的控制时序

### 3. 方式 1 的组合

在方式 1 下，8255A 的 A 组和 B 组可以独立对定义，也就是说 A 组输入/输出方式的设定与 B 组的输入/输出方式无关，反之亦然。例如，设定的方式控制字为 1011 1100B 时，表示 A 组为方式 1 输入，B 组为方式 1 输出，而且 PC<sub>6</sub> ~ PC<sub>7</sub> 设定成输入。又如，当方式控制字为 1010 0110B 时，表示 A 组为方式 1 输出，B 组为方式 1 输入，而且 PC<sub>4</sub> ~ PC<sub>5</sub> 设定成输出。

#### A.4.3 方式 2 —— 双向传送

这种方式只适用于 A 组，PC<sub>6</sub> ~ PC<sub>7</sub> 用作为输出的联络信号，PC<sub>4</sub> ~ PC<sub>5</sub> 用作为输入的联络信号，PC<sub>3</sub> 仍用作为中断请求信号。

当将 A 组设置成方式 1 时，其方式控制字与端口数据线如图 A.9 所示。这时 B 组仍可设置成方式 0 或方式 1。

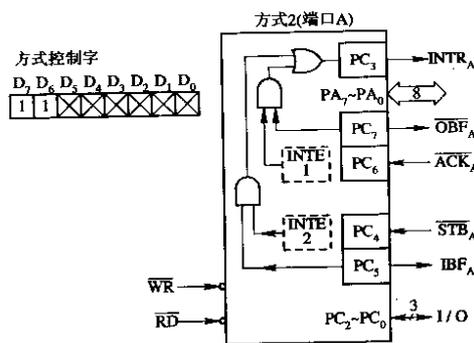


图 A.9 方式 2 的方式控制字与端口数据线

当 A 组设置成方式 2 时，端口 A 的数据总线为双向，一方面 CPU 通过 8255A 将数据转发给外设，另一方面，外设也通过 8255A 将数据提交给 CPU。中断请求信号的产生由两个中断屏蔽触发器控制 (INTE1, INTE2)，它们置位与清零操作可分别通过对 PC<sub>6</sub> 和 PC<sub>4</sub> 的置位与清零来完成。当 CPU 响应该中断请求时，应设法确定是发送请求还是接收请求。



2. 假设用 8255A 开发的并行接口的开始端口地址为 300H，编写程序段，分别完成：
  - (1) 设置 A 组和 B 组都是方式 0，其中端口 A 和 C 为输入，端口 B 为输出；
  - (2) 设置 A 组为方式 2，B 组为方式 1 的输出；
  - (3) 设置 A 组为方式 1 的输入，B 组为方式 1 的输入， $PC_6, PC_7$  为输出。
3. 在 8088 最大方式系统中，由一片 8255A 构成输入/输出接口，端口地址为 240H~243H，外设准备好的 8 位数据已送入 8255A 的端口 A，要求将这一数据的低 4 位取反（高 4 位不变）后，从端口 B 送出。要求：(1) 画出端口译码电路；(2) 说明各端口的工作方式；(3) 编写 8255A 的初始化及输入输出程序段。
4. 假定 8255 并行接口地址为 FFE0H~FFE3H，试将其连接到 8088 最大方式的系统总线上。
  - (1) 设定 8255 的三个端口均为输出，输出用来控制 24 个彩灯（设 0 为亮），分别编写程序段完成单灯循环和双灯循环。
  - (2) 编写程序段完成，灯 0 亮→灯 0、1 亮→……灯 0、1、…、23 亮→灯 23 灭→灯 22、23 灭→……灯 0、1、…、23 灭，依次循环。
5. 8255A 经常与 A/D 变换器配合构成数据采集系统。A/D 变换器的原理框图机主要工作时序如图 A.11 所示。设计 8255A、A/D 变换器、8086 最小方式总线之间的连接，8255A 的端口地址范围为 260~26FH，编写 8255A 的初始化和采集 N 个数据的程序段（可用中断方式，也可用查询方式）。

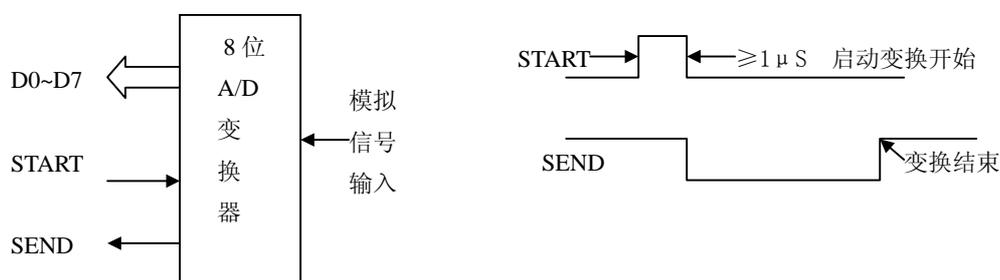


图 A.11 A/D 变换器工作原理

6. 某外设原理框图如图 A.12 所示，当 BUSY 为低电平时，表示外设可以接收数据，试通过 8255 将 BUF 缓冲器中的 100 个字节数据输出到外设，编写 8255A 的初始化程序及输出程序段（设 8255A 的地址分别用 P8255A、P8255B、P8255C、P8255D 表示）。

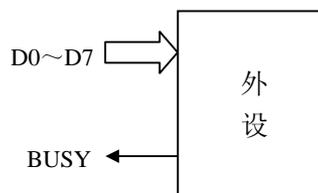


图 A.12 外设引线图