



A7105

Preliminary

2.4GHz Transceiver

Document Title

Preliminary Chinese Version Data sheet - A7105

Revision History

<u>Rev. No.</u>	<u>History</u>	<u>Issue Date</u>	<u>Remark</u>
0.0	Initial issue	Oct 15, 2007	Preliminary
0.1		Jan 25, 2008	

AMICCOM CONFIDENTIAL

Important Notice:

AMICCOM reserves the right to make changes to its products or to discontinue any integrated circuit product or service without notice. AMICCOM integrated circuit products are not designed, intended, authorized, or warranted to be suitable for use in life-support applications, devices or systems or other critical applications. Use of AMICCOM products in such applications is understood to be fully at the risk of the customer.



目錄

1. 一般描述.....	4
2. 特性.....	4
3. 基本應用.....	4
4. 接腳配置.....	5
5. 接腳說明 (I: input, O: output, I/O: input or output, OD: open drain output).....	5
6. 系統方塊圖.....	6
7. 絕對最大範圍.....	7
8. 電氣特性.....	7
9. 控制暫存器.....	9
9.1 控制暫存器列表.....	9
9.2 控制暫存器說明.....	11
10. 串列介面(3 or 4-wire serial interface)控制.....	26
10.1 SPI 格式.....	26
10.2 3 or 4-wire線串列介面讀/寫時序圖(3 or 4-Wire Serial Interface Timing Chart).....	26
10.3 控制暫存器存取型態.....	28
10.4 SPI 時序特性.....	28
10.5 Strobe Command.....	29
10.6 RF chip Reset Command.....	31
10.7 ID Read/Write Command.....	31
10.8 TX FIFO write /RX FIFO Read Command.....	32
11 振盪電路.....	33
11.1 使用內部振盪電路.....	33
11.2 使用外部振盪信號.....	33
12. 系統時脈 (System Clock).....	34
12.1 clock chain 機制.....	34
12.2 一些除頻器的設定.....	35
13. 工作頻率設定.....	36
13.1 BIP,BFP, RRC值的設定.....	36
14. 系統狀態機制 (State machine).....	38
15. CAL state校準.....	40
15.1 IF 校準(Calibration Process).....	40
15.2. VCO band 校準(Calibration Process).....	40
15.3. VCO current 校準(Calibration Process).....	40
16. FIFO (First In First Out)功能.....	42
16.1 傳送封包格式.....	42
16.2 封包處理 (Packet Handling).....	43
16.3 資料傳送時間.....	43
16.4 TX/RX FIFO.....	45
16.5 FIFO Extension.....	46
17. 工作模式 (Mode of operation).....	47
17.1 Direct mode.....	47
17.2 FIFO mode.....	50
18. ADC (Analog Digital Converter).....	52
18.1 溫度量測.....	52
18.2 RSSI量測.....	52
18.3 載波(Carrier)偵測.....	52
18.4 外部信號源量測.....	52
19. TWOR(Wake up on Radio using Timer) 及 WOR(Wake up on Radio).....	53
19.1 TWOR.....	53
19.2 WOR.....	53
20. Battery detector.....	54



A7105

Preliminary

2.4GHz Transceiver

21. 應用線路(Application Circuit).....	54
22 Ordering Information	55
23 封裝資訊.....	56

AMICCOM CONFIDENTIAL



1. 一般描述

A7105 是一低成本且適用於 2.4GHz ISM 頻段的無線應用的射頻晶片。7105 內含高靈敏度的接收器(1Mbps@ -93dbm), 所以在 10m 以內的應用產品, 可以大幅下降 RF 的發射能量(0dbm→-10dbm), 來避免射頻產品對人體照造成可能的損害。A7105 的工作頻率是可以程式化設置, 最高為 500Kbps。在數位介面部份, 有支援 4pin(SPI)或 3pin 控制, 另外在 RF data 的處理有 2 種模式可供選擇: FIFO(利用 RF 內部的 memory 先儲存要發射/接收的 data), Direct(直接發射/接收)。在 FIFO 模式下, 也支援 CRC(CRC16), FEC(約可增加靈敏度 2dbm), data whitening(可視為 data 加密), Manchester code 的編/解碼。

A7105 內建, RSSI, 溫度的 sensor, 來偵測環境對 RF IC 的影響, 而且也內建 1ch ADC 可偵測使用電壓。內建無線喚醒機制, 可延長電池壽命。封裝 QFN4X4 20 pin。

2. 特性

- Frequency bands: 2400 – 2483MHz ISM band.
- FSK and GFSK 調變
- Low current consumption: RX:16 mA
- Low current consumption: TX:19 mA (output power 0dBm)
- Programmable RF output power: up to 0 dBm.
- On chip regulator, supply voltage 1.9 ~ 3.6V.
- On chip low power RC oscillator.
- Low current (< 1uA) in sleep mode and need only one crystal while working together with MCU.
- High sensitivity (-100dBm@250Kbps, -96dBm@500Kbps,)
- Programmable data rate up to 500Kbps
- Support 4- wire(SPI) or 3- wire interface to access FIFO data, command and register setting
- Package handling hardware includes preamble, sync word, FEC, CRC data whitening and manchester coding.
- Separate 64 – byte RX and TX FIFOs
- Support FIFO extension function and up to 256 bytes.
- Easy to use with an low cost MCU
- Fast settling time synthesizer for frequency hopping system.
- Digital RSSI output for clear channel indication
- Digital temperature output
- Build in 1 channel ADC for detect external analog element.
- Build in WWS(wireless wakeup system) for reduce power consumption of battery.
- Support Frequency compensation scheme to make use the low cost (low accuracy) crystal.

3. 基本應用

- 無線資料傳輸
- 無線遙控
- 無線鍵盤、滑鼠
- 家庭自動化系統
- 無線玩具、遊戲搖桿
- 2.4GHz ISM 頻段通信系統

Important Notice:

AMICCOM reserves the right to make changes to its products or to discontinue any integrated circuit product or service without notice. AMICCOM integrated circuit products are not designed, intended, authorized, or warranted to be suitable for use in life-support applications, devices or systems or other critical applications. Use of AMICCOM products in such applications is understood to be fully at the risk of the customer.



4. 接脚配置

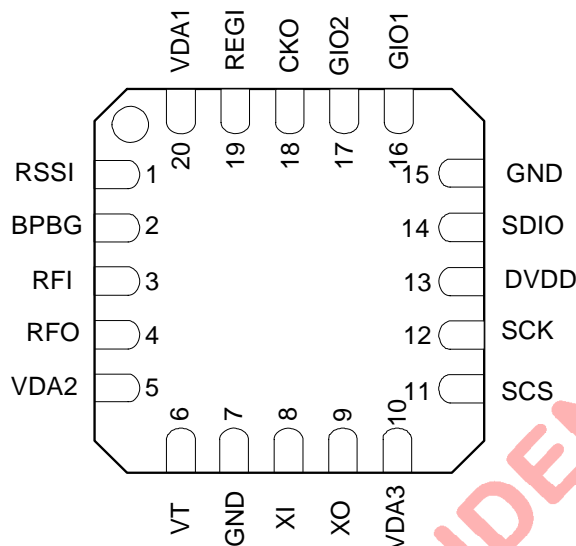


Fig1. A7105 QFN Package Top View

5. 接脚说明 (I: input, O: output, I/O: input or output, OD: open drain output)

Pin No.	Symbol	I/O	Function Description
1	RSSI	AO	External pin connected to bypass capacitor for RSSI reading or input pin for ADC.
2	BPBG	AO	Regulator bias point
3	RFI	AI	Low noise amplifier input.
4	RFO	AO	Power amplifier output.
5	VDA2	I	Voltage supply for RX & TX analog part
6	VT	AI	VCO VT(tuning voltage)输入.
7	GND	I	接地.
8	XI	AI	振荡电路输入接点.
9	XO	AO	振荡电路输出接点.
10	VDA3	I	Voltage supply for PLL part
11	SCS	DI	串行介面信号致能
12	SCK	DI	串行介面时脉讯号
13	DVDD	I	数位电源提供输入.
14	SDIO	DI/O	串行介面资料信号.
15	GND	I	接地.
16	GIO1	DI/O	多工信号输入/输出 1 / 串行介面资料信号.
17	GIO2	DI/O	多工信号输入/输出 2 / 串行介面资料信号.
18	CKO	DO	时脉讯号输出.
19	REGI	AI	Regulator input
20	VDA1	I	Regulator output and voltage supply of IF part

Note : A : 类比(Analog)、D : 数位 (Digital)、I : 输入 (Input)、O : 输出 (Output)、P : 电源 (Power)

6. 系統方塊圖

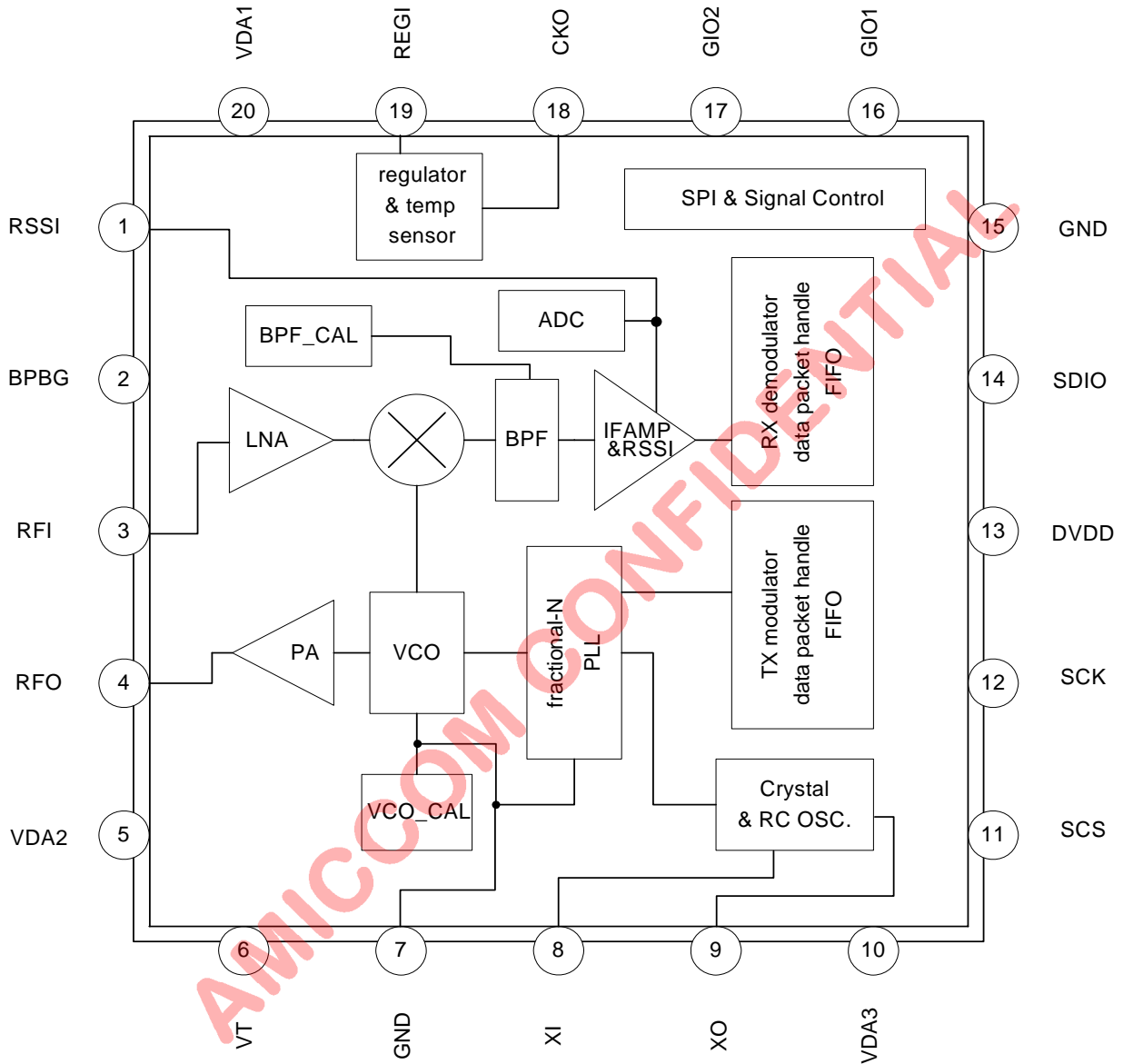


Fig2. 系統方塊圖



7. 絕對最大範圍

Parameter	With respect to	Rating	Unit
Supply voltage range (VDD)	GND	-0.3 ~ 5.0	Vdc
Other I/O pins range	GND	-0.3 ~ VDD+0.3	Vdc
Maximum input RF level		0	dBm
Storage Temperature range		-55 ~ 125	°C

*Stresses above those listed under "Absolute Maximum Rating" may cause permanent damage to the device. These are stress ratings only; functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

8. 電氣特性

(Ta=25°C, VDD=2.5V, data rate= 500Kbps, TX data without Gaussian shaping unless otherwise noted.)

Parameter	Description	Min.	Type	Max.	Unit
General					
Storage Temperature		-55		125	°C
Operating Temperature		-40		85	°C
Supply Voltage		1.9	2.5	3.6	V
Current Consumption	sleep mode(INT.RC off)		1		µA
	sleep mode(INT.RC on)		3		µA
	Idle mode(X'sta off, REG on)		0.3		mA
	Standby mode(X'stal, INT.RC, REG on)		1.5		mA
	PLL mode(X'stal, INT.RC, REG, PLL on)		9		mA
	Active RX Mode		16		mA
	Active TX mode(output power 0dBm)		19		mA
	Active TX mode(output power -4dBm)		14		mA
Synthesizer block (includes crystal oscillator, PLL and VCO.)					
Crystal start up time			2		mS
Crystal frequency				24	MHz
VCO Operation Frequency			2400 –2500		MHz
PLL phase noise	Offset 10k		85		dBc
	Offset 100K		90		
	Offset 1M		100		
PLL settling time (Without auto calibration)				80	µs
VCO calibration time	Crystal 12MHz			256	µs
Transmitter					
Output power			0		dBm
Frequency deviation		25K		500K	Hz
Data rate		10K		500K	Bps
TX settling time	Loop bandwidth 500K		20		µS
Receiver					
Receiver sensitivity @ BER = 0.1%	Data rate 200K		-100		dBm
	Data rate 500K		-96		dBm
IF frequency bandwidth			250/500		KHz
IF center frequency			250/500		KHz



A7105

Preliminary

2.4GHz Transceiver

Image rejection		20	25		dB
RSSI range	@RF input	-110		-55	dBm
RX setting time	Loop bandwidth 500K		20		μS
IF calibration time			300		μS
LO leakage at RF port				-50	dBm
Voltage regulator					
Regulator settling time			300		uS
Bandgap reference voltage			1.23		V
Regulator output voltage			2.5		V
Line regulation	Load current 30mA	35	40		dBc
Digital IO DC characteristics					
High Level Input Voltage(V _{IH})		0.8*VDD		VDD	V
Low Level Input Voltage(V _{IL})		0		0.2*VDD	V
High Level Output Voltage(V _{OH})	@I _{OH} =-0.5mA	VDD-0.4		VDD	V
Low Level Output Voltage(V _{OL})	@I _{OL} =0.5mA	0		0.4	V

AMICCOM CONFIDENTIAL



9. 控制暫存器

A7105 chip 有 51x8-bit 的控制暫存器，可透過簡單的 3 線或 4 線串列相容的介面操作讀出或寫入資料。

9.1 控制暫存器列表

Address / Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
00h Mode	W	RESETN	-	-	-	-	-	-	-
	R	-	FECF	CRCF	CER	XER	PLLER	TRSR	TRER
01h Mode control	W	DDPC	ARSSI	AIF	DFCD	WOR_EN	FMT	FMS	ADCM
	R	DDPC	ARSSI	AIF	CD	WOR_EN	FMT	FMS	ADCM
02h Calc	R/W	-	-	-	-	-	VCC	VBC	FBC
03h FIFO I	W	FEP7	FEP6	FEP5	FEP4	FEP3	FEP2	FEP1	FEP0
04h FIFO II	W	FPM1	FPM0	PSA5	PSA4	PSA3	PSA2	PSA1	PSA0
05h FIFO Data	R/W	FIFO7	FIFO6	FIFO5	FIFO4	FIFO3	FIFO2	FIFO1	FIFO0
06h ID Data	R/W	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
07h RC OSC I	W	WOR_SL7	WOR_SL6	WOR_SL5	WOR_SL4	WOR_SL3	WOR_SL2	WOR_SL1	WOR_SL0
	R	-	-	RCOC5	RCOC4	RCOC3	RCOC2	RCOC1	RCOC0
08h RC OSC II	W	WOR_SL9	WOR_SL8	WOR_AC5	WOR_AC4	WOR_AC3	WOR_AC2	WOR_AC1	WOR_AC0
09h RC OSC III	W	BBCKS1	BBCKS0	-	-	-	RCOSC_E	TSEL	TWOR_OE
0Ah CKO Pin	W	ECKOE	CKO3	CKO2	CKO1	CKO0	CKO1	CKOE	SCKI
0Bh GPIO1 Pin I	W	-	-	GPIO1S3	GPIO1S2	GPIO1S1	GPIO1S0	GPIO1I	GPIO1OE
0Ch GPIO2 Pin II	W	-	-	GPIO2S3	GPIO2S2	GPIO2S1	GPIO2S0	GPIO2I	GPIO2OE
0Dh Clock	R/W	GRC3	GRC2	GRC1	GRC0	CSC1	CSC0	CGS	XS
0Eh Data rate	R/W	SDR7	SDR6	SDR5	SDR4	SDR3	SDR2	SDR1	SDR0
0Fh PLL I	R/W	CHN7	CHN6	CHN5	CHN4	CHN3	CHN2	CHN1	CHN0
10h PLL II	R/W	DBL	RRC1	RRC0	CHR3	CHR2	CHR1	CHR0	IP8
11h PLL III	W	BIP7	BIP6	BIP5	BIP4	BIP3	BIP2	BIP1	BIP0
	R	IP7	IP6	IP5	IP4	IP3	IP2	IP1	IP0
12h PLL IV	W	BFP15	BFP14	BFP13	BFP12	BFP11	BFP10	BFP9	BFP8
	R	-FP15	AC14-FP14	AC13-FP13	AC12-FP12	AC11-FP11	AC10-FP10	AC9-FP9	AC8-FP8
13h PLL V	W	BFP7	BFP6	BFP5	BFP4	BFP3	BFP2	BFP1	BFP0
	R	AC7-FP7	AC6-FP6	AC5-FP5	AC4-FP4	AC3-FP3	AC2-FP2	AC1-FP1	AC0-FP0
14h TX I	W	TXSM1	TXSM0	TXDI	TME	FS	FDP2	FDP1	FDP0
15h TX II	W	-	PDV1	PDV0	FD4	FD3	FD2	FD1	FD0
16h Delay I	W	DPR2	DPR1	DPR0	TDL1	TDL0	PDL2	PDL1	PDL0
17h Delay II	W	WSEL2	WSEL1	WSEL0	AGC_D1	AGC_D0	RS_DLY2	RS_DLY1	RS_DLY0
18h RX	W	-	RXSM1	RXSM0	AFC	RXDI	DMG	BWS	ULS



A7105

Preliminary

2.4GHz Transceiver

19h RX Gain I	R/W	MVGS	-	IGS	MGS1	MGS0	LGS2	LGS1	LGS0
1Ah RX Gain II	W	RH7	RH6	RH5	RH4	RH3	RH2	RH1	RH0
1Bh RX Gain III	W	RL7	RL6	RL5	RL4	RL3	RL2	RL1	RL0
1Ch RX Gain IV	W	ENGC	-	-	-	MHC	LHC1	LHC0	VGCE
1Dh RSSI Threshold	W	RTH7	RTH6	RTH5	RTH4	RTH3	RTH2	RTH1	RTH0
	R	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0
1Eh ADC	W	RSM1	RSM0	ERSS	FSARS	-	XADS	RSS	CDM
1Fh Code I	W	-	MCS	WHTS	FECS	CRCS	IDL	PML1	PML0
20h Code II	W	-	DCL2	DCL1	DCL0	ETH1	ETH0	PMD1	PMD0
21h Code III	W	-	WS6	WS5	WS4	WS3	WS2	WS1	WS0
22h IF Calibration I	W	-	-	-	MFBS	MFB3	MFB2	MFB1	MFB0
	R	-	-	-	FBCF	FB3	FB2	FB1	FB0
23h IF Calibration II	R	-	-	-	FCD4	FCD3	FCD2	FCD1	FCD0
24h VCO current Calibration	W	-	-	VCCS	MVCS	VCOC3	VCOC2	VCOC1	VCOC0
	R	-	-	-	FVCC	VCB3	VCB2	VCB1	VCB0
25h VCO Single band Calibration I	W	-	-	-	-	MVBS	MVB2	MVB1	MVB0
	R	-	-	DVT1	DVT0	VBCF	VB2	VB1	VB0
26h VCO Single band Calibration II	W	-	-	VTH2	VTH1	VTH0	VTL2	VTL1	VTL0
27h Battery detect	W	RGS	RGV1	RGV0	-	BVT2	BVT1	BVT0	BD_E
	R	RGS	RGV1	RGV0	BDF	BVT2	BVT1	BVT0	BD_E
28h TX test	W	-	-	TXCS	PAC1	PAC0	TBG2	TBG1	TBG0
29h Rx DEM test I	W	DMT	DCM1	DCM0	MLP1	MLP0	SLF2	SLF1	SLF0
2Ah Rx DEM test II	W	DCV7	DCV6	DCV5	DCV4	DCV3	DCV2	DCV1	DCV0
2Bh CPC	W	-	-	-	-	-	-	CPC1	CPC0
2Ch Crystal test	W	-	-	-	-	DBD	XCC	XCP1	XCP0
2Dh PLL test	W	-	PMPE	PRIC1	PRIC0	PRRC1	PRRC0	SDPW	NSDO
2Eh VCO test I	W	-	-	-	TLB	TLB	RLB	RLB	VCBS
2Fh VCO test II	W	-	-	-	-	RFT3	RFT2	RFT1	RFT0
30h IFAT	W	IGFI2	IGFI1	IGFI0	IGFQ2	IGFQ1	IGFQ0	IFBS	LIMS
31h RScale	R/W	RSC7	RSC6	RSC5	RSC4	RSC3	RSC2	RSC1	RSC0
32h Filter test	W	FT7	FT6	FT5	FT4	FT3	FT2	FT1	FT0

Legend: - = unimplemented



9.2 控制暫存器說明

9.2.1 Mode Register (Address: 00h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Mode	R/W	--/ RESETN	FECF / --	CRCF / --	CER / --	XER / --	PLLER / --	TRSR / --	TRER / --
Reset		--	--	--	--	--	--	--	--

RESETN : 只要這個 register 做寫入時, 就是做 RF IC reset。

FECF : FEC 檢查旗標, 如讀出為:

[0]: 表示 FEC 檢查正確。 [1]: 表示 FEC 檢查錯誤。

CRCF : CRC 檢查旗標, 如讀出為:

[0]: 表示 CRC 檢查正確。 [1]: 表示 CRC 檢查錯誤。

CER : RF chip 致能狀態, 如讀出為:

[0]: 表示 chip 關閉。 [1]: 表示 chip 開啓。

XER : 石英振盪器致能狀態, 如讀出為:

[0]: 表示振盪器關閉。 [1]: 表示振盪器開啓。

PLLE : PLL 開啓狀態, 如讀出為:

[0]: 表示 PLL 關閉。 [1]: 表示 PLL 開啓。

TRSR : TRX state 狀態, 如讀出為:

[0]: *表示 RX state。 [1]: *表示 TX state。

* 當讀出 TRER=1 時。

TRER : TRX state 致能狀態, 如讀出為:

[1]: 表示 RF 正在 TX or RX。

9.2.2 Mode Control Register (Address: 01h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Mode Control I	R/W	DDPC	ARSSI	AIF	CD / DFCD	WOR_EN	FMT	FMS	ADCM
Reset		0	1	0	0	0	0	0	0

DDPC(Direct mode data pin control) : Direct mode 時 SPI 的 SDIO 當作 data 的 IO。

[0]: 關閉。 [1]: 致能。

ARSSI : 進 RX mode 時自動量測 RSSI。

[0]: 關閉。 [1]: 致能。

AIF(Auto IF) : 進 RX mode 時系統自動加減一個 IF 頻率。

[0]: 關閉。

[1]: 致能。

LO 頻率(RX) = LO 頻率(TX) - IF 頻率.(bit ULS=0 ; upper side band)

LO 頻率(RX) = LO 頻率(TX) + IF 頻率.(bit ULS=1 ; lower side band)

CD / DFCD :

CD(Read) : Carrier detector 訊號。

DFCD(Data Filter by CD) : 經由 Carrier Detector 訊號過濾資料封包。

[0]: 關閉。 [1]: 致能。

WOR_EN : WOR mode 致能。

[0]: 關閉。 [1]: 致能。當對 MCU 送出 wake up 信號後, 會自動清除為 0。

FMT : FIFO mode test。

[0]: Normal。 [1]: FIFO mode test。僅在 FIFO mode 工作模式有效。當完成封包(packet)測試後, 會自動清除為 0。



FMS : Direct/FIFO 模式選擇。

[0]: Direct 模式。 [1]: FIFO 模式。

ADCM : ADC 量測致能。

[0]: 關閉 ADC 量測或已量測完成。 [1]: 量測致能。當量測完成後，此位元會自動清除為 0。

ADCM	None Rx state	RX state
[0]	None	None
[1]	溫度量測	RSSI 量測、載波偵測、對外部信號作 ADC 量測轉換

9.2.3 Calibration Control Register (Address: 02h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Mode Control II	R	--	--	--	--	--	VCC	VBC	FBC
Reset		--	--	--	--	--	0	0	0

VCC : VCO Current Calibration 校準選項致能。

[0]: 關閉 VCO Current Calibration 或已校準完成。 [1]: 校準致能。當校準完成後，此位元會自動清除為 0。

VBC : VCO Bank Calibration 校準選項致能。

[0]: 關閉 VCO Bank Calibration 或已校準完成。 [1]: 校準致能。當校準完成後，此位元會自動清除為 0。

FBC : IF Filter Bank 校準選項致能。

[0]: 關閉 IF Filter Bank 或已校準完成。 [1]: 校準致能。當校準完成後，此位元會自動清除為 0。

9.2.4 FIFO Register I (Address: 03h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FIFO I	W	FEP7	FEP6	FEP5	FEP4	FEP3	FEP2	FEP1	FEP0
Reset		0	0	1	1	1	1	1	1

FEP[7:0] : TX/RX FIFO byte 結束位址設定。FIFO 結束位址 = FEP[7:0]+1。

9.2.5 FIFO Register II (Address: 04h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FIFO II	W	FPM1	FPM0	PSA5	PSA4	PSA3	PSA2	PSA1	PSA0
Reset		0	1	0	0	0	0	0	0

FPM[1:0] : TX/RX FIFO 臨界值設定。

設定值	Bytes in TX FIFO	Bytes in RX FIFO
[00]	4	60
[01]	8	56
[10]	12	52
[11]	16	48

PSA[5:0] : TX FIFO packet 傳送起始位址設定。

9.2.6 FIFO DATA Register (Address: 05h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FIFO DATA	R/W	FIFO7	FIFO6	FIFO5	FIFO4	FIFO3	FIFO2	FIFO1	FIFO0
Reset		0	0	0	0	0	0	0	0

FIFO[7:0] : TX/RX FIFO data。讀寫資料均在同一個暫存器。



9.2.7 ID DATA Register (Address: 06h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ID DATA	R/W	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
Reset		0	0	0	0	0	0	0	0

ID[7:0] : ID data。讀寫資料均在同一個暫存器。

9.2.8 RC OSC Register I (Address: 07h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RC OSC I	R/W	--/ WOR_SL7	--/ WOR_SL6	RCOC5/ WOR_SL5	RCOC4/ WOR_SL4	RCOC3/ WOR_SL3	RCOC2/ WOR_SL2	RCOC1/ WOR_SL1	RCOC0/ WOR_SL0
Reset		0	0	0	0	0	0	0	0

WOR_SL[7:0] : WOR Sleep Time delay 設定。(7.8ms ~ 7.99s)

$$\text{Sleep time} = (\text{WOR_SL}[9:0] + 1) \times 32 \times \left(\frac{1}{4092} \right) \text{s}$$

RCOC[5:0] : RC oscillator calibration counter value。

9.2.9 RC OSC Register II (Address: 08h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RC OSC II	W	WOR_SL9	WOR_SL8	WOR_AC5	WOR_AC4	WOR_AC3	WOR_AC2	WOR_AC1	WOR_AC0
Reset		0	0	0	0	0	0	0	0

WOR_AC[4:0] : WOR Action delay 設定。(244us ~ 15.6ms)

$$\text{Action time} = (\text{WOR_AC}[5:0] + 1) \times 1 \times \left(\frac{1}{4092} \right) \text{s}$$

9.2.10 RC OSC Register III (Address: 09h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RC OSC III	W	BBCKS1	BBCKS0	--	--	--	RCOSC_E	TSEL	TWOR_OE
Reset		0	0	--	--	--	1	0	1

BBCKS[1:0] : Clock select for digital block。

[00]: System clock / 2。 [01]: System clock / 4。 [10]: System clock / 6。 [11]: System clock / 8。

RCOSC_E : RC oscillator 致能選擇。

[0]: 關閉。 [1]: 致能(預設)。

TSEL : 計時器喚醒時間。

[0]: 使用 WOR_AC。 [1]: 使用 WOR_SL。

TWOR_OE : Use Timer to wake up MCU without RF。

[0]: 關閉。 [1]: 致能(預設)。

9.2.11 CKO Pin Control Register (Address: 0Ah)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CKO Pin Control	W	ECKOE	CKOS3	CKOS2	CKOS1	CKOS0	CKOI	CKOE	SCKI
Reset		1	0	1	1	1	0	1	0

ECKOE : 外部時脈輸出致能。



這 bit 會控制 CKO[3:0]選項內[0101],[0110],[0111]這三個選項的時脈輸出。

CKOS[3:0] : CKO pin 信號輸出選擇。

- [0000]: BCK(bit clock)。
- [0001]: MRCK(modulation rate)。
- [0010]: FPF(FIFO pointer flag)。
- [0011]: EOP, EOVCB, EOFBC, EOADC, EOVC, OKADC。
- [0100]: 外部時脈輸出。系統時脈/1。
- [0101]: 外部時脈輸出。系統時脈/2。
- [0110]: 外部時脈輸出。系統時脈/4。
- [0111]: 外部時脈輸出。系統時脈/8。
- [0100~0110]: WCK 時脈輸出, 由 bit ECKOE 決定輸出開啓或關閉。
- [1xxx]: 保留。

CKOI : CKO pin 信號反向輸出。

- [0]: 非反向輸出。 [1]: 反向輸出。

CKOE : CKO pin 信號輸出開啓。

- [0]: High Z。 [1]: 開啓。

SCKI : SPI 時脈反向輸入。

- [0]: 非反向輸入。 [1]: 反向輸入。

9.2.12 GPIO1 Pin Control Register I (Address: 0Bh)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GPIO1 Pin Control I	W	--	--	GPIO1S3	GPIO1S2	GPIO1S1	GPIO1S0	GPIO1I	GPIO1OE
Reset		--	--	0	0	0	0	0	1

GPIO1S[3:0] : GPIO1 pin 信號輸出選擇。

設定值	TX state	RX state
[0000]	WTR(non-standby state) output	
[0001]	EOAC(end of access code)	FSYNC(frame sync)
[0010]	TMEO(TX modulation enable)	CD(carrier detect)
[0011]	Preamble OK output	
[0100]	TWOR/WOR	
[0101]	In phase demodulator output(DMII)	
[0110]	P_SDO	
[0111]	TRXD In/Out	
[1000]	RXD	
[1001]	TXD	
[1010]	In phase demodulator external input(EXDI0)	
[1011]	External FSYNC input in RX direct mode	
[11xx]	保留	

GPIO1I : GPIO1 pin 信號反向輸出。

- [0]: 非反向輸出。 [1]: 反向輸出。

GPIO1OE : GPIO1 pin 信號輸出開啓。

- [0]: High Z。 [1]: 開啓。

9.2.13 GPIO2 Pin Control Register II (Address: 0Ch)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GPIO2 Pin Control II	W	--	--	GPIO2S3	GPIO2S2	GPIO2S1	GPIO2S0	GPIO2I	GPIO2OE
Reset		--	--	0	1	0	0	0	1

GPIO2S [3:0] : GPIO2 pin 信號輸出選擇。



設定値	TX state	RX state
[0000]	WTR(non-standby state) output	
[0001]	EOAC(end of access code)	FSYNC(frame sync)
[0010]	TMEO(TX modulation enable)	CD(carrier detect)
[0011]	Preamble OK output	
[0100]	TWOR/WOR	
[0101]	In phase demodulator output(DMIQ)	
[0110]	P_SDO	
[0111]	TRXD In/Out	
[1000]	RXD	
[1001]	TXD	
[1010]	In phase demodulator external input(EXDI0)	
[1011]	External FSYNC input in RX direct mode	
[11xx]	保留	

GPIO2I : GPIO2 pin 信號反向輸出。
 [0]: 非反向輸出。 [1]: 反向輸出。

GPIO2OE : GPIO2 pin 信號輸出開啓。
 [0]: High Z。 [1]: 開啓。

9.2.14 Clock Register (Address: 0Dh)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Clock	R/W	GRC3	GRC2	GRC1	GRC0	CSC1	CSC0	CGS	XS
Reset		1	1	1	1	0	1	0	1

GRC[3:0] : Clock generation 除頻器設定。

$$\text{Clock generation reference}(2\text{MHz}) = \frac{f_{xtal}}{(GRC[3:0] + 1)}$$

CSC[1:0] : Clock source 除頻器設定。

[00]: master clock / 1。 [01]: master clock / 2。 [10]: master clock / 2。 [11]: master clock / 4。

CGS : Clock generation 選擇。

[0]: 關閉。 [1]: 開啓。

XS : 石英振盪器選擇。

[0]: RFIC 的 clock 由外部提供。 [1]: clock 由內部線路產生。

註: Master clock: 為 $f_{xtal} * 2^{DBL}$ (bit CGS=0) 或 32MHz (bit CGS=1)

9.2.15 Data Rate Register (Address: 0Eh)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Data Rate	R/W	SDR7	SDR6	SDR5	SDR4	SDR3	SDR2	SDR1	SDR0
Reset		0	0	0	0	0	0	0	0

SDR[7:0] : Data rate 除頻器設定。

$$\text{Data rate} = \frac{f_{systemclock}}{32 * (SDR[7:0] + 1)}$$

9.2.16 PLL Register I (Address: 0Fh)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
------	-----	-------	-------	-------	-------	-------	-------	-------	-------



PLL I	R/W	CHN7	CHN6	CHN5	CHN4	CHN3	CHN2	CHN1	CHN0
Reset		0	0	0	0	0	0	0	0

CHN[7:0] : RF 頻道選擇。

9.2.17 PLL Register II (Address: 10h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PLL II	R/W	DBL	RRC1	RRC0	CHR3	CHR2	CHR1	CHR0	IP8
Reset		1	0	0	1	1	1	1	0

DBL : Crystal oscillator 倍頻選擇.

[0]: Xtal source = Crystal oscillator. [1]: Xtal source = 2 * Crystal oscillator.

RRC[1:0] : RF PLL reference counter. The divider range is from 1 to 4.

CHR[3:0] : Channel frequency step 設定。

$$\text{CHR}[3:0] + 1 = \frac{\text{PFD}}{2\text{MHz}} \rightarrow \text{可的到 channel step 爲 } 500\text{KHz}$$

PFD : PLL 參考比較頻率(PLL comparison frequency)

9.2.18 PLL Register III (Address: 11h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PLL III	R/W	IP7 / BIP7	IP6 / BIP6	IP5 / BIP5	IP4 / BIP4	IP3 / BIP3	IP2 / BIP2	IP1 / BIP1	IP0 / BIP0
Reset		0	1	0	0	1	0	1	1

BIP[8:0] : RF LO 啓始頻率整數部份(Integer Part) 設定.

IP [8:0]: RF PLL 整數部份讀出數值.

9.2.19 PLL Register IV (Address: 12h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PLL IV	R/W	FP15 / BFP15	AC14-FP14 / BFP14	AC13-FP13 / BFP13	AC12-FP12 / BFP12	AC11-FP11 / BFP11	AC10-FP10 / BFP10	AC9-FP9 / BFP9	AC8-FP8 / BFP8
Reset		0	0	0	0	0	0	0	0

9.2.20 PLL Register V (Address: 13h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PLL IV	R/W	AC7-FP7 / BFP7	AC6-FP6 / BFP6	AC5-FP5 / BFP5	AC4-FP4 / BFP4	AC3-FP3 / BFP3	AC2-FP2 / BFP2	AC1-FP1 / BFP1	AC0-FP0 / BFP0
Reset		0	0	0	0	0	0	1	1

BFP[15:0] : RF 起始頻率分數部份(Fractional Part)設定.

RF 頻率公式 :

$$f_{\text{RF_Base}} = \text{PFD} \cdot \left(\text{BIP}[8:0] + \frac{\text{BFP}[15:0]}{2^{16}} \right)$$

$$f_{\text{RF}} = f_{\text{RF_Base}} + (\text{CHN}[7:0] \cdot \text{Channel Step})$$

註: f_{RF} 爲 RF 的工作頻率



Channel Step 為頻道距離，
$$\text{Channel Step} = \frac{\text{PFD}}{4 \cdot (2 - \text{BWS}) \cdot (\text{CHR}[3:0] + 1)}$$

AC[14:0](Read) : 頻率補償 SPI 讀出數值(RX Reg. bit AFC=1)。

FP[15:0](Read) : PLL 頻率分數部份 SPI 讀出數值(RX Reg. bit AFC=0)。

當開啓 AIF 功能(Mode control Reg. bit AIF=1 時)
 RF 頻率(RX mode)=RF 頻率 - IF 頻率(RX Reg. ULS=0)。
 RF 頻率(RX mode)=RF 頻率 + IF 頻率(RX Reg. ULS=1)。

9.2.21 TX Register I (Address: 14h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TX I	W	TXSM1	TXSM0	TXDI	TME	FS	FDP2	FDP1	FDP0
Reset		0	0	0	1	0	1	1	0

TXSM[1:0] : Moving average for non filter select.

[00]: non moving average。 [01]: 2 moving average。 [10]: 4 moving average。 [11]: 8 moving average。

TXDI : TX data 反向輸出。

[0]: 非反向輸出。 [1]: 反向輸出。

TME : TX 調變致能。

[0]: 調變關閉。 [1]: 調變開啓。

FS : filter 選擇. The filter shape is determined by filter band k parameter set by SPI.

[0]: 關閉。 [1]: 開啓。

FDP[2:0] : Frequency deviation power 設定。

頻率偏移量 (frequency deviation) :

$$f_{\text{dev}} = 127 \cdot \text{PFD} \cdot (\text{FD}[4:0] + 1) \cdot \frac{2^{\text{FDP}[2:0]}}{2^{24}}$$

註: PFD 為參考比較頻率

9.2.22 TX Register II (Address: 15h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TX II	W	--	PDV1	PDV0	FD4	FD3	FD2	FD1	FD0
Reset		--	0	0	0	1	0	1	1

PDV[1:0] : division select for TX data rate while TX filter is on

$$\text{TX data rate} = \frac{\text{PFD}}{32 \cdot \text{PDV}[1:0] \cdot (\text{SDR}[7:0] + 1)}$$

FD[4:0] : Frequency deviation 設定。

9.2.23 Delay Register I (Address: 16h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Delay	W	DPR2	DPR1	DPR0	TDL1	TDL0	PDL2	PDL1	PDL0
Reset		0	0	0	1	0	0	1	0

DPR[2:0] : 延遲時間倍數設定。



TDL[1:0] : TX settling 延遲時間設定。

$$Tx\ Settling\ Delay = 20 * (TDL[1:0] + 1) * (DPR[2:0] + 1) \text{ us}$$

PDL[2:0] : PLL settling 延遲時間設定。

$$PLL\ Settling\ Delay = 20 * (PDL[2:0] + 1) * (DPR[2:0] + 1) \text{ us}$$

9.2.24 Delay Register II (Address: 17h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Delay	W	WSEL2	WSEL1	WSEL0	AGC_D1	AGC_D0	RS_DLY2	RS_DLY1	RS_DLY0
Reset		0	1	0	0	1	0	1	0

WSEL[2:0] : Xtal 起振 settling 延遲時間設定。(200us ~ 2.5ms)

[000]: 200us ◦ **[001]:** 400us ◦ **[010]:** 600us ◦ **[011]:** 800us ◦
[100]: 1ms ◦ **[101]:** 1.5ms ◦ **[110]:** 2ms ◦ **[111]:** 2.5ms ◦

AGC_D[1:0] : AGC 轉換時 RSSI settling 時間設定。(10~40us)

[000]: 10us ◦ **[001]:** 20us ◦ **[010]:** 30us ◦ **[011]:** 40us ◦

RS_DLY[2:0] : 進 RX state RSSI 量測 settling 時間設定。(10~80us)

[000]: 10us ◦ **[001]:** 20 us ◦ **[010]:** 30us ◦ **[011]:** 40 us ◦
[100]: 50us ◦ **[101]:** 60 us ◦ **[110]:** 70us ◦ **[111]:** 80 us ◦

9.2.25 RX Register (Address: 18h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RX	W	--	RXSM1	RXSM0	AFC	RXDI	DMG	BWS	ULS
Reset		--	0	0	0	0	0	1	0

RXSM[1:0] : RX demodulator smooth filter 選擇

RXSM[0]:

[1]: demodulation filter bandwidth = 1MHz ◦ **[0]:** demodulation filter bandwidth = 2MHz ◦

RXSM[1]:

[1]: 8 bit moving average of data filter ◦ **[0]:** 4 bit moving average of data filter ◦

AFC : 頻率補償(frequency compensation)校準選擇。

[0]: 手動校準。 **[1]:** 自動校準。

RXDI : RX data 反向輸出。

[0]: 非反向輸出。 **[1]:** 反向輸出。

DMG : Demodulator 增益選擇。

[0]: ×1 **[1]:** ×3

BWS : BPF 頻帶寬選擇。

[0]: 250KHz ◦ **[1]:** 500KHz ◦

ULS : 接收端 Up/Low side band 選擇。

[0]: up side band ◦ **[1]:** low side band ◦

9.2.26 RX Gain Register I (Address: 19h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RX Gain I	R/W	MVGS	--	IGS	MGS1	MGS0	LGS2	LGS1	LGS0
Reset		0	--	1	0	0	0	0	0



MVGS : 手動 VGA 校正。

[0]: 自動。 [1]: 手動。

IGS : PGA gain select.

[0]: 12dB。 [1]: 6dB。

MGS[1:0] : Mixer gain select.

[00]: 24dB。 [01]: 18dB。 [10]: 12dB。 [11]: 6dB。

LGS[2:0] : LNA gain select.

[000]: 24dB。 [001]: 18dB。 [010]: 12dB。 [011]: 6dB。 [1XX]: 0dB。

9.2.27 RX Gain Register II (Address: 1Ah)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RX Gain II	W	RH7	RH 6	RH5	RH4	RH3	RH2	RH1	RH0
Reset		0	0	0	0	1	0	1	0

RH[7:0] : VGA 校正目標上限。

9.2.28 RX Gain Register III (Address: 1Bh)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RX Gain III	W	RL7	RL6	RL5	RL4	RL3	RL2	RL1	RL0
Reset		1	0	1	1	0	1	0	0

RH[7:0] : VGA 校正目標下限。

9.2.29 RX Gain Register IV (Address: 1Ch)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RX Gain III	W	ENG C				MHC	LLC1	LLC0	VGCE
Reset		1				1	1	1	0

ENG C : End of AGC tuning

[0]:在設定目標內仍然持續量測調整，直到接收到 ID code 才停止。 [1]: 調整至目標範圍內則停止量測與調整。

MHC : Mixer high current 選擇。

[0]: 0.6mA。 [1]: 1.2mA。

LLC : LNA low current 選擇。

[00]: 0.5mA。 [01]: 1.0mA。 [10]: 1.5mA。 [11]: 2.0mA。

VGCE:

VGA calibration 致能。當校準完成後，此位元會自動清除為 0(Combine with FSYNCO).

VGA calibration will be done when VGCE or FSYNCO active high.

9.2.30 RSSI Threshold Register (Address: 1Dh)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RSSI Threshold	R/W	ADC7/ RTH7	ADC6/ RTH6	ADC5/ RTH5	ADC4/ RTH4	ADC3/ RTH3	ADC2/ RTH2	ADC1/ RTH1	ADC0/ RTH0
Reset		1	0	0	1	0	0	0	1

RTH[7:0] : 載波偵測(carrier detect)臨界值設定。

CD=1 for RSSI(ADC value) \leq RTH。

CD=0 for RSSI(ADC value) \geq RTH。

ADC[7:0] : 溫度、RSSI、或外部信號量測的 ADC 值輸出。

RX state: Digital RSSI output. $PWR_{RSSI} = -110\text{dbm} + 40 \cdot \text{RSSI}[7:0] / 8$



Non-RX state: Digital thermometer output. The relative temperature is around $+2\text{ }^{\circ}\text{C} * \text{ADC}[7:0]$.

External voltage measurement: the voltage is around $4.69\text{ mV} * \text{ADC}[7:0]$.

9.2.31 ADC Control Register (Address: 1Eh)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADC Control	W	RSM1	RSM0	ERSS	FSARS	--	XADS	RSS	CDM
Reset		0	1	0	1	--	0	1	1

RSM[1:0] : RSSI hysteresis select.

[00]: 5 ° [01]: 10 ° [10]: 15 ° [11]: 20 °

ERSS : Sync 時結束 RSSI 的量測。

[0]: 關閉。 [1]: 致能。

FSARS : ADC 時脈選擇。

[0]: system clock / 4。 [1]: system clock / 2。

XADS : ADC 輸入信號的選擇。

[0]: 對內部溫度或 RSSI 信號作 ADC 量測轉換。 [1]: 對外部信號作 ADC 量測轉換。

RSS : 溫度 / RSSI 量測選擇。

[0]: Temperature 量測。 [1]: RSSI 或 Carrier 量測。

CDM : 載波(Carrier)偵測模式。

[0]: 單次量測。 [1]: 連續偵測(for Carrier)。

9.2.32 Code Register I (Address: 1Fh)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Code I	W	--	MCS	WHTS	FECS	CRCS	IDL	PML1	PML0
Reset		--	0	0	0	0	1	1	1

MCS : Manchester code 選擇。

[0]: 關閉。 [1]: 開啓。

WHTS : Data whitening (Data Encryption) 選擇。

[0]: 關閉。 [1]: 開啓。

FECS : FEC 選擇。

[0]: 關閉。 [1]: 開啓。

註: FEC 是使用(7, 4) Hamming code.

CRCS : CRC 選擇。

[0]: 關閉。 [1]: 開啓。

IDL : ID code 長度選擇。

[0]: 2 bytes。 [1]: 4 bytes。

PML[1:0] : Preamble 長度選擇。

[00]: 1 byte。 [01]: 2 bytes。 [10]: 3 bytes。 [11]: 4 bytes。

9.2.33 Code Register II (Address: 20h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Code II	W	--	DCL2	DCL1	DCL0	ETH1	ETH0	PMD1	PMD0
Reset		--	1	1	1	0	1	1	1

DCL[2:0] : DC 平均值收到 Data 長度設定。

DCL0:



[0]: DC value hold at 8 bit after preamble detect。 [1]: DC value hold at 16 bit after preamble detect。

DCL1:

[0]: 32 bits before ID code word detected。 [1]: 64 bits before ID code word detected。

DCL2:

[0]: 128 bits after ID code word detected。 [1]: 256 bits after ID code word detected。

ETH[1:0] : ID code 容許錯誤 bit 數。

[00]: 0 bit。 [01]: 1 bit(建議值)。 [10]: 2 bit。 [11]: 3 bit。

PMD[1:0] : Preamble 長度偵測設定。

[00]: 0bit。 [01]: 4bits。 [10]: 8bits。 [11]: 16bits。

注意：偵測長度設定需小於 PML[1:0]的設定值。

9.2.34 Code Register III (Address: 21h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Code III	W	--	WS6	WS5	WS4	WS3	WS2	WS1	WS0
Reset		--	0	1	0	1	0	1	0

WS[6:0] : Data Whitening 初始 seed 設定(data encryption key)。

9.2.35 IF Calibration Register I (Address: 22h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IF Calibration I	R/W	--	--	--	FBCF / MFBS	FB3 / MFB3	FB2 / MFB2	FB1 / MFB1	FB0 / MFB0
Reset		--	--	--	0	0	1	1	0

MFBS : IF filter 自動(Auto)/手動(Manual)校準選擇。

[0]: 自動校準。 [1]: 手動校準。

MFB[3:0] : IF filter 手動(Manual)調校值設定。

FBCF : IF filter calibration 成功/錯誤指示。

[0]: 校準成功。 [1]: 校準失敗。

FB[3:0] : IF filter 調校值設定。

9.2.36 IF Calibration Register II (Address: 23h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IF Calibration II	R	--	--	FCD4	FCD3	FCD2	FCD1	FCD0	FCD4
Reset		--	--	--	--	--	--	--	--

FCD[4:0] : IF filter calibration deviation from goal.

9.2.37 VCO current Calibration Register (Address: 24h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
VCO current Calibration	R/W	--	--	-- / VCCS	FVCC / MVCS	VCB3 / VCOC3	VCB2 / VCOC2	VCB1 / VCOC1	VCB0 / VCOC0
Reset		--	--	0	0	1	0	0	0

VCCS : VCO 調校電流設定。



[0]:1mA。 [1]:1.5mA。

MVCS : 手動 VCO 電流選擇。

[0]:VCB。 [1]:VCOC。

VCOC[3:0] : VCO 手動電流設定。

FVCC : VCO current calibration 成功/錯誤指示。

[0]: 成功。 [1]: 失敗。

VCB[3:0] : VCO 電流自動校準值

9.2.38 VCO Single band Calibration Register I (Address: 25h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
VCO Single band Calibration I	R/W	--	--	DVT1 / --	DVT0 / --	VBCF / MVBS	VB2/ MVB2	VB1/ MVB1	VB0/ MVB0
Reset		--	--	--	--	0	1	0	0

MVBS : VCO bank 自動(Auto)/手動(Manual)校準選擇。

[0]: 自動校準。 [1]: 手動校準。

MVB[2:0] : VCO band 手動調校值設定。

DVT[1:0] : DVT 值輸出。

[00]: VT<VTL<VTH. [01]: VTL<VT<VTH. [10]: No used. [11]: VTL<VTH<VT.

VBCF : VCO band 自動校準成功/錯誤指示。

[0]: 校準成功。 [1]: 校準失敗。

VB[2:0] : VCO back 自動校準值。

9.2.39 VCO Single band Calibration Register II (Address: 26h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
VCO Single band Calibration II	W	--	--	VTH2	VTH1	VTH0	VTL2	VTL1	VTL0
Reset		--	--	1	1	1	0	1	1

VTH[2:0] : VCO calibration VT 高臨界值(Threshold)設定。

[000]: VTH = Vdd - 0.4V。 [001]: VTH = Vdd - 0.5V。 [010]: VTH = Vdd - 0.6V。 [011]: VTH = Vdd - 0.7V。

[100]: VTH = Vdd - 0.8V。 [101]: VTH = Vdd - 0.9V。 [110]: VTH = Vdd - 1.0V。 [111]: VTH = Vdd - 1.1V。

VTL[2:0] : VCO calibration VT 低臨界值(Threshold)設定。

[000]: VTL = 0.1V。 [001]: VTL = 0.2V。 [010]: VTL = 0.3V。 [011]: VTL = 0.4V。

[100]: VTL = 0.5V。 [101]: VTL = 0.6V。 [110]: VTL = 0.7V。 [111]: VTL = 0.8V。

註: Vdd 是 IC 內部 analog regulator 輸出電壓, 請參考 Battery detector register RGV[1:0] 的設定。

9.2.40 Battery detect Register (Address: 27h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Battery detect	R/W	RGS	RGV1	RGV0	BDF / --	BVT2	BVT1	BVT0	BD_E
Reset		0	0	0	--	0	1	1	0

RGS : Sleep state 下, digital voltage supply(DVDD)的電壓設定。(DVDD, 在非 sleep state 下 voltage 是等於 REGI)

[0]: 3/5 * REGI[建議值] [1]: 3/4 * REGI。

RGV[1:0] : IC 內部類比穩壓器電壓選擇。

[00]: 2.1V。 [01]: 2.0V。 [10]: 1.9V。 [11]: 1.8V



BDF : 電量偵測旗標。

[0]: 電池電壓小於臨界值 **[1]**: 電池電壓大於臨界值

BVT[2:0] : 電池電壓臨界值選擇。

[000]: 2.0V。 **[001]**: 2.1V。 **[010]**: 2.2V。 **[011]**: 2.3V。

[100]: 2.4V。 **[101]**: 2.5V。 **[110]**: 2.6V。 **[111]**: 2.7V。

BD_E : 電量偵測致能。當偵測完成後，此位元會自動清除為 0。

9.2.41 TX test Register (Address: 28h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TX test	W	--	--	TXCS	PAC1	PAC0	TBG2	TBG1	TBG0
Reset		--	--	0	1	0	1	1	1

TXCS : TX 電流設定。

PAC[1:0] : Power amplifier 電流設定。

TBG[2:0] : TX buffer 增益設定。

9.2.42 Rx DEM test Register I (Address: 29h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Rx DEM test I	W	DMT	DCM1	DCM0	MLP1	MLP0	SLF2	SLF1	SLF0
Reset		0	1	1	0	1	0	0	0

DMT : 保留位元。

[0]: Normal。 **[1]**: Demodulator 測試。

DCM[1:0] : RX data 的 DC 值選擇設定。

[00]: 由 DCV[7:0]值設定。

[01]: 收到 preamble 長度時，決定 DC 值。

[10]: 偵測到 ID code 時，決定 DC 值。

[11]: 收到 data 長度，決定 DC 值。

MLP[1:0] : Symbol recovery loop filter setting after SYNC ok.

SLF[2:0] : Symbol recovery loop filter setting.

9.2.43 Rx DEM test Register II (Address: 2Ah)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Rx DEM test II	W	DCV7	DCV6	DCV5	DCV4	DCV3	DCV2	DCV1	DCV0
Reset		1	0	0	0	0	0	0	0

DCV[7:0] : DC 值設定(經由 SPI 設定)。

9.2.44 Charge Pump Current Register (Address: 2Bh)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Charge Pump Current	W	--	--	--	--	--	--	CPC1	CPC0
Reset		--	--	--	--	--	--	0	1

CPC[1:0] : Charge pump 電流設定。

[00]: 0.5mA。 **[01]**: 1.0mA。 **[10]**: 1.5mA。 **[11]**: 2.0mA。



9.2.45 Crystal test Register (Address: 2Ch)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Crystal test	W	--	--	--	--	DBD	XCC	XCP1	XCP0
Reset		--	--	--	--	0	1	0	1

DBD : Double delay 選擇。

[0]: 8ns ◦ [1]: 16ns ◦

XCC : Crystal 電流設定。

[0]: 0.7mA ◦ [1]: 1.5mA ◦

XCP[1:0] : Crystal regulated couple 設定。

[00]: crystal current 1.5mA ◦ [01]: crystal current 0.5mA ◦ [10]: crystal current 0.35mA ◦ [11]: crystal current 0.3mA ◦

9.2.46 PLL test Register (Address: 2Dh)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PLL test	W	--	PMPE	PRIC1	PRIC0	PRRC1	PRRC0	SDPW	NSDO
Reset		--	1	1	0	1	0	0	0

PMPE: Charge pump tri-state ◦

[0]: tri-state ◦ [1]: normal ◦

PRIC [1:0]: prescaler IF part 電流設定。

[00]: 0.95mA ◦ [01]: 1.05mA ◦ [10]: 1.15mA ◦ [11]: 1.25mA ◦

PRRC [1:0]: prescaler RF part 電流設定。

[00]: 1.0mA ◦ [01]: 1.2mA ◦ [10]: 1.4mA ◦ [11]: 1.6mA ◦

SDPW: clock delay for sigma-delta modulator ◦

[0]: 13ns ◦ [1]: 26ns ◦

NSDO: sigma delta order 設定。

[0]: order 2 ◦ [1]: order 3 ◦

9.2.47 VCO test Register I (Address: 2Eh)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
VCO test I	W	--	--	--	TLB1	TLB0	RLB1	RLB0	VCBS
Reset		--	--	--	1	1	0	1	0

TLB[1:0] : LO TX buffer current 選擇。

[00]: 0.6mA ◦ [01]: 0.75mA ◦ [10]: 0.9mA ◦ [11]: 1.05mA ◦

RLB[1:0] : LO RX buffer current 選擇。

[00]: 1.2mA ◦ [01]: 1.5mA ◦ [10]: 1.8mA ◦ [11]: 2.1mA ◦

VCBS : VCO buffer current 設定。

[0]: 1mA ◦ [1]: 1.5mA ◦

9.2.48 VCO test Register II (Address: 2Fh)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
VCO test II	W	--	--	--	--	RFT3	RFT2	RFT1	RFT0
Reset		--	--	--	--	0	0	0	0

RFT[3:0] : RF analog pin configuration.

[0000]: normal operation.



- [x0x1]: temperature voltage output to pin BPBG.
- [x0x0]: bandgap reference voltage output to pin BPBG.
- [x00x]: RSSI voltage output to pin RSSI
- [x01x]: RSSI voltage not connect to pin RSSI
- [x100]: BPF In phase part differential signals output to pin BPBG and RSSI
- [x101]: BPF quadrature phase part differential signals output to pin BPBG and RSSI.
- [0110]: IFAMP in phase part differential signals output to pin BPBG and RSSI.
- [0111]: IFAMP quadrature phase part differential signals output to pin BPBG and RSSI.
- [1110]: mixer in phase part differential signals output to pin BPBG and RSSI.
- [1111]: mixer quadrature phase part differential signals output to pin BPBG and RSSI.

9.2.49 IFAT Register (Address: 30h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
VCO test II	W	IGFI2	IGFI1	IGFI0	IGFQ2	IGFQ1	IGFQ0	IFBS	LIMS
Reset		1	0	0	1	0	0	1	1

IGFI[2:0] : I part IF AMP 增益設定。

Nominal IF gain =

[000]: = - 2.8° [001]: = - 2.4° [010]: = - 2.0° [011]: = - 1.6° [100]: = - 1.2° [101]: = - 0.8° [110]: = - 0.4° [111]: = nominal IF gain。

註： Where nominal IF gain is 12 db (if IGC0 = 1), or 6 db (if IGC0 = 0)

IGFQ[2:0] : Q part IF AMP 增益設定。

Nominal IF gain =

[000]: = - 2.8° [001]: = - 2.4° [010]: = - 2.0° [011]: = - 1.6° [100]: = - 1.2° [101]: = - 0.8° [110]: = - 0.4° [111]: = nominal IF gain。

IFBS : IF band pass filter 電流選擇。

[0]: 0.6mA。 [1]: 1.2mA。

LIMS : limiter amplifier 電流選擇。

[0]: 0.3mA。 [1]: 0.6mA。

9.2.50 RScale Register (Address: 31h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RScale	W	RSC7	RSC6	RSC5	RSC4	RSC3	RSC2	RSC1	RSC0
Reset		0	0	0	0	1	1	1	1

RSC[7:0] : RSSI tuning scale.

9.2.51 Filter test Register (Address: 32h)

Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Filter test	W	FT7	FT6	FT5	FT4	FT3	FT2	FT1	FT0
Reset		0	0	0	0	0	0	0	0

FT[7:0] : Filter test register. Write the test bit in the same register. Total 96 bits.



10. 串列介面(3 or 4-wire serial interface)控制

A7105 RF chip 控制暫存器的控制係藉由 3 or 4-wire 串列介面操作讀出或寫入資料(SCS, SCK, SDIO or GIOx)。如果想使用 4-wire 串列介面時, 要先確定想使用 GPIO1 或 GPIO2 pin, 做 SPI data out, 在去對 GPIOx CTRL register 的 GPIOxS3-0 設定為 “0110”, 就可以了。

寫入控制暫存器值時, SCK 時脈上升緣(rising edge), 將資料門鎖(latch)寫入控制暫存器。

讀出控制暫存器值時, 在寫入位址資料欄(address)後, 當 SCK 時脈上升緣(rising edge)時, MCU 可讀出資料(RF chip 會在下降緣(falling edge)將資料轉換)。

10.1 SPI 格式

Address Byte(8 bits)								Data words(8 bits)										
Cm d	R/ W	Address						Data										
		7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0	

Address bytes:

Bit 7: Command bit

[0]: 讀/寫 控制register。

Bit 6: R/W bit

[0]: 寫data至register。

[1]: 從register讀出data。

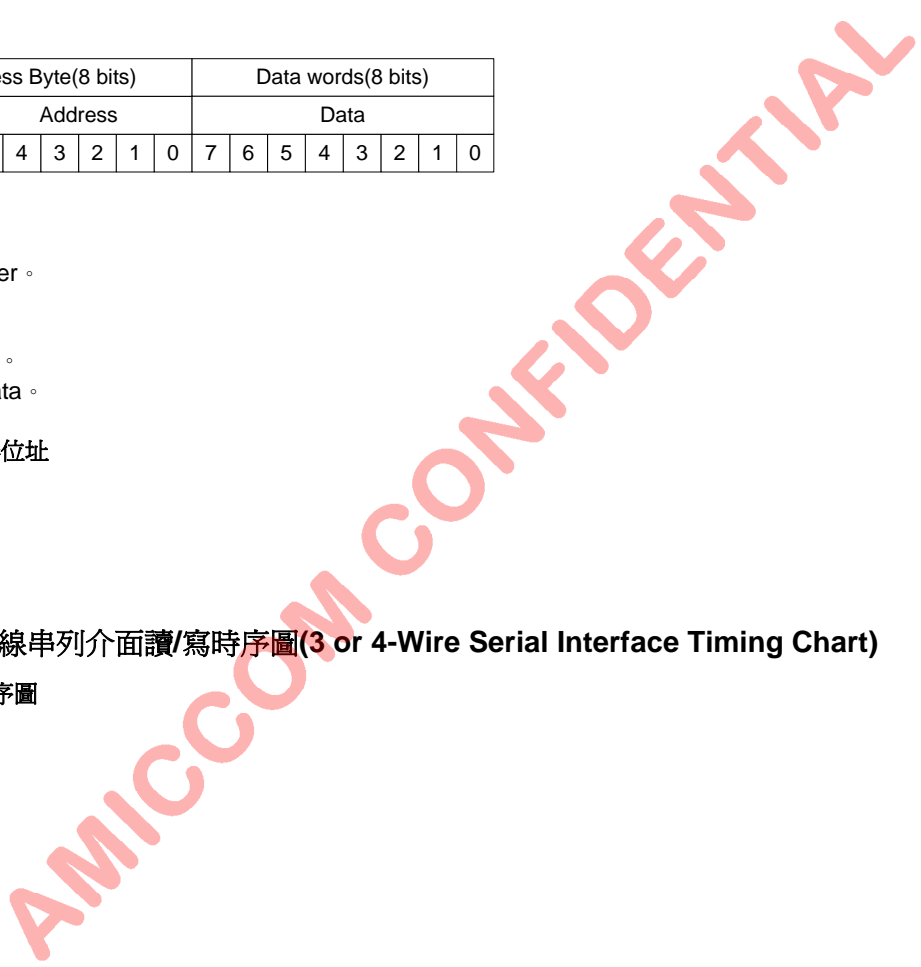
Bit[5:0]: 控制暫存器位址

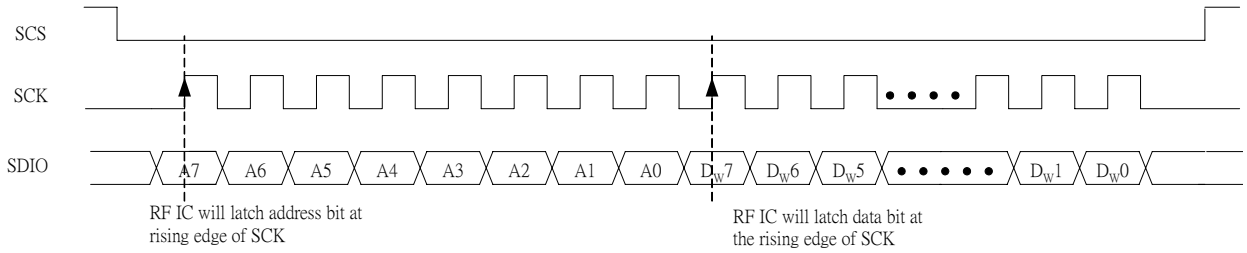
Data words:

Bit[7:0]: 資料位元

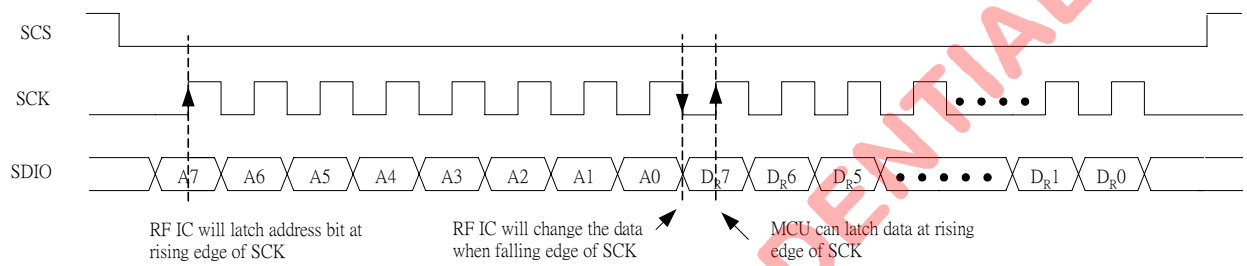
10.2 3 or 4-wire 線串列介面讀/寫時序圖(3 or 4-Wire Serial Interface Timing Chart)

3-wire 讀/寫工作時序圖





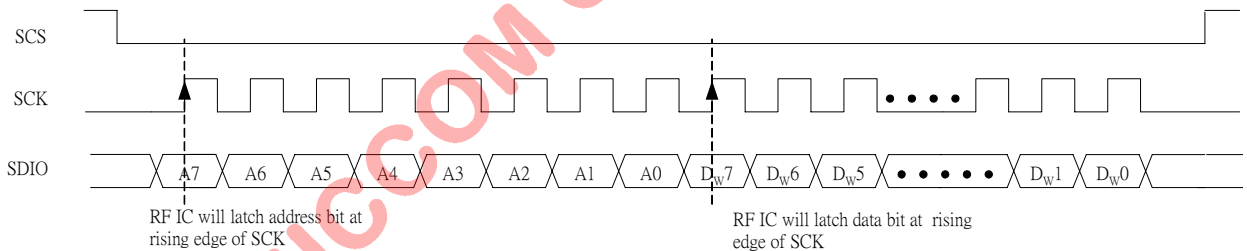
3-Wire serial interface - Write operation



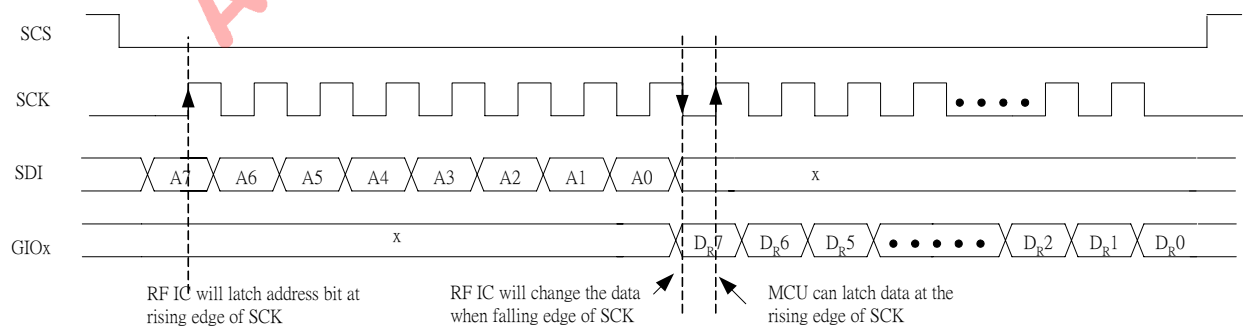
3-Wire serial interface - Read operation

Fig. 3 線串列介面讀/寫時序圖

4-wire 讀/寫工作時序圖



4-Wire serial interface - Write operation



4-Wire serial interface - Read operation

Fig4. 線串列介面讀/寫時序圖



10.3 控制暫存器存取型態

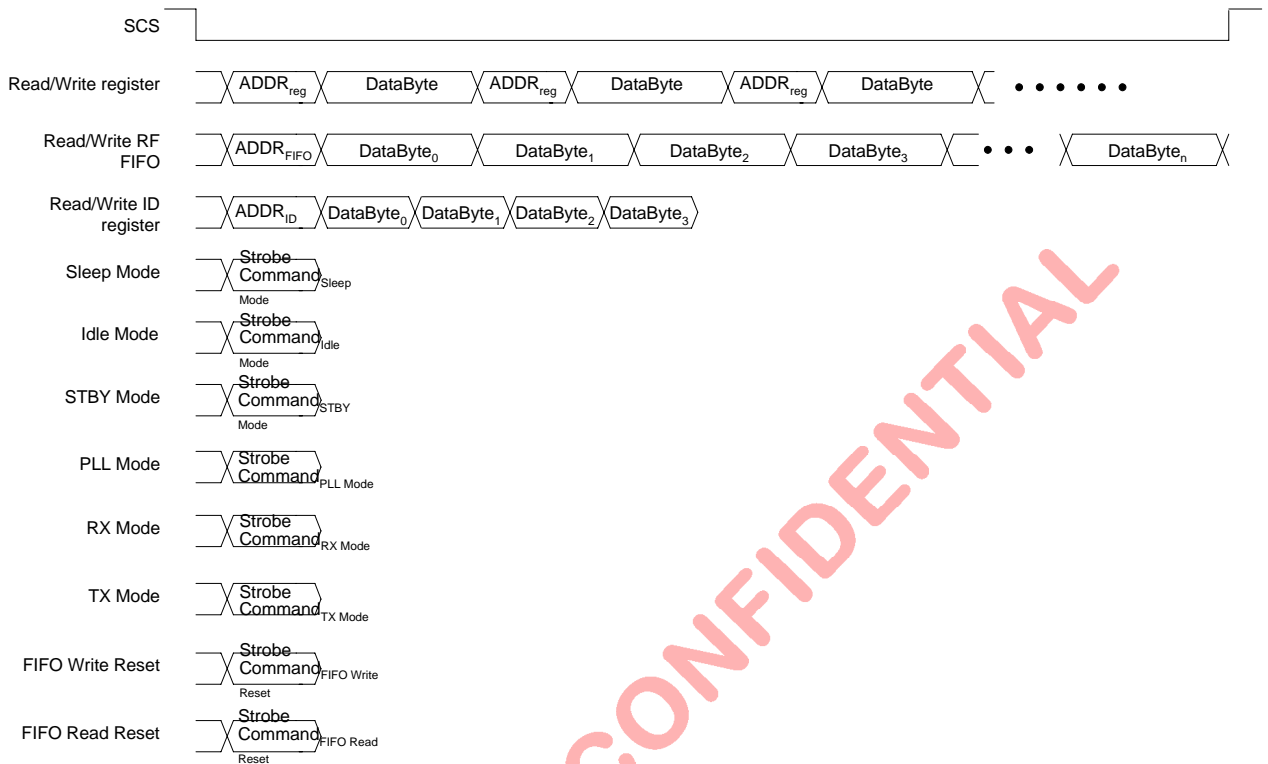
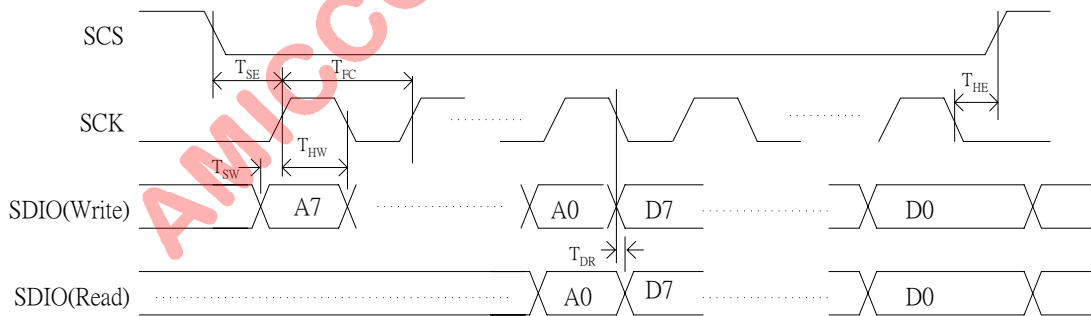


Fig4. 控制暫存器存取型態

10.4 SPI 时序特性



Parameter	Description	Min.	Max.	Unit
F _C	FIFO clock frequency.			MHz
T _{SE}	Enable setup time.			ns
T _{HE}	Enable hold time.			ns
T _{SW}	TX Data setup time.			ns
T _{HW}	TX Data hold time.			ns
T _{DR}	RX Data delay time.			ns
T _{HR}	RX Data hold time.			ns

10.5 Strobe Command

有別於控制暫存器的寫法，A7105 RF chip 可直接寫入 4bits 的不同 Strobe command 來轉換不同的狀態，說明及時序圖如下：

Strobe Command

Strobe Command								說明
A7	A6	A5	A4	A3	A2	A1	A0	
1	0	0	0	x	x	x	x	Sleep mode
1	0	0	1	x	x	x	x	Idle
1	0	1	0	x	x	x	x	STBY
1	0	1	1	x	x	x	x	PLL
1	1	0	0	x	x	x	x	RX mode
1	1	0	1	x	x	x	x	TX mode
1	1	1	0	x	x	x	x	FIFO write reset
1	1	1	1	x	x	x	x	FIFO read reset

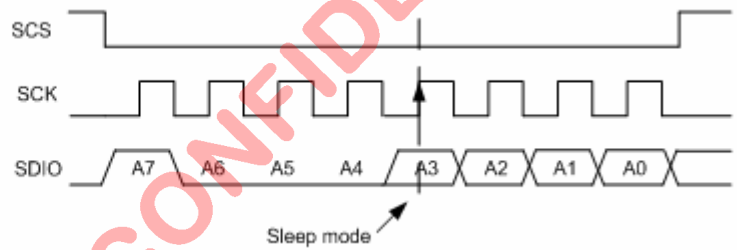
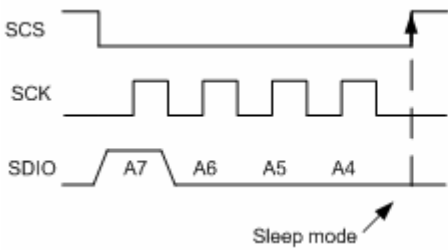


Fig 5. Sleep mode Command 時序

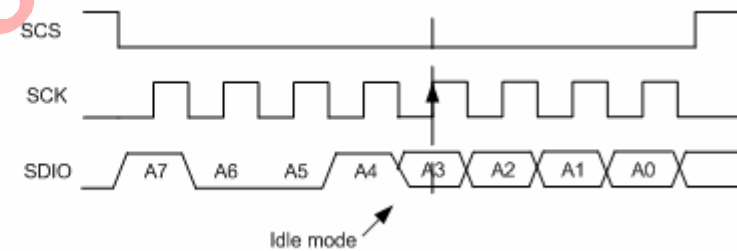
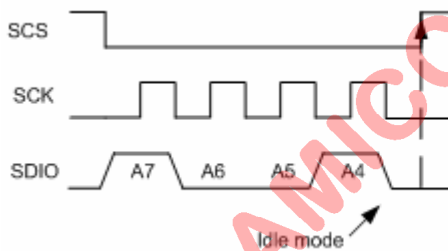


Fig 6. Idle mode Command 時序

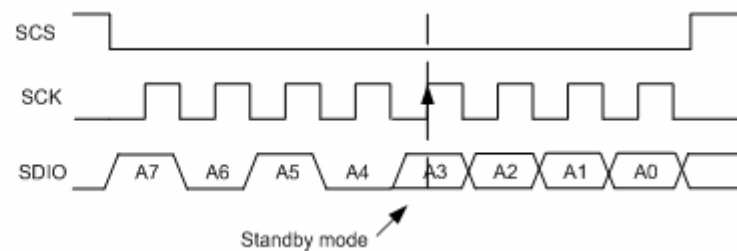
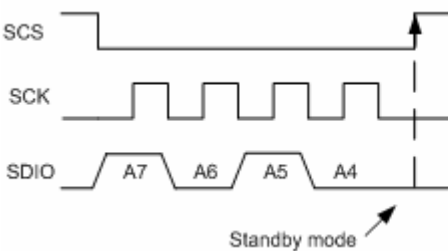


Fig 7. Standby mode Command 時序

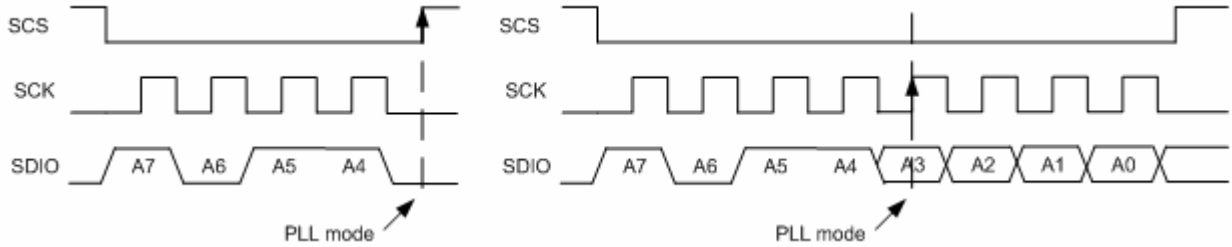


Fig 8. PLL mode Command 时序

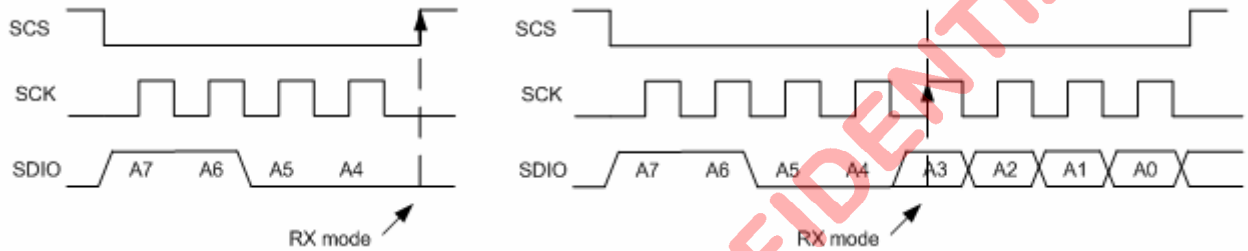


Fig 9. RX mode Command 时序

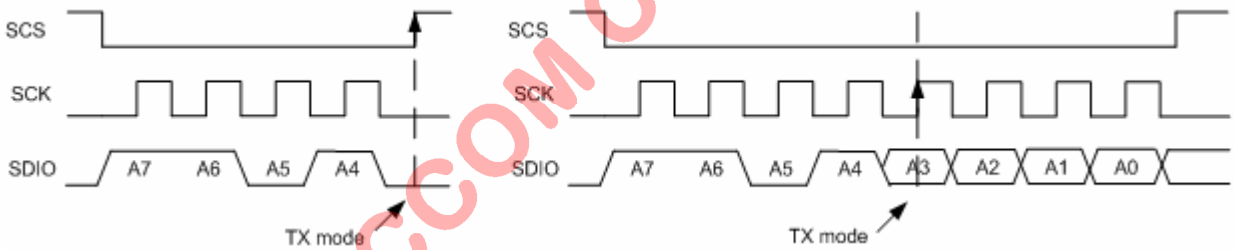


Fig 10. TX mode Command 时序

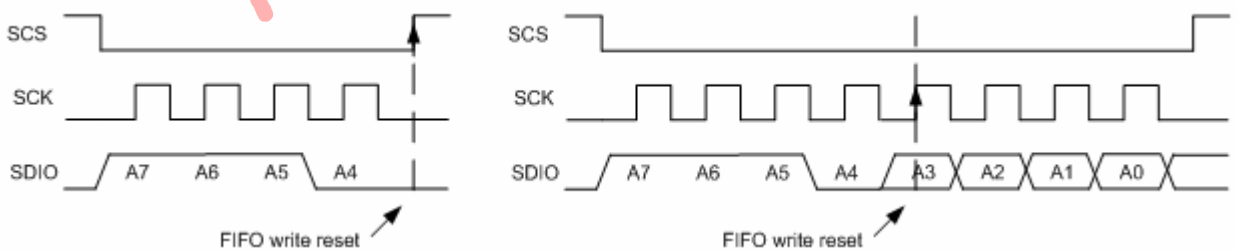


Fig 11. FIFO write reset Command 时序

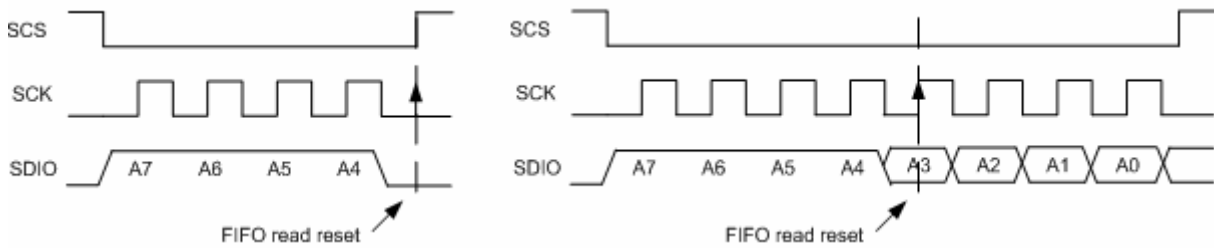


Fig 12. FIFO read reset Command 时序

10.6 RF chip Reset Command

A7105 RF chip 除了在电源开启(power on)时，会自动重置动作外(POR)，使用者亦可由写入控制暂存器 Mode register 一任意值，来重置 RF chip。

时序如下图所示，在 bit D0 的 SCK 时脉负缘(falling edge)时，开始执行 RF Reset 的动作。

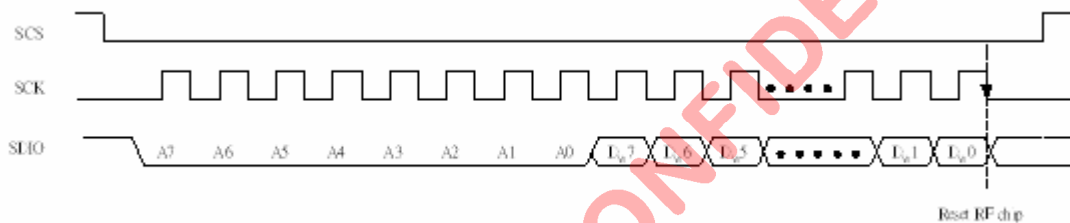


Fig 13. Reset Command 时序

10.7 ID Read/Write Command

下列是使用 3-wire 串列介面写入 ID 或读出 ID 命令时序方法如下图所示。

首先，依指令表写入 Address Byte，执行 ID Read/Write 命令，之后再读出/写入 DataByte。

如使用者已写入 DataByte 0, DataByte 1，之后设定 SCS=1，可结束 ID Read/ Write 动作。或完成 DataByte 0,1,2,3 读出/写入后，RF IC 会自动结束 ID Read/ Write 动作。每次执行 ID code 写入动作时，都是从 DataByte 0 开始。

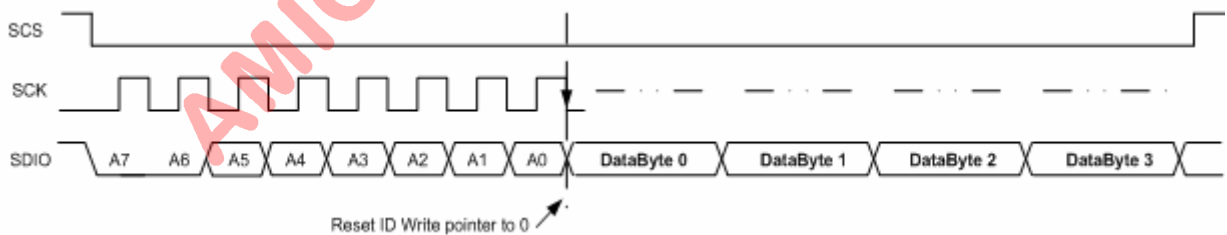


Fig 14. ID write Command 时序

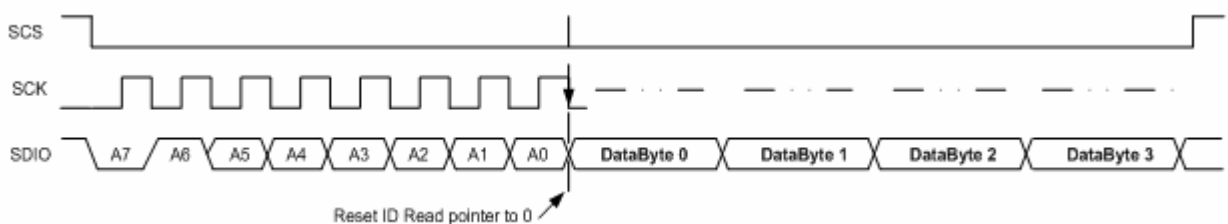


Fig 15. ID Read Command 时序



10.8 TX FIFO write /RX FIFO Read Command

下列是使用 3-wire 串列介面寫 TX FIFO 或讀出 RX FIFO 命令時序方法如下圖所示。

TX FIFO Write Command

依指令表寫入 Address Byte，執行 TX FIFO Write 命令，之後再寫入 DataByte。完成寫入動作後，可設置 SCS=1，結束 TX FIFO 寫入動作。

每次執行 TX FIFO 寫入資料時，仍須依指令表寫入 Address Byte，之後所寫入的資料，會接續上次的最後 TX FIFO 位址指標，開始寫入。

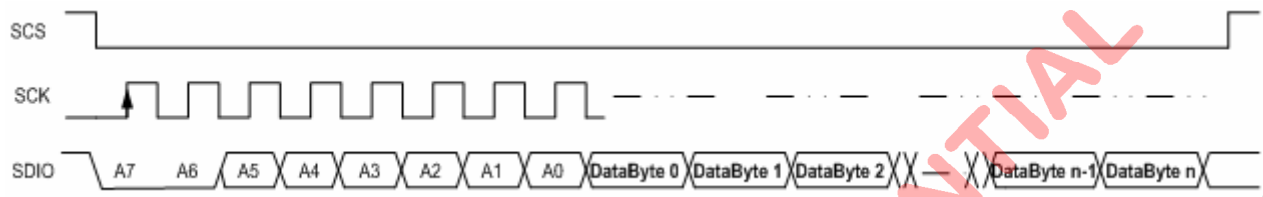


Fig 16. TX FIFO Write Command 時序

RX FIFO Write Command

依指令表寫入 Address Byte，執行 RX FIFO Read 命令，之後再讀出 DataByte。完成讀出動作後，可設置 SCS=1，結束 RX FIFO 讀出動作。

每次執行 RX FIFO 讀出資料時，仍須依指令表寫入 Address Byte，之後所讀出的資料，會接續上次的最後 RX FIFO 位址指標，開始讀出。

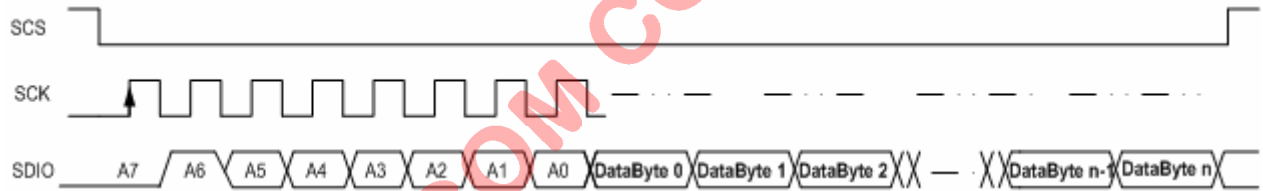


Fig 17. RX FIFO Read Command 時序



11 振盪電路

A7105 RF chip 使用石英晶體或是外部提供穩定的基準信號，做為時序振盪源。

11.1 使用內部振盪電路

在 A7105 的 XI 和 XO 接腳之間連接一個石英振盪器 (crystal)，對不同頻率石英振盪器須依其特性，加適當電容 C1 與 C2 值。

若要啓始振盪電路工作，可設定 CLOCK 控制暫存器 bit XS =1。

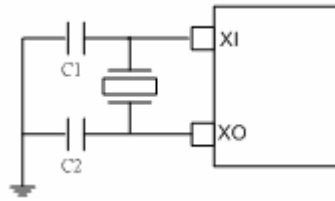


Fig18. 石英振盪電路

11.2 使用外部振盪信號

A7105 也可直接由外部輸入振盪信號源，電路連接方式如下圖。振盪信號接到 XO 接腳，XI 接腳空接。IC 內部已內建阻隔 DC 的電容，故 pin XO 不需另接一電容。

若使用外部振盪信號，可設定 CLOCK 控制暫存器 bit XS =0，關閉振盪電路。



Fig19. 外部振盪源連接電路

AMICCOM CONFIDENTIAL



12. 系統時脈 (System Clock)

■ 使用 A7105 RF chip 時，必須先決定要使用的 **Data rate**，因此就會決定 **中頻時脈(IF clock)**。如下表

Data rate	IF clock
data rate ≤ 250kbps	250kHz
2kbps < data rate ≤ 500kbps	500kHz

■ 當中頻時脈(IF clock)決定時，就可計算出 **系統時脈(system clock)**，如下圖。
系統時脈(system clock)為 IF clock 的 32 倍。

$$f_{system} = 32 \cdot f_{IF}$$

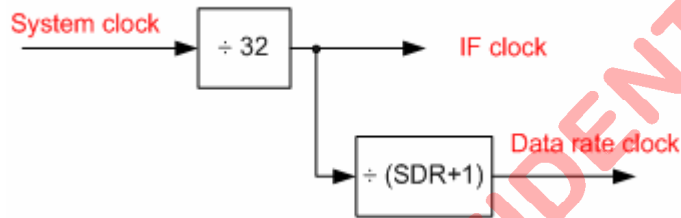


Fig17. 系統時脈方塊圖一

如何振盪出我們想要的 **System clock**？可由內部振盪電路(XS bit = 1)或外部振盪輸入信號，得到一個 Base Freq。

- 如果 Base Freq 是 16 或 32MHz，就將 CGS bit 設定為 0。經由 CGC 除頻後，產生 System clock。
- 如果 Base Freq 不是 16 或 32MHz，就可將 CGS bit 設定為 1。Base Freq 經由 clock chain 後，將頻率拉到 32MHz，再經由 CGC 除頻後，產生 System clock。

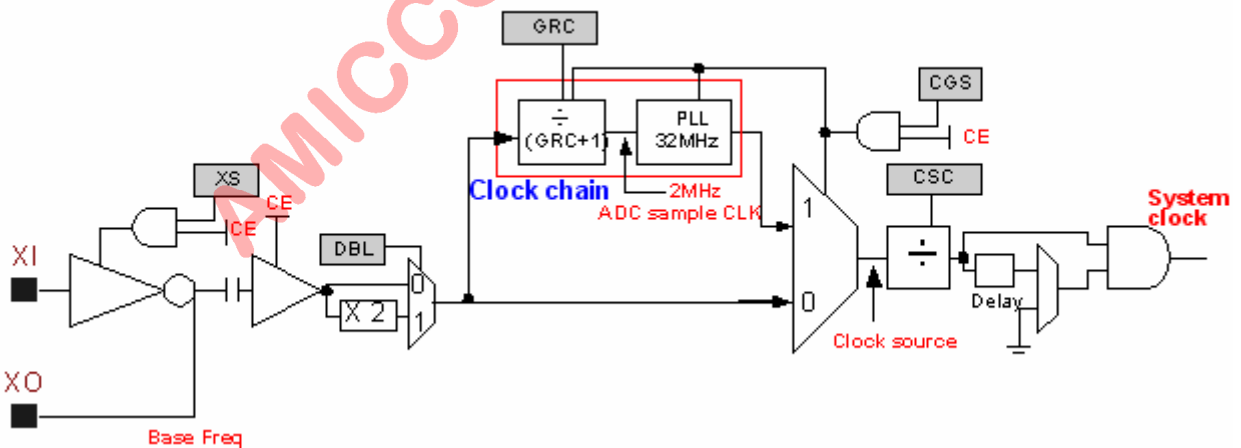


Fig18. 系統時脈方塊圖二

12.1 clock chain 機制

當晶體振盪或是外部提供的基準信號源不為 16MHz 或 32MHz 時，需經 GRC 除頻器將信號處理成 2MHz 參考信號，再由經內部 PLL 電路倍頻到 32MHz 成為時脈源 (clock source)。再依系統需求，設定計數器 CSC，以獲得正確的系統時脈 (system clock)。

- 不使用 clock chain



當使用晶體振盪元件或是外部提供的基準信號源為 16MHz 或 32MHz 時，可不經 clock chain 機制處理，成為時脈源(Clock source)。時脈源 (Clock source) 即相等於晶體振盪源的時脈。將 crystal register (0x05) 中 bit CGS 設置為 0，則不使用 clock chain 機制。

12.2 一些除頻器的設定

■ 計數器 GRC 的設定

晶體振盪器或外部時脈信號，經由除頻後產生 2MHz 的參考信號，此信號會被用來產生 32MHz 的標準時脈源。同時這信號時脈亦會提供給 ADC 電路做為 ADC 的取樣信號源。

$$\frac{F_{\text{crystal}}}{\text{GRC}[3:0] + 1} = 2\text{MHz}$$

■ 計數器 CSC 的設定

計數器 CSC 的設定值，將時脈源(clock source)，經除頻動作除至所需的系統時脈(system clock)。

$$\frac{\text{clock source}}{\text{CSC}[1:0] + 1} = \text{system clock}$$

■ 計數器 SDR 的設定

計數器 SDR 的設定值，將系統時脈(system clock)，經除頻動作除至所需的 Data rate 的 32 倍。

$$\frac{1}{32} \cdot \frac{\text{system clock}}{\text{SDR}[7:0] + 1} = \text{data rate}$$

常用 Crystal source 的設定表：

Crystal source	CGS	DBL	GRC[4:0]	說明
16MHz	0	1	X	不使用 clock chain，使用基頻參考信號 2MHz，倍頻至 32MHz 的時脈源。
32MHz	0	0	X	
4MHz	1	0/1	1/3	使用 clock chain，基頻參考信號 2MHz，倍頻至 32MHz 的時脈源。
6MHz	1	0/1	2/5	
8MHz	1	0/1	3/7	
12MHz	1	0/1	5/11	
16MHz	1	0/1	7/15	



13. 工作頻率設定

A7105 RF chip 工作頻率可在 ISM 2.4GHz 頻段內任一頻率工作。

首先使用者可以先設定一個頻率，來做為基礎頻率(可利用公式去計算出 IP, FP 值，並填入 PLL II、III、IV、V 控制暫存器). 之後使用者就可以利用 channel 來做選擇(channel space 為 500KHz).

A7105 的 VCO 基本方塊圖如下。

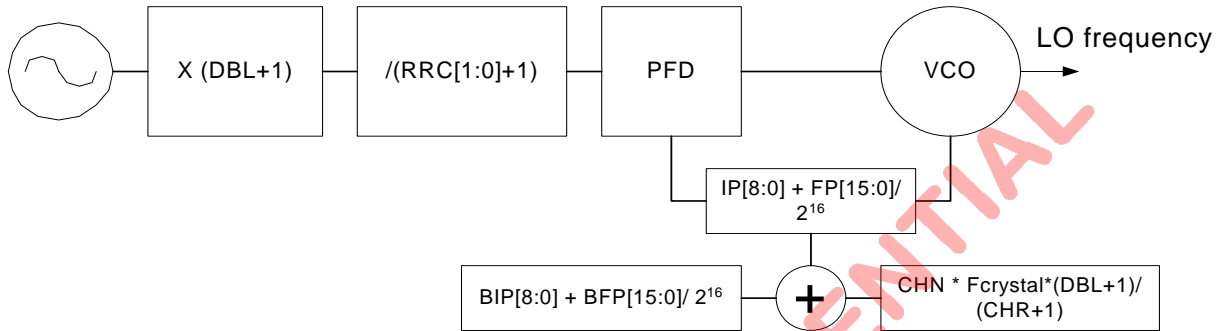


Fig19. VCO 基本方塊圖

13.1 BIP,BFP, RRC 值的設定

$$f_{RF} = PFD \cdot \left(BIP[8:0] + \frac{BFP[15:0]}{2^{16}} \right) = (DBL + 1) \cdot \frac{f_{xtal}}{RRC[1:0] + 1} \cdot \left(BIP[8:0] + \frac{BFP[15:0]}{2^{16}} \right)$$

參考比較頻率(PFD)值的選擇，建議值為 $\geq 40 \cdot (\text{data rate})$ ，愈大愈佳。

範例. RF freq=2400MHz, f_{xtal} =4MHz, PFD=8MHz

$$PFD = \frac{(DBL + 1) \cdot f_{xtal}}{RRC[1:0] + 1}$$

=> 8MHz = [(DBL + 1) x 4MHz] / RRC[1:0] + 1

If RRC =0 then,

- 8MHz = [(DBL + 1) x 4MHz] / 0 + 1
- DBL + 1 = 2
- DBL = 1

$$f_{RF} = PFD \cdot \left(BIP[8:0] + \frac{BFP[15:0]}{2^{16}} \right)$$

- 2400MHz = 8MHz(BIP[8:0]+BFP[15:0] / 2¹⁶)
- 300 = BIP[8:0]+BFP[15:0] / 2¹⁶
- BIP[8:0] = 300 = 0x12C
- BFP[15:0] / 2¹⁶ = 0
- BFP[15:0] = 0 x 2¹⁶ = 0x0000

$$\text{Channel Step} = \frac{PFD}{4 \cdot (2 - BWS) \cdot (CHR[3:0] + 1)}$$

Channel Step is 500KHz, BWS is 1(500KHz)



- $500\text{KHz} = 8\text{MHz} / [4 \times (2 - 1) \times (\text{CHR}[3:0] + 1)]$
- $500\text{KHz} = 2\text{MHz} / (\text{CHR}[3:0] + 1)$
- $(\text{CHR}[3:0] + 1) = 2\text{MHz} / 500\text{KHz} = 4$
- $\text{CHR}[3:0] = 3$

* 上列算式，如計算完成且填入 IC 之後，使用者可去改變 channel 選擇(PLL I 控制暫存器)，即可改變頻率。

$$f_{\text{RF}} = f_{\text{RF_Base}} + (\text{CHN}[7:0] \cdot \text{Channel Step})$$

假設 CHN = 10

- $f_{\text{RF}} = f_{\text{RF_Base}} + (\text{CHN}[7:0] \times \text{Channel Step})$
- $f_{\text{RF}} = 2400\text{MHz} + (10 \times 500\text{KHz})$
- $f_{\text{RF}} = 2400\text{MHz} + 5\text{MHz}$
- $f_{\text{RF}} = 2405\text{MHz}$

* 當一套系統在做無線傳輸時，可將雙方設定成相同 channel，並使用自動中頻轉換功能(Enable AIF bit)，RF IC 會在 RX 時，自動加上或是減去中頻。

假設 Master side TX, CHN = 10

- $f_{\text{RF}} = 2400\text{MHz} + (10 \times 500\text{KHz})$
- $f_{\text{RF}} = 2405\text{MHz}$

假設 Master side RX, ULS 設為 0

- $f_{\text{RF}} = 2400\text{MHz} + (10 \times 500\text{KHz}) - 500\text{KHz}$
- $f_{\text{RF}} = 2404.5\text{MHz}$

* 此種做法，TX→RX, RX→TX, settling time 都需要 PLL + TRX stable time.

* 當上述無線系統傳輸時，想要減少 settling time 時，需先停止使用自動中頻轉換功能(Disable AIF bit)，且利用 low or up side band 方法。

假設 Master side TX(CHN = 10, up side band[ULS=1])

- $f_{\text{RF}} = 2400\text{MHz} + (10 \times 500\text{KHz})$
- $f_{\text{RF}} = 2405\text{MHz}$

假設 Slave side RX(CHN = 11, low side band[ULS=0])

- $f_{\text{RF}} = 2400\text{MHz} + (11 \times 500\text{KHz})$
- $f_{\text{RF}} = 2405.5\text{MHz}$

* 上述做法，Slave side 接收 low side 的 TX data，在下一個週期 Master 轉成 RX, Slave 轉成 TX.

假設 Master side RX(CHN = 10, up side band[ULS=1])

- $f_{\text{RF}} = 2400\text{MHz} + (10 \times 500\text{KHz})$
- $f_{\text{RF}} = 2405\text{MHz}$

假設 Slave side TX(CHN = 11, low side band[ULS=0])

- $f_{\text{RF}} = 2400\text{MHz} + (11 \times 500\text{KHz})$
- $f_{\text{RF}} = 2405.5\text{MHz}$

* 上述做法，Master side 接收 up side 的 TX data，且 settling time 只需要 TRX stable time.

14. 系統狀態機制 (State machine)

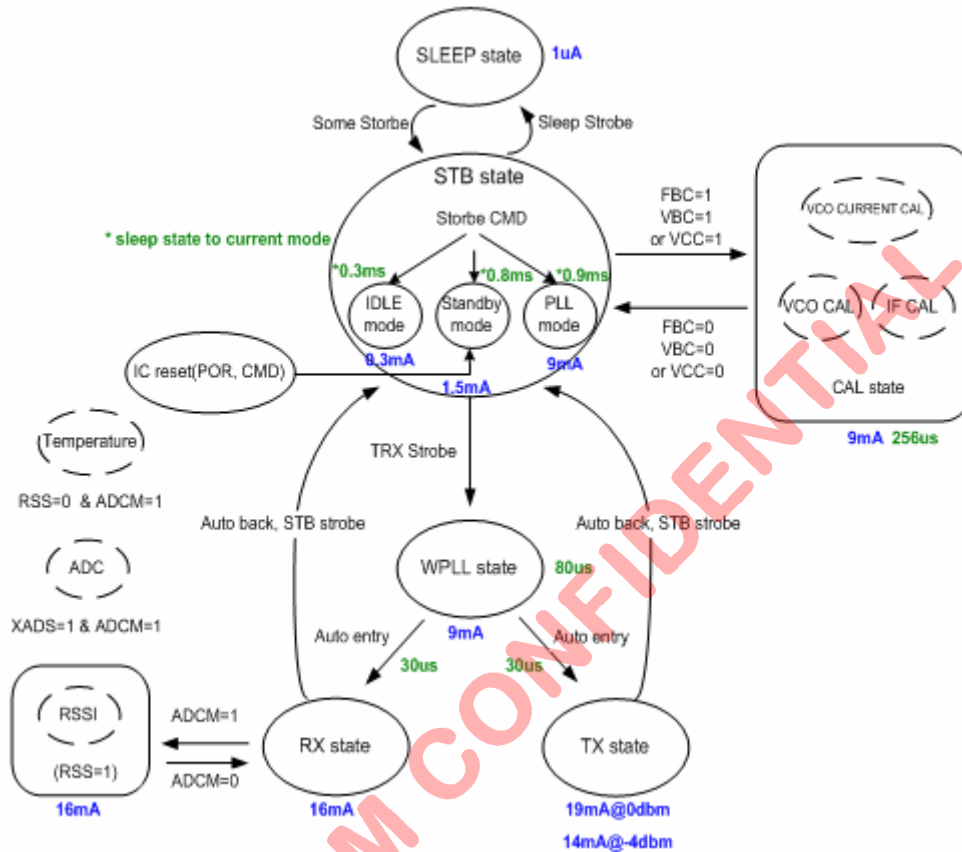


Fig20. 系統狀態機制圖

A7105 RF chip 有 6 個主要的 state。Sleep state, STB state, WPLL state, TX state, RX state, CAL state。這 state 狀態圖如系統狀態機制圖所示。

14.1 SLEEP state: 當進入 sleep state 時，chip 內部參考電壓源(band gap)及 crystal 振盪電路會關閉。

14.2 STB state: A7105 的 STB state 包含了 IDLE mode、Standby mode、PLL mode。RF IC 會依 strobe command 來進到任一個 mode，而不同的 mode，會對 RF IC 內部電路如 regulator, crystal 振盪，參考電壓源(band gap)，PLL 電路的開啓或關閉。

當進入 IDLE mode 時，IC 內部參考電壓源(band gap)開啓，而 crystal 振盪及 PLL 電路則是關閉。

當 power on 或 reset 時，RF IC 進入 Standby mode，此時 regulator on，chip 內部參考電壓源(band gap)開啓，crystal 振盪電路開啓。

當進入 PLL mode 時，IC 內部參考電壓源(band gap), crystal 振盪及 PLL 電路皆開啓。

14.3 WPLL(waiting PLL) state: 當任何 state 進入 TX/RX state 時，會依據目前的 state 或是控制暫存器 PLL I, PLL II, PLL III, PLL IV 設定值是否已變動，而進入此 state 或是直接 bypass 該 state，進入 TX/RX state。

如須在此 state 停留，在進入 TX/RX state 前，會自動依 Delay I 控制暫存器的 PDL[2:0]來產生延遲 PLL 穩定時間(PLL settling time, 請設定大於等於 80us)。

14.4 TX/RX state: RF IC 會依照 strobe command 來決定進入 TX 或是 RX state(1:TX state; 0:RX state)。



當使用 FIFO mode 工作在 TX state 時，RF chip 會自動將 TX 封包(Preamble + ID + TX FIFO payload)傳送出去。若傳送結束，RF chip 會自動回到原先的 state。

當使用 FIFO mode 工作在 RX state 時，RF chip 會進入 RX state 等待 TX 資料。若 TX 端確實有發射資料，則當 ID code 判斷正確後，且收到設定的資料長度後，RF chip 會自動回到原先的 state。

14.5 CAL state: 在 CAL state 中，有三個獨立的校準項目，在 STB state 下，當 bit FBC=1、bit VBC=1 及 bit VCC=1 時，會進入 IF filter 校準、VCO band、VCO current 的校準程序。完成校準程序後，bit FBC、VBC 或 VCC 會自動清除為 0，且回到 STB state。

14.6 控制狀態一覽表

A7105 IC 是透過 strobe command 來決定控制狀態，並去設定 IC 內部 control bit CER, PLLE, TRSR, TRER。

Strobe command	CER	XER	PLLE	TRSR	TRER	Operation state
1000XXXX	0	0	0	0	0	Sleep state
1001XXXX	1	0	0	x	0	STB state, XOSC off, bandgap off, PLL off(Idle mode)
1010XXXX	1	1	0	x	0	STB state, XOSC on, bandgap on, PLL off(Standby mode)
1011XXXX	1	1	1	x	0	STB state, XOSC on, bandgap on, PLL on(PLL mode)
1100XXXX	x	x	x	0	1	RX state
1101XXXX	x	x	x	1	1	TX state

14.7 自動模式回復(Auto Mode Back)功能

A7105 RF chip 在 FIFO mode 下，具有自動模式回復功能，可簡化使用者的操控。

如 RF chip 系統狀態是在 Sleep state 或 STB state，當使用者下達進入 TX/RX strobe command 後，系統會自動打開一些電路及做一些延遲時間，讓電路穩定後進入 TX/RX state。在完成 TX/RX 動作時，會自動回復到原先的 state。使用者可不需自行從 STB state 一步一步切換模式到 TX/RX state，或是從 TX/RX state 再一一返回。



15. CAL state 校準

在初始化 A7105 時，需作硬體參數的校調。在校準程序中有 3 個校準項目：IF CAL(IF Filter calibration), VCO band CAL(VCO band calibration), 及 VCO current CAL(VCO current calibration)。

- IF CAL 是校準 IF filter 中頻濾波器頻帶 (IF filter bandwidth) 及中心頻率點。
- VCO band CAL(VCO band calibration)是校準確保 VCO 能夠在適當的 band 工作。
- VCO current CAL(VCO current calibration)是校準確保 VCO current 能夠在適當的 band 工作。

15.1 IF 校準(Calibration Process)

首先需對工作頻率正確設定 CLOCK, PLL I, PLL II 控制暫存器值，且在 Sleep state 及 STB state 下，將 bit FBC 設為 1(且 bit MFBS=0)，則進入自動校準程序，如非 Sleep state 及 STB state 時，則會等待回到 Sleep state 及 STB state 時，才開始進入自動校準程序(切換到 standby mode)。

可設定 IF Calibration I 控制暫存器 bit MFBS=0 自動校準(auto calibration)或 bit MFBS=1 人工校準(Manual calibration)。

如果 MFBS=1 時，則使用者可以自行填入 IF 參數到 IF Calibration I 控制暫存器 MFB3-0。

如果 MFBS=0 時，則設定 calibration control register 中 bit FBC=1 後，會進入 CAL state，開始執行校準動作，當完成校準程序後，bit FBC 會自動清除為 0。

且可以讀取 IF Calibration I, bit FBCF，來判斷自動 IF 校準是否成功([0]: 校準成功。 [1]: 校準失敗)。也可以讀取 IF Calibration I 控制暫存器 FB3-0，會得到此次自動 IF 校準的值。

在設定 bit FBC=1 時，RF IC 會自動做一些 state 的切換，自動完成校準並清除 bit FBC，且再切換會原來的 state。

A7105 RF chip 在做 IF Cal 所需的最大時間約 $16 * 256 * (1 / \text{system clock})$ 。

15.2. VCO band 校準(Calibration Process)

首先需對工作頻率正確設定 CLOCK, PLL I, PLL II, PLL III 控制暫存器值，同時設定 VCO 的 VT 值範圍(VTH[2:0], VTL[2:0])，且在 Sleep state 及 STB state 下，將 bit VBC 設為 1(且 bit MVBS=0)，則進入自動校準程序，如非 Sleep state 及 STB state 時，則會等待回到 Sleep state 及 STB state 時，才開始進入自動校準程序(切換到 PLL mode)。

可設定 VCO Single band I 控制暫存器 bit MVBS=0 自動校準(Auto calibration)或 bit MVBS=1 人工校準(Manual calibration)。

如果 MVBS=1 時，則使用者可以自行填入 VCO band 參數到 VCO Single band I 控制暫存器 MVB2-0。

如果 MVBS=0 時，則設定 calibration control register 中 bit VBC=1 後，會進入 CAL state，開始執行校準動作，當完成校準程序後，bit VBC 會自動清除為 0。

且可以讀取 VCO Single band I, bit VFBCF，來判斷自動 VCO band 校準是否成功([0]: 校準成功。 [1]: 校準失敗)。也可以讀取 VCO Single band I 控制暫存器 VB2-0，會得到此次自動 VCO band 校準的值。

在設定 bit VBC=1 時，RF IC 會自動做一些 state 的切換，自動完成校準並清除 bit VBC，且再切換會原來的 state。

A7105 RF chip 在做 VCO band 所需的最大時間約 $4 * \text{PLL settling time}(\sim 80\mu\text{s})$ 。

* 在做此項自動校準之前，請先完成 VCO current Cal 校準。

15.3. VCO current 校準(Calibration Process)

可與 VCO band 校準同時動作，所以控制暫存器值設定也與 VCO band 校準相同。在 Sleep state 及 STB state 下，將 bit VCC 設為 1(且 bit MVCS=0)，則進入自動校準程序，如非 Sleep state 及 STB state 時，則會等待回到 Sleep state 及 STB state 時，才開始進入自動校準程序(切換到 PLL mode)。

可設定 Calibration 控制暫存器 bit MVCS=0 自動校準(Auto calibration)或 bit MVCS=1 人工校準(Manual calibration)。



如果 **MVCS=1** 時，則使用者可以自行填入 VCO current 參數到 VCO Current Cal. 控制暫存器 VCOC3-0。

如果 **MVCS=0** 時，則設定 calibration control register 中 bit VCC=1 後，會進入 CAL state，開始執行校準動作，當完成校準程序後，bit VCC 會自動清除為 0。

且可以讀取 VCO Current Cal., bit FVCC，來判斷自動 VCO current 校準是否成功([0]: 校準成功。 [1]: 校準失敗)。
也可以讀取 VCO Current Cal. 控制暫存器 VCB2-0，會得到此次自動 VCO current 校準的值。

在設定 bit VCC=1 時，RF IC 會自動做一些 state 的切換，自動完成校準並清除 bit VCC，且再切換會原來的 state。

AMICCOM CONFIDENTIAL



16. FIFO (First In First Out)功能

A7105 RF chip 內建 TX 和 RX FIFO，FIFO 長度各為 64 bytes。TX FIFO 僅能寫入 data，Rx FIFO 僅能讀出 data。寫入和讀出係由 3-wire 或 4-wire 串列介面操作完成。FIFO 操作模式下，RF chip 會依使用者定義的封包格式，將資料編碼傳送或自行解出封包的動作。

16.1 傳送封包格式

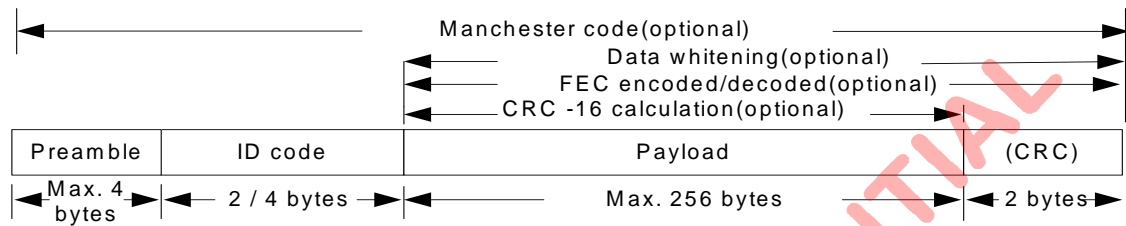


Fig21. 傳送封包格式

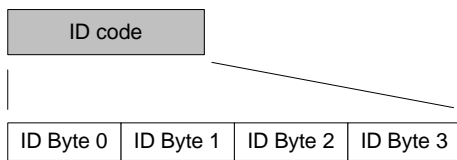


Fig22. ID Code 格式

Preamble:

Preamble 的長度可為 1~4 bytes，是由 code register I 中 bit PML[1:0]設定。RF Chip 將 Preamble 加到 ID code 之前，且會依 ID code 的第一個 bit，為 "1" 或 "0"，去調整 Preamble code 的內容。

如 ID code 第一個 bit 為 0，則 Preamble 設定"0101...0101"。如 ID code 第一個 bit 為 1，則 Preamble 設定"1010...1010"。

ID code:

ID code 長度可由 code register I 中 bit IDL 設定為 2 或 4 bytes。寫入/讀出 ID code，使用 3 or 4-wire 串列介面方式讀寫。

如 bit IDL 設定為 2 bytes 時，RF chip 內部使用 ID Byte 0, ID Byte 1 為 ID 碼，而將 ID Byte2, ID Byte 3 忽略。

如 bit IDL 設定為 4 bytes 時，RF chip 內部使用 ID Byte 0, ID Byte 1, ID Byte2, ID Byte 3 為 ID 碼。

使用 FIFO 工作模式在發送狀態(TX state)下，RF chip 內部電路會自動在 Preamble 後，加入 ID code。

使用 FIFO 工作模式在接收狀態(RX state)下，RF chip 內部電路會自動比對 ID code。如收到正確的 ID code 後，將 Payload 資料自動寫入 RX FIFO 中。

Code register II 中 bit ETH[1:0]可設定接收狀態下，容許 ID code 錯誤的 bit 數。

Payload:

FIFO Payload 長度由 FIFO control register 中 FEP[7:0]設定。一次 Payload 傳送或接收長度最大為 256 bytes。由於實體的 FIFO size 只有 64 bytes，當要傳送 data 大於 64 bytes 時，請使用第 15.5 章節的機制。

寫入 TX FIFO 或讀出 RX FIFO，使用 3 or 4-wire 串列介面方式讀寫 TX/RX FIFO。

CRC:

CRC 檢查碼是一個選項。

如果 code register I 中 bit CRCS=1 且 FIFO 工作在發送狀態(TX state)下，RF IC 則會自動在 Payload 之後，加入 CRC 檢查碼 2 bytes。

如果 code register I 中 bit CRCS=1 且 FIFO 工作在接收狀態(RX state)下，RF IC 則會自動在接收 Payload 時也對 Payload



data 進行 CRC 計算，等 Payload 接收完成後，再與最後接收的 2byte CRC data 做比較。

16.2 封包處理 (Packet Handling)

A7105 RF chip 提供 4 種選項對封包資料做編碼/解碼動作，有 CRC, FEC, Data Whitening, Manchester code。

CRC(Cyclic Redundancy Check):

- 當設定 code register I 中 bit CRCS=1，傳送封包時，會開始計算啓始至結束的 payload 資料(不含 preamble code, ID code)。在 payload 之後加上 2 個 bytes 的 CRC 檢查碼，傳送出去。
- 在接收到封包後，會自動檢查 CRC 碼。可讀取 mode register I 中 bit CRCF，如計算 CRC 檢查碼正確時，會清除為 0。如計算 CRC 檢查碼錯誤時，bit CRCF 會設定為 1。

FEC(Forward Error Correction):

- 當設定 code register I 中 bit FECS=1，傳送封包/接收封包時，會將 payload 的資料及 CRC 檢查碼(如果有 enable CRC option)，做 FEC 的編碼/解碼動作。
- 當完成接收的動作時，會自動檢查是否有 FEC 編碼的錯誤發生，且會自動更正錯誤的 bit。使用者可讀取 mode register I 中 bit FECF，如有 FEC 錯誤發生(且已自動更正錯誤)，bit FECF 會設定為 1。

Data Whitening:

- 當設定 code register I 中 bit WHTS=1:
- 在發射時，將 payload 的資料及 CRC 檢查碼，與的 7 bit 可設定的初始種子，所產生的 pseudo random 序列碼(pseudo random sequence)，做 XOR 的運算後將資料傳送。使用者可自行設定 code register III 中 bit WS[6:0] data whitening 的初始種子(initial seed)。
- 在接收時，也會與這序列碼做 XOR 的運算。如收發兩端的初始種子不相同時，會無法解出正確的資料。

Manchester Code:

- 當設定 code register I 中 bit MCS=1，在傳送端會對傳送封包做 Manchester code 編碼處理。
- 接收時，解調電路會自動做 Manchester code 解碼處理，還原資料。

16.3 資料傳送時間

在不同編碼的選擇下，實際發射時間也會不同。

假設：Data rate 為 500Kbps，Preamble 為 4 bytes，ID code 為 4bytes，Payload 為 64 bytes，則發射時間為，

$$4 + 4 + 64 = 72 \text{ bytes} = 576 \text{ bits} \quad \text{-Preamble + ID code + Payload}$$

$$576 * 2\mu\text{s} = 1152\mu\text{s} = \mathbf{1.152\text{ms}} \quad \text{-總發射時間}$$

若 Enable CRC option，則會增加 2 bytes 的時間

$$2 * 8 = 16 \text{ bits} \quad \text{-CRC}$$

$$576 + 16 = 592\text{bits} \quad \text{-Preamble + ID code + Payload + ID}$$

$$592 * 2\mu\text{s} = 1184\mu\text{s} = \mathbf{1.184\text{ms}} \quad \text{-總發射時間}$$

若 Enable FEC option，則會將 Payload 的時間，變為原來的 7/4 倍。

$$4 + 4 = 8 \text{ bytes} = 64 \text{ bits} \quad \text{-Preamble + ID code}$$

$$64\text{bytes} * 8 * 7 / 4 = 896\text{bits} \quad \text{-Payload}$$

$$64 + 894 = 960 \text{ bit} \quad \text{-Preamble + ID code + Payload}$$

$$960 * 2\mu\text{s} = 1920\mu\text{s} = \mathbf{1.92\text{ms}} \quad \text{-總發射時間}$$

若 Enable FEC option，且 enable CRC，則會將 Payload 及 CRC 的時間，變為原來的 7/4 倍。

$$4 + 4 = 8 \text{ bytes} = 64 \text{ bits} \quad \text{-Preamble + ID code}$$

$$64\text{bytes} * 8 * 7 / 4 = 896\text{bits} \quad \text{-Payload}$$

$$16 * 7 / 4 = 28\text{bits} \quad \text{-CRC}$$

$$64 + 896 + 28 = 988 \text{ bit} \quad \text{-Preamble + ID code + Payload + CRC}$$

$$988 * 2\mu\text{s} = 1976\mu\text{s} = \mathbf{1.976\text{ms}} \quad \text{-總發射時間}$$

若 Enable data whitening option，不會影響發射時間。



A7105

Preliminary

2.4GHz Transceiver

若 Enable Manchester code option，發射時間會變成 2 倍。

AMICCOM CONFIDENTIAL



16.4 TX/RX FIFO

TX/RX FIFO 各自擁有 64 bytes 長度的 FIFO 暫存器。TX FIFO 僅能寫入 data，Rx FIFO 僅能讀出 data。寫入和讀出係由 3-wire 串列介面完成。

如想檢查 TX FIFO 寫入是否正確，也可在 sleep 或 STB state 下，將 mode CTRL 暫存器的 bit FMT 設為 1(在此之前請先寫入 1.ID 2.TX FIFO)，RF IC 會自動將 TX FIFO 寫入 Rx FIFO 且動作結束後 FMT 會自動清除為 0，使用者只要讀出 Rx FIFO，就可以了。

FIFO register I 中 FEP[7:0]決定使用的 TX / RX FIFO 的長度及傳送 / 接收封包資料結束位址指標。

- 在寫入 TX FIFO 資料前，需先設定 FEP[7:0]值，之後開始寫入 TX FIFO，如超過結束位址指標 FEP[7:0]值後，則會回到 TX FIFO 位址 0x00。如要 TX FIFO 位址指標回復，需使用 TX FIFO 重置命令。
- 在讀出 RX FIFO 資料前，需先設定 FEP[7:0]值，之後開始讀出 RX FIFO，如超過結束位址指標 FEP[7:0]值後，則會回到 RX FIFO 位址 0x00。如要 RX FIFO 位址指標回復，需使用 RX FIFO 重置命令。

MCU 使用 3-wire 或 4-wire 串列介面寫入 TX FIFO 或讀出 RX FIFO 的資料，可不需一次寫入或讀出，可分次寫入或讀出資料，之後所寫入或讀出的資料，會從上次的位址指標繼續寫入或讀出。

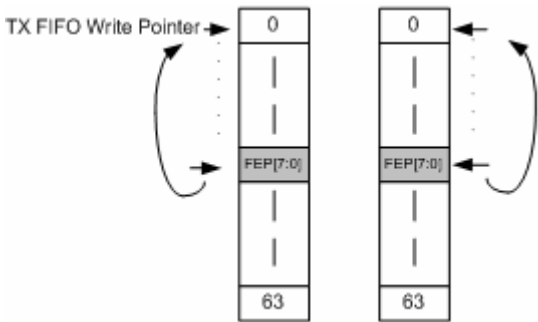


Fig 23. TX /RX FIFO Pointer

FIFO register II 中 PSA[5:0]決定傳送資料的啓始位址指標。預設值是 0x00。使用者可用於固定的的系統，如使用 4 個按鍵的系統，則可將對應的 Key code 全部先寫入 TX FIFO 之中，如圖 Fig 24- A。

當其中一個按鍵按下後，則將對應的 PSA 及 FEP 寫入，並開始從 PSAx 傳送資料，到 FEPx 結束，這種作法可節省寫入 TX FIFO 的時間，如圖 Fig 24-B。

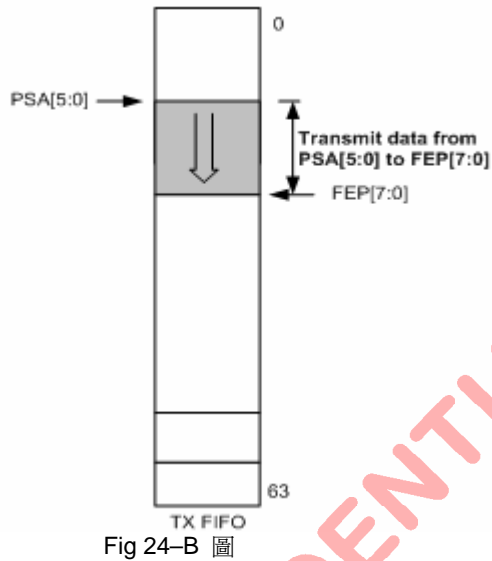
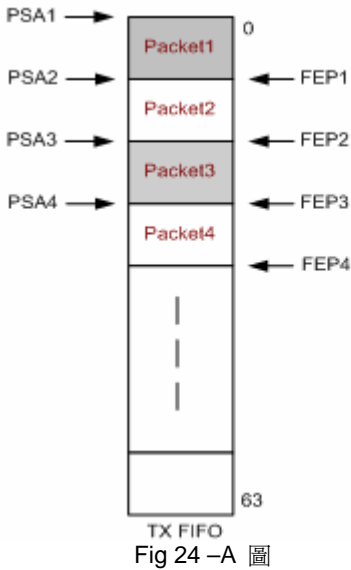


Fig24. PSA 與 FEP 指標的關係圖

16.5 FIFO Extension

如果想要傳送/接收的封包長度大於 64 bytes:

- 在傳送過程中，MCU 必須及時寫入已經傳送過的 TX FIFO 區域，來重覆利用 64 bytes 的 TX FIFO。
- 在接收過程中，MCU 必須及時讀出已經接收到 RX FIFO 區域的資料。如動作錯誤，會造成資料溢出(overflow)或資料不足(underflow)。

RF IC 提供可設定的 FIFO 臨界值(FIFO control register 中 FPM[1:0])。

- 在 TX mode 下，當 WP(write pointer)減去 RP(read pointer)，小於等於 FPM[1:0]設定值時，CKO pin 會為 1(CKO Pin CTRL register 中的 CKO[3:0]需先設定為 = "0010")，否則為 0。
- 在 RX mode 下，當 WP(write pointer)減去 RP(read pointer)，大於 FPM[1:0]設定值時，CKO pin 會為 1，否則為 0。

TX/RX FIFO 臨界值設定表:

FPM[1:0] 設定值	Bytes in TX FIFO	Bytes in RX FIFO
[00]	4	60
[01]	8	56
[10]	12	52
[11]	16	48

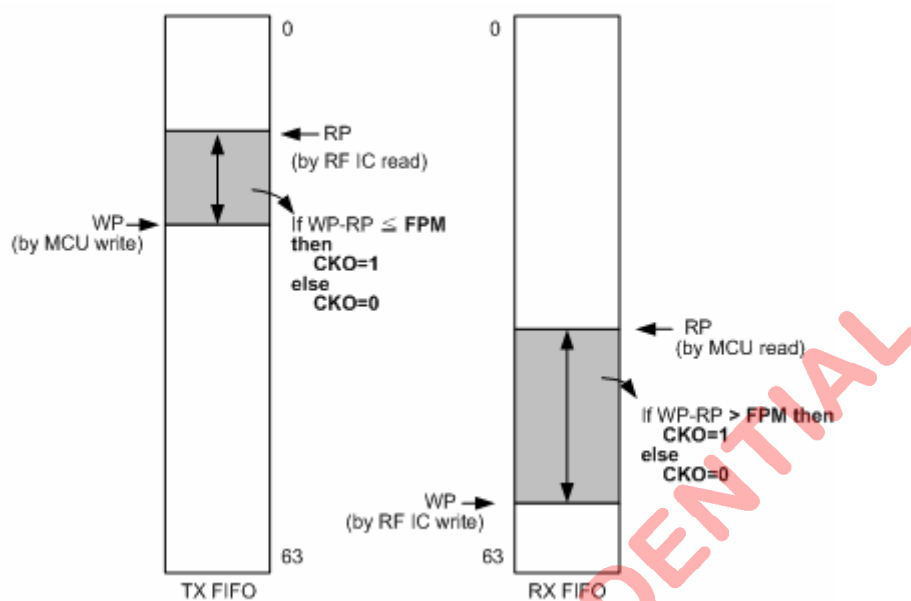


Fig25. FIFO extension

FIFO 控制器自動偵測的判斷條件：

TX FIFO:

- WP(write pointer) – RP(read pointer) <= FIFO threshold, 則 CKO pin = 1
- WP(write pointer) – RP(read pointer) > FIFO threshold, 則 CKO pin = 0

WP 是指 MCU 寫入資料到 TX FIFO 的指標。RP 是指 RF chip 從 TX FIFO 中將資料取出傳送至調變器(modulation)的指標。

RX FIFO:

- WP(write pointer) – RP(read pointer) > FIFO threshold, 則 CKO pin = 1
- WP(write pointer) – RP(read pointer) <= FIFO threshold, 則 CKO pin = 0

WP 是指 RF chip 接收資料寫入 RX FIFO 的指標。RP 是指 MCU 從 RX FIFO 中將資料取出的指標。

如設定 FPM[1:0]=01, 決定 TX FIFO 臨界點為 8 bytes, RX FIFO 臨界點為 56 bytes。

TX FIFO 的 WP – RP ≤ 8 時, pin CKO 會設定為 1, 代表 MCU 可能需要暫停寫入以免造成 overflow。反之為 0。

RX FIFO 的 WP – RP > 56 時, pin CKO 會設定為 1, 代表 MCU 可能需要暫停讀取以免造成 underflow。反之為 0。

17. 工作模式 (Mode of operation)

A7105 RF chip 可分為二種主要工作模式, Direct mode, FIFO mode。可設定 mode control register (0x01) 中 bit FMS, 選擇適合的工作模式。

17.1 Direct mode

Direct mode 提供使用者一個 RF 通道, 在 TX 端 Baseband 系統將資料傳送到 RF IC 的 Data IO pin, RF chip 僅做資料調變, 把資料傳送至接收端。RX 端採用數位解調方式, 還原資料。Baseband 系統需自行找出正確的資料訊息。

Data IO pin 可依使用者需要選擇：

- 1.GPIO1 或 GPIO2 pin 的 TRXD(GPIOx CTRL register 的 GPIOxS3-0=0111, TX / RX 共用雙向 pin)
- 2.GPIO1 或 GPIO2 pin 的 TXD/RXD(GPIOx CTRL register 的 GPIOxS3-0=1000[RXD] or 1001[TXD], TX / RX 獨立 pin)
- 3.SDIO pin(Mode CTRL register 的 DDPC=1, TX / RX 共用雙向 pin)



17.1.1 TX 傳送時序

經由 Strobe command，使工作狀態進入 TX 模式，擇一使用上述 Data IO 將資料傳送。當資料傳送完成後，再經由 Strobe command，結束 TX 模式，回到 STB state。

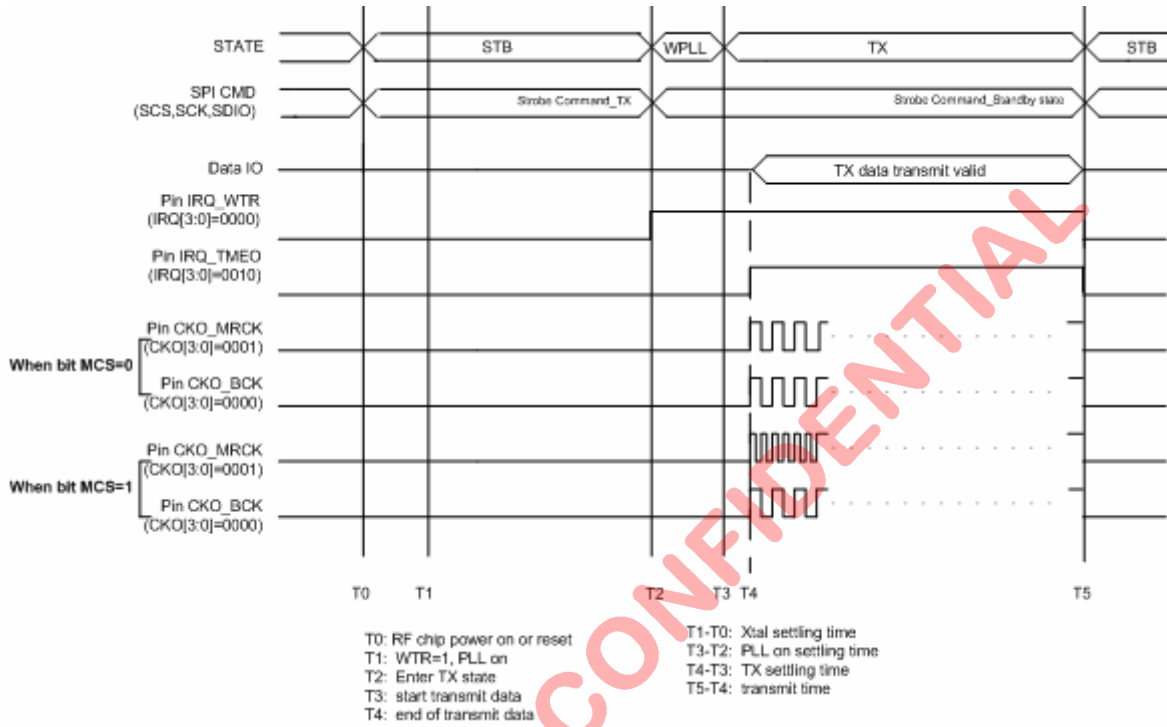


Fig27. Direct mode 的 TX 傳送時序圖



17.1.2 RX 傳送時序

經由 Strobe command，工作狀態進入 RX 模式，擇一使用上述 Data IO 接收資料。當資料接收完成後，再經由 Strobe command，結束 RX 模式，回到 STB state。

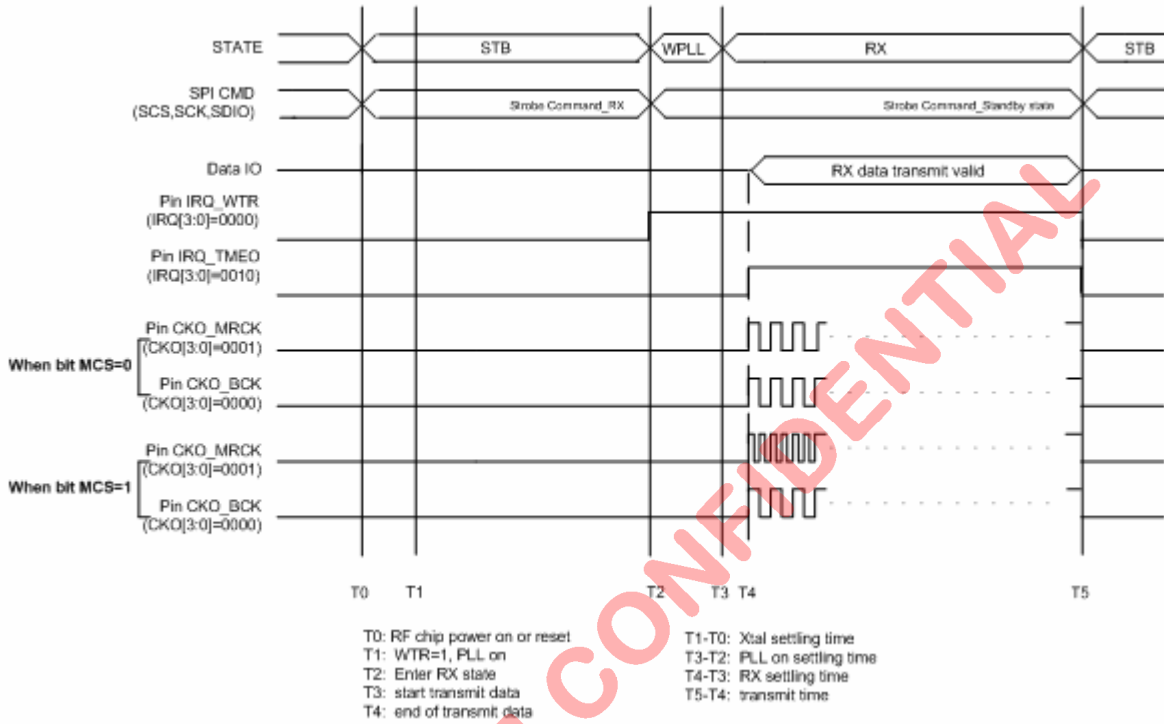


Fig28. Direct mode 的 RX 接收時序圖

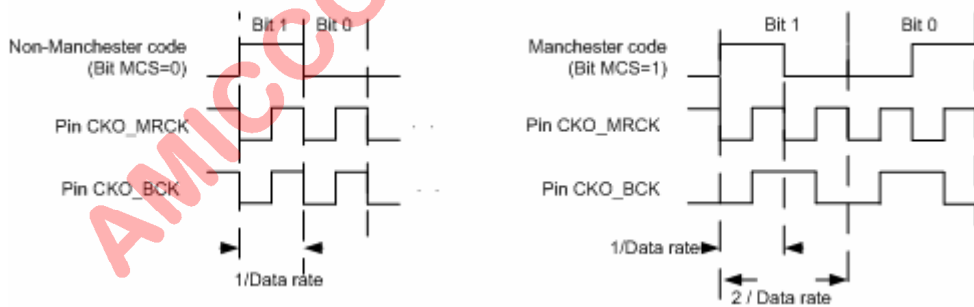


Fig29. bit MCS=0 或 1 時，BCK, MRCK 時序圖



17.2 FIFO mode

RF chip 內建 FIFO，使用者可用 3 or 4-wire 介面將傳送資料寫入 TX FIFO 中。致能 RF chip 後，內部硬體電路會自動將資料依封包格式傳送出去。接收時，硬體電路會自動找出識別碼(ID code)，並將資料寫入 RX FIFO。完成一個封包的接收時，使用者可用 3 or 4-wire 介面將資料從 RX FIFO 讀出，減輕 MCU 的工作負荷。

17.2.1 TX 傳送時序

使用 3 or 4-wire 介面將傳送資料寫入 TX FIFO。寫入 Strobe command，使工作狀態進入 TX 模式。開始傳送資料，直到傳送完成時，會自動脫離 TX，回到原先的 state。

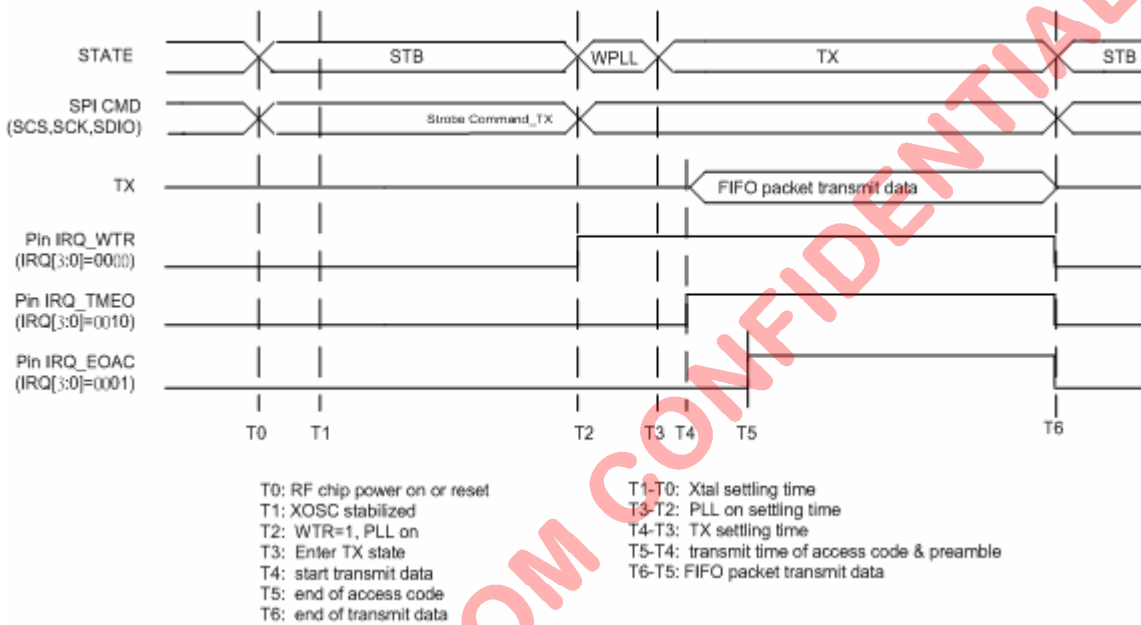


Fig30. FIFO mode 的 TX 傳送時序圖



17.2.2 RX 接收時序

寫入 Strobe command，使工作狀態進入 RX 模式，等待找到相同的 ID code 後 pin RX_SYN 會設定為 1。此時，接收資料開始寫入 RX FIFO。完成一資料封包接收動作後，會自動脫離 RX，回到原先的 state。使用 3 or 4-wire 介面將接收資料從 RX FIFO 讀出

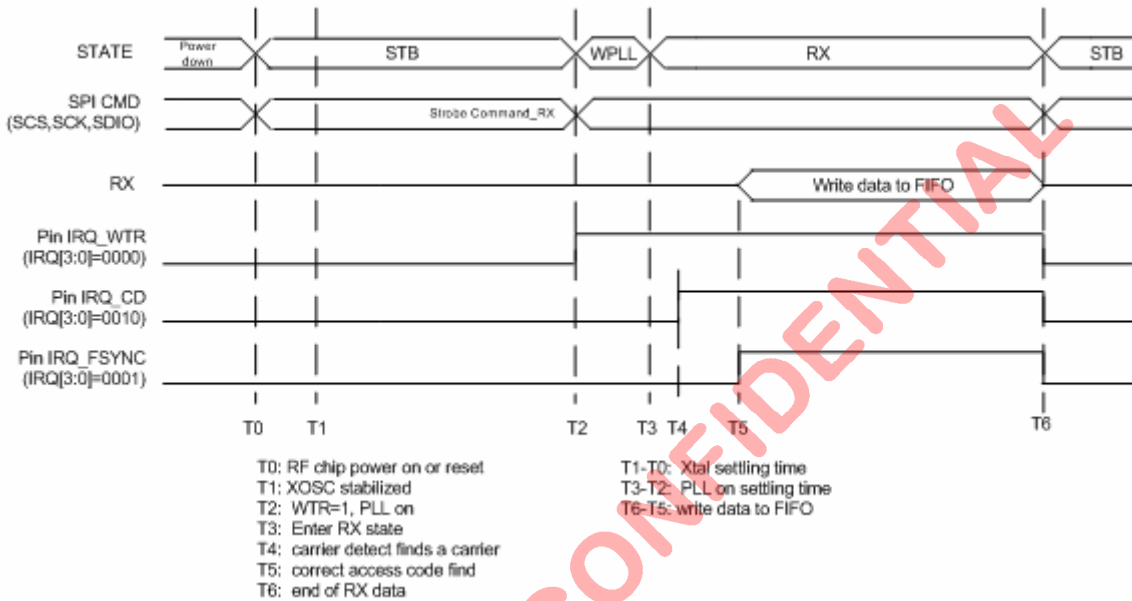


Fig31. FIFO mode 的 RX 接收時序圖



18. ADC (Analog Digital Converter)

A71025RF chip 內建一個 8 位元類比數位轉換器(ADC)，可供內部溫度、RSSI、載波(Carrier)偵測，或透過 pin RSSI (pin1) 做外部信號源的量測。

ADC 所需要的轉換時間是依據 ADC 時脈來計算，需要 20 個 ADC 時脈週期的時間。在使用 ADC 時，可設定 ADC control register 中 bit FSARS，選擇 ADC 時脈週期為 system clock / 4 或 system clock / 2。

18.1 溫度量測

A7105 RF chip 內建一個簡易的溫度感測器，可監測 RF chip 的工作環境溫度的變化。

在 Sleep state 及 STB state 下，設置 ADC control register 中 bit RSS=0 後，啟動 mode control register 中 bit ADCM 為 1，RF IC 會開始做溫度信號的量測。當完成溫度信號量測動作，bit ADCM 會自動清除為 0。使用者再從 RSSI Threshold register 中 bit ADC[7:0]讀取溫度值(The relative temperature is around + 2 °C * ADC[7:0])。如非 Sleep state 及 STB state 時，則會等待回到 Sleep state 及 STB state 時，才開始量測。

此外 ADC control register 中 bit CDM 則可提供使用者選擇單次或連續量測。

P.S 建議請勿在 SLEEP mode 量測溫度，偏差會較大。

18.2 RSSI 量測

A7105 RF chip 有內建數位 RSSI(received signal strength indicator)，可偵測 RF 的信號強度。完成 RSSI 量測後，RSSI 值可從 ADC register 中讀出，範圍值 0~255。接收信號強度愈大，RSSI 值愈小。反之，接收信號強度愈小，RSSI 值愈大。

在 RX state 下，設置 ADC register 中 bit RSS=1 後，啟動 mode control register 中 bit ADCM 為 1，開始做 RSSI 信號的量測。當完成 RSSI 信號量測動作，bit ADCM 會自動清除為 0。使用者再從 ADC register 中 bits ADC[7:0]讀取 RSSI 值。

同上，使用者也可以從 ADC control register 中的 bit CDM 選擇單次或連續量測。

18.3 載波(Carrier)偵測

A7105 RF chip 有提供 pin GPIO 輸出接腳，監測載波有無載波信號發生。步驟同 RSSI 量測，如偵測載波信號大於 RSSI Threshold register 中 bit RTH[7:0]所設置的 RSSI 信號強度臨界值時，pin IRQ 會輸出 high 準位。反之，則輸出 low 準位。

同上，使用者也可以從 ADC control register 中的 bit CDM 選擇單次或連續量測。

18.4 外部信號源量測

A7105 RF chip 提供 pin1 RSSI 輸入接腳，量測外部信號的大小。可量測輸入信號範圍 0 ~ 1.2Vdc。

將欲量測的信號源，接至 RSSI(RF chip pin 1)腳，設置 ADC control register 中 bit XADS=1，bit RSS=1 以及 VCO test control register 中 RFT3-0 設為 "x01x" 後，啟動 mode control register 中 bit ADCM 為 1，開始做外部信號源的量測。

當完成信號量測動作，bit ADCM 會自動清除為 0。使用者再從 ADC register 中 bits ADC[7:0]讀取量測值。

同上，使用者也可以從 ADC control register 中的 bit CDM 選擇單次或連續量測。

ADC 量測設定表：

Bit		說明	
XADS	RSS	All state	RX state
0	0	溫度量測(不建議在 SLEEP state)	--
0	1	無	RSSI 量測/載波偵測(carrier detector)
1	0	使用 pin RSSI 做外部信號 ADC 量測	--

19. TWOR(Wake up on Radio using Timer) 及 WOR(Wake up on Radio)

A7105 RF chip 內建一個 Timer 及一個低速的 RC oscillator，當系統想要達到省電之目的時，可以讓 MCU 及 RF IC 進入睡眠模式(Sleep Mode)，之後在適當的週期性時間內，發出一個信號以喚醒 MCU 重新回復工作，並處理 RF 的事件，這就是 TWOR 的功能。

WOR 的功能，也是利用內建 Timer 及 RC oscillator，在適當的週期性時間，只喚醒 RF IC 並進入 RX 狀態，除非有收到訊號才會喚醒 MCU 起來工作。

19.1 TWOR

使用者首先透過 RC OSC register I、RC OSC register II 設定所需 timing，之後設置 RC OSC register III 中 bit RCOSC_E & [TWOR_OE = 1，啟動 Timer，即可透過 A7105 的 pin GPIO 輸出接腳，作喚醒 MCU 的動作，設定步驟如下：

- **Step1:** 先透過 RC OSC register II 的 TSEL bit 選擇要使用的 timer, **WOR_AC** 或 **WOR_SL**.
- **Step2:** 設定 timer 的時間(**WOR_AC**[delay range : 244us~15.6ms]或 **WOR_SL**[delay range : 7.8ms~7.99s]).
- **Step3:** 設定 GPIOx pin 的輸出.(可選擇是 GPIO1 或 GPIO2 pin 做輸出, 請將對應的 GPIOxS 設為 0100→TWOR/WOR).
- **Step4:** 啟動 RC oscillator[RCOSC_E=1], 輸出 TWOR 訊號[TWOR_OE=1].



Fig32. TWOR timing

P.S TWOR 在任何 mode 下均可執行。但是其 RC oscillator 校正與 System clock 有關，故使用者在啟動 TWOR 前，最好可以先啟動 System clock，讓 RC oscillator 完成自動校正(RCOSC_E=1，約 250us 校正 1 次)，如果在 crystal disable 的 state(SLEEP & IDLE)下，會有些許誤差。

19.2 WOR

使用者先設定 RC OSC register I、RC OSC register II 設定所需 timing 後，將 RC OSC register III 中 bit RCOSC_E 設為 1, bit TWOR_OE 設為 0，再將 Mode CTRL register 的 WOR_EN bit 設為 1，即進入 WOR mode，設定步驟如下：

- **Step1:** 設定 WOR sleep time 的時間(**WOR_AC**[delay range : 244us~15.6ms]) 及 WOR action time 的時間 (**WOR_SL**[delay range : 7.8ms~7.99s]).
- **Step2:** 設定 GPIOx pin 的輸出.(可選擇是 GPIO1 或 GPIO2 pin 做輸出, 請將對應的 GPIOxS 設為 0100→TWOR/WOR).
- **Step3:** 啟動 RC oscillator[RCOSC_E=1], 不輸出 TWOR 訊號[TWOR_OE=0].
- **Step4:** 啟動 WOR[WOR_EN=1].

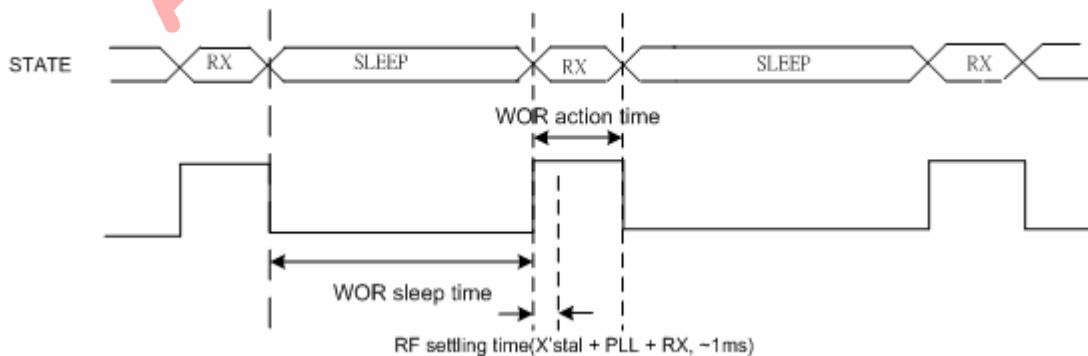


Fig33. WOR timing

WOR 可在 sleep, STB state 下執行。且在 RX 狀態下，如果有收到訊號會利用 GPIOx pin 喚醒 MCU 起來工作，此時 RF IC 會切換回原來的 state。在 sleep state 切換到 RX state 時，RF IC 會有 settling time 必須要等待。



20. Battery detector

A7105 RF IC 內建 Battery detector 來偵測 RF IC REG1(pin19)的電壓。在不是 sleep state 都可以做偵測，且偵測的範圍從 2.0V~2.7V，分成 8 個 level。

偵測方式如下步驟：

- **Step1:** 先設定成非 sleep state.
- **Step2:** 設定電壓偵測點.(Battery detector register 的 BVT2-0).
- **Step3:** 啓動電壓偵測.(Battery detector register 的 BD_E 設為 1，約 4us 之後此 bit 會自動清除為 0).
- **Step4:** 讀取電壓偵測旗標，如果是 1，則代表 REG1 pin 電壓大於電壓偵測點，反之則代表 REG1 pin 電壓小於電壓偵測點(讀取 Battery detector register 的 bit BDF)

AMICCOM CONFIDENTIAL

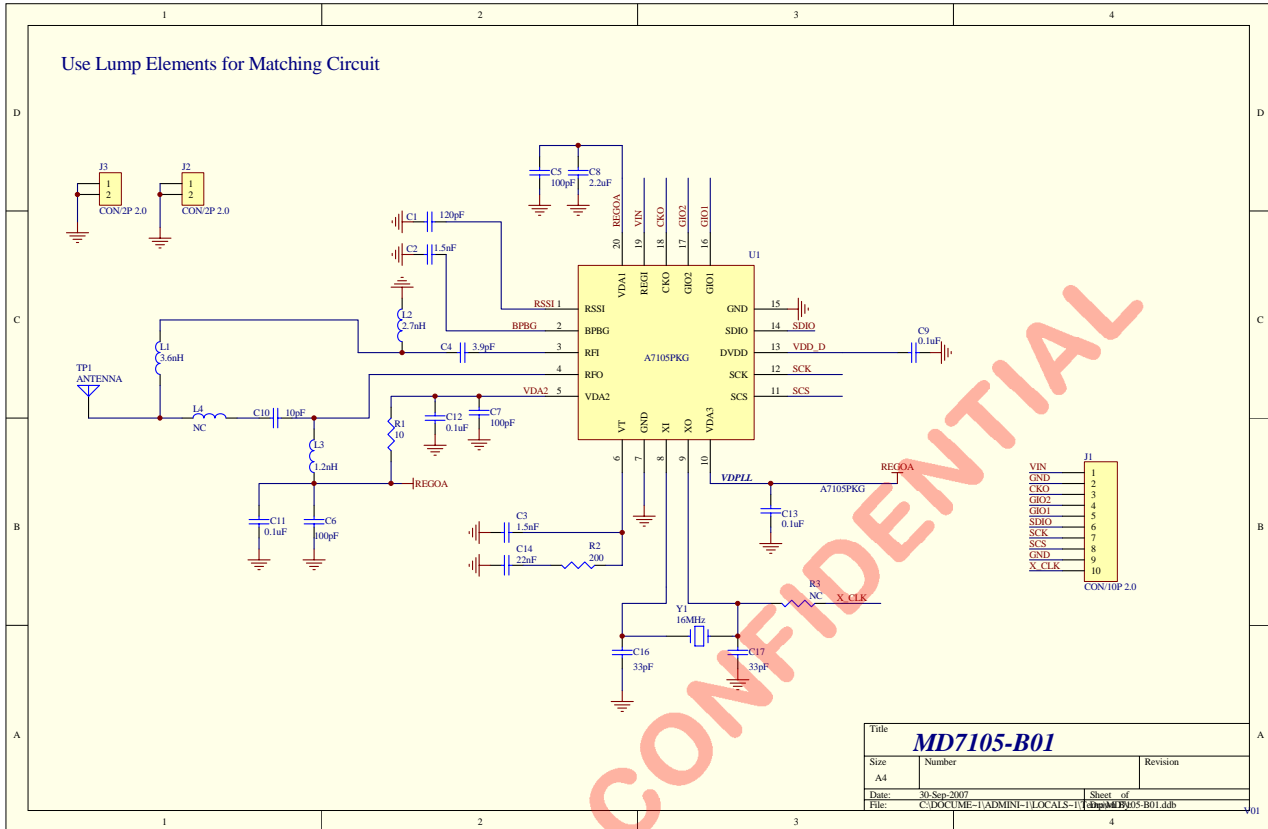
21. 應用線路(Application Circuit)



A7105

Preliminary

2.4GHz Transceiver



22 Ordering Information

Part No.	Package	Units Per Reel / Tray
A71X05AQF/QI	QFN20L, Pb Free, Tape & Reel, -40°C ~ 85°C	3K
A71X05AQFI	QFN20L, Pb Free, Tray, -40°C ~ 85°C	490EA



A7105

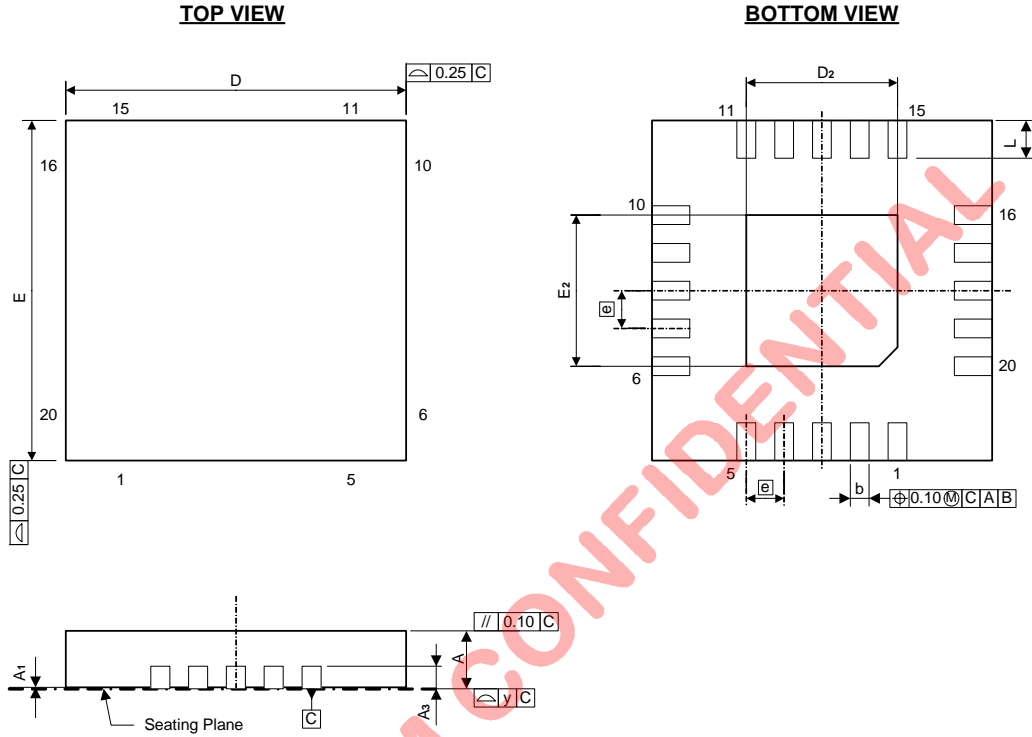
Preliminary

2.4GHz Transceiver

23 封装资讯

QFN 20L (4 X 4 X 0.8mm) Outline Dimensions

unit: inches/mm



Symbol	Dimensions in inches			Dimensions in mm		
	Min	Nom	Max	Min	Nom	Max
A	0.028	0.030	0.032	0.70	0.75	0.80
A1	0.000	0.001	0.002	0.00	0.02	0.05
A3	0.008 REF			0.203 REF		
b	0.007	0.010	0.012	0.18	0.25	0.30
D	0.154	0.158	0.161	3.90	4.00	4.10
D2	0.075	0.079	0.083	1.90	2.00	2.10
E	0.154	0.158	0.161	3.90	4.00	4.10
E2	0.075	0.079	0.083	1.90	2.00	2.10
[e]	0.020 BSC			0.50 BSC		
L	0.012	0.016	0.020	0.30	0.40	0.50
y	0.003			0.08		