

AD9884A

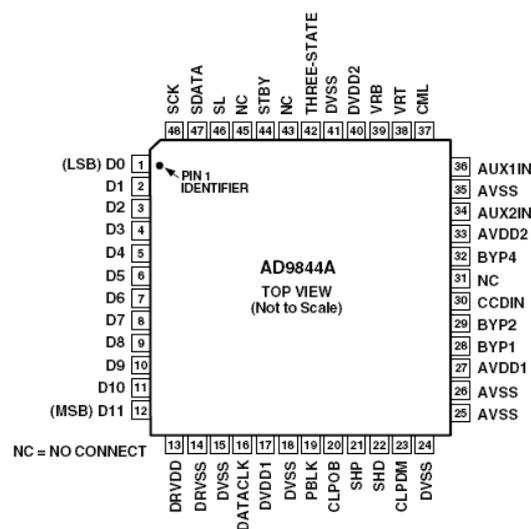
➤ 特点:

- ✧ 20MSPS 相关双采样
- ✧ 4db ± 6db 可调节 CDS 增益
- ✧ 2db — 36db 可调增益放大 (VGA)
- ✧ 低噪声钳位电路
- ✧ 模拟 preblanking 功能
- ✧ 12—Bit 20MSPS A/D 转换
- ✧ 三线串口
- ✧ 低功耗 (77mW © 3.3V)
- ✧ 单一 3V 电源供电

✓ 简单介绍

- 20MHz 的单通道结构, 对逐行或隔行面阵 CCD 信号进行采样;
- 信号通路包含如下内容:
 - ✚ 钳位
 - ✚ 相关双采样 (CDS)
 - ✚ 数字控制可调增益 (VGA)
 - ✚ 黑电平钳位 (black level clamp)
 - ✚ 12—bit 转换
- 可通过三线串口对下列编程
 - ✚ 增益调节
 - ✚ 黑电平调节
 - ✚ 输入配置
 - ✚ 节电模式

✓ PIN Configuration



Pin Number	Name	Type	Description
1-12	D0-D11	DO	数字数据输出
13	DRVDD	P	数字输出驱动电源
14	DRVSS	P	数字输出驱动地
15,18,24,41	DVSS	P	数字地
16	DATACLK	DI	数字输出锁存时钟
17	DVDD1	P	数字电源
19	PBLK	DI	Preblanking 时钟输入
20	CLPOB	DI	黑电平钳位时钟输入
21	SHP	DI	CDS 参考电平采样时钟
22	SHD	DI	CDS 数据电平采样时钟
23	CLPDM	DI	钳位时钟输入
25,26,35	AVSS	P	模拟地
27	BYP1	AO	内部旁路去耦
28	BYP2	AO	内部旁路去耦
30	CCDIN	AI	CCD 信号输入
31	NC	NC	浮空或者通过一 0.1uF 电容接地
32	BYP4	AO	内部旁路去耦
33	AVDD2	P	模拟电源
34	AUX2IN	AI	模拟输入
36	AUX1IN	AI	模拟输入
37	CML	AO	内部旁路去耦
38	VRT	AO	A/D 转换器参考高电平
39	VRB	AO	A/D 转换器参考低电平
40	DVDD2	P	数字电源
42	THREE-STATE	DI	数字输出禁止信号, 高有效
43	NC	NC	不能浮空
44	STBY	DI	Standby 模式, 高有效。与串口 Standby Mode 一样
45	NC	NC	不能浮空
46	SL	DI	串口数字接口 Load 脉冲
47	SDATA	DI	串口数据
48	DCK	DI	串口时钟

TYPE :

AI = 模拟输入; AO = 模拟输出; DI = 数字输入; DO = 数字输出; P = power

✓ 相关定义

✧ DNL (Differential Nonlinearity)

理想 ADC 编码的步长为 1LSB, DNL 则是偏离此理想值的程度。因此, 每一个码值都对应于一个有限的宽度, 12-bit 则表示所有的 4096 个应该表示所有的操作可能。

✧ PEAK Nonlinearity

Peak nonlinearity, 指的是AD9844A的输出偏离实际曲线的极限 (peak) 值。The point used as “zero scale” occurs 1/2 LSB before the first code transition. “Positive full scale” is defined as a Level 1, 1/2 LSB beyond the last code transition。测量每一个输出代码的中点到true straight line的差值, 占2-V全范围的百分数来表示误差。

✧ Internal Delay for SHP/SHD

SHP和SHd都是在信号的上升沿开始采样, 所以内部延迟指的是从时钟的上升沿到内部采样信号实际开始采样的时刻之间的时间延迟。

✓ 串口时序以及内部寄存器描述

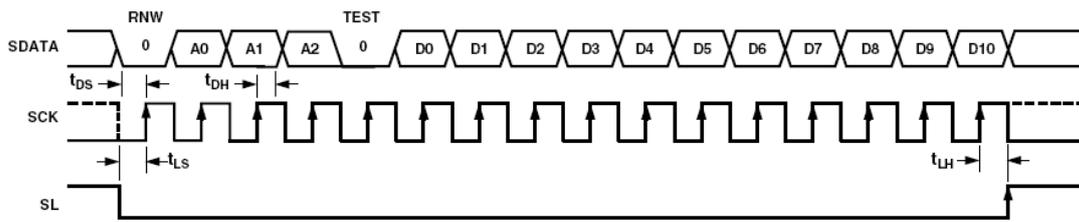


图1 串口写操作时序

注:

- SDATA是在SCK的上升沿被锁存;
- RNW = Read-Not Write。写操作时设置为低;
- TEST 位：内部使用，必须为低;
- System update of loaded registers occurs on SL rising edge。

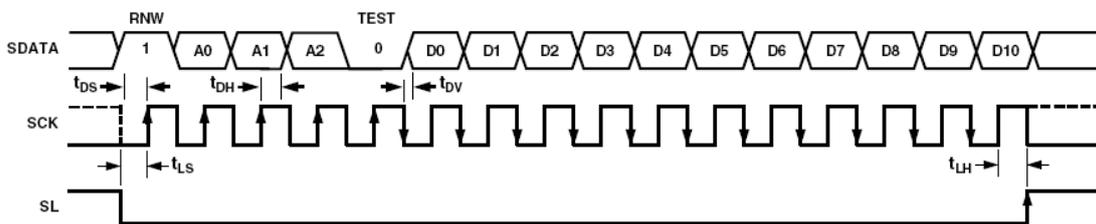


图2 串口readback操作

注:

- RNW = Read-Not Write。读操作时，设置为高;
- TEST 只被内部使用，必须设置为低;
- 在5个SCK下降沿后，被选取的寄存器数据有效，所有更新都是在SCK的下降沿。

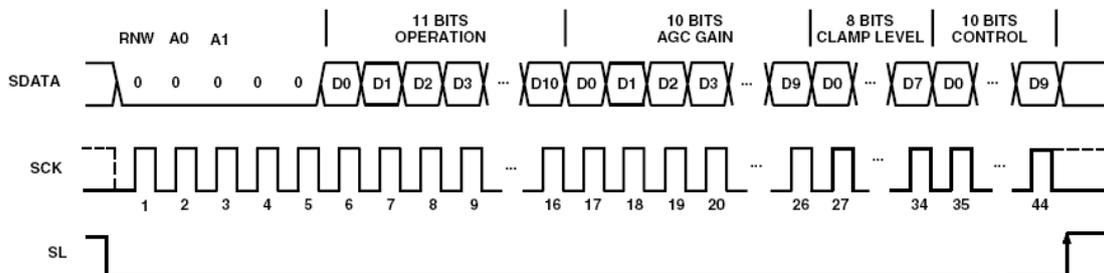


图3 对Multiple寄存器连续的写操作

注:

- 所有相邻的寄存器都可以连续的load数据，从地址最小的寄存器开始，然后一个time时间，地址加1;
- 当连续load multiple寄存器，每个寄存器必须使用上图中的长度;
- 所有的寄存器可以在SL的上升沿同时更新。

表1: 内部寄存器地址

Register Name	Address			Data Bits										
	A0	A1	A2	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10
Operation	0	0	0	Channel Select CCD/AUX		Power-Down Modes		Software Reset	OB Clamp On/Off	0*	1**	0*	0*	0*
VGA Gain	1	0	0	LSB									MSB	X
Clamp Level	0	1	0	LSB							MSB	X	X	X
Control	1	1	0	0*	0*	0*	CDS Gain On/Off	Clock Polarity Select for SHP/SHD/CLP/DATA			0*	0*	Three- State	X
CDS Gain	0	0	1	LSB					MSB	X	X	X	X	X

* 仅仅内部使用, 必须设置为0;

** 必须设置为 1.

表2: operation 寄存器内容 (缺省值为 0x000)

D10	D9	D8	D7	D6	Optical Black Clamp D5	Reset D4	Power-Down Modes D3 D2	Channel Selection D1 D0
0*	0*	0*	1**	0*	0 Enable Clamping 1 Disable Clamping	0 Normal 1 Reset All Registers to Default	0 0 Normal Power 0 1 Fast Recovery 1 0 Standby 1 1 Total Power-Down	0 0 CCD-Mode 0 1 AUX1-Mode 1 0 AUX2-Mode 1 1 Test Only

*必须设置为 0 ;

** 必须设置为 1.

表3: VGA 增益控制寄存器内容 (缺省值为 0x096)

D10	MSB										LSB	Gain (dB)
	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0		
X	0	0	0	1	0	1	1	1	1	1	1	2.0
						.						.
						.						.
	1	1	1	1	1	1	1	1	1	0		35.965
	1	1	1	1	1	1	1	1	1	1		36.0

表4: 钳位电平寄存器内容 (缺省值为 0x080)

D10	D9	D8	MSB								LSB	Clamp Level (LSB)
			D7	D6	D5	D4	D3	D2	D1	D0		
X	X	X	0	0	0	0	0	0	0	0	0	0
			0	0	0	0	0	0	0	0	1	1
			0	0	0	0	0	0	0	1	0	2
			.									.
			.									.
			1	1	1	1	1	1	1	0		254
			1	1	1	1	1	1	1	1		255

表5: control寄存器内容 (缺省值为 0x000)

D10	Data Out D9	D8	D7	DATACLK D6	CLP/PBLK D5	SHP/SHD D4	CDS Gain D3	D2	D1	D0
X	0 Enable 1 Three-State	0*	0*	0 Rising Edge Trigger 1 Falling Edge Trigger	0 Active Low 1 Active High	0 Active Low 1 Active High	0 Disabled** 1 Enabled	0*	0*	0*

*必须设置为 0 ;

** 当D3 = 0 (CDS Gain 禁止), CDS增益寄存器是-4db(63)。

表6: CDS Gain寄存器内容 (缺省值为 0x000)

D10	D9	D8	D7	D6	MSB D5	D4	D3	D2	D1	LSB D0	Gain (dB) *
X	X	X	X	X	0	0	0	0	0	0	+4.3
							.				.
							.				.
					0	1	1	1	1	0	+10.0
					1	0	0	0	0	0	-2.0
							.				.
							.				.
							.				.
					1	1	1	1	1	1	+4.0

 * 当使用CDS gain 寄存器时， D3位必须为高。

✓ CCD-MODE 以及 AUX-MODE 时序

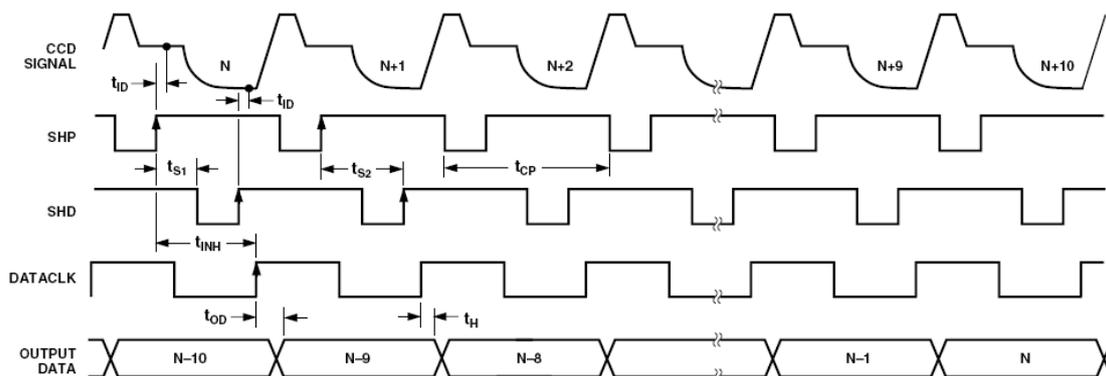


图4: CCD-MODE时序

- ◇ 推荐把DATACLK 的上升沿放置于SHD的上升沿和下一个SHP的下降沿之间；
- ◇ CCD信号在SHD和SHP的上升沿被采样。

Parameter	Symbol	Min	Typ	Max	Unit
DATACLK, SHP, SHD周期	t_{CONV}	48	50		ns
DATACLK 高/低脉宽	t_{ADC}	20	25		ns
SHP脉宽	t_{SHP}	7	12.5		ns
SHD脉宽	t_{SHD}	7	12.5		ns
CLPDM脉宽	t_{CDM}	4	10		Pixels
CLPOB脉宽	t_{COB}	2	20		Pixels
SHD上升沿到SHP下降沿	t_{S1}	0	12.5		ns
SHD上升沿到SHP上升沿	t_{S2}	20	25		ns
内部时钟延迟	t_{ID}		3.0		ns
禁止时钟周期	t_{INH}	10			ns
输出延迟	t_{OD}		14.5	16	ns
输出保持时间	t_H	7.9	7.6		ns
流水线延迟			9		Cycles

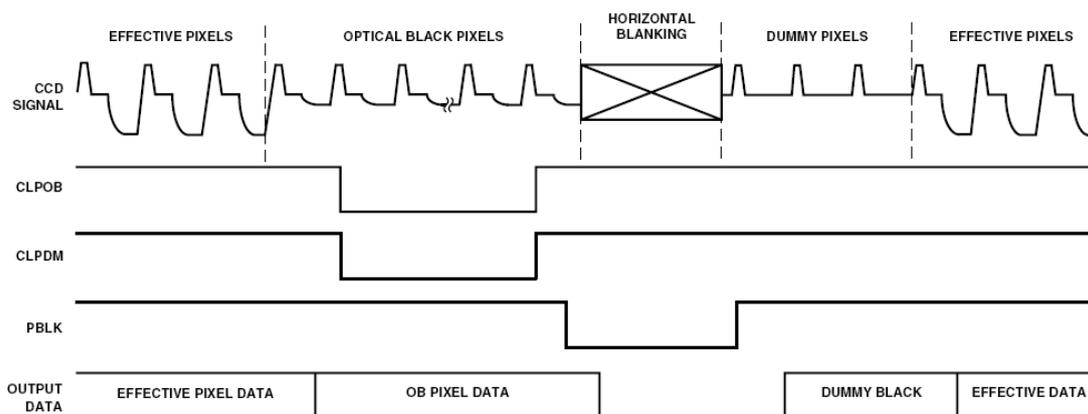


图5: 典型的CCD-MODE line clamp时序

- ◇ CLPOB和CLPDM将会覆盖PBLK。如果连接CLPDM CLPOB，则CLAMP不会被PBLK影响；
- ◇ PBLK信号可选；
- ◇ 在PBLK期间所有数字输出为0，数字输出延迟为9个DATACLK周期。

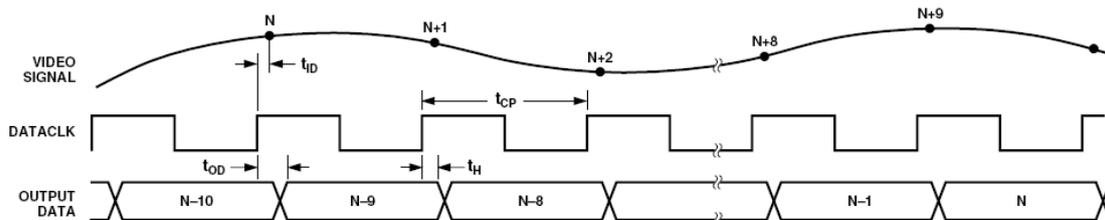


图6: AUX-MODE时序

✓ 相关双采样

CDS电路对每一个CCD像素进行两次采样以得到正确的视频信息并减小低频噪声。图4显示了两个CDS时钟（SHP和SHD）是如何被用于对CCD信号的参考电平和数据电平分别采样的。由于内部传输的延迟，SHP/SHD通常会有一个3ns的延迟（ t_{ID} ）时间。

CDS增益一般为4db，但可以改变。使用CDS增益寄存器，增益可以从-2db一直到+10db（共64个步长）。CDS增益曲线见图7，为了使用CDS增益寄存器，控制寄存器的D3位必须为高（使能CDS增益寄存器）。

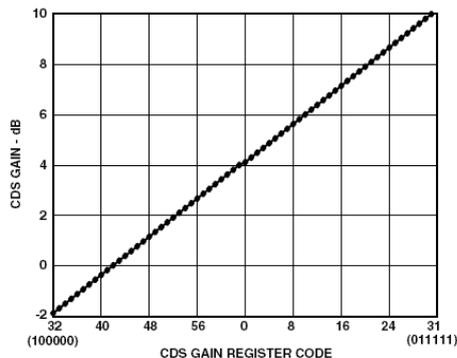


图7: 增益曲线

CDS增益为4db时，能够提高信噪比，在大多数情况下都足以满足要求。提高CDS增益对低电平CCD输出信号有用，而减小CDS增益则允许AD9844A可以接受的CCD信号摆幅超过1Vp-p。表7总结了不同CCD信号摆幅下的CDS增益设置。

Max Input Signal	Recommended Gain Range	Register Code Range
250 mV p-p	8 to 10 dB	21 to 31
500 mV p-p	6 to 8 dB	10 to 21
800 mV p-p	4 to 6 dB	63 to 10
1 V p-p	2 to 4 dB	53 to 63
1.25 V p-p	0 to 2 dB	42 to 53
1.5 V p-p	-2 to 0 dB	32 to 42

表7: CDS增益设置例子

✓ 输入钳位电路

线性输入钳位电路用于移除暗电流偏置，这些偏置通常出现在CCD的暗电平像素处。AD9884A在输入端就移除这些偏置可以使得系统暗电平增益改变的影响降到最低；另一个好处是可以使得系统的headroom最大化。有些面阵CCD的暗电平偏置电压比较大，当VGA增益设置较大的时，将显著的降低内部电路的可以利用的headroom（量程？）

推荐使用CLPDM, 使得其脉冲覆盖整个CCD暗像素时间, CLPDM脉宽应该至少有4个像素。

✓ Variable Gain Amplifier

通过串口通信方式, 可以对VGA进行编程, 使得其范围从2db到36db之间变化。再算上CDS的4db的增益, 所以整个AD9844的增益可以达到6db—40db。增益为6db表示输入信号为1V, ADC的全量程为2V。

VGA增益曲线可以分成两段。当VGA寄存器值位于0—511之间时, 曲线方程为 $y=(1+x)/(1-x)$, 近似于线性的; 当VGA寄存器值介于512—1023之间时, 则变成了线性关系。实际的VGA增益可以通过下面两个等式进行计算:

$$0-511 \quad Gain = 20\log_{10}([658 + code]/[658 - code]) - 0.35$$

$$512-1023 \quad Gain = (0.0354)(code) - 0.35$$

根据上面两个等式, AD9844的实际的增益精度在±0.5db范围内。当CCD-MODE中显示的, 只有当VGA增益范围从2db—36db时, 对应的VGA增益代码为91—1023。

Optical black clamp loop 用于消除剩余偏差 (residual offset), 并且可以track CCD暗电平的低频变化。在每一行optical black 像素时间段内, ADC的输出与用户在Clamp Level寄存器中设定的black level 参考相比较。在8-bit情况下, 可以选择0—255之间的任意一个值。二者之差进行滤波减小噪声, 修正过的值通过一个D/A转换器再送到ADC的输入端。通常, optical black clamp loop 每一行打开一次, 但在特定的应用中, 该loop也可以更新得慢一些。如果在上一次处理中用到了外部数字箝位, 可以通过设置operation寄存器中的D5位去禁止AD9844A的optical black clamping。当该loop被禁止时, Clamp Level寄存器依然可以用于提供可调节的增益。

图4显示的是水平时序, CLPOB脉冲应该位于CCD的optical black pixels期间。为了最小化clamp噪声, 建议CLPOB的脉宽至少持续20个pixels时间。

✓ A/D转换

AD9844A的满刻度输入范围2V, 噪声性能也比较好。(与AD9801, AD9803比较)。

✓ AUX1-Mode

如果不需要CDS, AD9844A可以配置为对交流耦合信号进行采样, 图8显示的是使用AUX1通道输入的一个电路。在输入信号与AUX1IN管脚间需要一个0.1u的耦合电容。片内dc-bias电路设定输入信号的参考电平为0.4V。VGA增益从0db-36db。

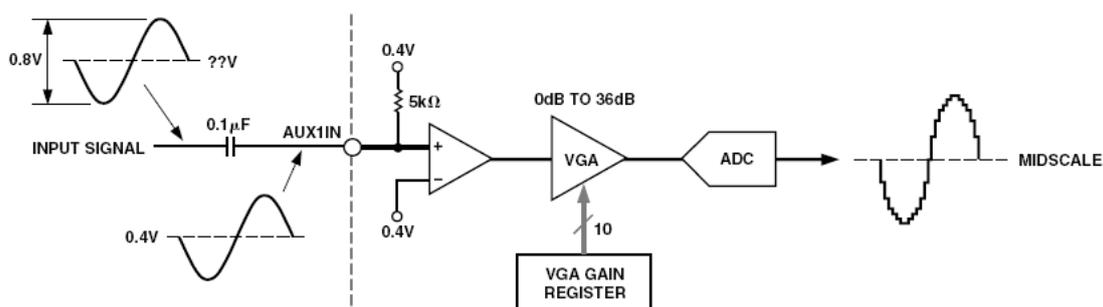


图8 AUX1 电路配置

✓ AUX2-Mode

对视频类型的信号进行采样, 例如NTSE和PAL信号, AUX2通道提供了black level clamping, gain adjustment, 和 A/D转换。图9显示的是使用AUX2通道的一个电路。一个0.1uF的隔直电容与片内箝位电路一起用于把输入信号电平提升到参考电平。箝位电路自动检测出输入信号中最负部分, 然后通过输入电容调节电压。这会使得输入信号中的black level等于Clamp Level

寄存器中的值。VGA的可调节范围0db-18db。

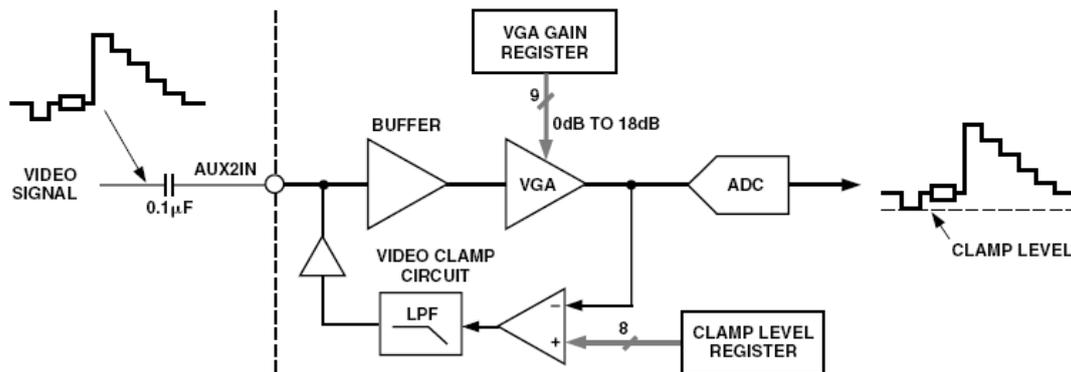


图9 AUX2 电路配置

✓ Application Information

AD9844A可以用于照相机或摄像机的模拟前端(Analog front end),如图10, CCD图像(pixel)数据经过缓存,然后通过一个耦合电容送到AD9844A, AD9844A执行直流恢复(dc restoration), CDS, 增益调节, black level correction 和 模数转换。

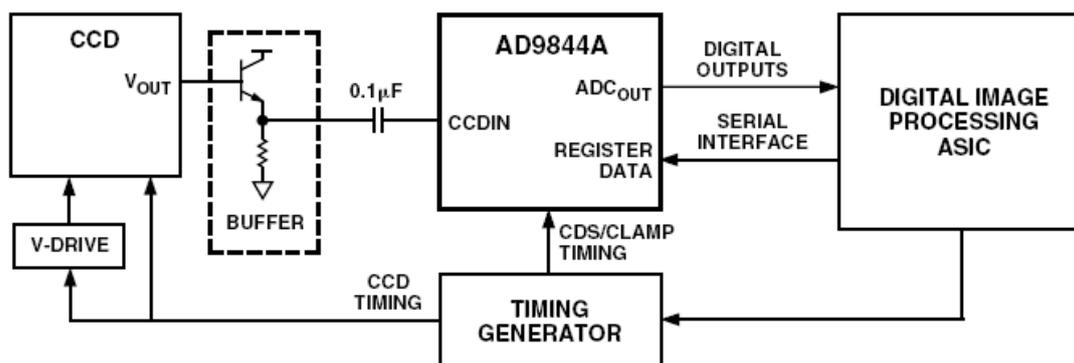


图10 系统应用框图

✓ Internal Power-On Reset Circuitry

上电后, AD9844A自动复位所有的寄存器, 并执行内部标准程序(internal calibration procedures)。这大概需要1ms的时间, 在这期间, 时钟信号或写信号都将无效。

✓ Grounding and Decoupling Recommendations

如图11, AD9844A推荐使用一个地平面。该地平面应尽可能连续, 尤其在25-39脚之间。这将确保所有的模拟去耦电容为电源管脚和bypass管脚提供一个阻抗最小的路径。如果数字输出驱动的负载大于20pF的话, 为了减少数字传输噪声, 推荐加一个缓冲器, 或者, 在数字输出管脚后面加一个串联电阻。

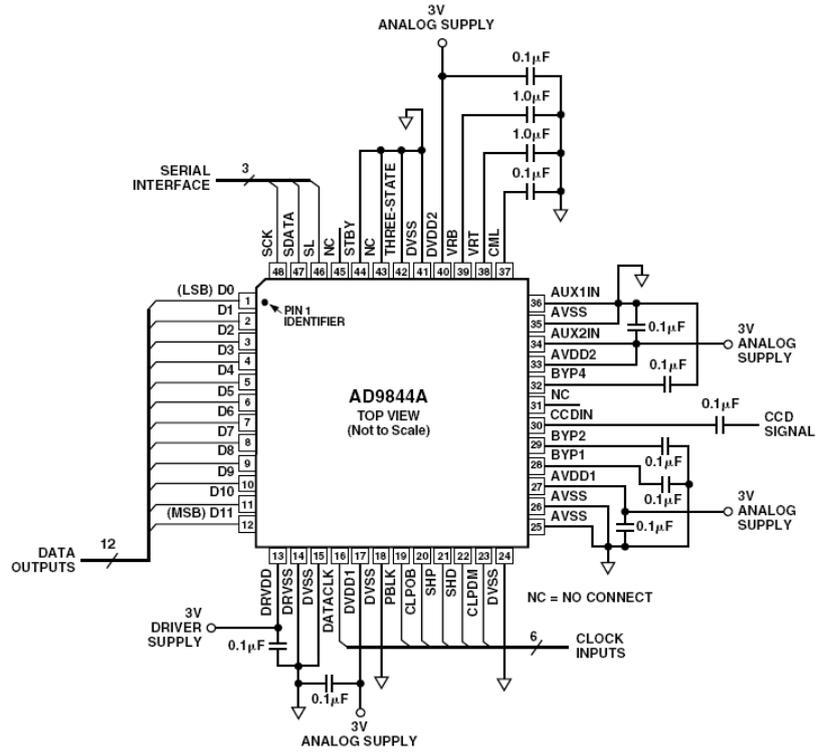


图11 CCD-Mode下 推荐的电路配置

说明:

本手册全文译自ADI公司AD9844A英文手册，版本号：Rev.0

限于本人技术能力、翻译水平，手册之中，错误难免，期待朋友指点，以期共同提高。

期待能够与做视频的朋友共同进步，探索技术实现之有效手段！

联系信箱: ql_smbj@126.com

20090112