

AT45D041 技术说明

特点

- 单一 4.5V - 5.5V 电源
- 串行接口
- 支持页编程操作
 - 单一循环编程（擦除并编程）
 - 2048 页（264 字节/页）主内存
- 具有两个 264 字节 SRAM 数据缓存——允许在对非易失性存储器编程的同时接收数据
- 具有内部编程和控制定时器
- 快速页编程——典型 7 ms
- 页至缓存典型传输时间 80 μ s
- 低功耗
 - 典型工作状态读取电流 15 mA
 - 典型 CMOS 待命状态电流 20 μ A
- 最高时钟频率 10 MHz
- 具有硬件数据保护功能
- 兼容串行外设接口—— Mode 0 和 3
- 兼容 CMOS 和 TTL 输入及输出
- 适应商业和工业温度范围

说明

AT45D041 是单一 5V 供电串行接口 Flash 存储卡，适用于系统内重复编程。它共有 4,325,376 bits 内存，组织为 2048 页，每页 264 字节。在主内存之外，AT45D041 还有两个 SRAM 数据缓存，每个 264 字节。缓存使得主内存的一页正在编程的同时可以接收数据。与用多条地址线和一个并行接口随机访问的传统 Flash 存储器不同，其数据闪存 DataFlash 采用串行接口顺序访问数据。这种简单的串行接口方便了硬件布局，增强了系统灵活性，减小了切换噪声，压缩了封装尺寸和有效引脚数量。此器件是针对要求大容量、低引脚数、低电压和低功耗的许多工商业应用优化的。DataFlash 的典型应用有数字语音存储、图像存储和数据存储。器件工作时钟高达 10 MHz，典型工作状态读取电流损耗为 15 mA。

为了简化系统内再编程，AT45D041 不需要编程的高输入电压。器件在 4.5V 至 5.5V 单一电源下工作，可进行编程和读取操作。

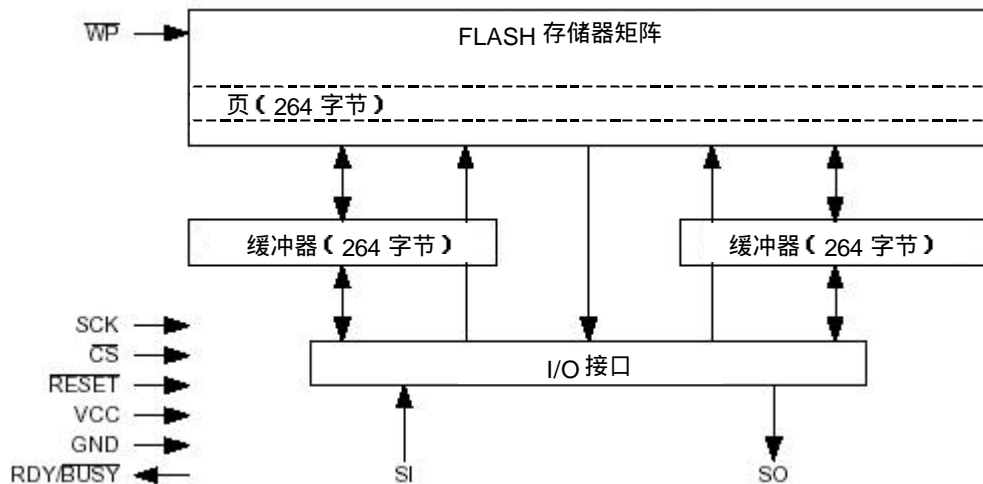
AT45D041 通过片选脚（CS）激活，通过三线接口访问。三线接口包括串行输入（SI）、串行输出（SO）和串行时钟（SCK）。

所有编程循环均为自定时，编程前不需要另外的擦除循环。

引脚定义

引脚名称	功能
CS	片选
SCK	串行时钟
SI	串行输入
SO	串行输出
WP	硬件页写入保护
RESET	片复位
RDY/BUSY	就绪/忙

方框图



器件操作

器件操作受来自主机处理器的指令控制。指令表及其相关的操作码见表 1 和表 2。有效的指令起始于 CS 的下降沿，含 8 bit 操作码和缓存或主内存地址。当 CS 为低电平时，跳变的 SCK 引脚电平控制操作码和缓存或主内存地址通过 SI（串行输入）脚输入。所有的指令、地址和数据传送都是最高位在前。

读取

通过指定相应的操作码，可从主内存读取，也可以通过两个缓存之一读取。

主内存页读取：

通过主内存读取，可直接读取 2048 页中一页的数据，绕过数据缓存，且保持数据缓存中内容不变。页读取的指令是，8 bit 操作码 52H，后跟 24 bit 地址，以及 32 bit 任意内容。在 AT45D041 中，地址的首 4 bit 是为更大容量的器件保留的（见第 8 页的注），紧接的 11 bit 地址（PA10-PA0）是页地址，之后的 9 bit 地址（BA8-BA0）是页内的起始字节地址。24 bit 之后的 32 bit 无关内容用于初始化读取操作。32 bit 无关字节之后，SCK 上的脉冲将使串行数据输出到 SO（串行输出）引脚上。在载入操作码、地址和读取数据期间，CS 引脚必须保持低电平。当主内存页读取中达到主内存页尾时，期间将继续读取同一页的起始部分。在 CS 引脚上由低至高的跳变将使读操作终止，并使 SO 引脚处于高阻态。

缓存读取：

数据可以通过两个缓存之一来读取。使用不同的操作码可指定使用哪个缓存。操作码 54H 是从缓存 1 读取数据，而操作码 56H 是从缓存 2 读取数据。在缓存读取指令中，8 bit 操作码之后，有 15 bit 任意数据，9 bit 地址以及 8 bit 任意数据。因为缓存大小是 264 字节，需要 9 bit 地址（BFA8-BFA0）来指定从缓存读取的首字节。

在载入操作码、地址和无关 bit 以及读取数据时，CS 引脚必须保持低电平。当达到缓存尾时，器件将继续读回缓存器是部分的数据。在 CS 引脚上由低至高的跳变将使读操作终止，并使 SO 引脚处于高阻态。

主内存至缓存转存：

可以将一页数据从主内存转存到缓存 1 或缓存 2。8 bit 操作码 53H 为缓存 1，55H 为缓存 2；其后为 4 bit 保留位、11 bit 地址（PA10-PA0，指定主内存中要转存的页）和 9 bit 任意数据。

在向 SCK 引脚输入时钟以通过 SI 引脚载入操作码、地址和无关位的同时，必须保持 CS 引脚为低电平。当 CS 引脚从低至高跳变时，主内存数据页向缓存的转存将开始。在数据页转存期间（tXFR），

可以读取状态寄存器以确定转存是否完成。

主内存与缓存比较：

主内存中的数据页可与缓存 1 或缓存 2 中的数据比较。8 bit 操作码 60H 为缓存 1，61H 为缓存 2；其后为 24 bit 地址，由 4 bit 保留位、11 bit 地址（PA10-PA0，指定主内存中要比较的页）和 9 bit 任意数据组成。操作码和地址位的载入同上。在向 SCK 引脚输入时钟以通过 SI 引脚载入操作码、地址和无关位的同时，必须保持 CS 引脚为低电平。当 CS 引脚从低至高跳变时，所选主内存页的 264 字节数据将与缓存 1 或缓存 2 中的 264 字节数据比较。此期间（tXFR），状态寄存器将指示器件是否忙。当比较操作完成时，状态寄存器的 bit 6 被更新位比较结果。

编程

写缓存：

可以将数据从 SI 送入缓存 1 或缓存 2。数据载入缓存的指令为，8 bit 操作码，84H 为缓存 1 或 87H 为缓存 2；后续 15 bit 无关数据及 9 bit 地址（BFA8-BFA0）。9 bit 地址指定缓存中要写入的首字节。输入数据跟随在地址之后。如果到达数据缓存的终端，器件将返回到缓存的起始端。数据连续载入，直至 CS 引脚上检测到由低至高的跳变。

带内置擦除的缓存至主内存页编程：

写入缓存 1 或缓存 2 的数据可以写至主内存。8 bit 操作码，83H 为缓存 1 或 86H 为缓存 2，后跟 4 bit 保留位、11 bit 地址（PA10-PA0，指定主内存中要写入的页）和 9 bit 任意数据。当 CS 引脚上发生由低至高的跳变时，器件将首先擦除主内存中所选的页，使其为全“1”，然后将存储在缓存中的数据写入主内存中的指定页。页的擦除和写入均内部自定时，并发生在最大时间 tEP 之内。在此时间，状态寄存器将指示器件忙。

无内置擦除的缓存至主内存页编程：

主内存中预先擦除的页可写入缓存 1 或缓存 2 的内容。8 bit 操作码，88H 为缓存 1 或 89H 为缓存 2，后跟 4 bit 保留位、11 bit 地址（PA10-PA0，指定主内存中要写入的页）和 9 bit 任意数据。当 CS 引脚上发生由低至高的跳变时，器件将把缓存中存储的数据写入主内存中的指定页。必要条件是，主内存中要写入的页预先已写为全“1”（擦除状态）。页的写入是内部自定时的，并发生在最大时间 tP 之内。在此时间，状态寄存器将指示器件忙。

主内存页编程：

此操作是缓存写入和带内置擦除的缓存至主内存页编程操作的组合。数据首先由 SI 引脚输入缓存 1 或缓存 2，然后写入主内存指定页。8 bit 操作码，82H 为缓存 1 或 85H 为缓存 2，后跟 4 bit 保留位和 20 bit 地址。最高 11 bit 地址（PA10-PA0）选择主内存中要写入数据的页，后 9 bit 地址（BFA8-BFA0）选择缓存中要写的首字节。在所有的地址输入后，器件将从 SI 引脚取数据，存入一个缓存。如果达到缓存终端，器件将返回缓存始端。当 CS 引脚上发生由低至高的跳变时，器件将首先擦除主内存中所选的页，使其为全“1”，然后将存储在缓存中的数据写入主内存中的指定页。页的擦除和写入均内部自定时，并发生在最大时间 tEP 之内。在此时间，状态寄存器将指示器件忙。

自动页重写：

此模式仅当以随机方式修改一页内的多个字节或多页数据时才需要。此模式是两种操作的组合：主内存页至缓存转存和带内置擦除的缓存至主内存页编程。一页数据首先从主内存转存至缓存 1 或缓存 2，然后同样的数据（从缓存 1 或缓存 2）写回主内存中的原始页。8 位操作码，58H 为缓存 1 或 59 为缓存 2，后跟 4 个保留位，指明主内存中所重写页的 11 个地址位（PA10-PA0），9 个附加的无关位。

当 CS 引脚出现由低至高的跳变时，器件将首先将数据从主内存页转存到缓存，然后将数据从缓存写回主内存中原来的页。操作是自定时的，并在最大时间 tEP 内完成。在此时间内，状态寄存器将指示器件忙。

如果主内存是逐页连续编程的，则推荐图 1 所示的编程算法。否则，如果主内存中一页内的多字节或多页随机编程，推荐图 2 中所示的算法。

状态寄存器：

状态寄存器可用于确定器件的就绪/忙状态、主内存页与缓存比较运算的结果、器件的集成度。要读状态寄存器，必须向器件加载操作码 57H。当操作码的最后一位送入后，状态寄存器的 8 位，最高位（bit 7）在前，将在后续的 8 个时钟节拍中在 SO 引脚上送出。状态寄存器的高 5 位包含器件信息，剩余的低位为未来用途保留，将包含未经定义的值。

在状态寄存器的 bit 0 送出后，此序列将不断重复（只要 CS 保持低且 SCK 保持跳变），仍然高位在前。状态寄存器中的数据是持续更新的，因此重复序列将输出新的数据。

就绪/忙状态用状态寄存器的 bit 7 指示。

如果 bit 7 为 1，则器件不忙，准备好接收下一个命令。如果 bit 7 为 0，则器件处于忙状态。用户可以通过一旦输出了 bit 7 就停止 SCK 的方法连续截取状态寄存器的 bit 7。

bit 7 的状态将在 SO 引脚上连续输出，一旦器件不再忙，SO 的状态将由 0 变为 1。有 6 种操作能够使器件处于忙状态：主内存页转存至缓存、主内存页与缓存比较、带内置擦除的缓存至主内存页编程、不带内置擦除的缓存至主内存页编程、主内存页编程和自动页重写。

主内存页与缓存比较的当前结果由状态寄存器的 bit 6 指示。如果 bit 6 为 0，则主内存页中的数据与缓存中的数据相符。如果 bit 6 为 1，则主内存中的数据至少有 1 位与缓存中的数据不符。

器件的集成度由状态寄存器的 bits 5, 4 和 3 指示。对于 AT45D041，此 3 位是 0、1 和 1。这 3 个二进制位的十进制值并不等于器件的集成度，这 3 位代表了与串行 DataFlash 不同集成度相关的组合码，共有 8 种不同的集成度结构。

状态寄存器格式

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RDY/BUSY	COMP	0	1	1	X	X	X

读/编程模式摘要

上述模式可以分为两组——利用闪存矩阵的模式（组 A）和不利用闪存矩阵的模式（组 B）。

组 A 模式包括：

1. 主内存页读取
2. 主内存页至缓存 1（或 2）转存
3. 主内存页与缓存 1（或 2）比较
4. 带内置擦除的缓存 1（或 2）至主内存页编程
5. 不带内置擦除的缓存 1（或 2）至主内存页编程
6. 主内存页编程
7. 自动页重写

组 B 模式包括：

1. 缓存 1（或 2）读
2. 缓存 1（或 2）写
3. 状态读

如果一个组 A 模式正在进行（没有完全结束），则另一个组 A 模式就不能启动。然而，在组 A 模式进行期间组 B 模式可以启动。

这使得串行 DataFlash 具有实际提供连续数据流的能力。当数据正在从缓存 1 向主内存写入时，可以向缓存 2 载入数据（反之亦然）。详见应用手册 AN-4（《使用 Atme 的串行 DataFlash》）。

硬件页写入保护:

如果 WP 引脚为低电平, 则主内存的前 256 页不能编程。对首 256 页编程的唯一途径就是首先将保护引脚拉到高电平, 再使用前面所述的编程命令。

片复位:

片复位引脚 (**RESET**) 上的低电平状态将中止进行中的操作, 并使内部状态机复位至空闲状态。只要 RESET 引脚上的低电平存在, 期间就一直保持复位状态。只要 RESET 引脚返回高电平, 就可以恢复正常操作。

器件还集成了内部的上电复位电路。因此, 在上电过程中对 RESET 引脚没有限制。

就绪/忙:

此开漏输出引脚, 当器件忙于内部自定时操作时, 将被拉到低电平。此引脚正常状态为高电平 (通过一个外接上拉电阻), 在编程操作、比较操作和页至缓存转存期间被拉低。

忙状态表明, 闪存矩阵和缓存之一不能访问; 对另一个缓存的读写仍可进行。

上电/复位状态

当器件上电时, 或从复位状态恢复时, 器件将缺省进入 SPI 模式 3。另外, SO 引脚将处于高阻状态, 要求 CS 引脚上有由高至低的跳变才能启动有效指令。SPI 模式将通过对非活动时钟状态的采样在 CS 的每一个下降沿被自动选择。

绝对最大额定值*

工作温度.....	-55°C 至 +125°C
储存温度.....	-65°C 至 +150°C
所有输入电压 (包括 NC 引脚)	
对地.....	-0.6V to +6.25V
所有输出电压	
对地.....	-0.6V to VCC + 0.6V

*注: 超过上列绝对最大额定值的应力可能对器件造成永久性损坏。此仅为应力额定值, 并非意味着器件可以在这些值或超过这些值的任何条件下进行本说明中操作章节所述的功能性操作。长期处于绝对最大额定值条件下会影响器件可靠性。

直流和交流工作范围

		AT45D041
工作温度 (壳)	商业级	0°C ~ 70°C
	工业级	-40°C ~ 85°C
VCC 电源(1)		4.5V ~ 5.5V

注 1: 在加电且 Vcc 引脚达到规定的最小规范值之后, 系统将等待 20 ms 才启动操作模式。

直流特性

符号	参数	条件	最小	典型	最大	单位
I_{SB}	待机电流	CS, RESET, WP = VIH, 所有输入为 CMOS 电平		20	40	μA
I_{CC1}	运行电流 读操作	$f = 10 \text{ MHz}$; $I_{OUT} = 0 \text{ mA}$; $V_{CC} = 5.5V$		15	25	mA
I_{CC2}	运行电流 编程/擦除操作	$V_{CC} = 5.5V$		25	50	mA
I_{LI}	输入负载电流	$V_{IN} = \text{CMOS 电平}$			10	μA
I_{LO}	输出泄漏电流	$V_{I/O} = \text{CMOS 电平}$			10	μA
V_{IL}	输入低电压				0.8	V
V_{IH}	输入高电压		2.0			V
V_{OL}	输出低电压	$I_{OL} = 2.1 \text{ mA}$			0.45	V
V_{OH1}	输出高电压	$I_{OH} = -400 \mu A$	2.4			V
V_{OH2}	输出高电压	$I_{OH} = -100 \mu A$; $V_{CC} = 4.5V$	4.2			V

交流特性

符号	参数	最小	典型	最大	单位
f_{SCK}	SCK 频率			10	MHz
t_{WH}	SCK 高时间	40			ns
t_{WL}	SCK 低时间	40			ns
t_{CS}	最小 CS 高时间	250			ns
t_{CSS}	CS 建立时间	250			ns
t_{CSH}	CS 保持时间	250			ns
t_{CSB}	CS 高到 RDY/BUSY 低			200	ns
t_{SU}	数据输入建立时间	10			ns
t_H	数据输入保持时间	25			ns
t_{HO}	输出保持时间	0			ns
t_{DIS}	输出禁止时间			75	ns
t_V	输出有效时间			80	ns
t_{XFR}	页至缓存转存/比较时间		80	150	μs
t_{EP}	页擦除和编程时间		10	20	ms
t_P	页编程时间		7	14	ms
t_{RST}	复位脉冲宽度	10			μs
t_{REC}	复位恢复时间			1	μs

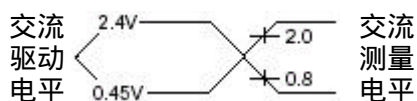
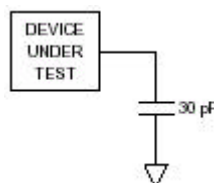
输入测试波形和测量电平

 $t_R, t_F < 20 \text{ ns (10\% to 90\%)}$
输出测试负载




表 1.

主内存页 读取	缓存 1 读取	缓存 2 读取	主内存页 至缓存 1 转存	主内存页 至缓存 2 转存	主内存页 对缓存 1 比较	主内存页 对缓存 2 比较	缓存 1 写入	缓存 2 写入
操作码								
52H	54H	56H	53H	55H	60H	61H	84H	87H
0	0	0	0	0	0	0	1	1
1	1	1	1	1	1	1	0	0
0	0	0	0	0	1	1	0	0
1	1	1	1	1	0	0	0	0
0	0	0	0	0	0	0	0	0
0	1	1	0	1	0	0	1	1
1	0	1	1	0	0	0	0	1
0	0	0	1	1	0	1	0	1
r	X	X	r	r	r	r	X	X
r	X	X	r	r	r	r	X	X
r	X	X	r	r	r	r	X	X
r	X	X	r	r	r	r	X	X
PA10	X	X	PA10	PA10	PA10	PA10	X	X
PA9	X	X	PA9	PA9	PA9	PA9	X	X
PA8	X	X	PA8	PA8	PA8	PA8	X	X
PA7	X	X	PA7	PA7	PA7	PA7	X	X
PA6	X	X	PA6	PA6	PA6	PA6	X	X
PA5	X	X	PA5	PA5	PA5	PA5	X	X
PA4	X	X	PA4	PA4	PA4	PA4	X	X
PA3	X	X	PA3	PA3	PA3	PA3	X	X
PA2	X	X	PA2	PA2	PA2	PA2	X	X
PA1	X	X	PA1	PA1	PA1	PA1	X	X
PA0	X	X	PA0	PA0	PA0	PA0	X	X
BA8	BFA8	BFA8	X	X	X	X	BFA8	BFA8
BA7	BFA7	BFA7	X	X	X	X	BFA7	BFA7
BA6	BFA6	BFA6	X	X	X	X	BFA6	BFA6
BA5	BFA5	BFA5	X	X	X	X	BFA5	BFA5
BA4	BFA4	BFA4	X	X	X	X	BFA4	BFA4
BA3	BFA3	BFA3	X	X	X	X	BFA3	BFA3
BA2	BFA2	BFA2	X	X	X	X	BFA2	BFA2
BA1	BFA1	BFA1	X	X	X	X	BFA1	BFA1
BA0	BFA0	BFA0	X	X	X	X	BFA0	BFA0
X	X	X						
X	X	X						
X	X	X						
X	X	X						
X	X	X						
X	X	X						
X	X	X						
X	X	X						
X	X	X						
•								
•								
•								
X (64 bit)								

X (无关)
r (保留)



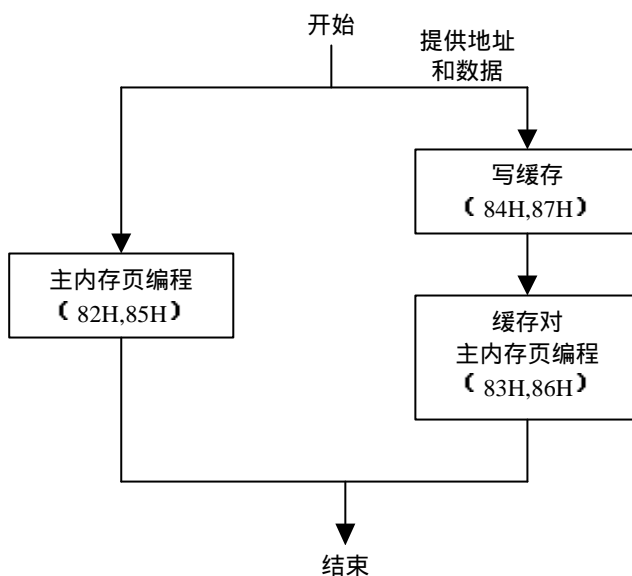
表 2.

缓存 1 对 主内存页 编程有 内置擦除	缓存 2 对 主内存页 编程有 内置擦除	缓存 1 对 主内存页 编程无 内置擦除	缓存 2 对 主内存页 编程无 内置擦除	主内存页 编程 通过 缓存 1	主内存页 编程 通过 缓存 2	自动 页重写 通过 缓存 1	自动 页重写 通过 缓存 2	状态 寄存器
操作码								
83H	86H	88H	89H	82H	85H	58H	59H	57H
1	1	1	1	1	1	0	0	0
0	0	0	0	0	0	1	1	1
0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	1	1	1
0	0	1	1	0	0	1	1	0
0	1	0	0	0	1	0	0	1
1	1	0	0	1	0	0	0	1
1	0	0	1	0	1	0	1	1
r	r	r	r	r	r	r	r	
r	r	r	r	r	r	r	r	
r	r	r	r	r	r	r	r	
r	r	r	r	r	r	r	r	
PA10	PA10	PA10	PA10	PA10	PA10	PA10	PA10	
PA9	PA9	PA9	PA9	PA9	PA9	PA9	PA9	
PA8	PA8	PA8	PA8	PA8	PA8	PA8	PA8	
PA7	PA7	PA7	PA7	PA7	PA7	PA7	PA7	
PA6	PA6	PA6	PA6	PA6	PA6	PA6	PA6	
PA5	PA5	PA5	PA5	PA5	PA5	PA5	PA5	
PA4	PA4	PA4	PA4	PA4	PA4	PA4	PA4	
PA3	PA3	PA3	PA3	PA3	PA3	PA3	PA3	
PA2	PA2	PA2	PA2	PA2	PA2	PA2	PA2	
PA1	PA1	PA1	PA1	PA1	PA1	PA1	PA1	
PA0	PA0	PA0	PA0	PA0	PA0	PA0	PA0	
X	X	X	X	BA8	BA8	X	X	
X	X	X	X	BA7	BA7	X	X	
X	X	X	X	BA6	BA6	X	X	
X	X	X	X	BA5	BA5	X	X	
X	X	X	X	BA4	BA4	X	X	
X	X	X	X	BA3	BA3	X	X	
X	X	X	X	BA2	BA2	X	X	
X	X	X	X	BA1	BA1	X	X	
X	X	X	X	BA0	BA0	X	X	

X (无关)

r (保留)

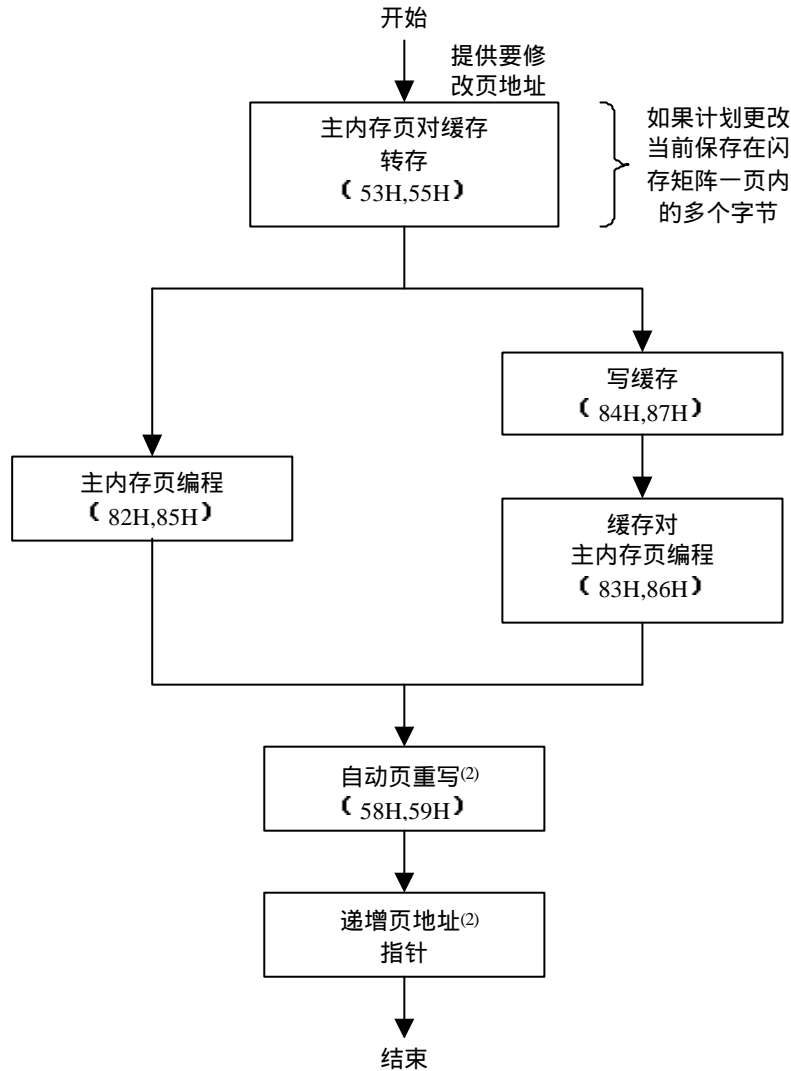
图 1. 整块内存连续编程或重新编程



注：

1. 此类算法用于对整块矩阵连续编程，逐页填充矩阵的应用。
2. 可以用主内存页编程操作或缓存写加上缓存对主内存页编程操作，来写一页。
3. 以上所示的算法是对一页的编程。算法将在整块矩阵内对每一页连续重复。

图 2. 随机修改数据的算法



注：

1. 为了保证数据的完整性，在每 10,000 次累积擦除/编程操作中 DataFlash 矩阵的每一页至少要更新/重写一次。
2. 必须维护一个页地址指针，以指明要重写的页。自动重写命令必须使用页地址指针所指定的地址。
3. 可以用其他算法重写部分闪存矩阵。低功耗应用可以选择等待累积了 10,000 次页擦除/编程操作再重写所有闪存页。详见应用手册《使用 Atmel 的串行 DataFlash》。