

2线数字输入RTC，带有闹钟功能

DS1375

概述

DS1375数字实时时钟(RTC)是一款低功耗时钟/日历，无需外部晶体。该器件通过一个数字时钟输入引脚工作在以下四种频率之一：32.768kHz、8.192kHz、60Hz或50Hz。器件提供秒、分、小时、星期、日、月、年等信息。对于小于31天的月份，自动调整月末日期，包括闰年修正。时钟格式可配置为24小时制式或带AM/PM指示的12小时制式。器件提供两个可编程的星期/日期定时闹钟、一路可编程方波输出以及16字节SRAM。地址和数据通过2线双向总线串行传输。

特性

- ◆ RTC提供有效期至2100年的秒、分、小时、星期、日、月、年信息以及闰年补偿
- ◆ 两个可编程闹钟
- ◆ 可编程方波输出
- ◆ 运行于32.768kHz、8.192kHz、60Hz或50Hz数字时钟信号
- ◆ 16字节SRAM
- ◆ 快速(400kHz) 2线接口
- ◆ 1.7V至5.5V工作电压

应用

DS32kHz TCXO的RTC补充产品

电表

电器产品

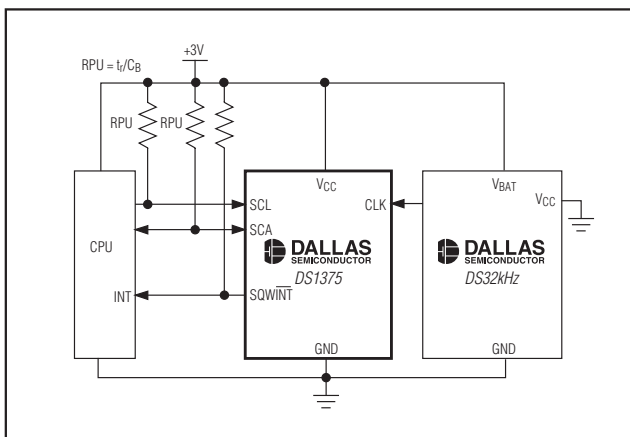
消费类电子

汽车

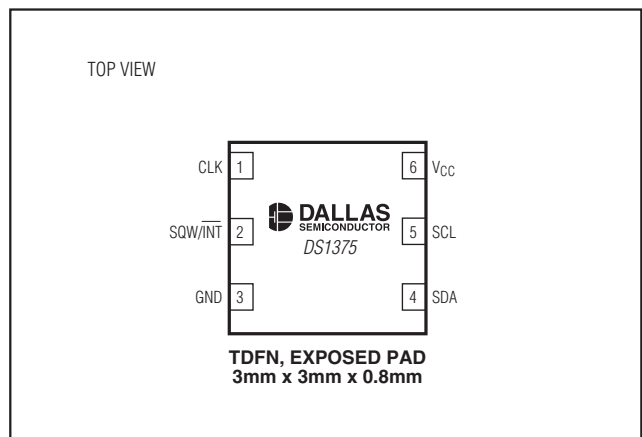
订购信息

PART	TEMP RANGE	PIN-PACKAGE	TOP MARK
DS1375	-40°C to +85°C	6 TDFN	DS1375

典型工作电路



引脚配置



2线数字输入RTC，带有闹钟功能

DS1375

ABSOLUTE MAXIMUM RATINGS

Voltage Range on V _{CC} Pin Relative to Ground.....	-0.3V to +6.0V	Storage Temperature Range	-55°C to +125°C
Voltage Range on SDA, SCL, and WDS Relative to Ground	-0.3V to V _{CC} + 0.3V	Soldering Temperature	See IPC/JEDEC J-STD-020A Specification
Operating Temperature Range	-40°C to +85°C		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

RECOMMENDED DC OPERATING CONDITIONS

(V_{CC} = +1.7V to +5.5V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at V_{CC} = 3.3V, T_A = +25°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V _{CC}	(Note 2)	1.7	3.3	5.5	V
Timekeeping Voltage	V _{TK}	(Note 2)	1.3		5.5	V
Input Logic 1 (SDA, SCL)	V _{IH}	(Note 2)	0.7 x V _{CC}	V _{CC} + 0.3		V
Supply Voltage, Pullup (SQW/ $\overline{\text{INT}}$, CLK)	V _{PULLUP}	(Notes 2, 3)			5.5	V
Input Logic 0	V _{IL}	(Notes 2, 4)	-0.3		+0.3 V _{CC}	V
Input Leakage (SCL, CLK)	I _{LI}		-1		+1	μA
I/O Leakage (SDA, SQW/ $\overline{\text{INT}}$)	I _{LO}		-1		+1	μA
SDA Logic 0 Output	I _{OLSDA}	V _{CC} > 2V; V _{OL} = 0.4V			3.0	mA
		V _{CC} < 2V; V _{OL} = 0.2 x V _{CC}				
SQW/ $\overline{\text{INT}}$ Logic 0 Output	I _{OLSQW}	V _{CC} > 2V; V _{OL} = 0.4V			3.0	mA
		1.7V < V _{CC} < 2V; V _{OL} = 0.2 x V _{CC}				
		1.3V < V _{CC} < 1.7V; V _{OL} = 0.2 x V _{CC}			250	μA
Active Supply Current	I _{CCA}	(Notes 5, 6)		33	150	μA
Standby Current	I _{CCS}	(Notes 6, 7)		150	500	nA

- Note 1:** Limits at -40°C are guaranteed by design and not production tested.
- Note 2:** All voltages are referenced to ground.
- Note 3:** For the CLK pin, input voltages above V_{CC} + 0.3V cause current to flow into the device. The input current must not exceed the current drawn by the circuit that is connected to V_{CC}. Otherwise, current flows out of the DS1375, raising the voltage level on the V_{CC} bus.
- Note 4:** V_{IL MIN} on the CLK pin can exceed -0.3V as long as the current is limited to less than 1mA.
- Note 5:** I_{CCA}—SCL clocking at max frequency = 400kHz.
- Note 6:** CLK pin running at 32,768Hz, rise and fall times at 10ns or less.
- Note 7:** Specified with 2-wire bus inactive.

2线数字输入RTC，带有闹钟功能

DS1375

AC ELECTRICAL CHARACTERISTICS

(VCC = VCCMIN to VCCMAX, TA = -40°C to +85°C, unless otherwise noted.) (Note 1, Figure 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCL Clock Frequency	f _{SCL}	Fast mode	100		400	kHz
		Standard mode	0		100	
Bus Free Time Between STOP and START Conditions	t _{BUF}	Fast mode	1.3			μs
		Standard mode	4.7			
Hold Time (Repeated) START Condition (Note 8)	t _{HD:STA}	Fast mode	0.6			μs
		Standard mode	4.0			
Low Period of SCL Clock	t _{LOW}	Fast mode	1.3			μs
		Standard mode	4.7			
High Period of SCL Clock	t _{HIGH}	Fast mode	0.6			μs
		Standard mode	4.0			
Data Hold Time (Notes 9, 10)	t _{HD:DAT}	Fast mode	0		0.9	μs
		Standard mode	0		0.9	
Data Setup Time (Note 11)	t _{SU:DAT}	Fast mode	100			ns
		Standard mode	250			
Start Setup Time	t _{SU:STA}	Fast mode	0.6			μs
		Standard mode	4.7			
Rise Time of Both SDA and SCL Signals (Note 12)	t _R	Fast mode	20 + 0.1C _B		300	ns
		Standard mode			1000	
Fall Time of Both SDA and SCL Signals (Note 12)	t _F	Fast mode	20 + 0.1C _B		300	ns
		Standard mode			300	
Setup Time for STOP Condition	t _{SU:STO}	Fast mode	0.6			μs
		Standard mode	4.7			
Capacitive Load for Each Bus Line (Note 12)	C _B				400	pF
Pulse Width of Spikes that Must be Suppressed by the Input Filter	t _{SP}	Fast mode		30		ns

Note 8: After this period, the first clock pulse is generated.

Note 9: A device must internally provide a hold time of at least 300ns for the SDA signal (see the V_{IHMIN} of the SCL signal) to bridge the undefined region of the falling edge of SCL.

Note 10: The maximum t_{HD:DAT} is only met if the device does not stretch the low period (t_{LOW}) of the SCL signal.

Note 11: A fast-mode device can be used in a standard-mode system, but the requirement t_{SU:DAT} ≥ 250ns must then be met. This is automatically the case if the device does not stretch the low period of the SCL signal. If such a device does stretch the LOW period of the SCL signal, it must output the next data bit to the SDA line t_R MAX + t_{SU:DAT} = 1000 + 250 = 1250ns before the SCL line is released.

Note 12: C_B—total capacitance of one bus line in pF.

2线数字输入RTC，带有闹钟功能

DS1375

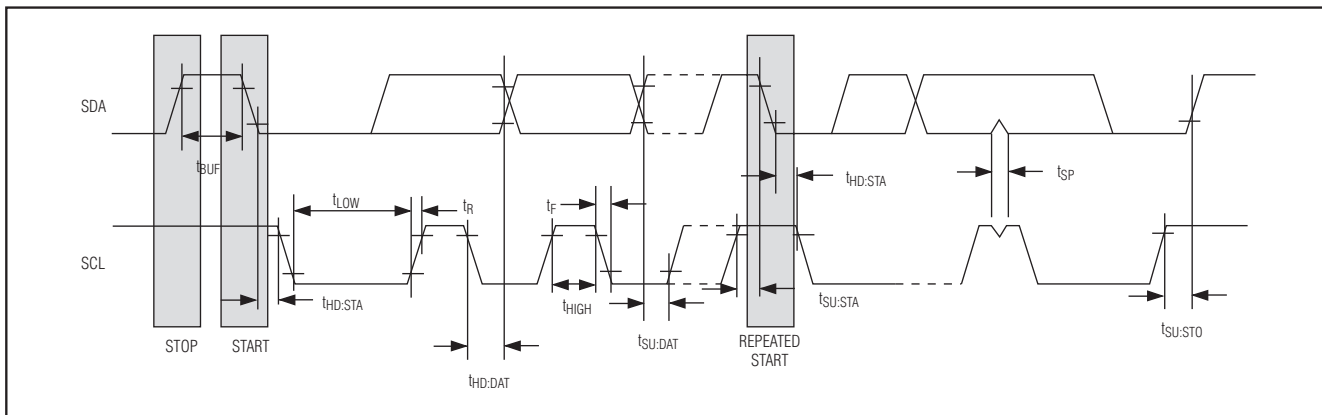


图1. 2线串行总线的数据传输

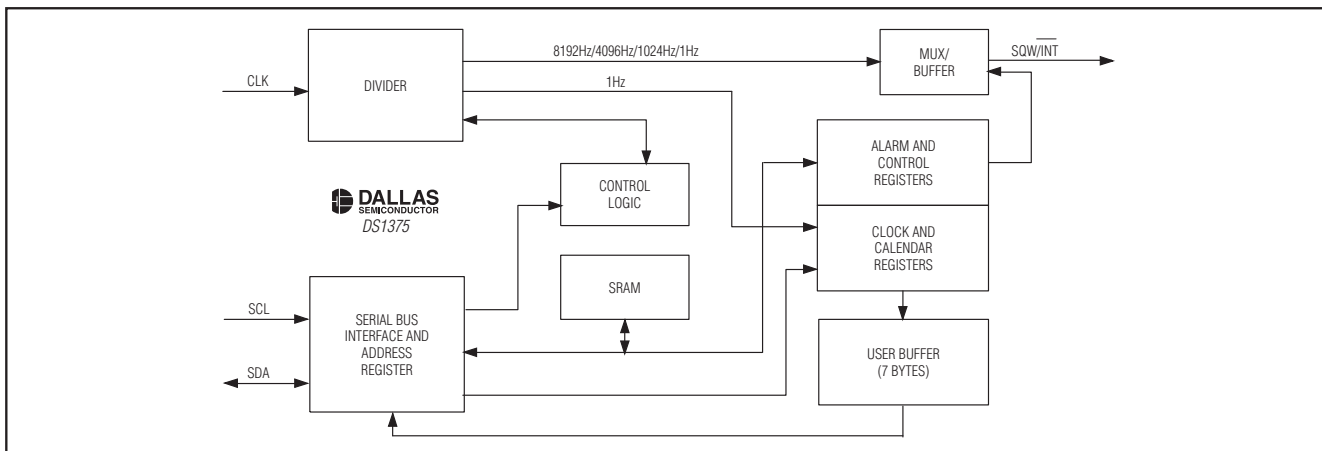
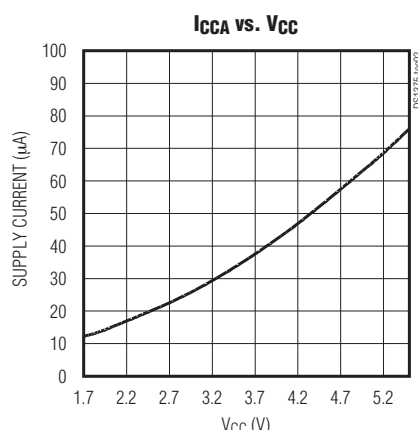
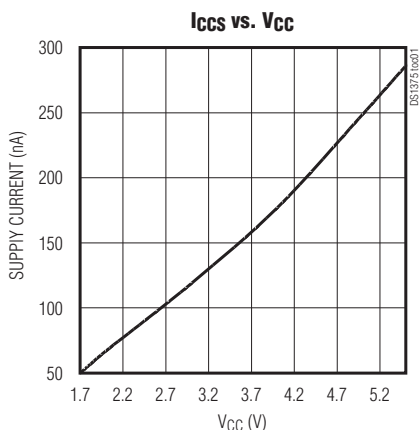


图2. 功能框图

典型工作特性

($V_{CC} = +3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)

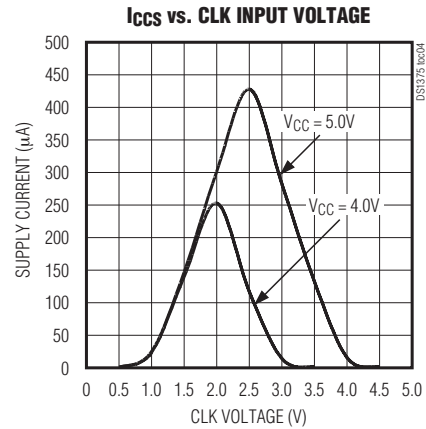
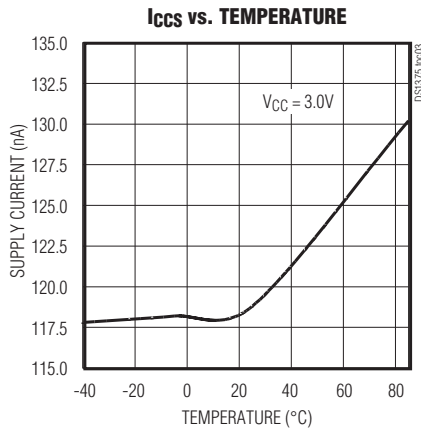


2线数字输入RTC，带有闹钟功能

DS1375

典型工作特性(续)

($V_{CC} = +3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)



引脚说明

引脚	名称	功能
1	CLK	数字时钟输入，该引脚输入必须为32,768Hz、8192Hz、60Hz或50Hz的方波信号，占空比为45%至55%。
2	SQW/INT	方波/中断输出，该漏极开路输出引脚需要外接上拉电阻。
3	GND	地。
4	SDA	串行数据输入/输出。SDA为2线串口的数据输入/输出，该漏极开路引脚需要外接上拉电阻。
5	SCL	串行时钟输入。SCL为2线串口的时钟输入，用于同步串口的数据传输。
6	V _{CC}	直流电源，主电源输入。

详细说明

DS1375数字输入RTC是一款低功耗时钟/日历，带有闹钟功能，器件提供两个可编程日历闹钟和一路可编程方波输出，地址和数据通过2线串口总线串行传输。时钟/日历提供秒、分、小时、星期、日、月、年等信息，对于小于31天的月份，自动调整月末日期，包括闰年修正。时钟可采用24小时制式或带AM/PM指示的12小时制式。DS1375需要频率为32,768Hz、8192Hz、60Hz或50Hz的外部时钟源，以实现计时功能。此外还具有16字节SRAM，支持用户存储。

工作原理

DS1375在串行总线上作为从器件工作，通过START条件和器件标识码建立连接，然后传输数据，访问后续的寄存器，直到接收到STOP条件。图2所示功能框图给出了串行RTC的主要组成部分。

地址分配表

表1给出了计时寄存器和SRAM的地址分配表，16字节SRAM的地址为10-1F(十六进制)。在多字节访问过程中，当地址指针到达寄存器空间的末尾(1Fh)时，将返回到地址00h。发送2线START、STOP条件或地址指针递增至地

2线数字输入RTC，带有闹钟功能

DS1375

表1. 计时寄存器和SRAM

ADDRESS	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	FUNCTION	RANGE
00h	0	10 Seconds			Seconds			Seconds	Seconds	00-59
01h	0	10 Minutes			Minutes			Minutes	Minutes	00-59
02h	0	12/24	AM/PM	10 Hours	Hours			Hours	Hours	1-12 + AM/PM 00-23
			10 Hours							
03h	0	0	0	0	0	Day		Day	Day	1-7
04h	0	0	10 Date		Date		Date	Date	Date	00-31
05h	Century	0	0	10 Month	Months			Month/ Century	Month/ Century	01-12 + Century
06h	10 Year				Year			Year	Year	00-99
07h	A1M1	10 Seconds			Seconds			Alarm 1 Seconds	Alarm 1 Seconds	00-59
08h	A1M2	10 Minutes			Minutes			Alarm 1 Minutes	Alarm 1 Minutes	00-59
09h	A1M3	12/24	AM/PM	10 Hours	Hours			Hours	Alarm 1 Hours	1-12 + AM/PM 00-23
			10 Hours							
0Ah	A1M4	DY/DT	—		Day			Alarm 1 Day	Alarm 1 Day	1-7
			10 Date		Date			Alarm 1 Date	Alarm 1 Date	1-31
0Bh	A2M2	10 Minutes			Minutes			Alarm 2 Minutes	Alarm 2 Minutes	00-59
0Ch	A2M3	12/24	AM/PM	10 Hours	Hours			Hours	Alarm 2 Hours	1-12 + AM/PM 00-23
			10 Hours							
0Dh	A2M4	DY/DT	—		Day			Alarm 2 Day	Alarm 2 Day	1-7
			10 Date		Date			Alarm 2 Date	Alarm 2 Date	1-31
0Eh	ECLK	CLKSEL1	CLKSEL0	RS2	RS1	INTCN	A2IE	A1IE	Control	—
0Fh	0	0	0	0	0	0	A2F	A1F	Control/ Status	—
10h-1Fh	B7	B6	B5	B4	B3	B2	B1	B0	SRAM	00-FFh

址00h时，当前的时间会传输至辅助寄存器。在时钟继续运行的同时，可从辅助寄存器中读取时间信息。这样，在读操作期间发生主寄存器更新时，可以避免重新读取寄存器。

注：初次上电时，除非另有说明，否则寄存器的状态未做定义。

时钟和日历

通过读取适当的寄存器字节可以获得时钟和日历信息。表1给出了RTC寄存器的配置说明。通过写入适当的寄存器字节设定或初始化时钟、日历数据。时钟和日历寄存器的内容采用二-十进制编码(BCD)格式。DS1375可以采用12小时或24小时制式。小时寄存器的第6位定义为12或24小时制式选择位。该位为高时，选择12小时制式。在12小时制式下，第5位为AM/PM指示位，逻辑高电平为

PM。在24小时制式下，第5位为二十小时位(20至23小时)。当年寄存器由99溢出至00时，将转换世纪位(月寄存器的第7位)。

星期寄存器在午夜时递增，对应的星期值由用户定义，但该值必须连续(即，如果1等于星期日，那么2等于星期一，依次类推)。不合逻辑的时间和日期输入会导致不确定的操作。

读取或写入时间、日期寄存器时，辅助(用户)寄存器避免内部寄存器更新时可能出现的错误。读取时间和日期寄存器时，用户寄存器在任何START或STOP条件下或寄存器指针返回到零时，保持与内部寄存器同步。时间信息从这些辅助寄存器读取，此时时钟继续保持运行状态。这样在读操作期间发生主寄存器更新时可以避免重新读取寄存器。

2线数字输入RTC，带有闹钟功能

任何时候写秒寄存器时，倒计时链都会复位。在DS1375应答后进行写操作。一旦倒计时链复位，为避免翻转，必须在1秒钟之内写入其余的时间和日期寄存器。倘若时钟输入已经工作，并且使能方波输出，那么1Hz方波输出在秒数据传输完成500ms后转换到高电平。

闹钟

DS1375包含两个星期/日期定时闹钟。闹钟1可通过写入寄存器07h至0Ah进行设置，闹钟2通过写入寄存器0Bh至0Dh设定。可对闹钟进行编程(通过控制寄存器的闹钟使能位和INTCN位)，从而在达到闹钟的设置条件时触发SQW/INT输出。每个星期/日期定时闹钟寄存器的第7位是屏蔽位(表2)。当每个闹钟的屏蔽位均为逻辑0时，闹钟只有在计时寄存器的数值与存储于星期/日期定时闹钟寄存器的数值吻合时启动闹钟。闹钟也可以设置成每秒、分、时、星期或日期重复开启。表2给出了可能的设置，如果不按照表中配置进行设置，可能导致不合逻辑的操作。

DY/DT位(星期/日期定时闹钟寄存器的第6位)用于控制存储在寄存器第0位至第5位的闹钟值代表星期还是月份中的日期。如果DY/DT设为逻辑0，闹钟将按照月份中的日期开启。如果DY/DT设为逻辑1，闹钟在按照星期开启。

当RTC寄存器的数值与闹钟寄存器的设定值一致时，相应的闹钟标志位A1F或A2F置为逻辑1。如果对应的闹钟中断使能，A1IE或A2IE为逻辑1，并且INTCN位设定为逻辑1，闹钟条件将触发SQW/INT信号。在时间和日期寄存器每秒更新时都会检测时间匹配条件。

特殊功能寄存器

DS1375具有两个附加寄存器(控制和状态)，可以控制RTC、闹钟和方波输出。

表2. 闹钟屏蔽位

DY/DT	ALARM 1 REGISTER MASK BITS (BIT 7)				ALARM RATE
	A1M4	A1M3	A1M2	A1M1	
X	1	1	1	1	Alarm once per second
X	1	1	1	0	Alarm when seconds match
X	1	1	0	0	Alarm when minutes and seconds match
X	1	0	0	0	Alarm when hours, minutes, and seconds match
0	0	0	0	0	Alarm when date, hours, minutes, and seconds match
1	0	0	0	0	Alarm when day, hours, minutes, and seconds match

DY/DT	ALARM 2 REGISTER MASK BITS (BIT 7)			ALARM RATE
	A2M4	A2M3	A2M2	
X	1	1	1	Alarm once per minute (00 seconds of every min)
X	1	1	0	Alarm when minutes match
X	1	0	0	Alarm when hours and minutes match
0	0	0	0	Alarm when date, hours, and minutes match
1	0	0	0	Alarm when day, hours, and minutes match

2线数字输入RTC，带有闹钟功能

DS1375

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ECLK	CLKSEL1	CLKSEL0	RS2	RS1	INTCN	A2IE	A1IE

控制寄存器(0Eh)

第7位：使能时钟(ECLK)。ECLK设定为逻辑1时，CLK输入引脚使能，为内部分频器链提供时钟，启动计时寄存器。ECLK设定为逻辑0时，分频器链复位，时间停止递增。为使DS1375的时间与参考时钟同步，先将ECLK位写为0，然后写入时间值，最后再将ECLK位写为1。这样做可以在按照接口协议写入ECLK位时，时间值同步到CLK引脚输入时钟的一个周期以内。初次上电时，ECLK位置为逻辑1。

第6和第5位：时钟选择位第1位和第0位(CLKSEL1和CLKSEL0)。这两位决定CLK引脚输入哪种时钟频率，从而可以分频得到计时寄存器所需的1Hz参考时钟(表3)。初次上电时，CLKSEL0和CLKSEL1位均置为逻辑0。

第4和第3位：频率选择(RS2和RS1)。使能方波输出，并且CLKSEL0和CLKSEL1位均置为0时，这两位用于控制方波输出的频率。表3给出了可以通过RS位选择的方波频率。初次上电时，这两位均设置为逻辑1(8.192kHz)。如果CLKSEL0或CLKSEL1中任一为逻辑1时，输出1Hz的信号。

第2位：中断控制(INTCN)。该位控制SQW/ $\overline{\text{INT}}$ 信号，INTCN位为逻辑0时，SQW/ $\overline{\text{INT}}$ 引脚输出方波。INTCN位为逻辑1时，若计时寄存器与任一闹钟寄存器相匹配，则会触发SQW/ $\overline{\text{INT}}$ 输出(如果闹钟也使能的话)。匹配时相应的闹钟标志始终处于置位状态，而与INTCN位的状态无关。初次上电时，INTCN位设定为逻辑0。

第1位：闹钟2中断使能(A2IE)。该位设定为逻辑1时，允许状态寄存器中的闹钟2标志位(A2F)触发SQW/ $\overline{\text{INT}}$ 信号(当INTCN = 1时)。当A2IE位设定为逻辑0或者INTCN设定为逻辑0时，A2F位不会触发中断信号。初次上电时，禁止A2IE位(逻辑0)。

第0位：闹钟1中断使能(A1IE)。该位设定为逻辑1时，允许状态寄存器中的闹钟1标志位(A1F)触发SQW/ $\overline{\text{INT}}$ 信号(当INTCN = 1时)。当A1IE位设定为逻辑0或INTCN设定为逻辑0时，A1F位不触发SQW/ $\overline{\text{INT}}$ 信号。初次上电时，禁止A1IE位(逻辑0)。

表3. CLK输入频率和方波输出频率

INTCN	CLKSEL1	CLKSEL0	INPUT FREQUENCY	RS2	RS1	SQUARE-WAVE OUTPUT FREQUENCY
1	X	X	As selected	X	X	N/A (Interrupt)
0	0	0	32,768Hz	0	0	1Hz
0	0	0	32,768Hz	0	1	1.024kHz
0	0	0	32,768Hz	1	0	4.096kHz
0	0	0	32,768Hz	1	1	8.192kHz
0	0	1	8192Hz	X	X	1Hz
0	1	0	60Hz	X	X	1Hz
0	1	1	50Hz	X	X	1Hz

2线数字输入RTC，带有闹钟功能

DS1375

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	0	0	A2F	A1F

状态寄存器(0Fh)

第1位：闹钟2标志(A2F)。闹钟2标志位为逻辑1时表示时间与闹钟2寄存器的数值相吻合。如果A2IE位为逻辑1，并且INTCN位设定为逻辑1，则触发SQW/INT引脚。写入逻辑0时A2F位清零。该位只能写入逻辑0，试图写入逻辑1的操作不会改变原逻辑值。

第0位：闹钟1标志(A1F)。闹钟1标志位为逻辑1时表示时间与闹钟1寄存器的数值相吻合。如果A1IE位为逻辑1，并且INTCN位设定为逻辑1，则触发SQW/INT引脚。写入逻辑0时A1F位清零。该位只能写入逻辑0，试图写入逻辑1的操作不会改变原逻辑值。

2线串行数据总线

DS1375支持双向2线总线和数据传输协议。向总线发送数据的设备定义为发送器，接收数据的设备定义为接收器。控制信息传递的设备称为主设备，受主设备控制的设备称为从设备。总线必须由主设备控制，主设备负责产生串行时钟(SCL)、控制总线的访问、产生START和STOP条件。DS1375在2线总线上作为从设备工作，设备通过漏极开路SDA I/O线以及SCL输入与总线连接。总线规范中定义了标准模式(100kHz最高时钟频率)和快速模式(400kHz最高时钟频率)，DS1375支持这两种工作模式。

总线协议定义如下(图3):

- 只有在总线空闲时才能启动数据传输。
- 在数据传输过程中，当时钟线为高电平时，数据线必须保持稳定。如果在时钟为高电平时数据线电平发生变化，会被认为是控制信号。

相应地，总线条件定义如下：

总线空闲：数据和时钟线均保持高电平。

启动数据传输：时钟线为高电平时，数据线状态由高变低，定义为START条件。

停止数据传输：时钟线为高电平时，数据线状态由低变高，定义为STOP条件。

数据有效：产生START条件后，若在时钟信号为高电平期间数据线保持稳定，则此时数据线状态代表有效数据，线上数据必须在时钟信号为低电平期间改变。每个时钟脉冲传送一位数据。

使用START条件启动每次数据传输，并由STOP条件终止传输。在START与STOP条件之间传输的数据字节数没有限制，仅由主设备决定。信息传输以字节为单位，每个接收器在第9位产生应答。

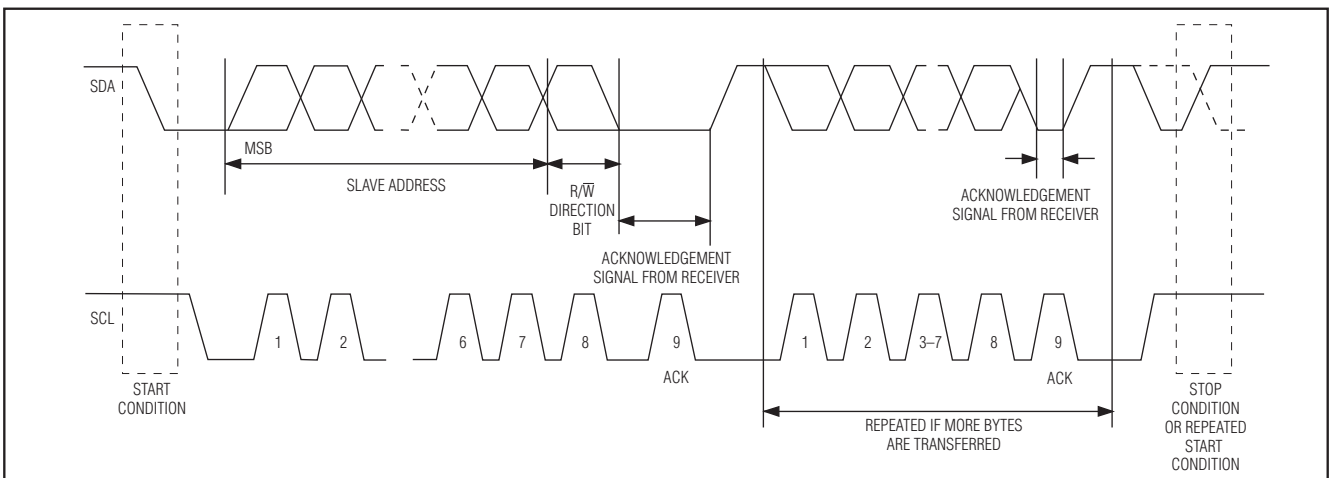


图3. 2线数据传输示意图

2线数字输入RTC，带有闹钟功能

DS1375

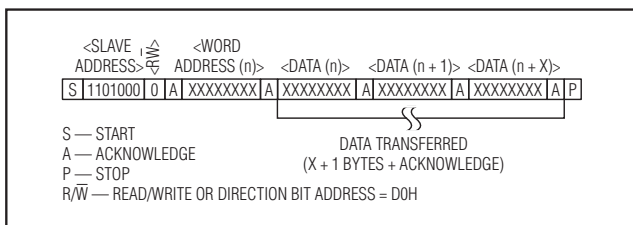


图4. 从设备接收模式(写模式)

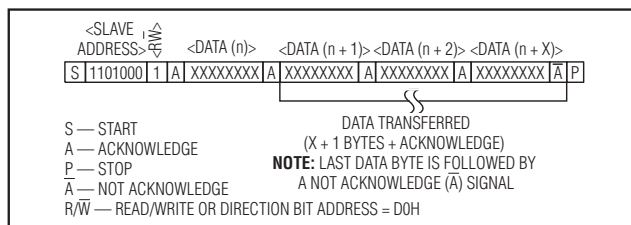


图5. 从设备发送模式(读模式)

应答：被寻址的接收设备必须在收到每个字节后发出应答信号，主设备必须提供额外的时钟脉冲，用于应答位。

应答设备必须在应答时钟脉冲期间拉低SDA线，因此在应答时钟脉冲的高电平期间，SDA线保持稳定的低电平。当然，还须考虑建立与保持时间。如果主设备不对从设备同步输出的最后字节产生应答，表示通知从设备数据传输结束。这种情况下，从设备必须保持数据线为高电平，使主设备能够产生STOP条件。

图4和图5详细说明了2线总线的数据传输，根据R/W位的状态，可完成两类数据传输：

数据从主设备传输到从接收器。主设备发送的第一个字节是从设备地址，随后是若干数据字节。从设备收到每个字节后返回应答位。

数据由从设备传输到主设备接收器。主设备发送第一个字节(从设备地址)，然后从设备返回一个应答位，随后是从设备向主设备发送的若干数据字节。除最后一个字节外，主设备收到每个字节后都要返回应答位。收到最后一个字节后，返回非应答位。

主设备产生所有串行时钟以及START、STOP条件。传输由STOP条件或重复START条件结束。由于重复START条件同时也是下一个串行传输的开始，因此不会释放总线。

DS1375可工作于以下两种模式：

从设备接收模式(写模式)：通过SDA和SCL接收串行数据和时钟。收到每个字节后，发送应答位。START和STOP条件作为串行传输的开始和结束。在收到从设备地址和传输方向位之后，由硬件进行地址识别。主设备产生START条件后，从设备地址字节是收到的第一个字节。从设备地址字节包括7位DS1375地址，即1101000。接着是传输方向位(R/W)，该位为0，表示写操作。在接收并译码从设备地址字节后，DS1375向SDA发出应答信号。DS1375应答从设备地址 + 写控制位后，主设备发送一个字地址至DS1375，用于设定DS1375的寄存器指针，DS1375对该传输做出应答。主设备随后可以不发送数据，也可以发送更多字节的数据，DS1375应答每个收到的字节。每个数据字节传输完成后，寄存器指针自动递增。主设备产生STOP条件时终止数据写操作。

从设备发送模式(读模式)：接收第一个字节及处理方式与从设备接收模式相同。但是，这种模式下，传输方向位指示的传输方向相反。DS1375向SDA发送串行数据，并由SCL输入串行时钟。START和STOP条件作为串行传输的开始和结束，收到从设备地址和传输方向位后，由硬件进行地址识别。主设备产生START条件后，从设备地址字节是收到的首字节。从设备地址字节包括7位DS1375地址，即1101000。接下来是方向位(R/W)，该位为1，表示读操作。在

2线数字输入RTC，带有闹钟功能

接收和译码从设备地址字节后，DS1375向SDA发出应答信号。然后DS1375开始发送数据，从寄存器指针指向的寄存器地址开始。如果在启动读操作之前没有写寄存器指针，所读取的首地址对应于最后一次存储寄存器数据的指针。DS1375必须收到非应答信号以结束读操作。

封装信息

(如需最近的封装外形信息，请查询
www.maxim-ic.com.cn/package_drawings/21-0137D.pdf.)

DS1375

芯片信息

TRANSISTOR COUNT: 11,797
PROCESS: CMOS
SUBSTRATE CONNECTED TO GROUND

散热信息

Theta-JA: 41°C/W
Theta-JC: 2°C/W

Maxim北京办事处

北京 8328信箱 邮政编码 100083
免费电话: 800 810 0310
电话: 010-6211 5199
传真: 010-6211 5299

Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 11

© 2004 Maxim Integrated Products

MAXIM 是 Maxim Integrated Products, Inc. 的注册商标。

项目开发 芯片解密 零件配单 TEL:15013652265 QQ:38537442