
EM78P447N

**8-Bit Microcontroller
with OTP ROM**

**Product
Specification**

Doc. VERSION 1.1

ELAN MICROELECTRONICS CORP.


March 2005



Trademark Acknowledgments:

IBM is a registered trademark and PS/2 is a trademark of IBM.

Windows is a trademark of Microsoft Corporation.

ELAN and ELAN logo  are trademarks of ELAN Microelectronics Corporation.

Copyright © 2005 by ELAN Microelectronics Corporation

All Rights Reserved

Printed in Taiwan

The contents of this specification are subject to change without further notice. ELAN Microelectronics assumes no responsibility concerning the accuracy, adequacy, or completeness of this specification. ELAN Microelectronics makes no commitment to update, or to keep current the information and material contained in this specification. Such information and material may change to conform to each confirmed order.

In no event shall ELAN Microelectronics be made responsible for any claims attributed to errors, omissions, or other inaccuracies in the information or material contained in this specification. ELAN Microelectronics shall not be liable for direct, indirect, special incidental, or consequential damages arising from the use of such information or material.

The software (if any) described in this specification is furnished under a license or nondisclosure agreement, and may be used or copied only in accordance with the terms of such agreement.

ELAN Microelectronics products are not intended for use in life support appliances, devices, or systems. Use of ELAN Microelectronics product in such applications is not supported and is prohibited.

NO PART OF THIS SPECIFICATION MAY BE REPRODUCED OR TRANSMITTED IN ANY FORM OR BY ANY MEANS WITHOUT THE EXPRESSED WRITTEN PERMISSION OF ELAN MICROELECTRONICS.



ELAN MICROELECTRONICS CORPORATION

Headquarters:

No. 12, Innovation Road 1
Hsinchu Science Park
Hsinchu, Taiwan 30077
Tel: +886 3 563-9977
Fax: +886 3 563-9966
<http://www.emc.com.tw>

Hong Kong:

Elan (HK) Microelectronics Corporation, Ltd.
Rm. 1005B, 10/F Empire Centre
68 Mody Road, Tsimshatsui
Kowloon, HONG KONG
Tel: +852 2723-3376
Fax: +852 2723-7780
elanhk@emc.com.hk

USA:

Elan Information Technology Group
1821 Saratoga Ave., Suite 250
Saratoga, CA 95070
USA
Tel: +1 408 366-8223
Fax: +1 408 366-8220

Europe:

Elan Microelectronics Corp. (Europe)
Siewerdstrasse 105
8050 Zurich, SWITZERLAND
Tel: +41 43 299-4060
Fax: +41 43 299-4079
<http://www.elan-europe.com>

Shenzhen:

Elan Microelectronics Shenzhen, Ltd.
SSMEC Bldg., 3F, Gaoxin S. Ave.
Shenzhen Hi-Tech Industrial Park
Shenzhen, Guangdong, CHINA
Tel: +86 755 2601-0565
Fax: +86 755 2601-0500

Shanghai:

Elan Microelectronics Shanghai Corporation, Ltd.
23/Bldg. #115 Lane 572, Bibo Road
Zhangjiang Hi-Tech Park
Shanghai, CHINA
Tel: +86 021 5080-3866
Fax: +86 021 5080-4600

Contents

1	概括描述.....	1
2	功能特点.....	1
3	引脚分配.....	3
4	功能描述.....	7
4.1	操作寄存器.....	7
4.1.1	R0 (间址寄存器).....	7
4.1.2	R1 (定时器 /计数器).....	7
4.1.3	R2 (程序计数器)和堆栈.....	7
4.1.4	R3 (Status Register).....	8
4.1.5	R4 (RAM 选择寄存器).....	9
4.1.6	R5 ~ R7 (Port 5 ~ Port 7).....	11
4.1.7	R8-R1F and R20-3E (通用寄存器).....	11
4.1.8	R3F (中断状态寄存器).....	11
4.2	特殊功能寄存器.....	11
4.2.1	A (累加器).....	11
4.2.2	CONT (控制寄存器).....	11
4.2.3	IOC5 ~ IOC7 (I/O 口控制寄存器).....	12
4.2.4	IOCB (P6 口唤醒控制寄存器).....	12
4.2.5	IOCE (WDT 控制寄存器).....	13
4.2.6	IOCF (中断屏蔽寄存器).....	14
4.3	TCC/WDT 和预除器.....	15
4.4	I/O 端口.....	15
4.5	复位和唤醒.....	17
4.5.1	复位.....	17
4.5.2	状态寄存器的 RST, T, 和 P.....	21
4.6	中断.....	22
4.7	振荡器.....	23
4.7.1	振荡模式.....	23
4.7.2	晶体振荡/陶瓷谐振(XTAL).....	24
4.7.3	外部 RC 振荡模式.....	25
4.8	代码选项寄存器 (CODE Option Register).....	26
4.9	上电问题.....	27
4.10	外部上电复位电路.....	28
4.11	残余电压保护.....	28
4.12	指令集.....	29



4.13 时序图 32

5 绝对最大值..... 33

6 电参数 33

6.1 直流电参数 33

6.2 交流电参数 34

6.3 设备特性..... 35

附录

A 封装类型..... 45

B 封装信息..... 45

B.1 20-Lead plastic dual inline package (DIP) – 300 mil..... 45

B.2 24-Lead plastic dual inline skinny package (DIP) – 300 mil 46

B.3 28-Lead plastic dual inline package (DIP) – 600 mil..... 46

B.4 32-Lead plastic dual inline package (DIP) – 600 mil..... 47

B.5 20-Lead plastic small outline package (SOP) – 300 mil 47

B.6 24-Lead plastic small outline package (SOP) – 300 mil 48

B.7 28-Lead plastic small outline package (SOP) – 300 mil 48

B.8 32-Lead plastic small outline package (SOP) – 300 mil 49

B.9 28-Lead Shrink Small Outline Package (SSOP) – 209 mil 49

Specification Revision History

Doc. Version	Revision Description	Date
1.0	初始版本	10/29/2004
1.1	增加四种封装类型	03/30/2005

1 概括描述

EM78P447N是采用低功耗高速CMOS工艺设计开发的高抗杂性的8位单片机。其内部有4K×13位一次性编程ROM (OTP-ROM)。它还提供一个保护位避免用户存在OTP的程序被读取。7个选择位完全可以满足用户的需要。

具有OTP-ROM特点的EM78P447N能够为用户提供开发和校验程序的便利,而且用户可以使用 EMC Writer 容易地编程自己的开发代码。

2 功能特点

- 工作电压范围：2.5V~5.5V。
- 工作温度范围：-40°C~85°C。
- 工作频率范围 (基于2个 clocks)：
 - 晶振模式：DC~20MHz (5V)，DC~8MHz (3V)，DC~4MHz (2.5V)。
 - ERC模式：DC~4MHz (5V)，DC~4MHz (3V)，DC~4MHz (2.5V)。
- 低功耗：
 - 5V/4MHz工作条件下电流小于2.2 mA。
 - 3V/32KHz工作条件下电流典型值为35 μA。
 - 睡眠模式下电流典型值为2 μA。
- 4K × 13 位片内ROM。
- 三个保护位保证程序不被读出。
- 一个配置寄存器满足用户要求。
- 148×8位片内寄存器 (SRAM通用寄存器)。
- 3个双向 I/O 端口。
- 5级堆栈。
- 8位实时定时器/计数器(TCC)，其信号源和触发沿可由软件设定，可设置溢出中断。
- 每个指令周期为2个时钟周期。
- 省电模式(SLEEP模式)。
- 2个中断源。
 - TCC 溢出中断。
 - 外部中断。
- 可编程自由运行看门狗定时器 (WDT)。
- 10个引脚可编程设置为上拉。

- 2个引脚可编程设置为漏极开路。
- 2个引脚可编程设置为R-option。
- 封装形式：
 - 20引脚 DIP 300mil:EM78P447NDP
 - 20引脚 SOP 300mil:EM78P447NDM
 - 24引脚 Skinny DIP 300mil:EM78P447NCK
 - 24引脚SOP 300mil:EM78P447NCM
 - 28 引脚 DIP 600mil : EM78P447NAP
 - 28 引脚 SOP(SOIC) 300mil : EM78P447NAM
 - 28引脚 SSOP 209mil : EM78P447NAS
 - 32 引脚 DIP 600mil : EM78P447NBP
 - 32引脚 SOP(SOIC) 450mil : EM78P447NBWM
- 99.9% 指令为单指令周期。
- 系统区分HXT和LXT的频率点在400KHz左右。

3 引脚分配

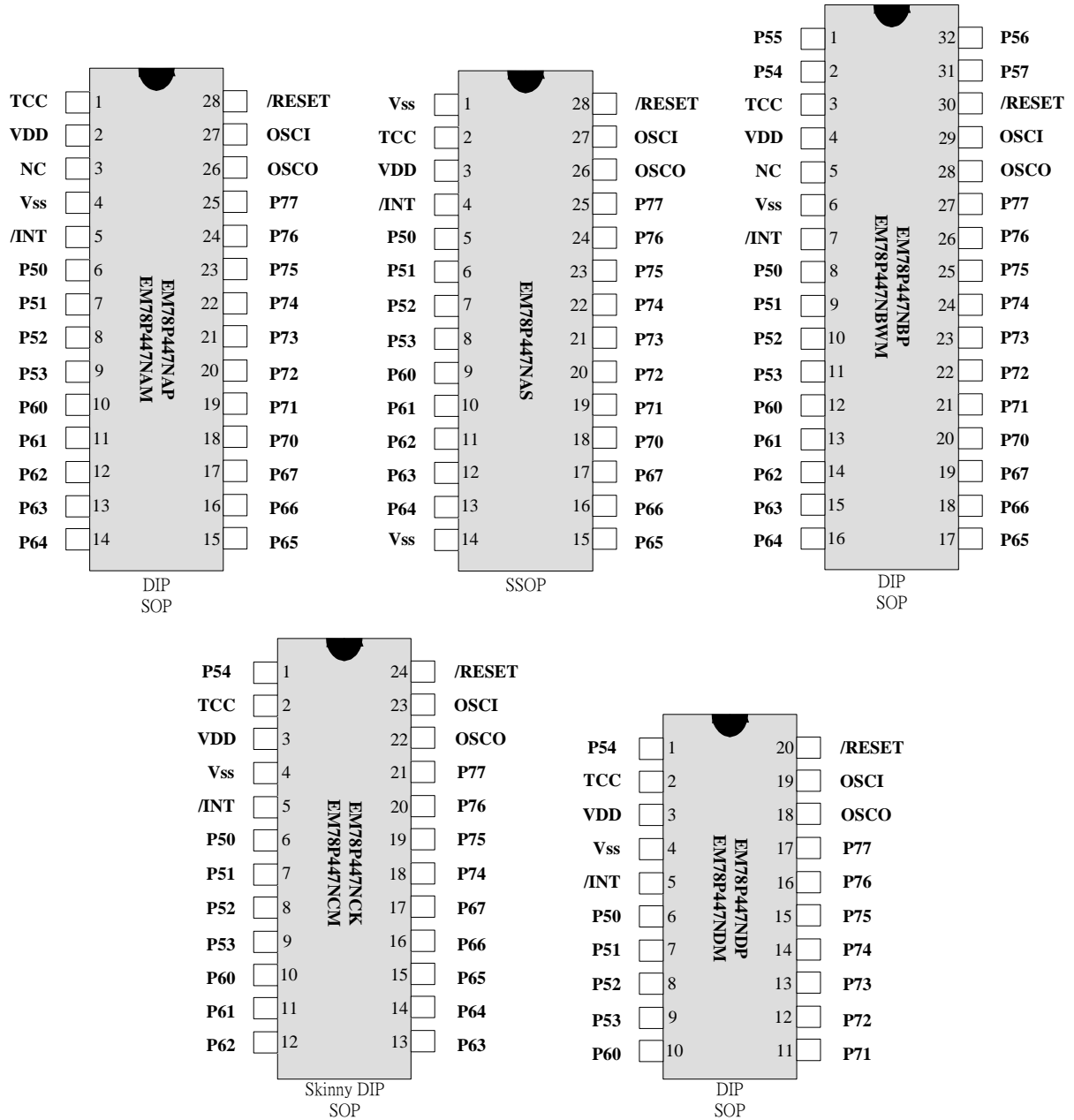


图 1 引脚分配

表 1 EM78P447NAP 和 EM78P447NAM 引脚描述

Symbol	Pin No.	Type	Function
VDD	2	-	■ 电源
OSCI	27	I	■ XTAL 型：晶振或外部时钟输入端 ■ RC 型：RC 振荡器输入端
OSCO	26	I/O	■ XTAL 型：晶振输出或外部时钟输入端 ■ RC 型：指令时钟输出端 ■ 外部时钟信号输入
TCC	1	I	■ 实时定时计数器（斯密特触发）输入引脚，不用时必须与 VDD 或 VSS 连接。
/RESET	28	I	■ 斯密特触发器输入端，若该引脚保持低电平，其控制器也将保持在复位状态。
P50~P53	6-9	I/O	■ P50~P53 是双向 I/O 引脚
P60~P67	10-13	I/O	■ P60~P67 是双向 I/O 引脚 ■ 都可由软件设为上拉
P70~P77	18-25	I/O	■ P70~P77 是双向 I/O 引脚 ■ P74~P75 可由软件设为上拉 ■ P76~P77 可由软件设为漏极开路 ■ P70 和 P71 也可定义为 R-option 引脚
/INT	5	I	■ 下降沿触发的外部中断引脚
VSS	4	-	■ 地
NC	3	-	■ 未接

表 2 EM78P447NAS 引脚描述

Symbol	Pin No.	Type	Function
VDD	3	-	■ 电源
OSCI	27	I	■ XTAL 型：晶振或外部时钟输入端 ■ RC 型：RC 振荡器输入端
OSCO	26	I/O	■ XTAL 型：晶振输出或外部时钟输入端 ■ RC 型：指令时钟输出端 ■ 外部时钟信号输入
TCC	2	I	■ 实时定时计数器（斯密特触发）输入引脚，不用时必须与 VDD 或 VSS 连接。
/RESET	28	I	■ 斯密特触发器输入端，若该引脚保持低电平，其控制器也将保持在复位状态。
P50~P53	5-8	I/O	■ P50~P53 是双向 I/O 引脚
P60~P67	9-13,15-17	I/O	■ P60~P67 是双向 I/O 引脚 ■ 都可由软件设为上拉
P70~P77	18-25	I/O	■ P70~P77 是双向 I/O 引脚 ■ P74~P75 可由软件设为上拉 ■ P76~P77 可由软件设为漏极开路 ■ P70 和 P71 也可定义为 R-option 引脚
/INT	4	I	■ 下降沿触发的外部中断引脚
VSS	1,14	-	■ 地



表 3 EM78P447NBP 和 EM78P447NBWM 引脚描述

Symbol	Pin No.	Type	Function
VDD	4	-	■ 电源
OSCI	29	I	■ XTAL 型：晶振或外部时钟输入端 ■ RC 型：RC 振荡器输入端
OSCO	28	I/O	■ XTAL 型：晶振输出或外部时钟输入端 ■ RC 型：指令时钟输出端 ■ 外部时钟信号输入
TCC	3	I	■ 实时定时计数器（斯密特触发）输入引脚，不用时必须与 VDD 或 VSS 连接。
/RESET	30	I	■ 斯密特触发器输入端，若该引脚保持低电平，其控制器也将保持在复位状态。
P50~P57	8-11,2-1 32-31	I/O	■ P50~P57 是双向 I/O 引脚
P60~P67	12-19	I/O	■ P60~P67 是双向 I/O 引脚 ■ 都可由软件设为上拉
P70~P77	20-27	I/O	■ P70~P77 是双向 I/O 引脚 ■ P74~P75 可由软件设为上拉 ■ P76~P77 可由软件设为漏极开路 ■ P70 和 P71 也可定义为 R-option 引脚
/INT	7	I	■ 下降沿触发的外部中断引脚
VSS	6	-	■ 地
NC	5	-	■ 未接

表 4 EM78P447NCK 及 EN78P447NCM 的引脚描述

Symbol	Pin No.	Type	Function
VDD	3	-	■ 电源
OSCI	23	I	■ XTAL 型：晶振或外部时钟输入端 ■ RC 型：RC 振荡器输入端
OSCO	22	I/O	■ XTAL 型：晶振输出或外部时钟输入端 ■ RC 型：指令时钟输出端 ■ 外部时钟信号输入
TCC	2	I	■ 实时定时计数器（斯密特触发）输入引脚，不用时必须与 VDD 或 VSS 连接。
/RESET	24	I	■ 斯密特触发器输入端，若该引脚保持低电平，其控制器也将保持在复位状态。
P50~P54	6~9,1	I/O	■ P50~P54 是双向 I/O 引脚。
P60~P67	10~17	I/O	■ P60~P67 是双向 I/O 引脚 ■ 都可由软件设为上拉
P74~P77	18~21	I/O	■ P74~P75 可由软件设为上拉 ■ P76~P77 可由软件设为漏极开路 ■ P70 和 P71 也可定义为 R-option 引脚
/INT	5	I	■ 下降沿触发的外部中断引脚
VSS	4	-	■ 地
NC	3	-	■ 未接

表5 EM78P447NDK 及 EM78P447NDM 引脚的描述

Symbol	Pin No.	Type	Function
VDD	3	-	■ 电源
OSCI	19	I	■ XTAL 型：晶振或外部时钟输入端 ■ RC 型：RC 振荡器输入端
OSCO	18	I/O	■ XTAL 型：晶振输出或外部时钟输入端 ■ RC 型：指令时钟输出端 ■ 外部时钟信号输入
TCC	2	I	■ 实时定时计数器（斯密特触发）输入引脚，不用时必须与 VDD 或 VSS 连接。
/RESET	20	I	■ 斯密特触发器输入端，若该引脚保持低电平，其控制器也将保持在复位状态。
P50~P54	6~9,1	I/O	■ P50~P54 是双向 I/O 引脚
P60	10	I/O	■ P60 是双向 I/O 引脚 ■ 都可由软件设为上拉
P71~P77	11~17	I/O	■ P74~P75 可由软件设为上拉 ■ P76~P77 可由软件设为漏极开路 ■ P70 和 P71 也可定义为 R-option 引脚
/INT	5	I	■ 下降沿触发的外部中断引脚
VSS	4	-	■ 地
NC	3	-	■ 未接

4 功能描述

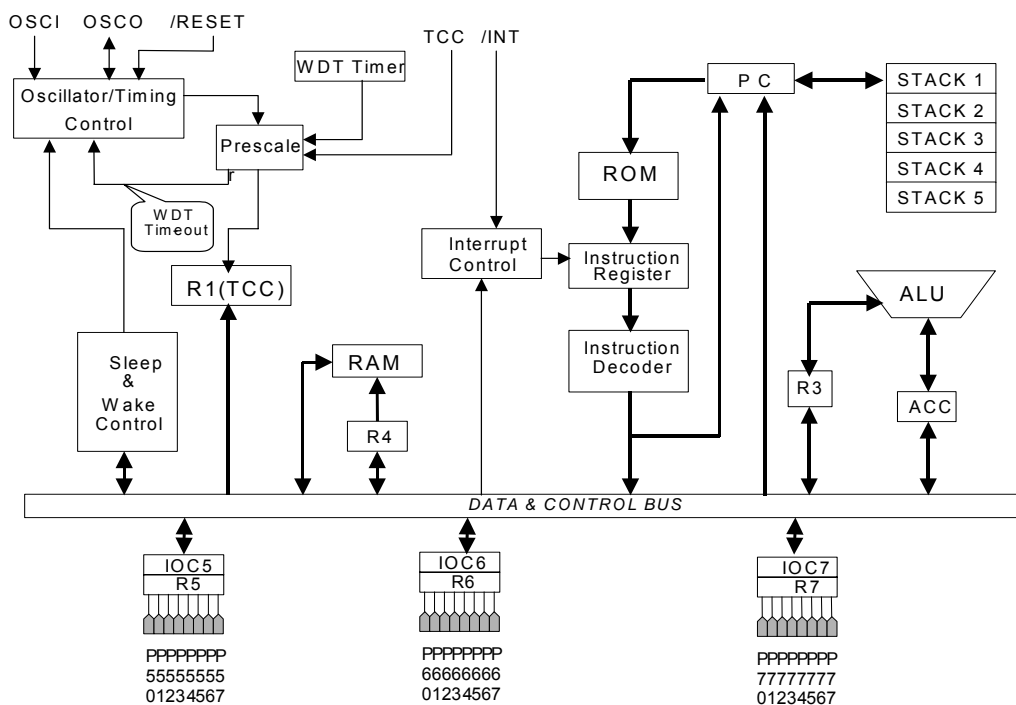


图2 功能模块图

4.1 操作寄存器

4.1.1 R0 (间址寄存器)

R0并非实际存在的寄存器。它的主要功能是作为间接寻址指针。任何以R0为指针的指令实际上是对RAM选择寄存器R4所指的数据进行操作。

4.1.2 R1 (定时器/计数器)

- 由TCC引脚的边沿（由CONT-4：TE设定）或指令周期时钟触发加1操作。
- 可读写
- 通过设置PAB(CONT-3)来定义。
- 如果PAB位(CONT-3)被清零，可将预除器分配给TCC。
- 只有当写入TCC寄存器时，预分频计数器的内容被清零。

4.1.3 R2 (程序计数器)和堆栈

- 根据控制器的类型，R2和硬件堆栈为10位宽。参见图3所示的程序计数器结构图。
- 产生1024×13位片内OTP ROM地址以获取对应的程序指令编码。一个程序页是1024字长。

- 在复位状态下R2所有位被清零。
- "JMP"指令直接装载R2低10位值。因此"JMP"可以让PC在一个程序页中任意跳转。
- "CALL"指令装载PC的低10位值，并将PC+1的值入栈。因此子程序的入口地址可以在一个程序页任意地方。
- "RET" ("RETL k", "RETI")指令将栈顶的数据装载到PC中。
- "ADD R2, A"允许把A的内容加到当前PC上，同时PC的第9位和第10位被清零。
- "MOV R2, A"允许将A寄存器的内容装载到PC的低8位，同时PC的第9位和第10位被清零。
- 任何对R2进行直接修改的指令（如："ADD R2,A", "MOV R2,A", "BC R2,6",.....）都将会引起PC的第9、10位清零，因此产生的跳转只限于一程序页前256个地址。
- 除了改变R2的指令需要2个指令周期外，其余的指令只需要一个指令周期。

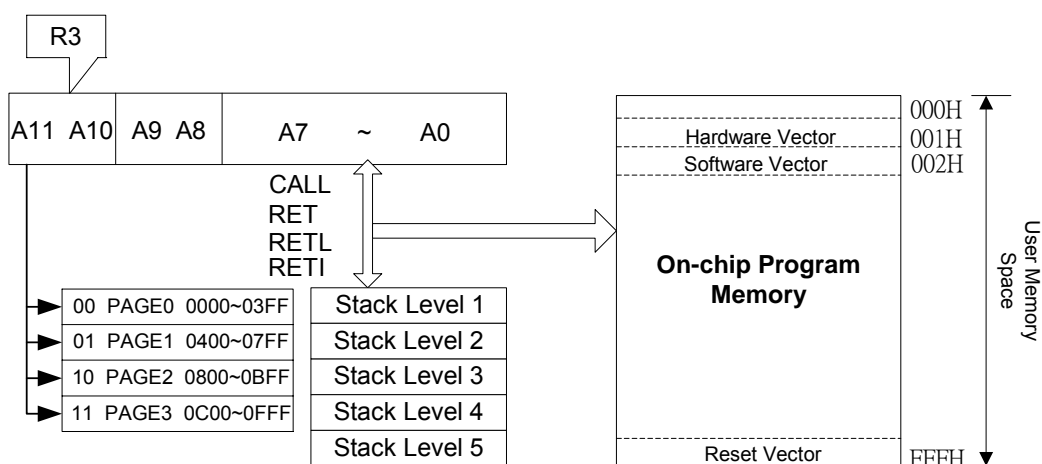


图3 程序计数器结构图

4.1.4 R3 (Status Register)

7	6	5	4	3	2	1	0
GP	PS1	PS0	T	P	Z	DC	C

第0位 (C) 进位标志。

第1位 (DC) 辅助进位标志。

第2位 (Z) 零标志位。

当算术运算或逻辑运算的结果为0时，该位置1。

第3位 (P) 低功耗位。

执行 "WDTC" 指令或上电后该位置1，执行 "SLEP" 指令后该位清零。

第4位 (T) 时间溢出位。

执行 "SLEP"和 "WDTC" 指令或上电后该位置1，当 WDT 溢出时清零。

第5~6位 (PS0-PS1) 页面选择位。PS0，PS1用于选择程序存储器页面。当执行“JMP”，“CALL”或其它改变R2的指令时，PS0、PS1被装入PC的第11，12位，以选择一个程序页面。注意：RET，RETI、RETL指令不改变PS0、PS1。也就是说，直接返回到子程式被调用的页面，不管当前PS0、PS1值。

PS1	PS0	Program memory page [Address]
0	0	Page 0 [000-3FF]
0	1	Page 1 [400-7FF]
1	0	Page 2 [800-BFF]
1	1	Page 3 [C00-FFF]

第7位 (GP) 通用读写位。

4.1.5 R4 (RAM 选择寄存器)

第0~5位在间接寻址方式中用于选择寄存器(地址：00~3F)。

第6~7位用于选择寄存器组BANK0-3。

如果不作为间址寻址使用，RSR也可被用作通用读写寄存器

参见图4 数据存储结构图。

Address	R PAGE registers				IOC PAGE registers
00	R0 (Indirect Addressing Register)				Reserve
01	R1 (Time Clock Counter)				CONT (Control Register)
02	R2 (Program Counter)				Reserve
03	R3 (Status Register)				Reserve
04	R4 (RAM Select Register)				Reserve
05	R5 (Port5)				IOC5 (I/O Port Control Register)
06	R6 (Port6)				IOC6 (I/O Port Control Register)
07	R7 (Port7)				IOC7 (I/O Port Control Register)
08	General Register				Reserve
09	General Register				Reserve
0A	General Register				Reserve
0B	General Register				IOCB (Wake-Up Control Register for Port6)
0C	General Register				Reverse
0D	General Register				Reverse
0E	General Register				IOCE (WDT,SLEEP2,Open Drain,R -Option Control Register)
0F	General Register				IOCF (Interrupt Mask Register)
10 : 1F	General Registers				
20 : 3E	Bank0	Bank1	Bank2	Bank3	
3F	R3F (Interrupt Status Register)				

图 4 数据存储器分配图

4.1.6 R5 ~ R7 (Port 5 ~ Port 7)

R5、R6、R7 是输入/输出寄存器。

4.1.7 R8-R1F and R20-3E (通用寄存器)

R8-R1F, and R20-R3E (包括Bank0-3) 是通用寄存器

4.1.8 R3F (中断状态寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	-	-	EXIF	-	-	TCIF

第 0 位(TCIF) TCC 溢出中断标志。当 TCC 溢出时置1，软件清零。

第 3 位(EXIF) 外部中断标志。由/INT引脚的下降沿置1，软件清零。

第 1、2、4 ~ 7位 未用。

“1”表示有中断申请，“0”表示没有中断发生。

R3F 可通过指令清零，但不能置1。

IOCF 是中断屏蔽寄存器。

注意：读出的R3F的值是 R3F和 IOCF逻辑与的结果。

4.2 特殊功能寄存器

4.2.1 A (累加器)

用于内部数据传输，指令操作数保持。

不可寻址。

4.2.2 CONT (控制寄存器)

7	6	5	4	3	2	1	0
/PHEN	/INT	TS	TE	PAB	PSR2	PSR1	PSR0

第0位 ~ 第 2 位(PSR0~ PSR2) 是TCC/WDT 预分频位。

PSR2	PSR1	PSR0	TCC Rate	WDT Rate
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
1	1	1	1:256	1:128

第 3 位(PAB) 预除器分配位。

0 : TCC

1 : WDT

第 4 位(TE) TCC 信号沿选择位。

0 : 当TCC引脚发生由低到高的变化时R1 加1。

1 : 当TCC引脚发生由高到低的变化时R1 加1。

第 5 位(TS) TCC 信号源选择位。

0 : 内部指令周期时钟。

1 : TCC 引脚状态变化。

第 6 位(/INT) 中断允许标志。

0 : 由DISI指令或硬件中断屏蔽。

1 : 由 ENI/RETI 指令允许中断。

第 7 位 (/PHEN) 是P60-67, P74andP75引脚的上拉使能控制位。

0 : 使能内部上拉。

1 : 不使能内部上拉。

CONT寄存器可读写。

4.2.3 IOC5 ~ IOC7 (I/O 口控制寄存器)

"1" 定义相关 I/O 引脚为高阻输入状态, "0"定义相关 I/O 引脚为输出。

IOC5 和 IOC7 寄存器都是可读可写的。

4.2.4 IOCB (P6口唤醒控制寄存器)

7	6	5	4	3	2	1	0
/WUE7	/WUE6	/WUE5	/WUE4	/WUE3	/WUE2	/WUE1	/WUE0

第 0 位(/WUE0) 使能P60 引脚唤醒功能的控制位。

0 : 使能内部唤醒。

1 : 禁止内部唤醒。

第 1 位(/WUE1) 使能P61 引脚唤醒功能的控制位。

第 2 位(/WUE2) 使能P62 引脚唤醒功能的控制位。

第 3 位(/WUE3) 使能P63 引脚唤醒功能的控制位。

第 4 位(/WUE4) 使能P64 引脚唤醒功能的控制位。

第 5 位(/WUE5) 使能P65 引脚唤醒功能的控制位。

第 6 位(/WUE6) 使能P66 引脚唤醒功能的控制位。

第 7 位(/WUE7) 使能P67 引脚唤醒功能的控制位。

IOCB 寄存器是可读写的。

4.2.5 IOCE (WDT 控制寄存器)

7	6	5	4	3	2	1	0
-	ODE	WDTE	SLPC	ROC	-	-	/WUE

第 0 位(/WUE) 使能P74、P75 引脚唤醒功能的控制位。

0：使能唤醒功能。

1：禁止唤醒功能。

/WUE可读可写。

第 3 位(ROC) ROC 用于 R-option功能。

置ROC 为1，使能R-option 功能，其引脚P70~P71的状态可由控制器读出。ROC 清零禁止R-option功能。如果R-option 功能被使用，用户必须使 P71引脚和/或 P70 引脚通过一个430KΩ 外接电阻r (Rex)与 VSS相连。若Rex 接入/未接到VDD，读到P70 (P71) 的状态是0/1。参见图7(B)所示。ROC位可读写

第 4 位 (SLPC) 该位由唤醒信号低电平引起硬件触发置1，由软件清0，SLEP用于控制振荡器的工作。在SLPC位从1变成0时，振荡器被禁止（振荡器停止，单片机进入休眠模式2），在SLPC位从0变成1，振荡器使能（单片机由休眠模式唤醒）。为了确保振荡器输出信号稳定，一旦振荡器再次起振，在执行下条指令前会有18ms¹（一个振荡器起振时间）的延时，唤醒后，如果CODE OPTION中ENWDT为1，则WDT将被使能，休眠模式2的输入唤醒框图如图5。

SLPC位可读写。

第 5 位 (WDTE) 看门狗使能控制位

只在CODE OPTION的ENWDT为0时该位才有效，此时WDT是否工作由WDTE决定。

0：禁止WDT

1：使能WDT

CODE OPTION的ENWDT为1时WDTE无用，也就是，如果ENWDT为1，无论WDTE为0或1，WDT禁止

WDTE位可读写

注：Vdd = 5V，启动时间 = 16.2ms ± 30%
 Vdd = 3V，启动时间 = 19.6ms ± 30%

第6位 (ODE) P76及P77脚开漏极使能控制位

0：禁止开漏极输出

1：使能开漏极输出

第1~2及7位 没有使用

4.2.6 IOCF (中断屏蔽寄存器)

7	6	5	4	3	2	1	0
-	-	-	-	EXIE	-	-	TCIE

第0位(TCIE) TCIF 中断使能位。

0：禁止 TCIF 中断。

1：使能 TCIF 中断。

第3位 (EXIE) EXIF 中断使能位。

0：禁止 EXIF 中断。

1：使能 EXIF 中断。

第1、2、4~7位 未用。

通过IOCF中的相关控制位置1，使能各个相关中断。

总中断是由ENI 指令使能，由DISI 指令禁止。参见图9所示。

IOCF 寄存器是可读写的。

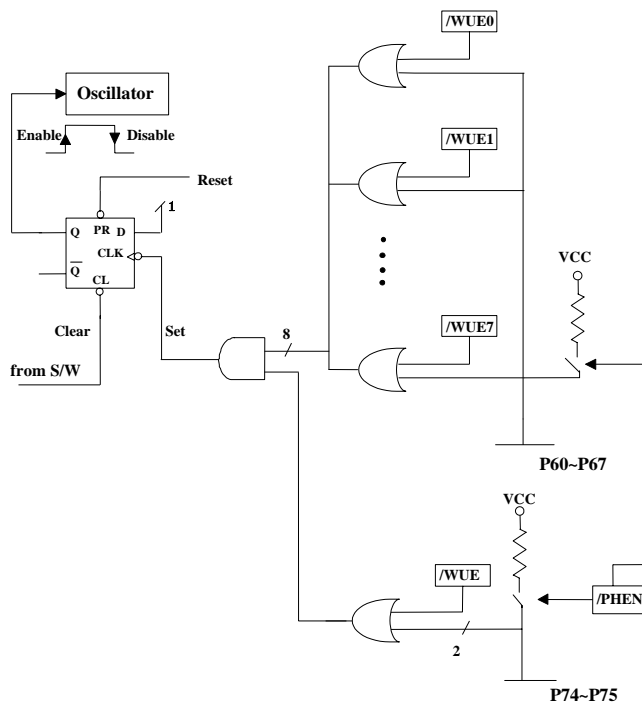


图5 I/O 口休眠模式与唤醒电路框图

4.3 TCC/WDT 和 预除器

TCC 或 WDT 有一个 8 位计数器做预除器。在同一时间它只能分配给其中一方，这由 CONT 寄存器的 PAB 位决定。PSR0~PSR2 位确定分频系数。若分配给 TCC，在 TCC 模式下则每次写 TCC 操作均将预除器清 0。若分配给 WDT，则 WDT 和预除器均在执行 WDTC 或 SLEP 指令时清 0。图 6 详细描述了 TCC/WDT 电路特性。

R1(TCC)为 8 位定时器/计数器。TCC 时钟源可为内部时钟或外部时钟（由 TCC 引脚输入，触发沿可选择）。如果是内部时钟，每个指令周期 TCC 加 1（无预除器）。由图 6 可知，指令周期是 2 个还是 4 个时钟周期由代码选择寄存器 CLKS 位决定。CLKS=0 则 $CLK=Fosc/2$ ，CLKS=1 则 $CLK=Fosc/4$ 。如果是外部时钟，则 TCC 由外部信号边沿触发。

WDT 是一个自由运行的片内 RC 振荡器。当控制器振荡关闭后，WDT 依然运行，即使在睡眠模式下亦如此。WDT 溢出将引起复位（若 WDT 使能）。在正常工作时，WDT 可由软件设置 IOCE 的 WDTE 位来使能或禁止。在没有预分频情况下，WDT 溢出时间约为 $18ms^2$ 。

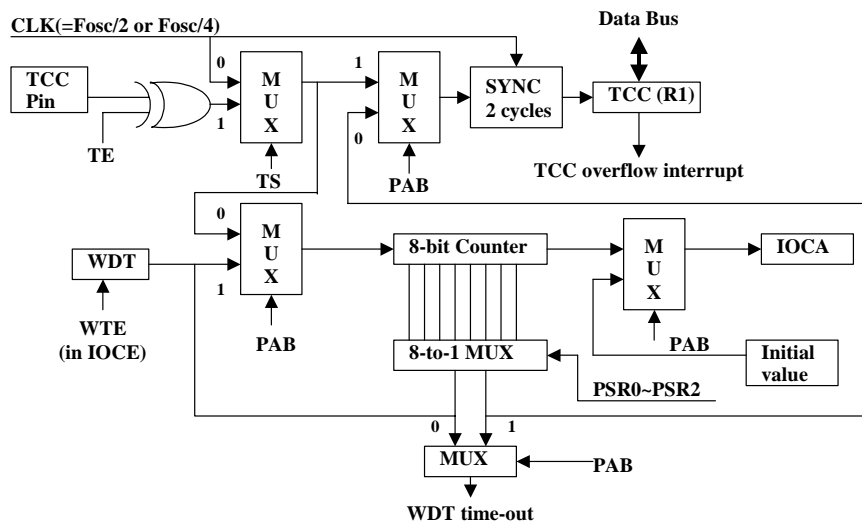


图 6 TCC 和 WDT 模块图

4.4 I/O 端口

I/O 端口 P5、P6、P7 均为双向三态 I/O 口。可以由 CONT、IOCE 分别设置为上拉电阻、R-option、漏级开路功能。P6 口、P74 和 P75 具有输入变化唤醒功能。每个 I/O 引脚能被 I/O 控制寄存器 (IOC5-IOC7) 置为输入或输出。I/O 寄存器和 I/O 控制寄存器都是可读可写的。P5、P6 和 P7 的 I/O 接口电路见图 7(a)，7(b)。

注：Vdd = 5V，启动时间 = $16.2ms \pm 30\%$
 Vdd = 3V，启动时间 = $19.6ms \pm 30\%$

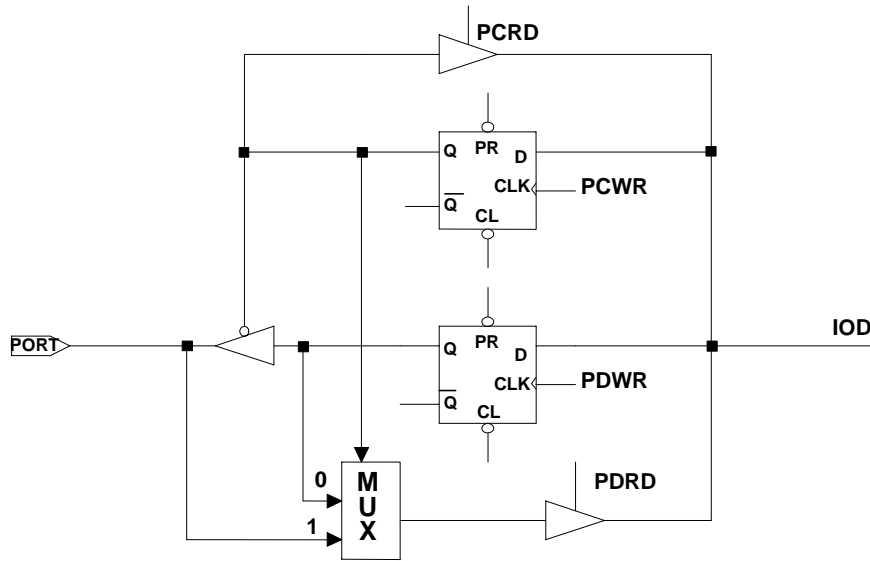


图 7(a) I/O 端口和 I/O 控制寄存器电路

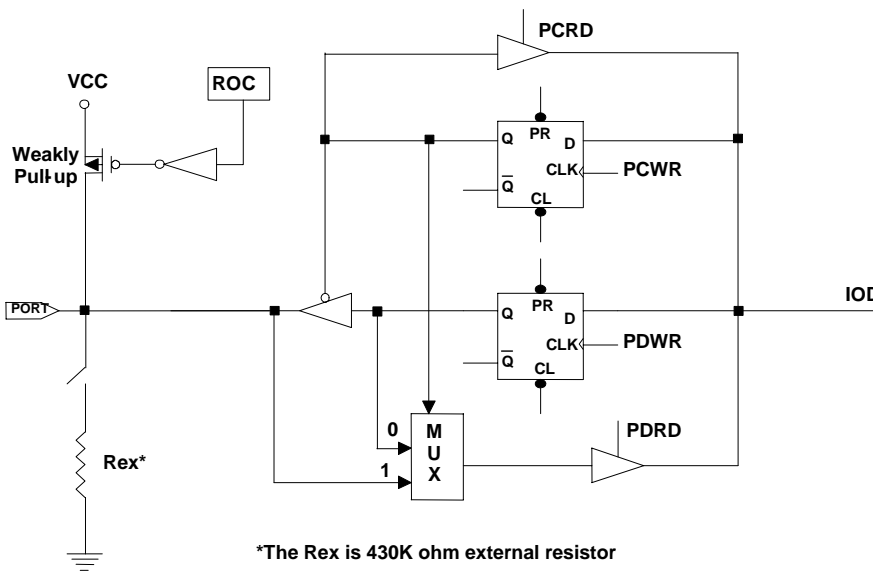


图 7(b) 具有 R-option(P70,P71)功能的 I/O 口电路

4.5 复位和唤醒

4.5.1 复位

复位由下列情况之一引起：

- (1) 上电复位。
- (2) /RESET 引脚输入低电平。
- (3) WDT 溢出（若使能）。

在复位动作被检测到之后，单片机保持复位状态18ms³（振荡器起振时间）。一旦复位发生，单片机将会执行下列功能。参见图8。

- 振荡器振荡或起振。
- PC 都置为1。
- 上电时，R3的Bit5-6，R4的Bit7-6清0。
- 所有I/O 引脚定义为输入模式（高阻状态）。
- WDT 和预除器清0。
- 上电时，R3的Bit5-6清0。
- 上电时，R4的Bit7-6清0。
- CONT 寄存器除第6位（INT 标志）外，全置为1。
- IOCB 寄存器全置为1（P60-67唤醒功能禁止）。
- IOCE 寄存器第0、4、5位置1，第3、6位清0。
- R3F、IOCF 寄存器第0、3位清0。

执行SLEP指令可进入睡眠模式（低功耗模式）。进入睡眠模式时，WDT（若使能）清0但

继续运行。单片机可被如下情况唤醒：

- (1) /RESET引脚上输入的外部复位信号。
- (2) WDT溢出(若使能)。

以上两种情况会引起EM78P447N复位，R3的T、P标志位用于判断复位产生原因。

除了基本的休眠模式1，EM78P447N还有休眠模式2，它由IOCE寄存器的SLPC清0产生。在休眠模式2下，单片机可由下列条件唤醒：

- (A) 任何一个唤醒引脚为低电平，如图5所示。唤醒后控制器将继续向下执行指令。在这种条件下，当进入SLEEP2模式之前，触发源(P60~P67 和 P74~P75)的唤醒功能应

注：Vdd = 5V，启动时间 = 16.2ms ± 30%
Vdd = 3V，启动时间 = 19.6ms ± 30%

当选择（如，设为输入脚）和使能（如，设置上拉和唤醒控制）。应当注意到如果在CODE OPTION的ENWDT位为“0”，则在唤醒后，WDT将被使能。所以，WDT的操作（使能或禁止）应当在软件中进行适当的处理。

(B) WDT 定时器溢出（若使能）或在/RESET引脚有外部复位输入，都会引起控制器复位。

表4 Sleep2及Sleep1模式的使用

Sleep2及Sleep1模式的使用	
SLEEP2	SLEEP1
<p>(a) 进入SLEEP2之前的操作</p> <ol style="list-style-type: none"> 1. 设置P6口或P74或P75为输入口 2. 使能上拉及设置WDT的预分频大于1:1（设置CONT.7及CONT.3~CONT.0） 3. 使能唤醒功能（设置IOCB或IOCE.0） 4. 执行Sleep2(设置IOCE.4) <p>(b) 唤醒之后的操作</p> <ol style="list-style-type: none"> 1. 执行下一条指令 2. 禁止唤醒功能 3. 禁止WDT（设置IOCE.5） 	<p>(a) Sleep1之前的操作</p> <ol style="list-style-type: none"> 1. 执行SLEP指令 <p>(b) 唤醒之后的操作</p> <ol style="list-style-type: none"> 1. 复位

如果想用P6口输入状态变化来唤醒EM78P447N，这如下指令在进入SLEEP2模式之前必须被执行：

```

MOV      A, @11111111b ;设置P6口为输入
IOW      R6
MOV      A, @0xxx1010b ;设置P6为上拉及WDT的预分频，WDT预分频必须大于1:1
CONTW
MOV      A, @00000000b ; 使能P6口的输入唤醒功能
IOW      RB
MOV      A, @xx00xxx1b ; 进入SLEEP2模式
IOW      RE
唤醒之后的
操作
NOP
MOV      A, @11111111b ;禁止P6口的输入唤醒功能
IOW      RB
MOV      A, @ xx01xxx1b ; 禁止WDT
IOW      RE
    
```

注意

- 从SLEEP2模式唤醒之后，WDT自动地被使能。从SLEEP2唤醒之后WDT是使能/禁止状态应在软件里做准确的定义。
- 为了避免MCU被唤醒后进入复位，这WDT的预分频必须设为大于1:1的比率。

表 7 寄存器初始化值

Address	Name	Reset Type	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0				
N/A	IOC5	Bit Name	C57		C56		C55		C54	C53	C52	C51	C50	
		Type	A	B	A	B	A	B	A	B	-	-	-	-
		Power-On	0	1	0	1	0	1	0	1	1	1	1	1
		/RESET and WDT	0	1	0	1	0	1	0	1	1	1	1	1
		Wake-Up from Pin Change	0	P	0	P	0	P	0	P	P	P	P	P
N/A	IOC6	Bit Name	C67		C66		C65		C64	C63	C62	C61	C60	
		Power-On	1	1	1	1	1	1	1	1	1	1	1	
		/RESET and WDT	1	1	1	1	1	1	1	1	1	1	1	
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P	P	P	P	
N/A	IOC7	Bit Name	C77		C76		C75		C74	C73	C72	C71	C70	
		Power-On	1	1	1	1	1	1	1	1	1	1	1	
		/RESET and WDT	1	1	1	1	1	1	1	1	1	1	1	
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P	P	P	P	
N/A	CONT	Bit Name	/PHEN		/INT		TS	TE	PAB	PSR2	PSR1	PSR0		
		Power-On	1	0	1	1	1	1	1	1	1	1		
		/RESET and WDT	1	P	1	1	1	1	1	1	1	1		
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P	P	P		
0x00	R0(IAR)	Bit Name	-	-	-	-	-	-	-	-	-	-		
		Power-On	U	U	U	U	U	U	U	U	U	U		
		/RESET and WDT	P	P	P	P	P	P	P	P	P			
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P	P			
0x01	R1(TCC)	Bit Name	-	-	-	-	-	-	-	-	-	-		
		Power-On	0	0	0	0	0	0	0	0	0	0		
		/RESET and WDT	0	0	0	0	0	0	0	0	0			
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P	P			
0x02	R2(PC)	Bit Name	-	-	-	-	-	-	-	-	-	-		
		Power-On	1	1	1	1	1	1	1	1	1	1		
		/RESET and WDT	1	1	1	1	1	1	1	1	1			
		Wake-Up from Pin Change	**0/P	**0/P	**0/P	**0/P	**0/P	**0/P	**0/P	**0/P	**0/P			



Address	Name	Reset Type	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x03	R3(SR)	Bit Name	GP	PS1	PS0	T	P	Z	DC	C
		Power-On	0	0	0	1	1	U	U	U
		/RESET and WDT	0	0	0	t	t	P	P	P
		Wake-Up from Pin Change	P	P	P	t	t	P	P	P
0x04	R4(RSR)	Bit Name	RSR.1	RSR.0	-	-	-	-	-	-
		Power-On	0	0	U	U	U	U	U	U
		/RESET and WDT	0	0	P	P	P	P	P	P
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x05	R5(P5)	Bit Name	P57	P56	P55	P54	P53	P52	P51	P50
		Power-On	U	U	U	U	U	U	U	U
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x06	R6(P6)	Bit Name	P67	P66	P65	P64	P63	P62	P61	P60
		Power-On	U	U	U	U	U	U	U	U
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x07	R7(P7)	Bit Name	P77	P76	P75	P74	P73	P72	P71	P70
		Power-On	U	U	U	U	U	U	U	U
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x3F	R3F(I SR)	Bit Name	-	-	-	-	EXIF	-	-	TCIF
		Power-On	U	U	U	U	0	U	U	0
		/RESET and WDT	U	U	U	U	0	U	U	0
		Wake-Up from Pin Change	U	U	U	U	P	U	U	P
0x0B	IOCB	Bit Name	/WUE7	/WUE6	/WUE5	/WUE4	/WUE3	/WUE2	/WUE1	/WUE0
		Power-On	1	1	1	1	1	1	1	1
		/RESET and WDT	1	1	1	1	1	1	1	1
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x0E	IOCE	Bit Name	-	ODE	WDTE	SLPC	ROC	-	-	/WUE
		Power-On	U	0	1	1	0	U	U	1
		/RESET and WDT	U	0	1	1	0	U	U	1
		Wake-Up from Pin Change	U	P	1	1	P	U	U	P
0x0F	IOCF	Bit Name	-	-	-	-	EXIE	-	-	TCIE
		Power-On	U	U	U	U	0	U	U	0
		/RESET and WDT	U	U	U	U	0	U	U	0

Address	Name	Reset Type	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
		Wake-Up from Pin Change	U	U	U	U	P	U	U	P
0x08	R8	Bit Name	-	-	-	-	-	-	-	-
		Power-On	0	0	0	0	0	0	0	0
		/RESET and WDT	0	0	0	0	0	0	0	0
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x09~0x3E	R9~R3E	Bit Name	-	-	-	-	-	-	-	-
		Power-On	U	U	U	U	U	U	U	U
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P

** IOCE寄存器的SLPC位元 1变成0转换后执行一下条指令。

X: 未使用。 U: 未知或无关。 P: 复位前的初值。 t: 对照表 5。

4.5.2 状态寄存器的 RST, T, 和 P

复位可由下列条件之一引起：

1. 上电条件。
2. 复位引脚有一个高-低-高的脉冲。
3. WDT定时器溢出。

以下表6列出RST, T, 和 P的值, 常用来检查控制器是怎样唤醒的。

表 7表示可能影响到 RST, T, 和 P状态的各种情况。

表 8 复位后的 RST, T, 和 P值

Reset Type	T	P
上电	1	1
运行模式下/RESET引脚复位	*P	*P
睡眠1模式下/RESET引脚复位	1	0
睡眠2模式下/RESET引脚复位	*P	*P
运行模式下WDT溢出复位	0	*P
睡眠1模式下WDT溢出唤醒	0	0
睡眠2模式下WDT溢出唤醒	0	*P
睡眠2模式下引脚状态改变唤醒	*P	*P

* P: 复位前状态

表 9 事件对 RST, T,和 P 状态的影响

Event	T	P
上电	1	1
WDTC 指令	1	1
WDT 溢出	0	*P
SLEP 指令	1	0
睡眠2模式下引脚状态改变唤醒	*P	*P

* P: 复位前状态

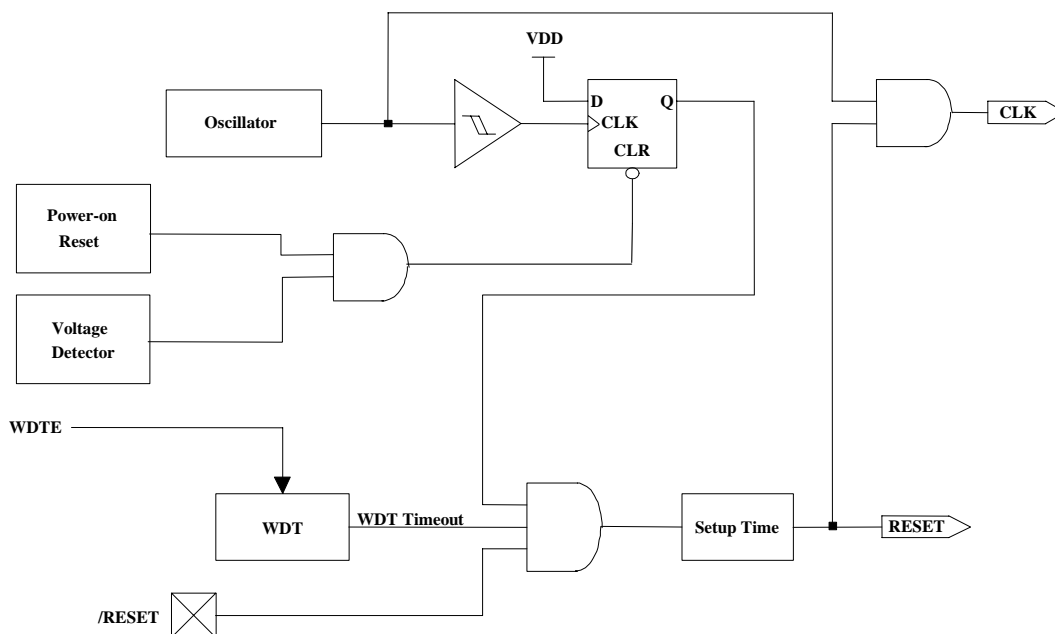


图 8 控制器复位功能框图

4.6 中断

EM78P447N 有两个中断源：

- (1) TCC 溢出中断
- (2) 外部中断 (/INT 引脚)

R3F 是中断状态寄存器，它的相关标志位记录了中断请求状态。IOCF 是中断屏蔽寄存器。通过执行指令 ENI 使能总的中断，通过执行 DISI 禁止总的中断。当一个被使能的中断发生，下一条指令将从地址 001H 获取。在中断服务程序中，通过轮询 R3F 的标志位来确定中断源。在离开中断服务程序之前，必须用指令清除中断标志以免发生重复中断。

中断状态寄存器(R3F)的标志位(除 ICIF 位以外)的设置与中断屏蔽寄存器状态或者是否执行了 ENI 指令无关。注意读 R3F 的输出得到的是 R3F 和 IOCF0 的逻辑与的结果(参见图 12)， RETI 指令结束中断程序并使能总的中断(自动执行 ENI)。

当一个中断是由 INT 指令产生(若使能)，则下一条指令将从地址 002H 获取。

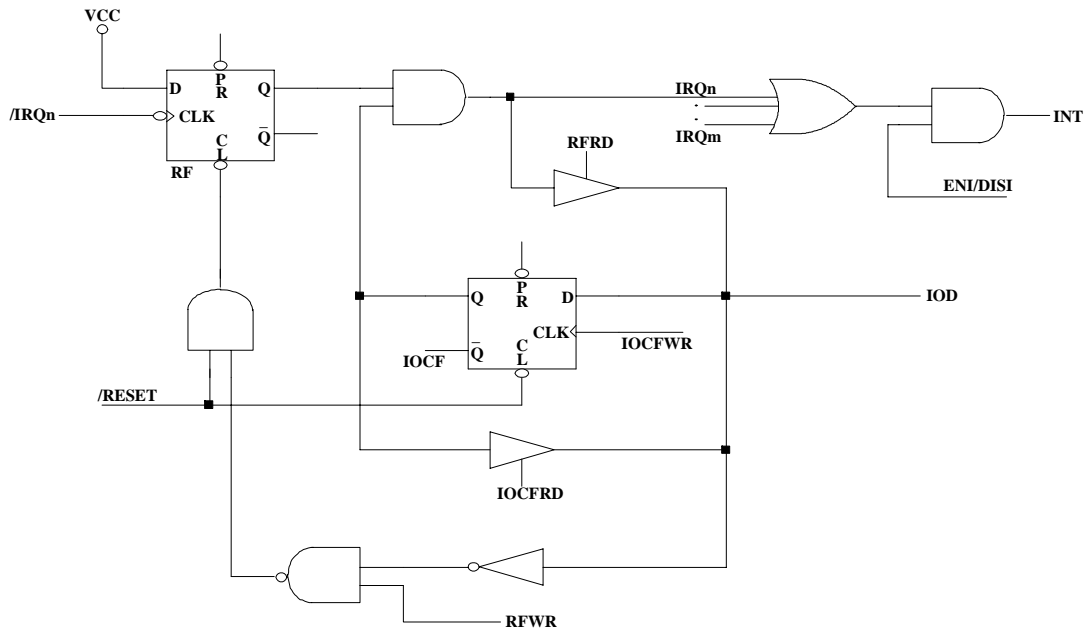


图 9 中断输入电路

4.7 振荡器

4.7.1 振荡模式

EM78P447N可在三种不同的振荡模式下运行，例如，高频晶体振荡模式（HXT）和低频晶体振荡模式（LXT）、外部RC振荡器模式（ERC）。用户可通过编程CODE Option寄存器的MS, HLF及HLP来选择某一种振荡方式。表7描述如何定义这三种模式。

在不同的电源电压VDD下，晶体或陶瓷振荡的最大操作频率列于表8中。

表 8 由MS 和 HLP 定义的振荡模式

Mode	MS	HLF	HLP
ERC(外部RC振荡器模式)	0	*X	*X
HXT(高频晶体振荡模式)	1	1	*X
LXT(低频晶体振荡模式)	1	0	0

注意

1. X，无关。
2. 在HXT和LXT之间的系统频率区分点大约为400 KHz。

表 9 最大操作频率表

条件	VDD	Fxt max.(MHz)
一个指令周期两个时钟	2.5	4.0
	3.0	8.0
	5.0	20.0

4.7.2 晶体振荡/陶瓷谐振(XTAL)

EM78P447N可通过OSCI管脚用外部时钟信号驱动，如图10示。

在大多数的应用场所，通过在OSCI和OSCO管脚连接晶体或陶瓷振荡器来产生振荡。如图12电路所示。无论在HXT或LXT振荡模式，都可以应用这种电路。表10列出建议的电容C1和C2的值。由于每一种谐振器都有自己的特性，用户应根据它们的特性选择合适的C1和C2的值。RS，串联电阻，在AT切片的晶体或低频模式是必要的。

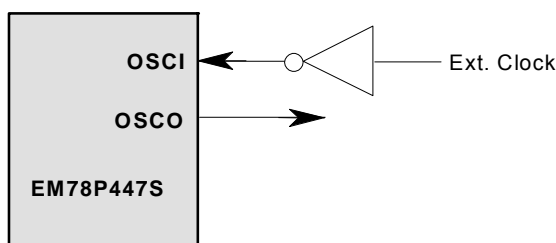


图 10 外部时钟输入电路

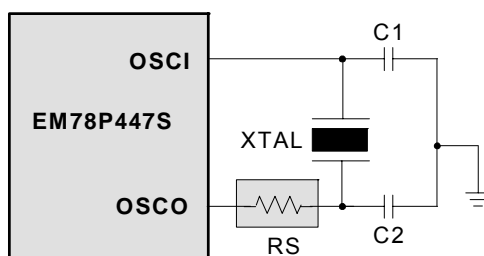


图 11 晶体或陶瓷振荡电路

表 10 陶瓷谐振器及晶体谐振器电容选择参考

Oscillator Type	Frequency Mode	Frequency	C1(pF)	C2(pF)
陶瓷谐振器	HXT	455 kHz	100~150	100~150
		2.0 MHz	20~40	20~40
		4.0 MHz	10~30	10~30
晶体振荡器	LXT	32.768kHz	25	15
		100KHz	25	25
		200KHz	25	25
	HXT	455KHz	20~40	20~150
		1.0MHz	15~30	15~30
		2.0MHz	15	15
		4.0MHz	15	15

4.7.3 外部RC振荡模式

在一些对时序要求不太严格的地方，RC振荡可节省许多成本。然而，应当注意到RC振荡器的振荡频率会受到电源电压、电阻（Rext）值的大小、电容（Cext）甚至环境温度的影响。而且，由于制造工艺的不同，不同芯片的频率也会有微小的差异。

为了维持一个比较稳定的系统频率，建议电容值不要小于20pF,电阻值不要大于1M ohm.如果不能保证在该范围内，频率就会很容易受到噪音、湿度、漏电流的影响。

在RC振荡模式中，Rext越小，振荡频率越高。但是，Rext的值越低，例如，1KΩ，由于NMOS不能准确的通过电容放电，所以振荡器将变的不稳定。

基于以上原因，必须牢记操作电压、构成RC振荡器的元件、封装形式、PCB的布线都将影响系统的振荡频率。

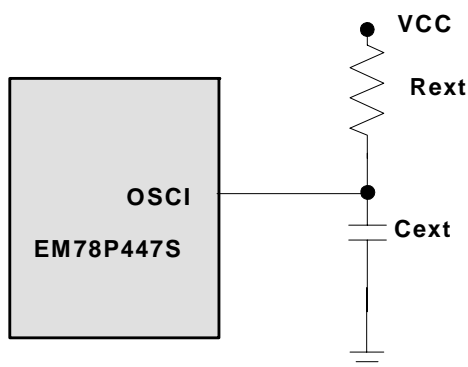


图 12 外部 RC 振荡器模式

表 4 RC振荡器频率

Cext	Rext	Average Fosc 5V,25°C	Average Fosc 3V,25°C
20 pF	3.3k	4.32 MHz	3.56 MHz
	5.1k	2.83 MHz	2.8 MHz
	10k	1.62MHz	1.57 MHz
	100k	184 KHz	187 KHz
100 pF	3.3k	1.39 MHz	1.35 MHz
	5.1k	950 KHz	930 KHz
	10k	500 KHz	490 KHz
	100k	54KHz	55 KHz
300 pF	3.3k	580 KHz	550 KHz
	5.1k	390 KHz	380 KHz
	10k	200 KHz	200 KHz
	100k	21 KHz	21 KHz

注意

1. 以DIP封装测量
2. 仅供参考
3. 这频率的漂移大约在±30%。

4.8 代码选项寄存器 (CODE Option Register)

EM78P447N 有一个代码选项字, 它们不是程序存储器的一部分。程式执行期间不能对选项位寻址。

代码配置寄存器及用户ID寄存器的分配情况:

Word 0	Word 1
Bit12~Bit0	Bit12~Bit0

1、代码配置字 (字0)

Word 0												
Bit12	Bit11	Bit10	Bit9	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
-	-	EC	-	CLK S	ENW DTB	TYP E	HLF	OSC	HLP	PR2	PR1	PR0

Bit 12、11: 未用

保留;

这些位在任何时候都设为“1”

Bit 10(EC): 错误恢复位

0: 使能

1: 禁止

Bit 9: 未用

保留;

这位在任何时候都设为“0”

Bit 8 (CLKS): 指令时间选择位。

0: 两个振荡器时间

1: 四个振荡器时间

参考指令集部份介绍。

Bit 7(ENWDTB): WDT定时器使能位。

0: 使能

1: 禁止

Bit 6(TYPE): EM78P447NA 或 B 类型选择位

0: EM78P447NB

1: EM78P447NA

Bit 5 (HLF): XTAL 晶体频率选择位

0: XTAL2 型 (低频, 32.768KHz)

1: XTAL1 型 (高频)

这一位仅当Bit12(MS)位为“1”时可选，当Bit12(MS)位为“0”，则HLF位必须置为“0”。

注意
判断HXT 和 LXT的频率点约为 400 KHz.

Bit 4(OSC): 振荡器类型选择。

0: RC 型

1: XTAL 型(XTAL1 和 XTAL2)

Bit 3 (HLP): 功率选择位。

0: 低功耗

1: 高功耗

Bit 2~0 (PR2~PR0): 代码保密位

PR2~PR0 是保护位，对应保护类型如下表

PR2	PR1	PR0	Protect
0	0	0	Enable
0	0	1	Enable
0	1	0	Enable
0	1	1	Enable
1	0	0	Enable
1	0	1	Enable
1	1	0	Enable
1	1	1	Disable

2. 用户ID寄存器 (字1)

Word 1
Bit 12~Bit 0
XXXXXXXXXXXXXX

Bit 12~0: 用户的ID代码

4.9 上电问题

任何微控制器在电源达到稳定之前，都不能保证正确的执行程序。EM78P447N内部有一个2.0V的上电电压探测器 (POVD)。如果电源VDD上升的足够快 (10ms或更少)，外部复位电路会具有更好的性能。然而，在许多应用要求严格的情况下，在解决上电复位问题时，仍然需要其它器件辅助。

4.10 外部上电复位电路

图15中的电路用外部RC产生一个复位脉冲。脉冲的宽度（时间常数）应保持足够长的时间以使电源达到最小的操作电压。该电路应用在电源电压上升比较慢的情况下。因为/RESET脚的漏电流大约在 $\pm 5\mu A$ ，所以建议R应小于40K。按照这种方法，在/RESET脚上的电压将在0.2V之下。二极管（D）在掉电时作为短路电路。电容C将快速彻底的放电。 R_{in} ，限流电阻，防止大电流放电或ESD（静电放电）对/RESET脚的冲击。

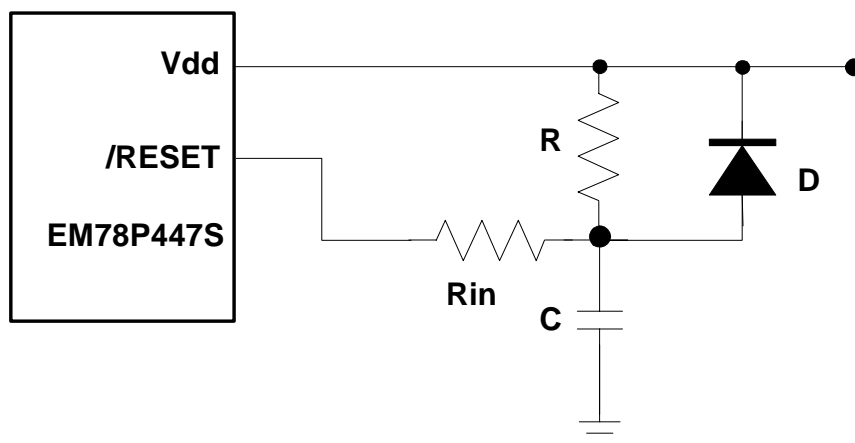


图 13 外部上电复位电路

4.11 残余电压保护护

当更换电池时，芯片的电源（Vdd）已被拿走但残留电压仍然存在。残留电压可能低于VDD的最小工作电压，但又不为零，在这种情况下有可能引起不良的上电复位。图16和图17出示如何建立一个残留电压保护电路。

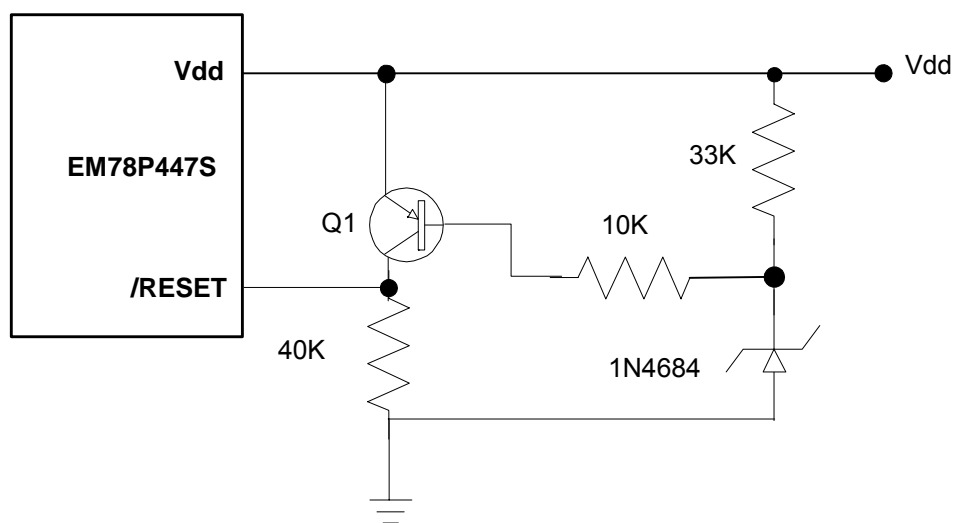


图 14 残留电压保护电路 1

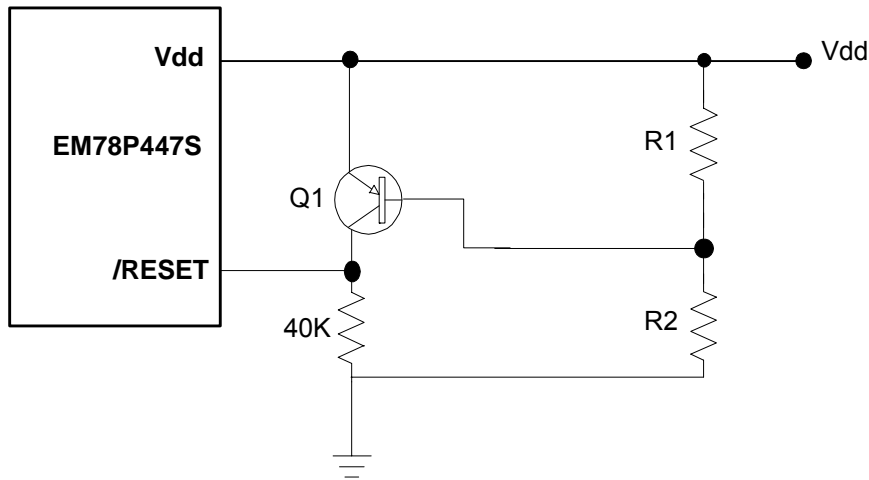


图 15 残留电压保护电路 2

4.12 指令集

指令集的每条指令为 13-bit 的字宽，由操作代码和一个或一个之上的操作数组成。在一般情况下，如果 PC 的值在没有被改变的情况下，所有的指令花费一个指令周期（一个指令周期由两个振荡周期组成），除非 PC 的值的被 "MOV R2,A", "ADD R2,A" 指令改变，或对 R2 进行算术、逻辑运算时(如 "SUB R2,A", "BS(C) R2,6", "CLR R2", ...)，在这种情况下，指令执行将花费两个指令周期。

如果由于其它的原因，对某一个应用场所指令周期的特性不适合的话，试着按照以下方法修改：

(A) 指令周期改为由 4 个振荡周期组成。

(B) 执行花费两个指令周期的 "JMP", "CALL", "RET", "RETL", "RETI" 命令，或结果为真的条件转移命令 ("JBS", "JBC", "JZ", "JZA", "DJZ", "DJZA")。有关写 PC 的指令，都将花费两个指令周期。

(A) 种的情况由 CODE Option 的 CLK 位控制。如果 CLK 设为 '0'，指令周期将由两个振荡周期构成，如果 CLKS 设为 '1'，指令周期将由四个振荡周期构成。

请注意如果在 (A) 种情况中选择指令周期将由四个振荡周期构成，那么内部 TCC 的时钟源将是 $CLK = F_{osc}/4$ (不是 $F_{osc}/2$)，如图 6 所示。

另外，指令集有以下特性：

(1) 任何寄存器的每一个 bit 位可以置 '1'、清零或直接测试。

(2) I/O 寄存器可当作通用寄存器来对待。即，相同的指令可用于 I/O 寄存器。

符号 "R" 表示寄存器（包括操作寄存器和通用寄存器）中的某一个指定的寄存器，符号 "b" 表示当前寄存器 R 的一指定 bit 位。符号 "k" 表示一个 8 或 10-bit 的常数或立即数。

INSTRUCTION BINARY	HEX	MNEMONIC	OPERATION	STATUS AFFECTED
0 0000 0000 0000	0000	NOP	No Operation	None
0 0000 0000 0001	0001	DAA	Decimal Adjust A	C
0 0000 0000 0010	0002	CONTW	A → CONT	None
0 0000 0000 0011	0003	SLEP	0 → WDT, Stop oscillator	T,P
0 0000 0000 0100	0004	WDTC	0 → WDT	T,P
0 0000 0000 rrrr	000r	IOW R	A → IOCR	None <Note1>
0 0000 0001 0000	0010	ENI	Enable Interrupt	None
0 0000 0001 0001	0011	DISI	Disable Interrupt	None
0 0000 0001 0010	0012	RET	[Top of Stack] → PC	None
0 0000 0001 0011	0013	RETI	[Top of Stack] → PC, Enable Interrupt	None
0 0000 0001 0100	0014	CONTR	CONT → A	None
0 0000 0001 rrrr	001r	IOR R	IOCR → A	None <Note1>
0 0000 0010 0000	0020	TBL	R2+A → R2, Bits 8~9 of R2 unchanged	Z,C,DC
0 0000 01rr rrrr	00rr	MOV R,A	A → R	None
0 0000 1000 0000	0080	CLRA	0 → A	Z
0 0000 11rr rrrr	00rr	CLR R	0 → R	Z
0 0001 00rr rrrr	01rr	SUB A,R	R-A → A	Z,C,DC
0 0001 01rr rrrr	01rr	SUB R,A	R-A → R	Z,C,DC
0 0001 10rr rrrr	01rr	DECA R	R-1 → A	Z
0 0001 11rr rrrr	01rr	DEC R	R-1 → R	Z
0 0010 00rr rrrr	02rr	OR A,R	A ∨ R → A	Z
0 0010 01rr rrrr	02rr	OR R,A	A ∨ R → R	Z
0 0010 10rr rrrr	02rr	AND A,R	A & R → A	Z
0 0010 11rr rrrr	02rr	AND R,A	A & R → R	Z
0 0011 00rr rrrr	03rr	XOR A,R	A ⊕ R → A	Z
0 0011 01rr rrrr	03rr	XOR R,A	A ⊕ R → R	Z
0 0011 10rr rrrr	03rr	ADD A,R	A + R → A	Z,C,DC
0 0011 11rr rrrr	03rr	ADD R,A	A + R → R	Z,C,DC
0 0100 00rr rrrr	04rr	MOV A,R	R → A	Z
0 0100 01rr rrrr	04rr	MOV R,R	R → R	Z
0 0100 10rr rrrr	04rr	COMA R	/R → A	Z
0 0100 11rr rrrr	04rr	COM R	/R → R	Z
0 0101 00rr rrrr	05rr	INCA R	R+1 → A	Z
0 0101 01rr rrrr	05rr	INC R	R+1 → R	Z
0 0101 10rr rrrr	05rr	DJZA R	R-1 → A, skip if zero	None
0 0101 11rr rrrr	05rr	DJZ R	R-1 → R, skip if zero	None
0 0110 00rr rrrr	06rr	RRCA R	R(n) → A(n-1),	C

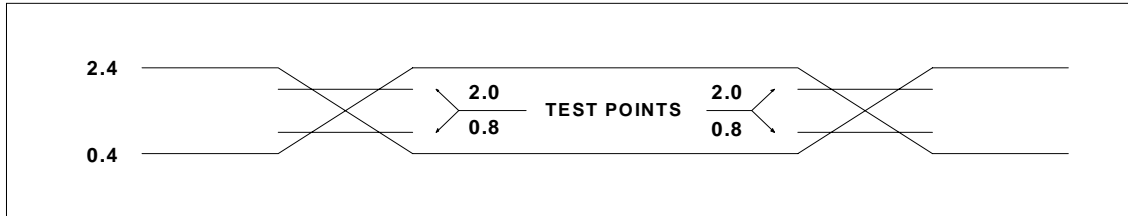
INSTRUCTION BINARY	HEX	MNEMONIC	OPERATION	STATUS AFFECTED
			$R(0) \rightarrow C, C \rightarrow A(7)$	
0 0110 01rr rrrr	06rr	RRC R	$R(n) \rightarrow R(n-1),$ $R(0) \rightarrow C, C \rightarrow R(7)$	C
0 0110 10rr rrrr	06rr	RLCA R	$R(n) \rightarrow A(n+1),$ $R(7) \rightarrow C, C \rightarrow A(0)$	C
0 0110 11rr rrrr	06rr	RLC R	$R(n) \rightarrow R(n+1),$ $R(7) \rightarrow C, C \rightarrow R(0)$	C
0 0111 00rr rrrr	07rr	SWAPA R	$R(0-3) \rightarrow A(4-7),$ $R(4-7) \rightarrow A(0-3)$	None
0 0111 01rr rrrr	07rr	SWAP R	$R(0-3) \leftrightarrow R(4-7)$	None
0 0111 10rr rrrr	07rr	JZA R	$R+1 \rightarrow A$, skip if zero	None
0 0111 11rr rrrr	07rr	JZ R	$R+1 \rightarrow R$, skip if zero	None
0 100b bbrr rrrr	0xxx	BC R,b	$0 \rightarrow R(b)$	None <Note2>
0 101b bbrr rrrr	0xxx	BS R,b	$1 \rightarrow R(b)$	None <Note3>
0 110b bbrr rrrr	0xxx	JBC R,b	if $R(b)=0$, skip	None
0 111b bbrr rrrr	0xxx	JBS R,b	if $R(b)=1$, skip	None
1 00kk kkkk kkkk	1kkk	CALL k	$PC+1 \rightarrow [SP],$ $(Page, k) \rightarrow PC$	None
1 01kk kkkk kkkk	1kkk	JMP k	$(Page, k) \rightarrow PC$	None
1 1000 kkkk kkkk	18kk	MOV A,k	$k \rightarrow A$	None
1 1001 kkkk kkkk	19kk	OR A,k	$A \vee k \rightarrow A$	Z
1 1010 kkkk kkkk	1Akk	AND A,k	$A \& k \rightarrow A$	Z
1 1011 kkkk kkkk	1Bkk	XOR A,k	$A \oplus k \rightarrow A$	Z
1 1100 kkkk kkkk	1Ckk	RETL k	$k \rightarrow A, [Top\ of\ Stack] \rightarrow PC$	None
1 1101 kkkk kkkk	1Dkk	SUB A,k	$k-A \rightarrow A$	Z,C,DC
1 1110 0000 0010	1E02	INT	$PC+1 \rightarrow [SP], 002H \rightarrow PC$	None
1 1111 kkkk kkkk	1Fkk	ADD A,k	$k+A \rightarrow A$	Z,C,DC

注意

- 这个指令只能应用于IOC5 ~ IOC7, IOCB, IOCE, IOCF。
- 建议这个指令不用于对R3F的操作。
- 这个指令不能操作R3F。

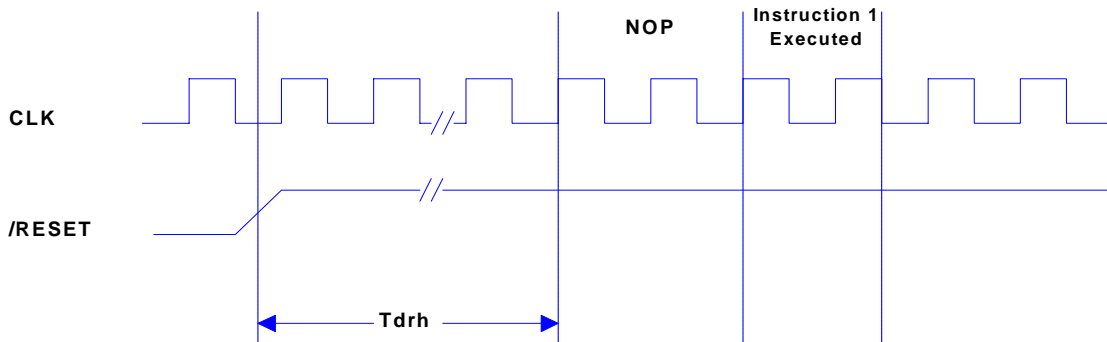
4.13 时序图

AC Test Input/Output Waveform

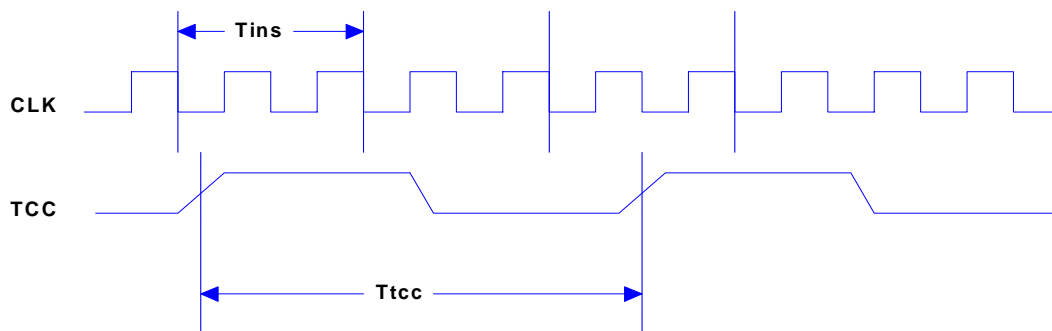


AC Testing : Input is driven at 2.4V for logic "1",and 0.4V for logic "0".Timing measurements are made at 2.0V for logic "1",and 0.8V for logic "0".

RESET Timing (CLK="0")



TCC Input Timing (CLKS="0")



5 绝对最大值

Items	Rating		
Temperature under bias	-40°C	to	85°C
Storage temperature	-65°C	to	150°C
Input voltage	VSS-0.3V	to	VDD+0.5V
Output voltage	VSS-0.3V	to	VDD+0.5V
Operating Frequency (2clk)	32.768KHz	to	20MHz
Operating Voltage	2.5V	to	5.5V

6 电参数

6.1 直流电参数

(Ta= 0°C ~ 70 °C, VDD= 5.0V±5%, VSS= 0V)

Symbol	Parameter	Condition	Min	Typ.	Max	Unit
FXT	XTAL: VDD to 2.3V	Two cycle with two clocks	DC		4.0	MHz
	XTAL: VDD to 3V	Two cycle with two clocks	DC		8.0	MHz
	XTAL: VDD to 5V	Two cycle with two clocks	DC		20.0	MHz
ERC	ERC: VDD to 5V	R: 5.1KΩ, C: 100 pF	F±30%	950	F±30%	KHz
IIL	Input Leakage Current for input pins	VIN = VDD, VSS			±1	μA
VIH1	Input High Voltage (VDD=5V)	Ports 5, 6	2.0			V
VIL1	Input Low Voltage (VDD=5V)	Ports 5, 6			0.8	V
VIHT1	Input High Threshold Voltage (VDD=5V)	/RESET, TCC	2.0			V
VILT1	Input Low Threshold Voltage (VDD=5V)	/RESET, TCC			0.8	V
VIHX1	Clock Input High Voltage (VDD=5V)	OSCI	3.5			V
VILX1	Clock Input Low Voltage (VDD=5V)	OSCI			1.5	V
VIH2	Input High Voltage (VDD=3V)	Ports 5, 6	1.5			V
VIL2	Input Low Voltage (VDD=3V)	Ports 5, 6			0.4	V
VIHT2	Input High Threshold Voltage (VDD=3V)	/RESET, TCC	1.5			V
VILT2	Input Low Threshold Voltage (VDD=3V)	/RESET, TCC			0.4	V
VIHX2	Clock Input High Voltage (VDD=3V)	OSCI	2.1			V
VILX2	Clock Input Low Voltage (VDD=3V)	OSCI			0.9	V
VOH1	Output High Voltage (Ports 5, 6, 7)	IOH = -10.0 mA	2.4			V
VOL1	Output Low Voltage (Ports 5, 6)	IOL = 9.0 mA			0.4	V

Symbol	Parameter	Condition	Min	Typ.	Max	Unit
VOL2	Output Low Voltage (Port7)	IOL = 14.0 mA			0.4	V
IPH	Pull-high current	Pull-high active, input pin at VSS	-50	-100	-240	μA
ISB1	Power down current	All input and I/O pins at VDD, output pin floating, WDT disabled			1	μA
ISB2	Power down current	All input and I/O pins at VDD, output pin floating, WDT enabled			7	μA
ICC1	Operating supply current (VDD=3V) at two cycles/four clocks	/RESET= 'High', Fosc=32KHz (Crystal type,CLKS="0"), output pin floating, WDT disabled	15	25	30	μA
ICC2	Operating supply current (VDD=3V) at two cycles/four clocks	/RESET= 'High', Fosc=32KHz (Crystal type,CLKS="0"), output pin floating, WDT enabled		30	35	μA
ICC3	Operating supply current (VDD=5V) at two cycles/two clocks	/RESET= 'High', Fosc=4MHz (Crystal type, CLKS="0"), output pin floating, WDT enabled			2.2	mA
ICC4	Operating supply current (VDD=5V) at two cycles/four clocks	/RESET= 'High', Fosc=10MHz (Crystal type, CLKS="0"), output pin floating, WDT enabled			5.0	mA

6.2 交流电参数

(Ta=0°C ~ 70 °C, VDD=5V±5%, VSS=0V)

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
Dclk	Input CLK duty cycle		45	50	55	%
Tins	Instruction cycle time (CLKS="0")	Crystal type	100		DC	ns
		RC type	500		DC	ns
Ttcc	TCC input period		(Tins+20)/N*			ns
Tdrh	Device reset hold time	Ta = 25°C	11.3	16.2	21.6	ms
Trst	/RESET pulse width	Ta = 25°C	2000			ns
Twdt	Watchdog timer period	Ta = 25°C	11.3	16.2	21.6	ms
Tset	Input pin setup time			0		ns
Thold	Input pin hold time			20		ns
Tdelay	Output pin delay time	Clod=20pF		50		ns

- N= 选择的预除器比率。
- 数据在5V，25°C情况测得

6.3 设备特性

这下面几页所提供的图解是来源于有限数量样品的测试及只涉及相关的特性被列出。设备特性曲线在这里不保证它的精确性。在一些情况下，数据有可能超出所指定的允许的操作范围内。

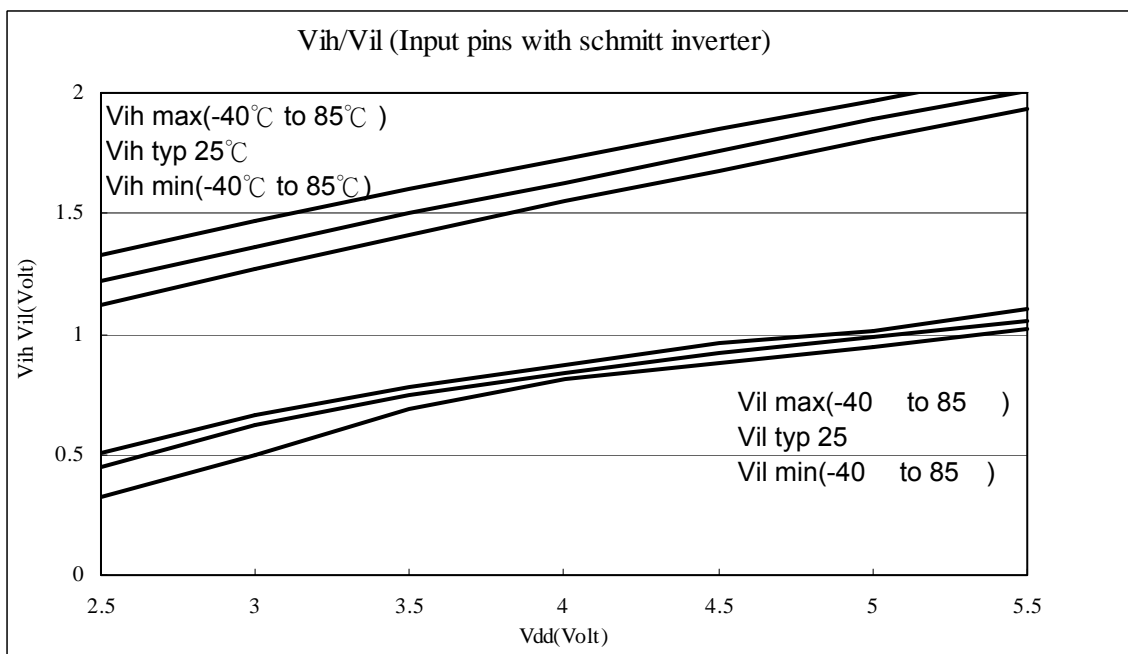


图 16 Vih, Vil of TCC, /INT, /RESET Pin

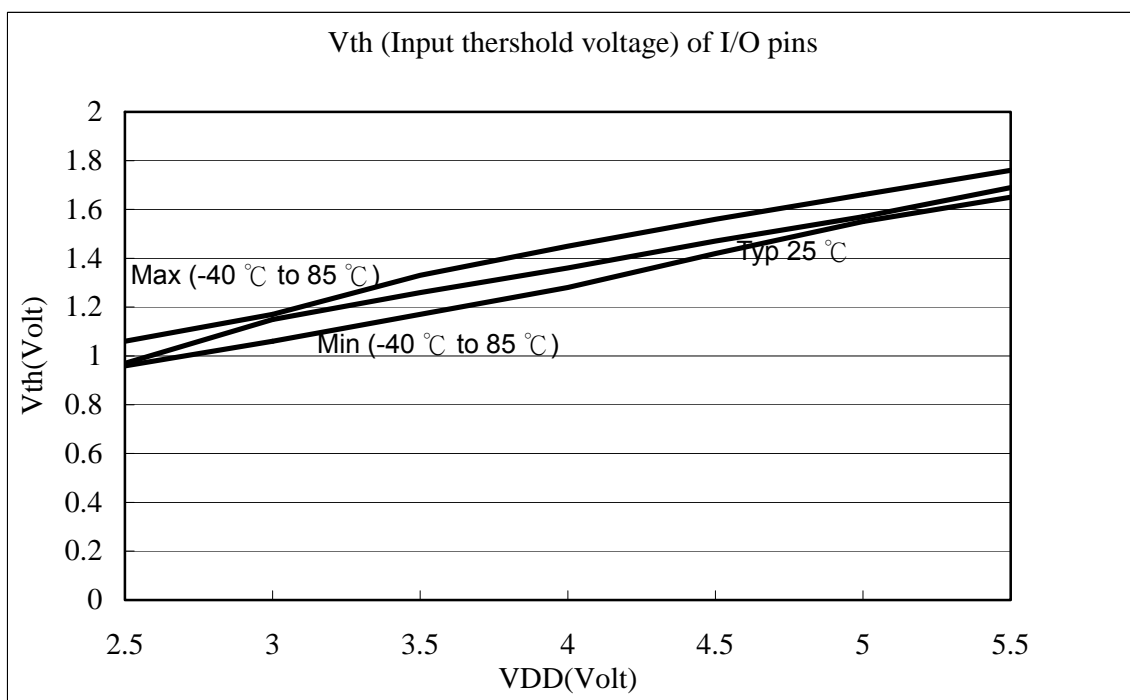


图 17 Vth (起始电压) of P60~P67, P70~P77 VS. VDD

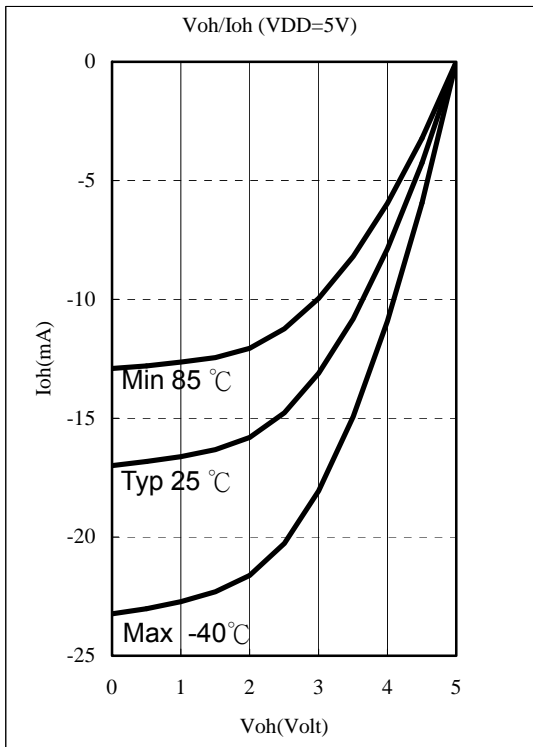


图 18 Port5, Port6, and Port7 Voh vs. Ioh, VDD=5V

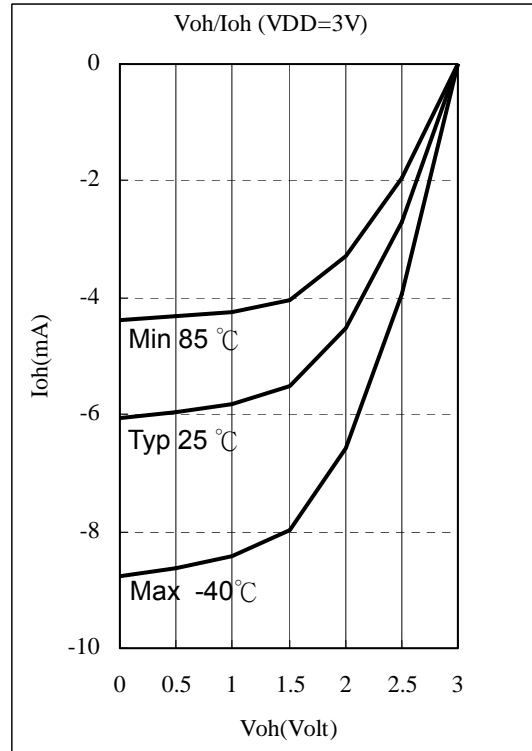


图 19 Port5, Port6, and Port7 Voh vs. Ioh, VDD=3V

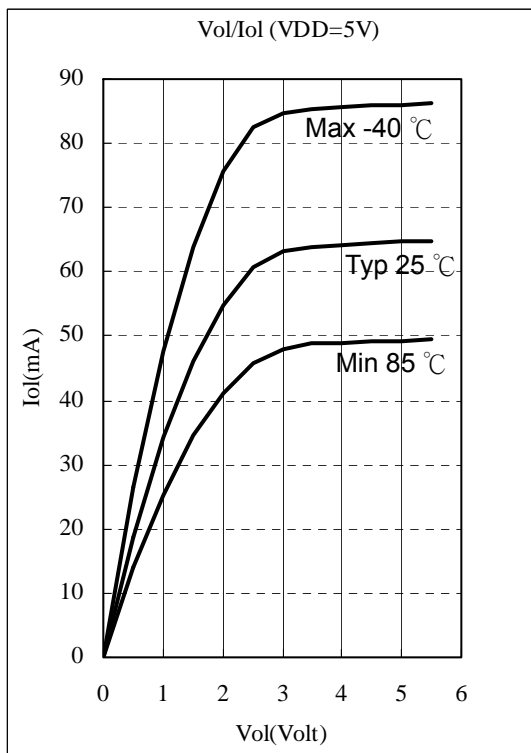


图 20 Port5, and Port6 Vol vs. Iol, VDD=5V

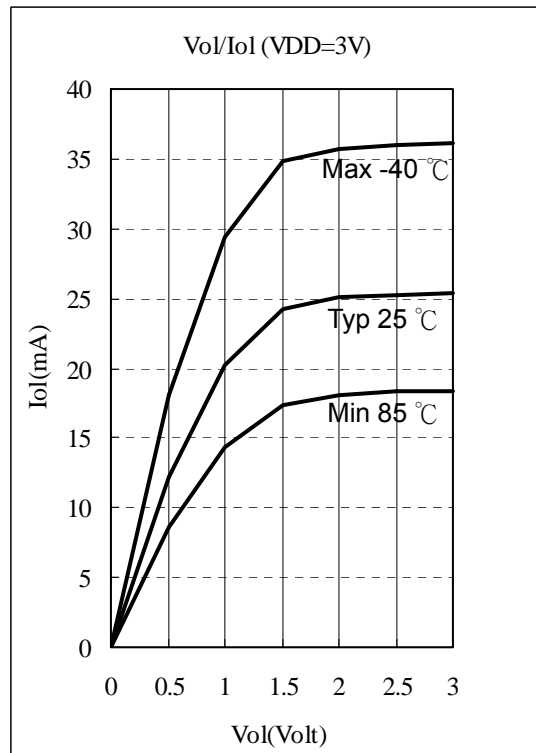


图 21 Port5, and Port6 Vol vs. Iol, VDD=3V

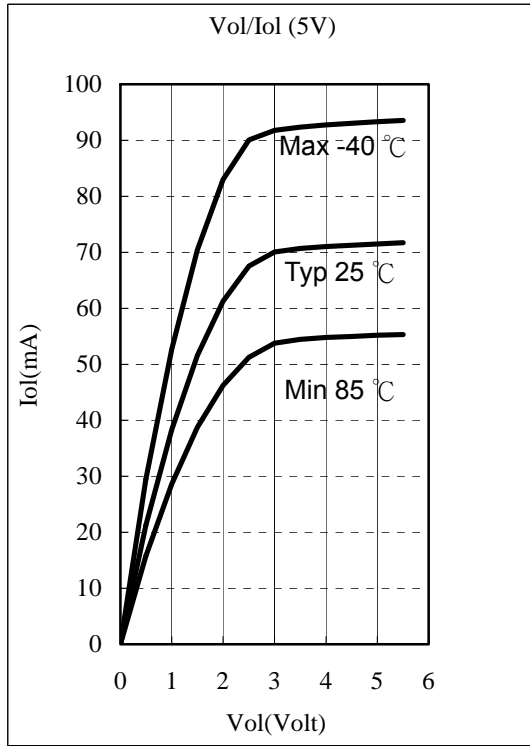


图 22 Port7 Vol vs. Iol, VDD=5V

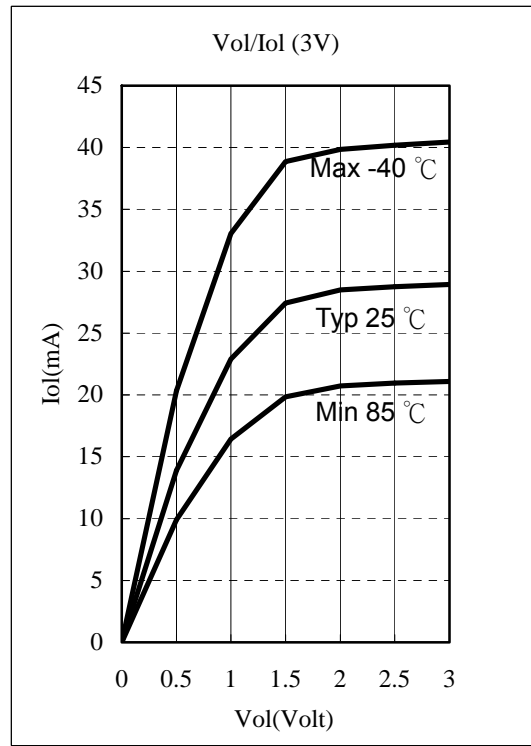


图 23 Port7 Vol vs. Iol, VDD=3V

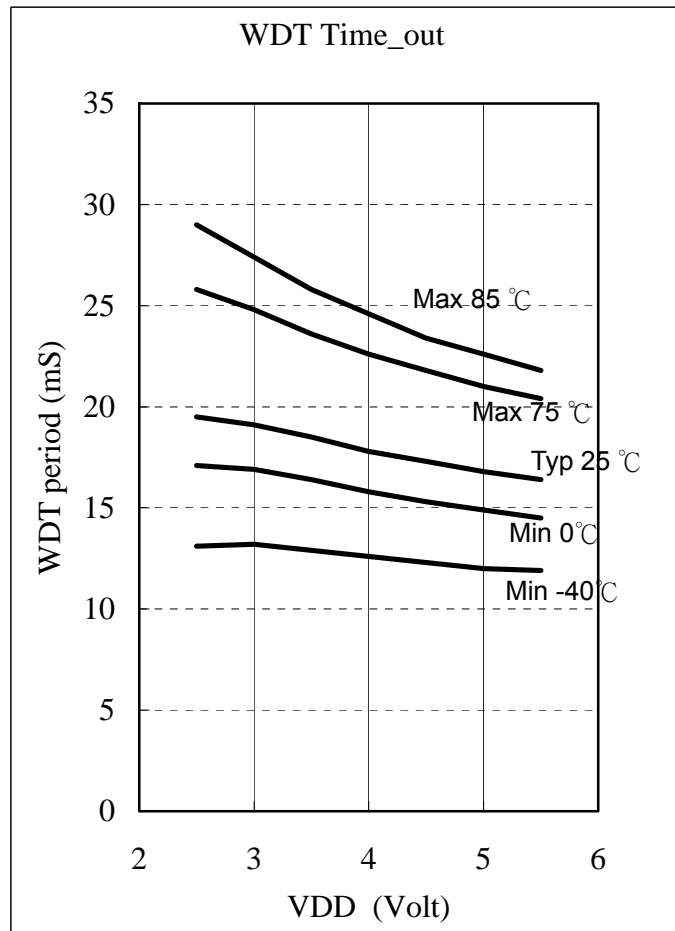


图 24 WDT Time Out Period vs. VDD, Prescaler Set to 1 : 1

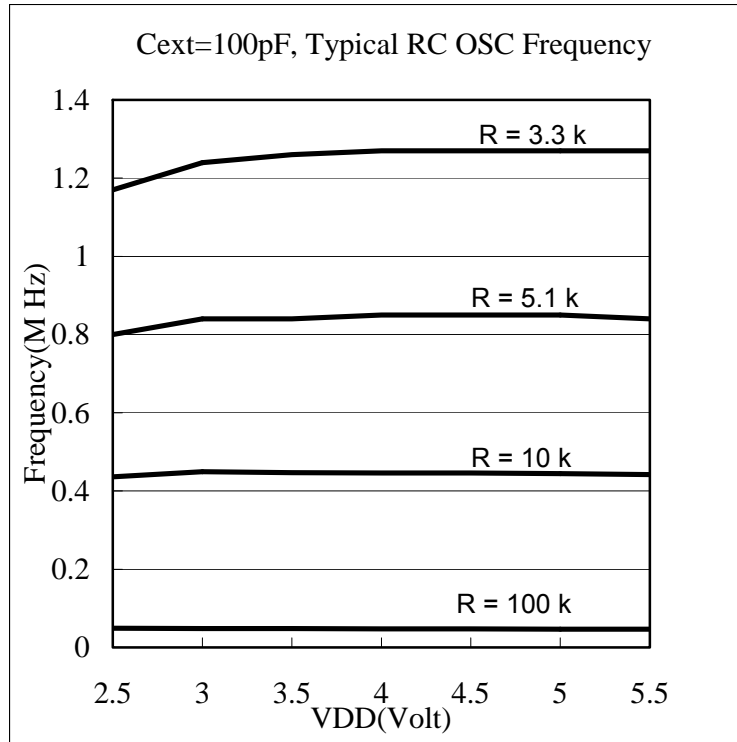


图 25 Typical RC OSC Frequency vs. VDD (Cext=100pF, Temperature at 25 °C)

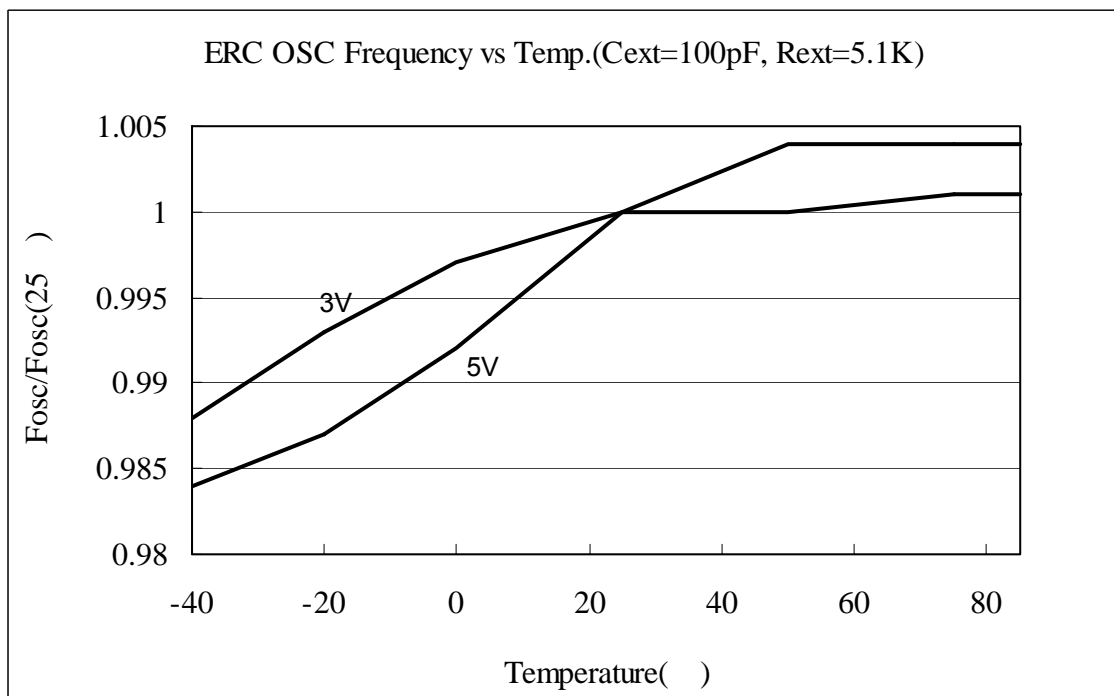


图 26 Typical RC OSC Frequency vs. Temperature (R and C are ideal component)

四种工作条件 (ICC1到ICC4) 下的工作电流, 工作条件如下:

ICC1 : VDD=3V, Fosc=32 kHz, 2clock, WDT disable.

ICC2 : VDD=3V, Fosc=32 kHz, 2clock, WDT enable.

ICC3 : VDD=5V, Fosc=4 MHz, 2clock, WDT enable.

ICC4 : VDD=5V, Fosc=10 MHz, 2clock, WDT enable.

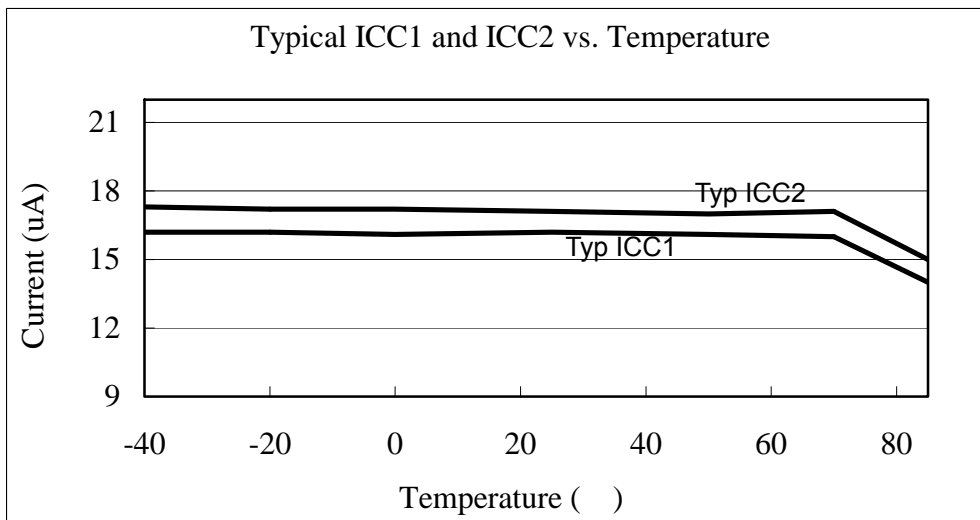


Fig. 27 Typical Operating Current (ICC1 and ICC2) vs. Temperature

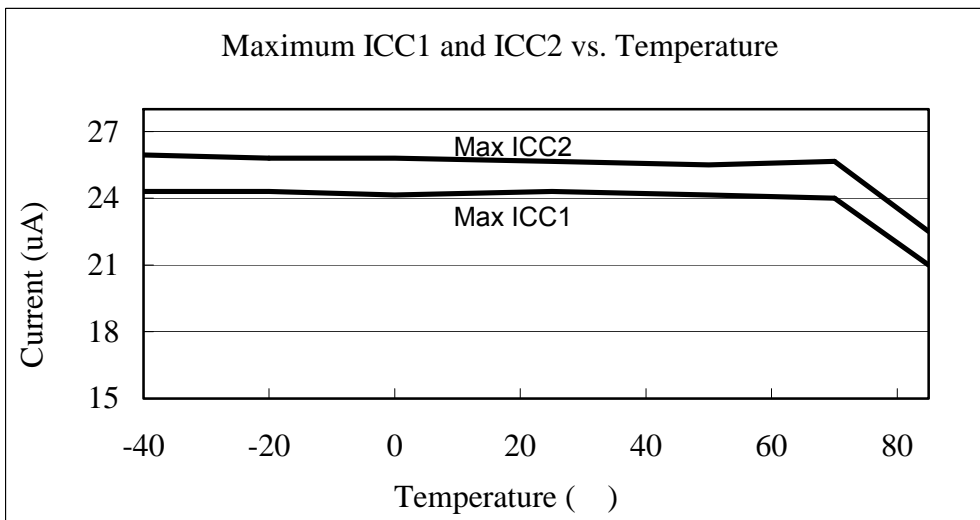


Fig. 28 Maximum Operating Current (ICC1 and ICC2) vs. Temperature

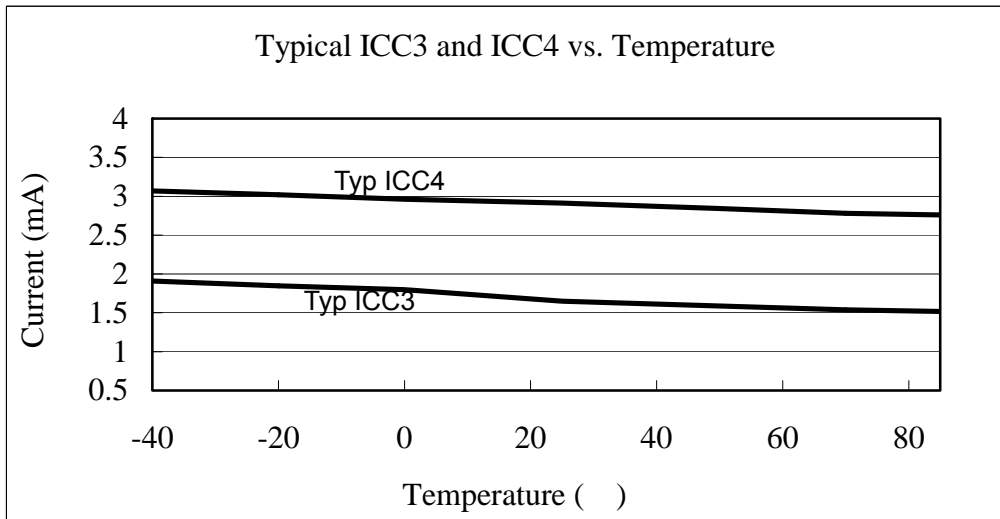


Fig. 29 Typical Operating Current (ICC3 and ICC4) vs. Temperature

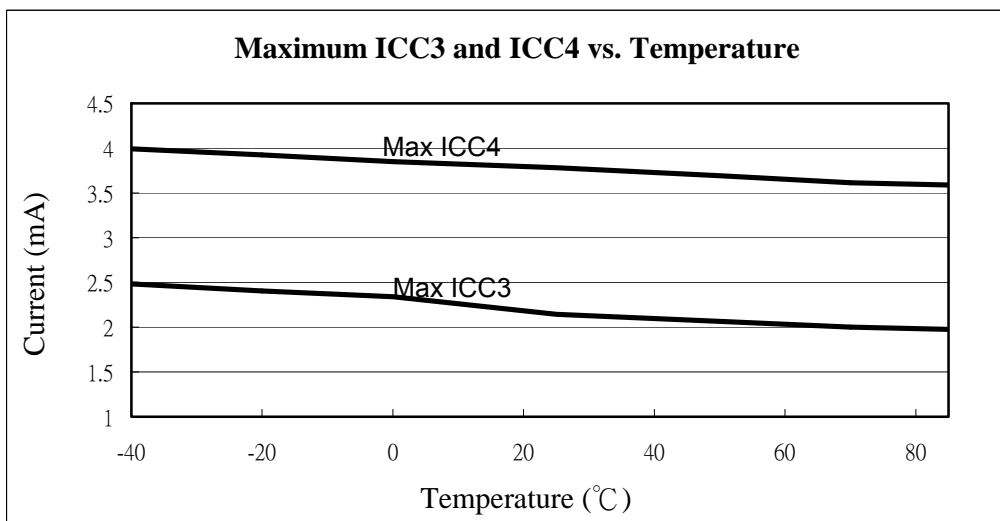


Fig. 30 Maximum Operating Current (ICC3 and ICC4) vs. Temperature

两种条件 (ISB1、ISB2) 下所消耗的电流，条件如下：

ISB1 : VDD=5V, WDT disable

ISB2 : VDD=5V, WDT enable

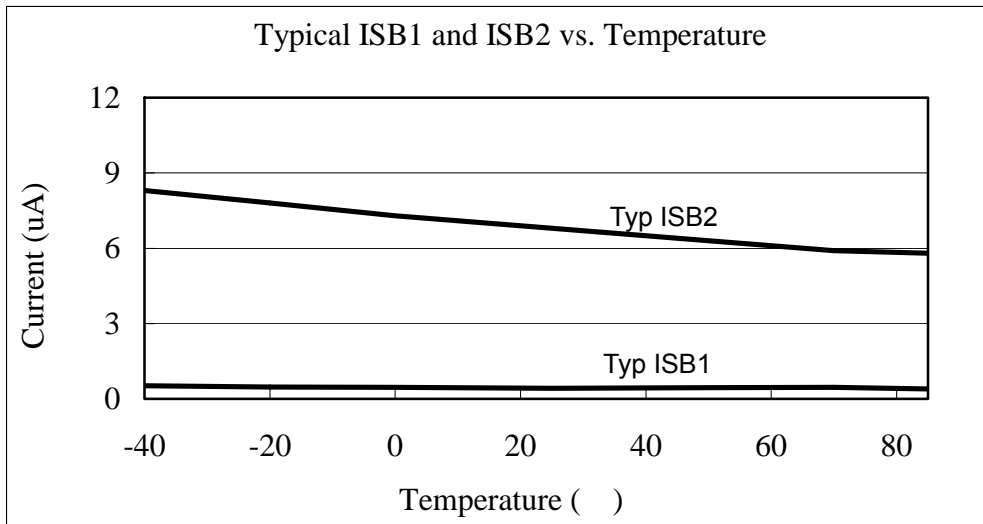


Fig. 31 Typical Standby Current (ISB1 and ISB2) vs. Temperature

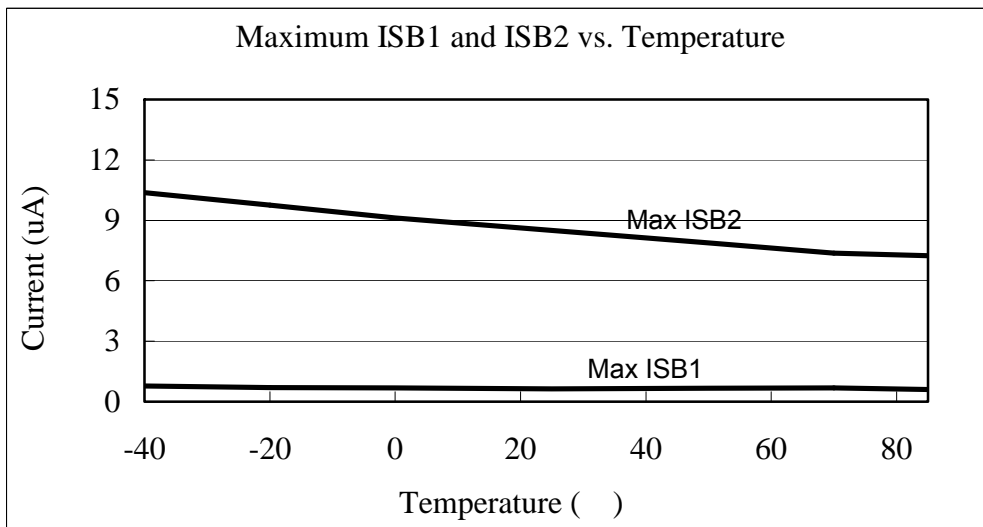


Fig. 32 Maximum Standby Current (ISB1 and ISB2) vs. Temperature

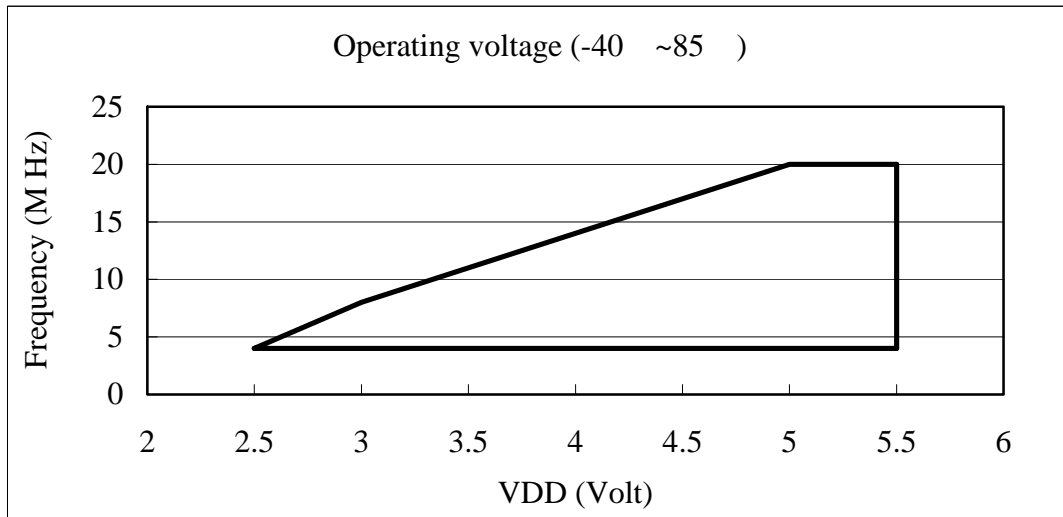


Fig. 33 Operating Voltage In Temperature Range from -40 °C to 85 °C

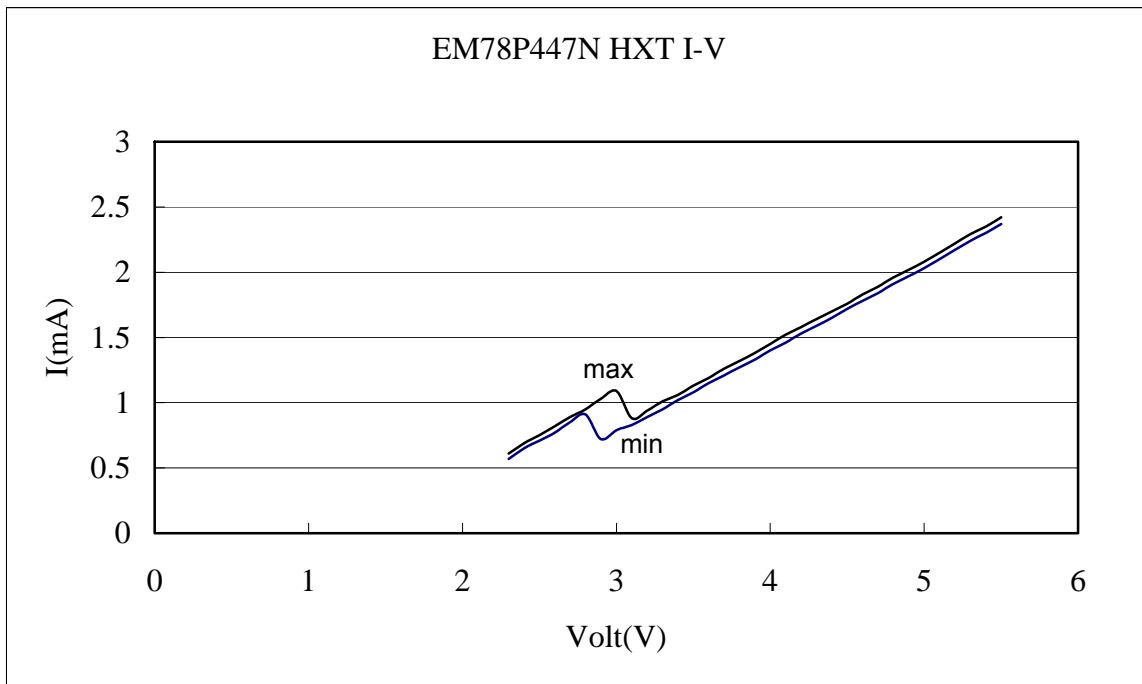


Fig. 34 EM78P447N I-V Curve Operating at 4 MHz

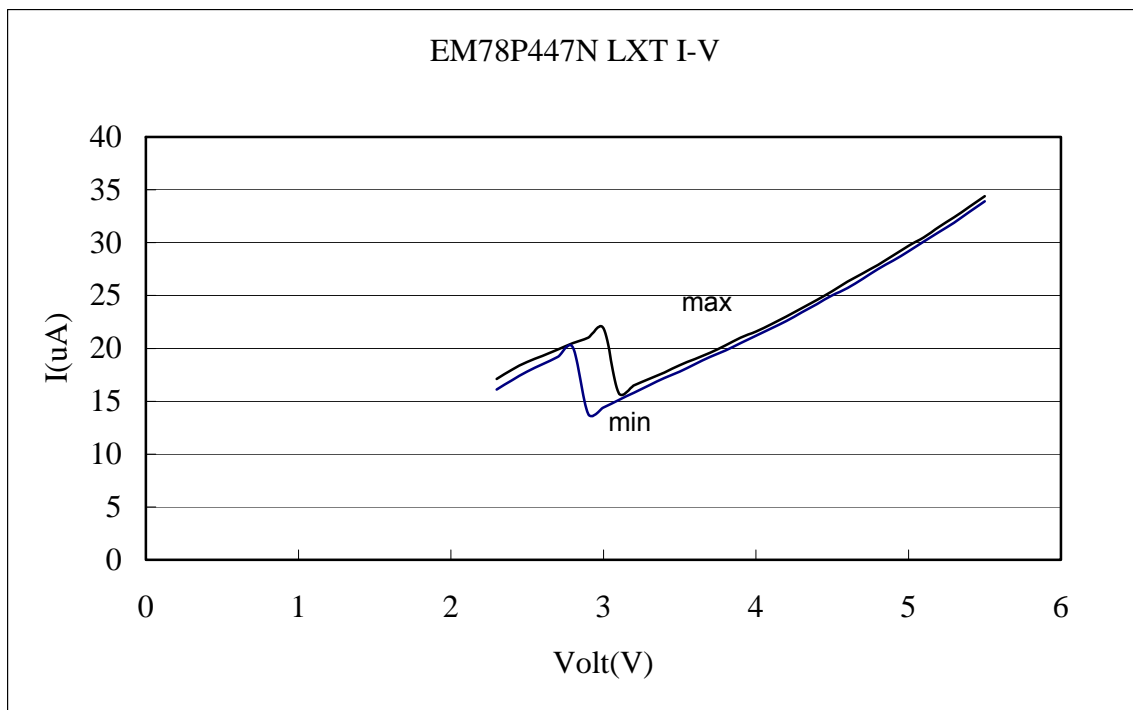


Fig. 35 EM78P447N I-V Curve Operating at 32.768KHz

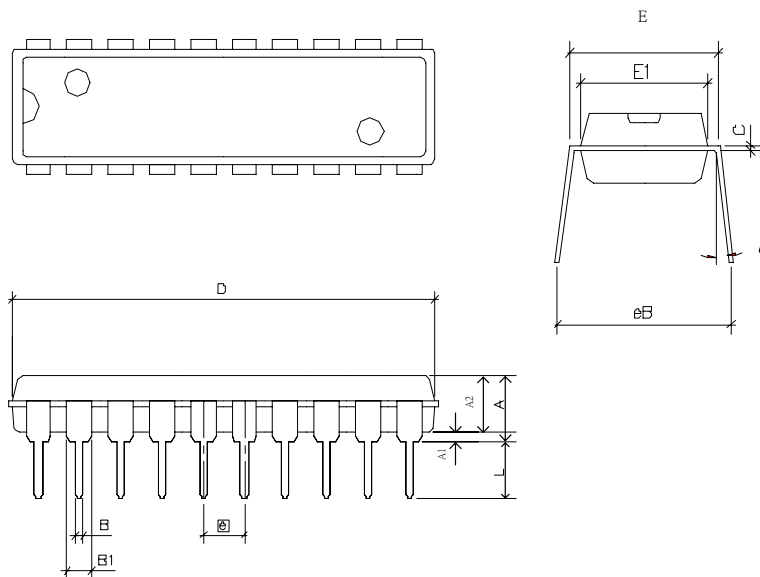
附录

A 封装类型


OTP MCU	Package Type	Pin Count	Package Size
EM78P447NCP	DIP	20	300 mil
EM78P447NCM	SOP	20	300 mil
EM78P447NDK	Skinny DIP	24	300 mil
EM78P447NDM	SOP	24	300 mil
EM78P447NAP	DIP	28	600 mil
EM78P447NAM	SOP	28	300 mil
EM78P447NAS	SSOP	28	209 mil
EM78P447NBP	DIP	32	600 mil
EM78P447NBWM	SOP	32	450 mil

B 封装信息

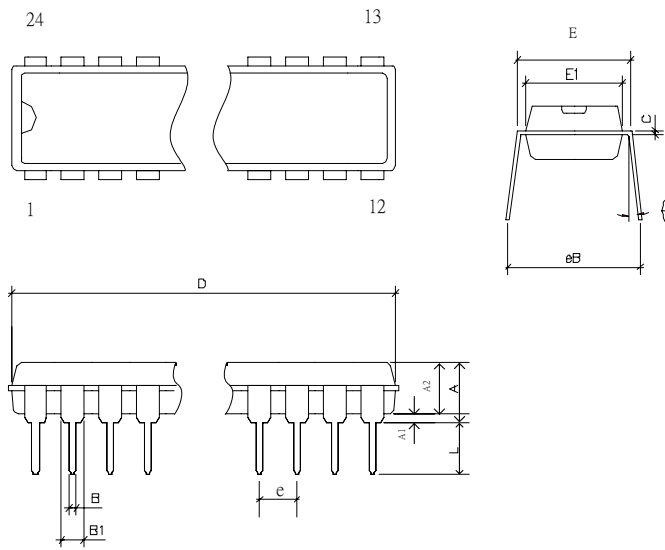
B.1 20-Lead plastic dual inline package (DIP) — 300 mil



Symbol	Min	Normal	Max
A			4.450
A1	0.381		
A2	3.175	3.302	3.429
c	0.203	0.254	0.356
D	25.883	26.060	26.237
E1	6.220	6.438	6.655
E	7.370	7.620	7.870
eB	8.510	9.020	9.530
B	0.356	0.457	0.559
B1	1.143	1.524	1.778
L	3.048	3.302	3.556
e	2.540(TYP)		
ϕ	0		15

TITLE: PDIP-20L 300MIL PACKAGE OUTLINE DIMENSION	
File : D20	Edition: A
	Unit : mm
	Scale: Free
	Material:
Sheet: 1 of 1	

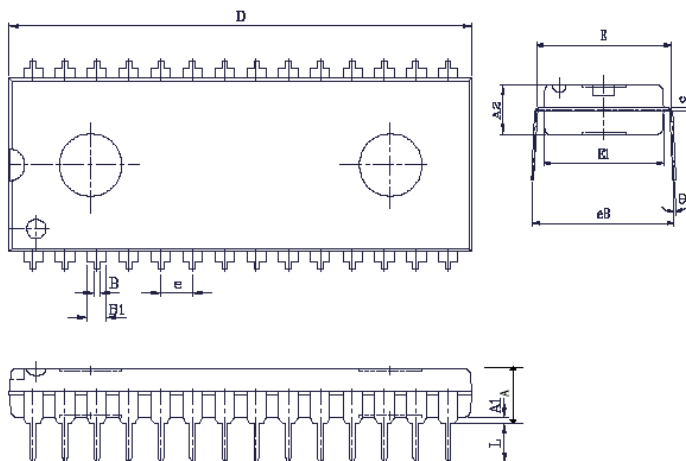
B.2 24-Lead plastic dual inline skinny package (DIP) – 300 mil



Symbol	Min	Normal	Max
A			5.334
A1	0.381		
A2	3.175	3.302	3.429
c	0.203	0.254	0.356
D	31.750	31.801	31.852
E1	6.426	6.628	6.830
E	7.370	7.620	7.870
eB	8.380	8.950	9.520
B	0.356	0.457	0.559
B1	1.470	1.520	1.630
L	3.048	3.302	3.556
e	2.540(TYP)		
θ	0		15

TITLE: PDP-24L SKINNY 300MIL PACKAGE OUTLINE DIMENSION	
File : K24	Edition: A
	Unit : mm
	Scale: Free
	Material:
Sheet:1 of 1	

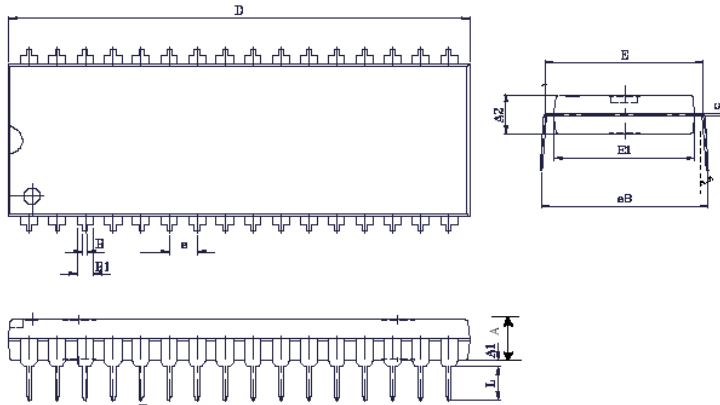
B.3 28-Lead plastic dual inline package (DIP) – 600 mil




Symbol	Min	Normal	Max
A			5.588
A1	0.381		
A2	3.683	3.937	4.191
c	0.254(TYP)		
D	36.830	37.084	37.338
E1	13.700	13.900	14.100
E	14.986	15.240	15.494
eB	15.412	16.256	17.100
B	0.356	0.457	0.559
B1	1.270	1.524	1.651
L	2.921	3.302	3.810
e	2.540(TYP)		
θ	0		15

TITLE: PDP-28L 600MIL PACKAGE OUTLINE DIMENSION	
File : D28	Edition: A
	Unit : mm
	Scale: Free
	Material:
Sheet:1 of 1	

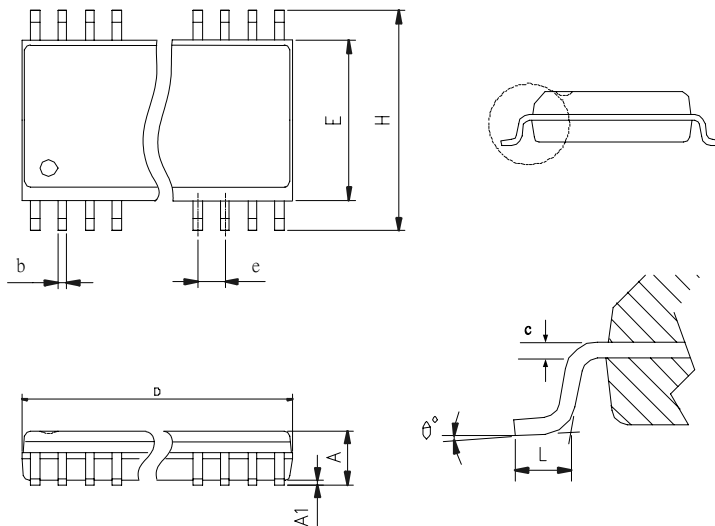
B.4 32-Lead plastic dual inline package (DIP) – 600 mil




Symbol	Min	Normal	Max
A			5,588
A1	0,381		
A2	3,175	3,937	4,953
c		0,254(TYP)	
D	41,783	41,910	42,164
E1	13,700	13,900	14,100
E	14,986	15,240	15,494
eB	15,412	16,256	17,100
B	0,330	0,457	0,584
B1	1,143	1,270	1,397
L	2,921	3,302	3,810
e		2,540(TYP)	
θ	0		15

TITLE: PDP-32L 60MIL PACKAGE OUTLINE DIMENSION	
File : D32	Edition: A
	Unit : mm
	Scale: Free
	Material:
	Sheet: 1 of 1

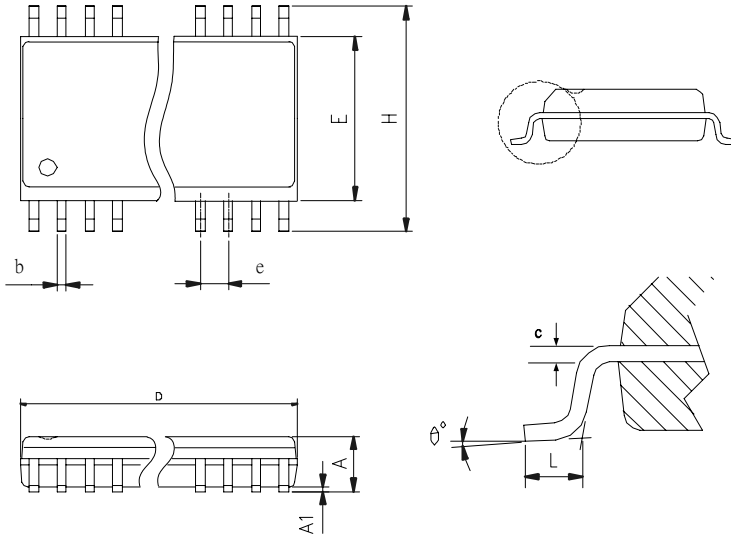
B.5 20-Lead plastic small outline package (SOP) – 300 mil



Symbol	Min	Normal	Max
A	2,350		2,650
A1	0,102		0,300
b		0,406(TYP)	
c	0,230		0,320
E	7,400		7,600
H	10,000		10,650
D	12,600		12,900
L	0,630	0,838	1,100
e		1,27(TYP)	
θ°	0		8

TITLE: SOP-20L (300MIL) PACKAGE OUTLINE DIMENSION	
File : SO20	Edition: A
	Unit : mm
	Scale: Free
	Material:
	Sheet: 1 of 1

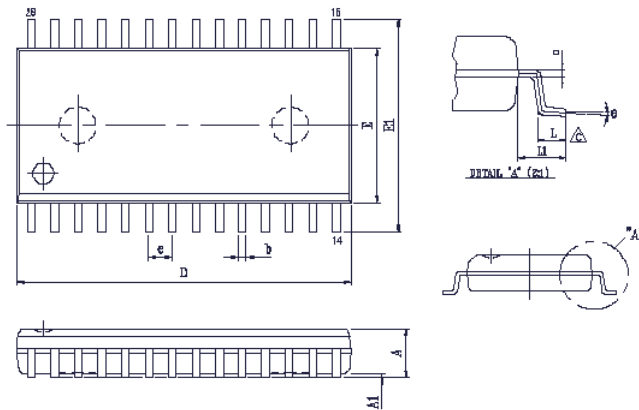
B.6 24-Lead plastic small outline package (SOP) – 300 mil



Symbol	Min	Normal	Max
A	2.350		2.650
A1	0.102		0.300
b	0.406(TYP)		
c	0.230		0.320
E	7.400		7.600
H	10.000		10.650
D	15.200		15.600
L	0.630	0.838	1.100
e	1.27(TYP)		
θ°	0		8

TITLE: SOP-24L(300MIL) PACKAGE OUTLINE DIMENSION	
File : SO24	Edition: A
	Unit : mm
	Scale: Free
	Material:
Sheet:1 of 1	

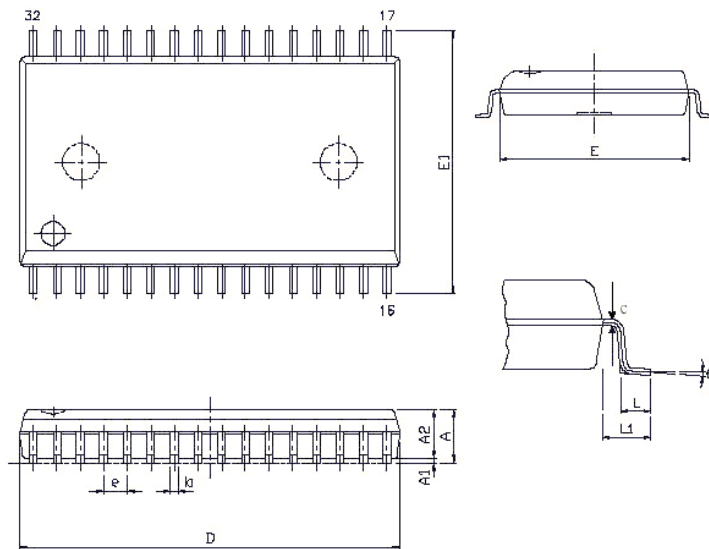
B.7 28-Lead plastic small outline package (SOP) – 300 mil



Symbol	Min	Normal	Max
A	2.370	2.500	2.630
A1	0.102		0.300
b	0.350	0.406	0.500
c	0.254(TYP)		
E	7.410	7.500	7.590
E1	10.000	10.325	10.650
D	17.700	17.900	18.100
L	0.678	0.881	1.084
L1	1.194	1.397	1.600
e	1.27(TYP)		
θ°	0		8

TITLE: SOP-28L(300MIL) PACKAGE OUTLINE DIMENSION	
File : SO28	Edition: A
	Unit : mm
	Scale: Free
	Material:
Sheet:1 of 1	

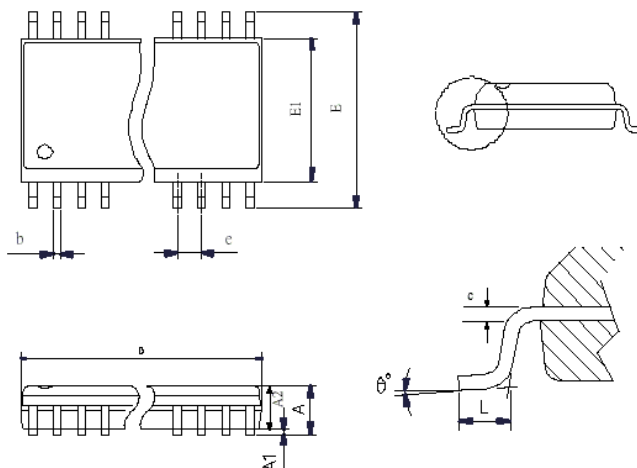
B.8 32-Lead plastic small outline package (SOP) – 300 mil



Symbol	Min	Normal	Max
A	2.540		3.048
A1	0.102		0.350
A2	2.540	2.642	2.744
b	0.350		0.500
c	0.254(TYP)		
E	11.176	11.303	11.430
E1	13.692	14.097	14.502
D	20.300	20.500	20.700
L	0.678	0.881	1.084
L1	1.194	1.397	1.600
e	1.27(TYP)		
θ^*	0		8

TITLE: SCP-32(450MIL) PACKAGE OUTLINE DIMENSION	
File : SO32	Edition: A
	Unit : mm
	Scale: Free
	Material:
	Sheet:1 of 1

B.9 28-Lead Shrink Small Outline Package (SSOP) – 209 mil



Symbol	Min	Normal	Max
A			2.130
A1	0.050		0.250
A2	1.620	1.750	1.880
b	0.220		0.380
c	0.090		0.200
E	7.400	7.800	8.200
E1	5.000	5.300	5.600
D	9.900	10.200	10.500
L	0.630	0.900	1.030
e	0.650(TYP)		
θ^*	0	4	8

TITLE: SSOP-28(209MIL) OUTLINE PACKAGE PACKA OUTLINE DIMENSION	
File : SSO28	Edition: A
	Unit : mm
	Scale: Free
	Material:
	Sheet:1 of 1

