	文件名稱		文件編號	
	FP103 OV/OCP 應用手冊		PW-AN008	
			版別	A0

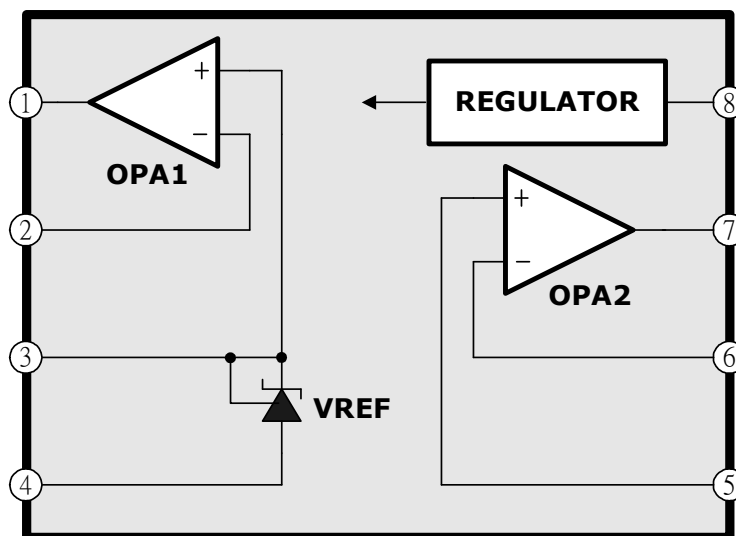
## FP103D 應用電路設計文件

### 一. 目的


本次應用實驗的目的在利用內建參考電壓及兩組比較器做為系統端輸入電源的過壓過流保護電路，使當外來異常的過電壓發生下能保護系統不被過壓破壞，另提供系統端過流保護電路偵測系統負載電流是否超過限制規格，並取代保險絲功能。

### 二. FP103 內部簡易方塊圖

FP103 IC 內部能提供一精準的 2.5V 參考電壓源給其中一組比較器(OPA1)外，再經由外部電阻分壓至另一組雙輸入獨立的比較器(OPA2)，即可根據不同的偵測電壓電流方式，做到設計上的偵測點功能，其方塊圖參考如下：

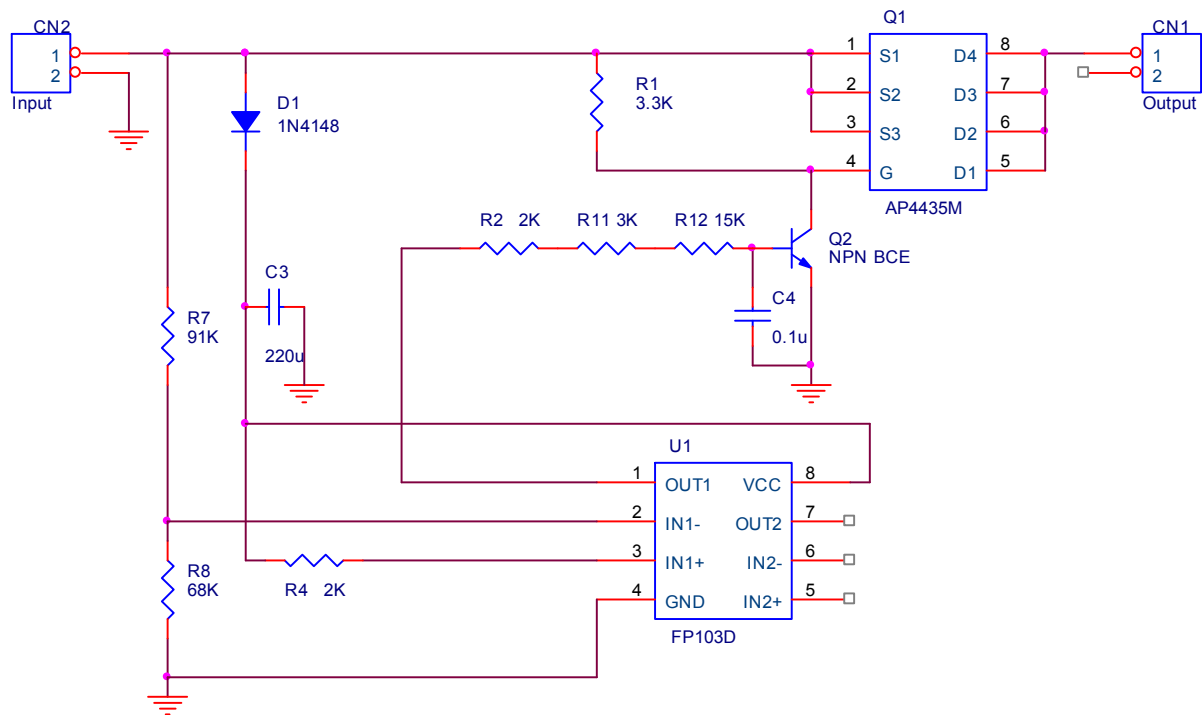


FP103 內部方塊圖

	文件名稱		文件編號	
	FP103 OVI/OCV 應用手冊		PW-AN008	
	版別	A0		

### 三. 電路說明

輸入電源過電壓偵測保護電路




上圖為過電壓偵測電路及 MOS 驅動(保護作用)電路： R4 提供 FP103 內部參考電壓的工作電流，目的是產生 2.5V 的穩定電壓供待測來源信號做參考基準，所需的工作電流設計在  $I_{ref} = \frac{V_{cc} - 2.5V}{R4}$  (mA) 上，其阻值所產生的參考電流建議設計在 1~2mA。

R7、R8 從輸入電源端分壓來判定偵測點電壓是否正確，若 OVP 的保護點設計給 5V 系統使用下，我們希望在 6.0V 附近能馬上將輸入電源與系統電源斷開，可設計使用 R7 為 91KΩ，R8 為 68KΩ，並根據下面公式可以透過阻值決定過壓偵測的保護點：

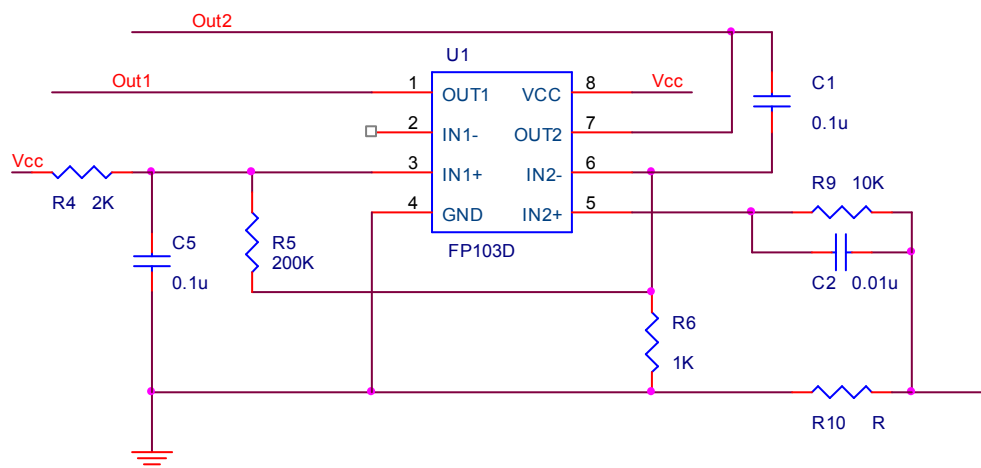
$$V_{REF} * \frac{R7 + R8}{R7} = 2.5V * \frac{159K\Omega}{68K\Omega} = 5.85V \quad \text{----- 公式(1)}$$

當輸入電源電壓低於保護點時，表示 IC 的 IN- 的電壓低於 2.5V，故 IC OUT1 輸出為 HI 使 Q2 導通並讓 Q1 MOS 打開，輸入電壓會正常由 CN2 經過 Q1 輸出到 CN1；若輸入電壓高於保護點時，IN- 電壓會高於 2.5V 使 OUT1 輸出為 LOW 使 Q2 關閉讓 Q1 MOS 關閉，使超過保護點的輸入電壓被阻擋在 Q1，讓 CN1 無電源輸出。

這裡 D1、C3 隔離主電源路徑供 IC 電源使用，其目的在於避免輸出短路時輸入電壓被拉得太低，導致 IC 無法正常工作。

	文件名稱		文件編號	
	FP103 OV/OCP 應用手冊		PW-AN008	
	版別	A0		

系統端電源過電流偵測保護電路



上圖為 FP103 的過電流偵測電路：R5 及 R6 從 IN1+ 的 2.5V 分壓作為過電流保護的參考電壓，可根據下面公式計算阻值決定過流偵測的參考電壓：

$$V_{REF} * \frac{R6}{R5 + R6} = 2.5V * \frac{1K\Omega}{201K\Omega} = 12.43mV \quad \text{----- 公式(2)}$$

R10 為過電流偵測電阻，當電阻上的壓降大於設計在 IN2- 的參考電壓時，過流保護就會動作，其電阻值大小與保護電流值有關，由下面公式可決定過流偵測的保護點：


$$R10 = \frac{12.43mV}{I_{oc}} \quad \text{----- 公式(3)}$$

因為我們已由公式(2)設計出過流偵測的參考電壓，可知當我們選定 R10 為 5.1mΩ 時，

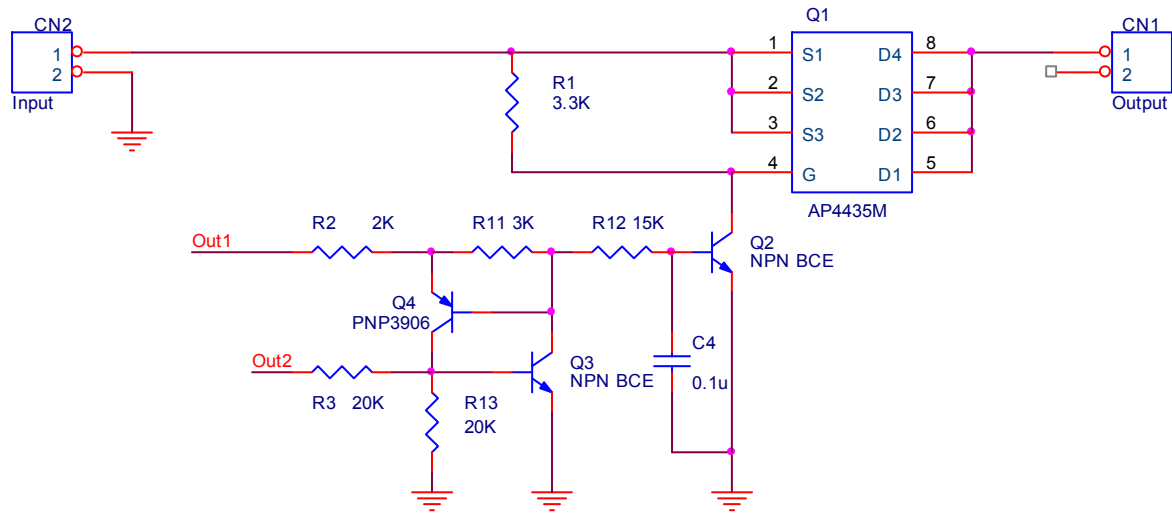
$$\text{過電流保護點為 } \frac{12.43mV}{5.1m\Omega} = 2.43A。$$

因此，我們可以藉由調整 IN2- 上的參考電壓點或是偵測電阻的大小來改變過流發生的保護點，但必須注意是 R10 電阻大小會影響整體系統效率外，因為 IN2- 的參考比值非常小需留意 R10 上的訊號是否會受雜訊干擾而發生非預期的變化，所以在 PCB Layout 上必須注意路徑是否易受到干擾。

C5 是為了加強 2.5V 穩定而並聯上去的穩壓電容，C1 為 OPA2 負回授補償用，R9、C2 為過電流偵測的雜訊反應電路。

	文件名稱		文件編號	
	FP103 OVI/OCV 應用手冊		PW-AN008	
	版別	A0		


過流與過壓控制結合的驅動電路

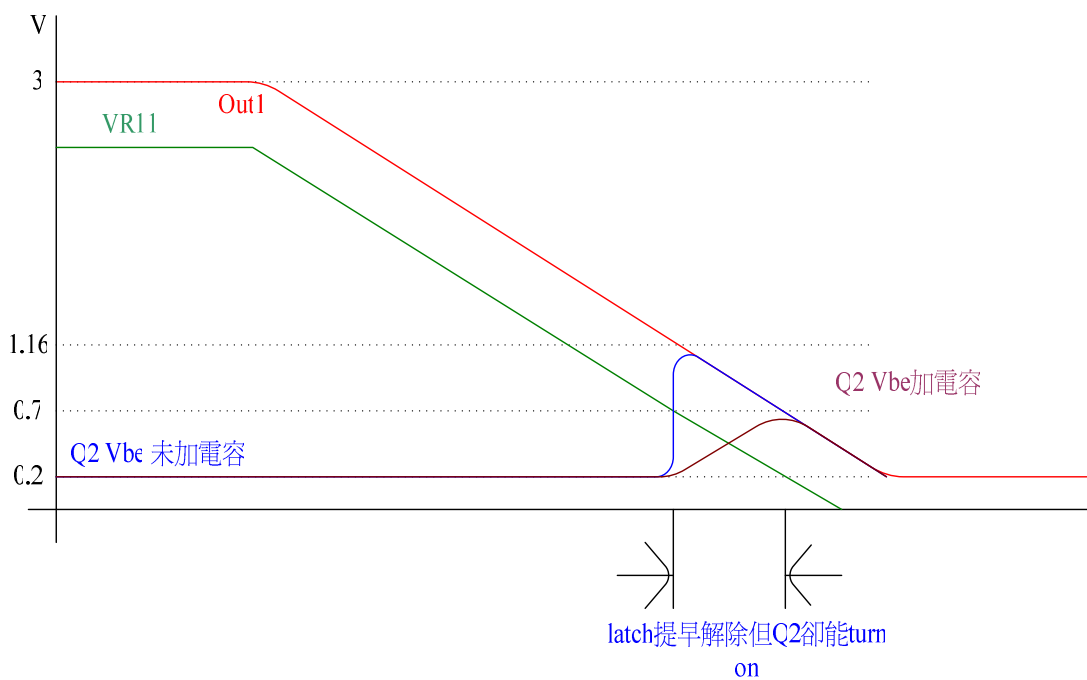


上圖為過壓及過流結合後的 MOS 驅動電路，控制信號來源分別是由 IC 的 OVP 〈Out1〉及 OCP 〈Out2〉來控制；在正常工作時，Out1 為 HI，Out2 為 Low，MOS 正常輸出，當此時如果發生過電流，則 Out2 會拉 HI 使 Q3 導通，而 Out1 還是 HI 電壓，這個電壓會在 R2、R11 分壓，而 R11 所分到的電壓為  $\frac{(V_{cc} - I_C V_{oh} - Q3 V_{sat}) * R11}{R11 + R2}$ ，當輸入為 3.5V~5.8V 時，此電壓為 0.78V~2.16V，即供給 Q4 一個順向偏壓使 Q4 導通，Q4 導通後則提供 Q3 B-E 的偏壓讓 Q3 持續導通，目的是讓 Q1 關閉以解除過流狀態，當 Q1 關閉後 CN1 沒有輸出會解除過流訊號，所以 Out2 就會回到原先 Low 的電位，但 Q4 所提供的偏壓會使得 Q3 繼續導通，故 Q1 MOS 會一直處在關閉狀態，而形成栓鎖(latch)的情況，這是設計有如燒斷型保險絲的功能。


至於 OVP 發生後因為已經沒有輸出，所以不可能發生 OCP，OVP 的動作則屬於復置型，當 OVP 解除後即恢復輸入電源供給。

注意的是當栓鎖動作發生後，若 OVP 再發生，Out1 會拉 Low，在拉 Low 的這段時間若 R11 上的電壓不足時會造成栓鎖動作提早被解除，而此狀況會產生一小段的大電流輸出，所以並聯 C4 在 Q2 的 B-E 之間來排除這個情形，利用 RC 電路來遲緩栓鎖解除後 Q2 B-E 被拉至導通的速度，可參考下圖波形說明：

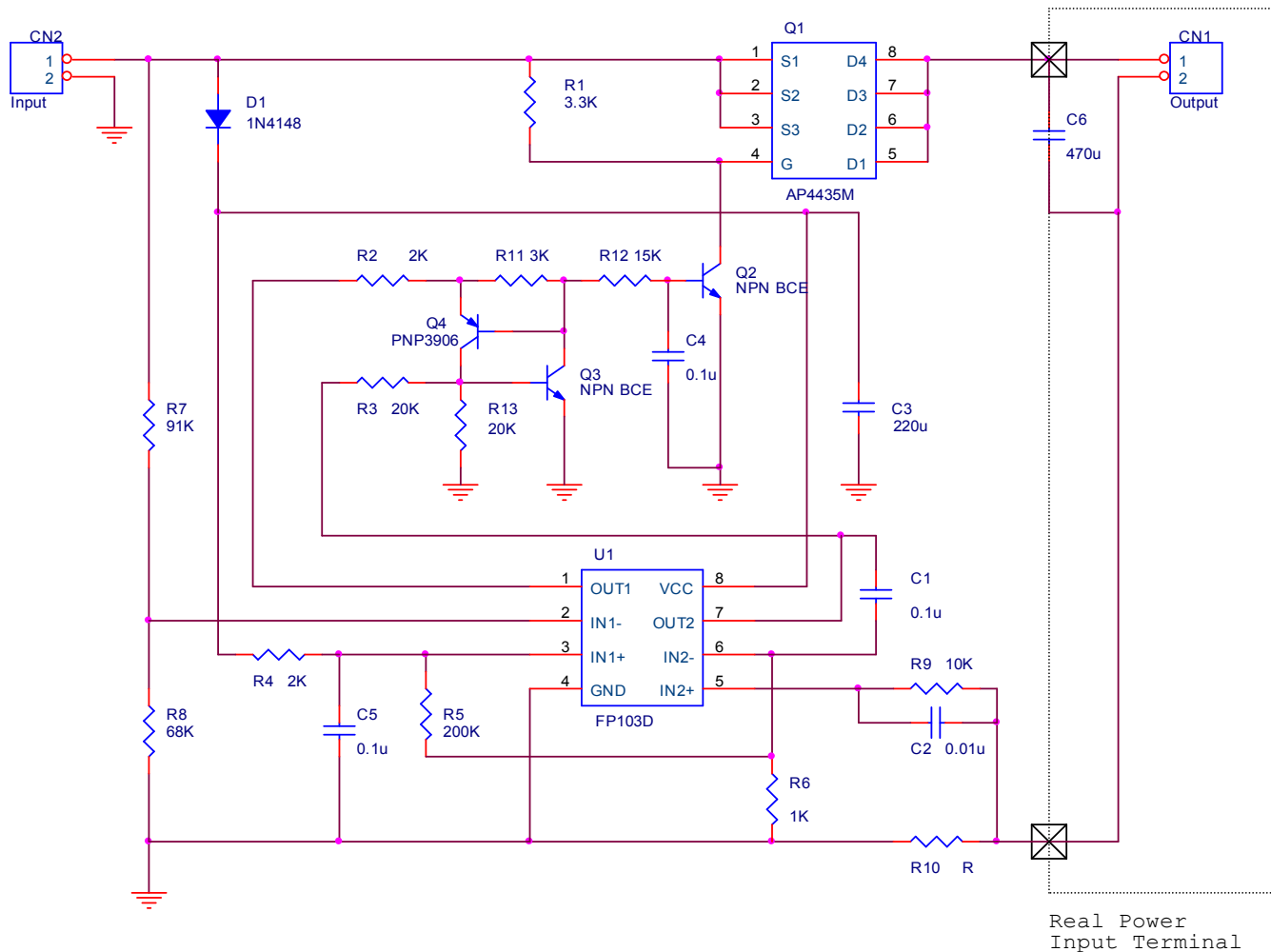
	文件名稱	文件編號	
	FP103 OV/OCP 應用手冊	PW-AN008	
		版別	A0




Q2 B-E 狀態說明圖

	文件名稱	文件編號
	FP103 OV/OCP 應用手冊	PW-AN008
		版別

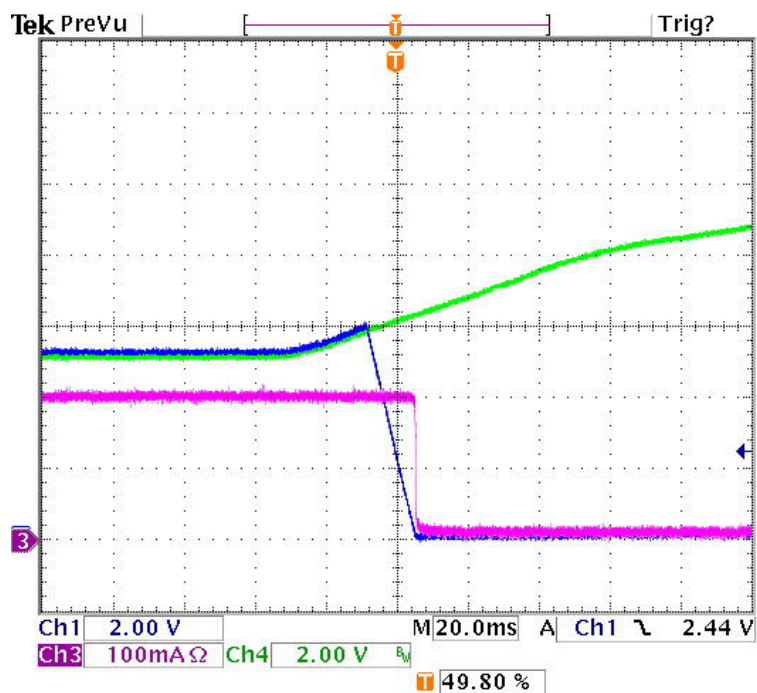
#### 四. 完整電路圖



Real Power  
Input Terminal

	文件名稱		文件編號	
	FP103 OV/OCP 應用手冊		PW-AN008	
	版別	A0		

### 五. 波形量測及說明



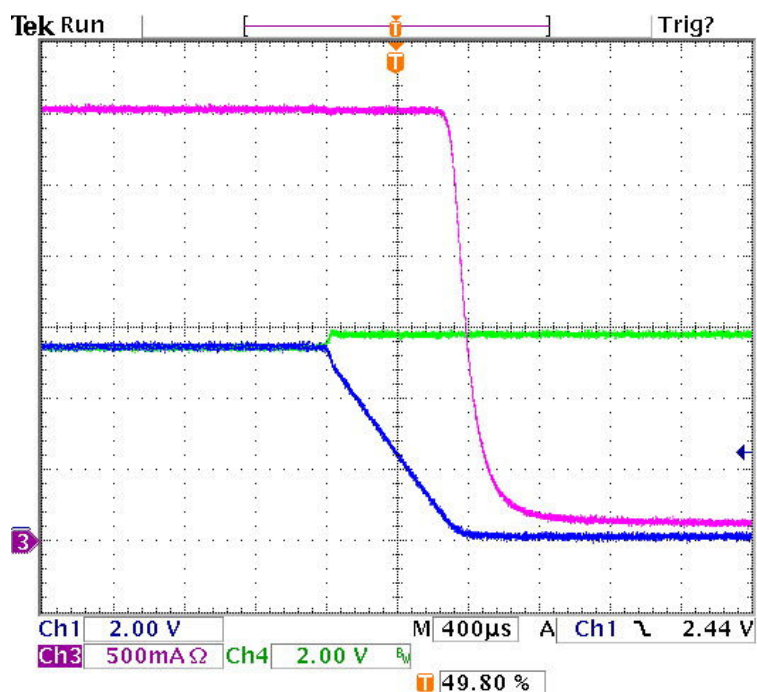
CH1 Vout

CH3 Iout

CH4 Vin

當 Vin 上升到保護點時 Vout 停止輸出

3 Jan 2007  
12:04:22



CH1 Vout

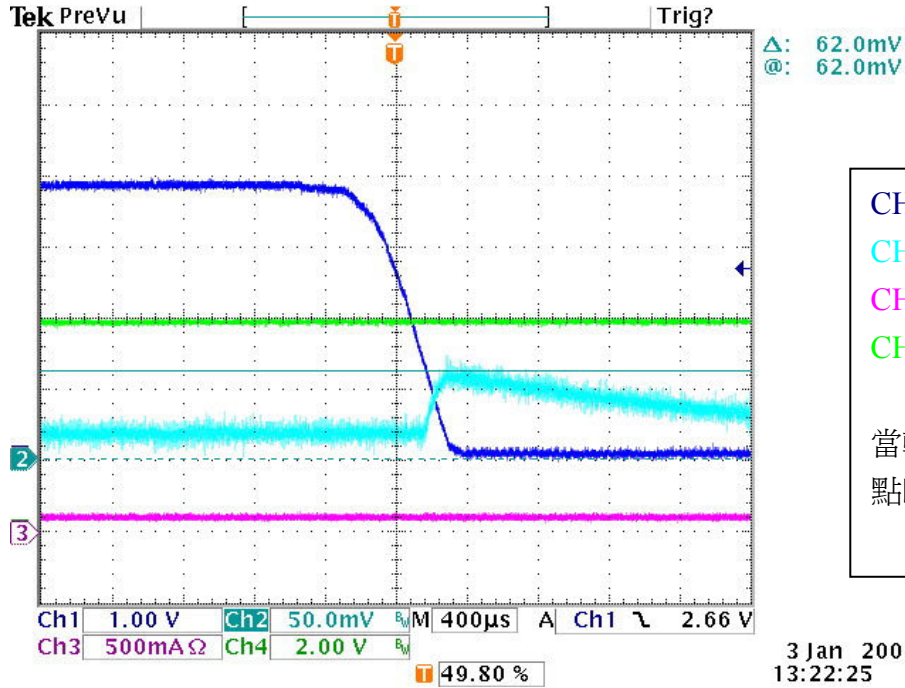
CH3 Iout

CH4 Vin

當 Iout 增加到護點時 Vout 停止輸出

3 Jan 2007  
13:16:34

	文件名稱		文件編號	
	FP103 OV/OCP 應用手冊		PW-AN008	
			版別	A0





## DUAL OPERATIONAL AMPLIFIER AND REFERENCE REGULATOR

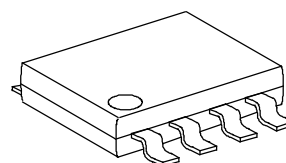
### GENERAL DESCRIPTION

The **FP103**, a 1-chip composed of one independent op-amp (OPA2) and another op-amp (OPA1) with a 2.5V precision voltage reference on non-inverting input, applied to offer space and low cost in many applications such as the secondary feedback control of power supply, DC/DC converter or adaptor.

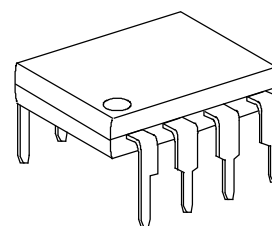
Using few external components, **FP103**, a high performance integrated IC, is designed for a feedback circuit. The circuit diagram of the typical application example is as below.

### FEATURES

- Fixed Reference Voltage: 2.5V
- Reference Voltage Precision: 1%
- Output sink current up to 100mA
- Low quiescent supply current
- Wide operating voltage range: 3~32V(+/-16V)
- Low input offset voltage
- Unit gain bandwidth: 0.9MHz
- Package: PDIP8/SOP8

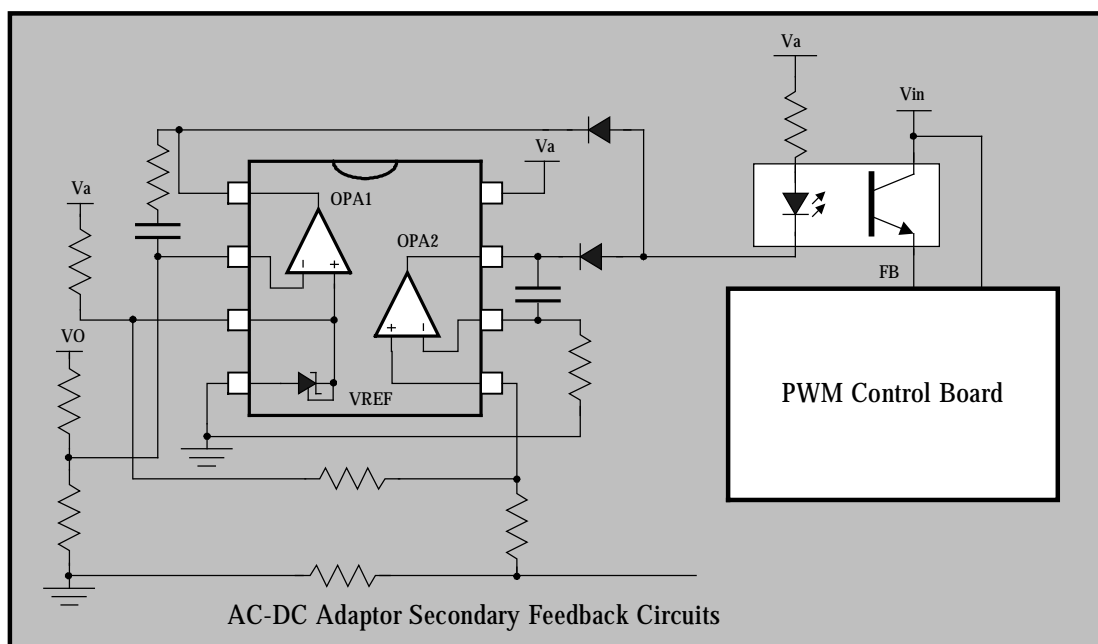


SOP8

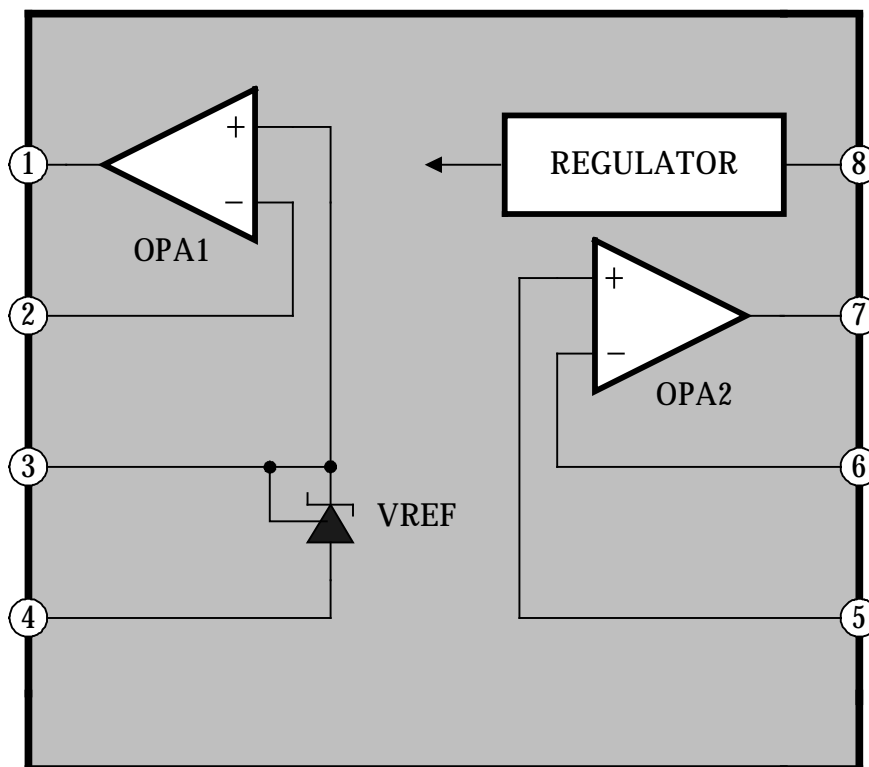


PDIP8

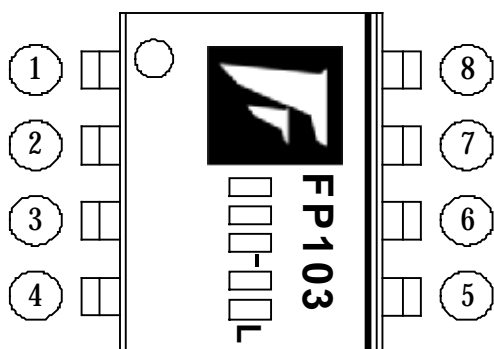
### TYPICAL APPLICATION CIRCUIT



## FUNCTIONAL BLOCK DIAGRAM



### MARK VIEW



### PIN DESCRIPTION

NAME	NO.	STATUS	DESCRIPTION
VO1	1	O	OPA1 Output
VI1	2	I	OPA1 Inverting Input
VNI1	3	I	OPA1 Non-inverting Input
VEE	4	P	IC Ground or Negative Supply Voltage
VNI2	5	I	OPA2 Non-inverting Input
VI2	6	I	OPA2 Inverting Input
VO2	7	O	OPA2 Output
VCC	8	P	Positive Supply Voltage

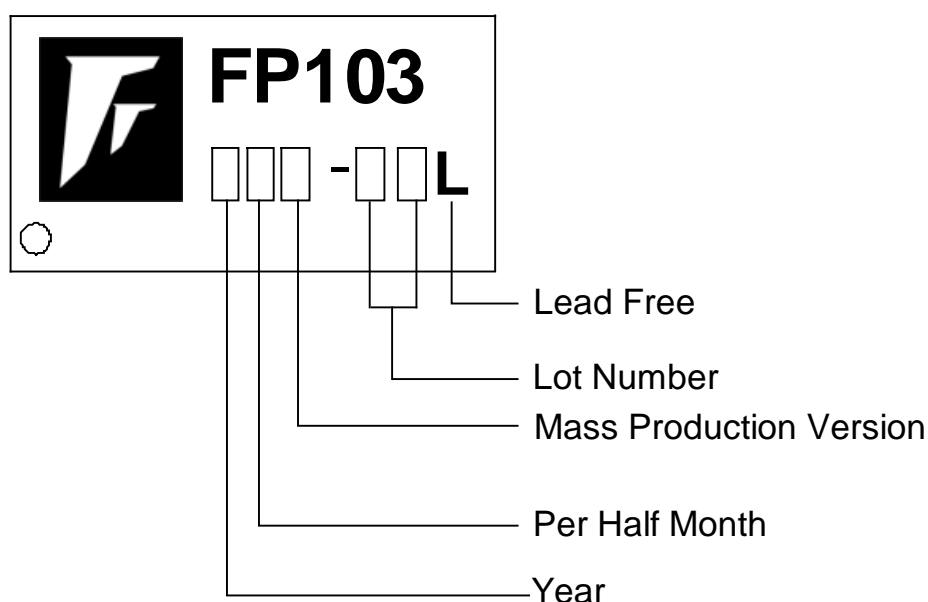


# FP103

## ORDER INFORMATION

Part Number	Operating Temperature	Package	Description
FP103P-LF	-20°C~85°C	PDIP8	Tube
FP103D-LF	-20°C~85°C	SOP8	Tube
FP103DR-LF	-20°C~85°C	SOP8	Tape & Reel

## IC DATE CODE DISTINGUISH



### FOR EXAMPLE:

January            A (Front Half Month), B (Last Half Month)  
 February        C, D  
 March            E, F            -----And so on

Lot Number is the last two numbers

### For Example:

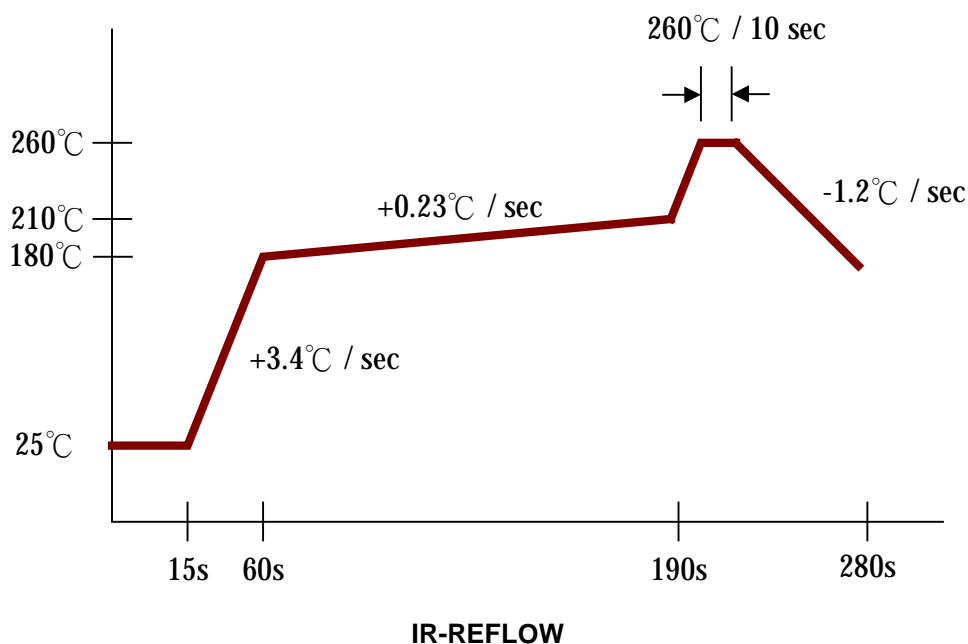
A3311C62  
 └───▶ Lot Number



# FP103

## ABSOLUTE MAXIMUM RATINGS

Supply Voltage (V <sub>cc</sub> )	-----	+ 3.6 V
Differential Input Voltage (V <sub>id</sub> )	-----	+ 3.6 V
Input Voltage (V <sub>i</sub> )	-----	-0.3 ~ +36V
Maximum Junction Temperature (T <sub>j</sub> )	-----	150 °C
Thermal Resistance Junction to Ambient (SOP package)	-----	175 °C/W
(PDIP package)	-----	100 °C/W
Power Dissipation (SOP8 package)		
T <sub>a</sub> =25 °C	-----	650mW
T <sub>a</sub> =70 °C	-----	550mW
Operating Temperature Range (T <sub>min</sub> ~ T <sub>max</sub> )	-----	-20 °C ~ 85 °C
Storage Temperature Range	-----	-65 °C ~ 150 °C
SOP8 Lead Temperature (soldering, 10 sec)	-----	+260 °C
PDIP8 Lead Temperature (soldering, 20 sec)	-----	+260 °C





DC ELECTRICAL CHARACTERISTICS

Operating Amplifier1

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Input Offset Voltage	$V_{io}$	FP103, $T_{amb}=25^{\circ}C$ $T_{min} \leq T_{amb} \leq T_{max}$		1	4 5	mV
Input Offset Voltage Drift	$DV_{io}$	$T_{amb}=25^{\circ}C$		7		$\mu V/^{\circ}C$
Input Bias Current (negative input)	$I_{ib}$	$T_{amb}=25^{\circ}C$ $T_{min} \leq T_{amb} \leq T_{max}$		20		nA
Large Signal Voltage Gain	$A_{vd}$	$V_{icm}=0V$ $V_{CC}=15V, R_L=2K$		100		V/mV
Supply Voltage Rejection Ratio	SVR	$V_{icm}=0V$ $V_{CC}=5V$ to 30V	65	100		dB
Output Current Source	$I_{source}$	$V_{CC}=+15V$ $V_O=2V, V_{id}=+1V$	30	50		mA
Short Circuit to Ground	$I_o$	$V_{CC}=+15V$		50	70	mA
Output Current Sink	$I_{sink}$	$V_{id}=-1V$ $V_{CC}=+15V, V_O=2V$	8	10		mA
High Level Output Voltage	$V_{OH}$	$V_{CC}^+=30V$ $T_{amb}=25^{\circ}C, R_L=10K$ $T_{min} \leq T_{amb} \leq T_{max}$	27 27	28		V
Low Level Output Voltage	$V_{OL}$	$R_L=10K$ $T_{min} \leq T_{amb} \leq T_{max}$		3	20 20	mV
Slew Rate at Unity Gain	SR	$V_i=0.5$ to 2V, $V_{CC}=15V$ $R_L=2K, C_L=100pF$ Unity Gain	0.2	0.4		$V/\mu S$
Gain Bandwidth Product	GBP	$V_{CC}=30V, R_L=2K$ $C_L=100pF, f=100kHz,$ $V_{in}=10$ mV	0.5	0.9		MHz
Total Harmonic Distortion	THD	$f=1kHz, A_v=20dB$ $R_L=2K, V_{CC}=30V$ $C_L=100pF, V_O=2V_{PP}$		0.02		%

DC ELECTRICAL CHARACTERISTICS (Cont.)

Operating Amplifier2

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Input Offset Voltage	$V_{io}$	FP103, $T_{amb}=25^{\circ}C$ $T_{min} \leq T_{amb} \leq T_{max}$ .		1	4 5	mV
Input Offset Voltage Drift	$DV_{io}$	$T_{amb}=25^{\circ}C$		7		$\mu V/^{\circ}C$
Input Offset Current	$I_{io}$	$T_{amb}=25^{\circ}C$ $T_{min} \leq T_{amb} \leq T_{max}$		2	30 50	nA
Input Bias Current	$I_{ib}$	$T_{amb}=25^{\circ}C$ $T_{min} \leq T_{amb} \leq T_{max}$		20	150 200	nA
Large Signal Voltage Gain	$A_{vd}$	$V_{CC}=15V, R_L=2K,$ $V_O=1.4V$ to $11.4V$ $T_{min} \leq T_{amb} \leq T_{max}$	50 25	100		V/mV
Supply Voltage Rejection Ratio	SVR	$V_{CC}=5V$ to $30V$	65	100		dB
Input Common Mode Voltage Range	$V_{icm}$	$V_{CC}=+30V$ $T_{min} \leq T_{amb} \leq T_{max}$	0 0		$(V_{CC}^+)-1.5$ $(V_{CC}^+)-2$	V
Common Mode Rejection Ratio	CMRR	$T_{amb}=25^{\circ}C$ $T_{min} \leq T_{amb} \leq T_{max}$	70 60	85		dB
Output Current Source	$I_{source}$	$V_{CC}=+15V,$ $V_O=2V, V_{id}=+1V$	30	50		mA
Short Circuit to Ground	$I_o$	$V_{CC}=+15V,$		50	70	mA
Output Current Sink	$I_{sink}$	$V_{id}=-1V,$ $V_{CC}=+15V, V_O=2V$	7	10		mA
High Level Output Voltage	$V_{OH}$	$V_{CC}^+=30V$ $T_{amb}=25^{\circ}C, R_L=10K$ $T_{min} \leq T_{amb} \leq T_{max}$	27 27	28		V
Low Level Output Voltage	$V_{OL}$	$R_L=10K$ $T_{min} \leq T_{amb} \leq T_{max}$		3	20 20	mV
Slew Rate at Unity Gain	SR	$V_i=0.5$ to $3V, V_{CC}=15V$ $R_L=2K, C_L=100pF,$ Unity Gain	0.2	0.4		$V/\mu S$
Gain Bandwidth Product	GBP	$V_{CC}=30V, R_L=2K$ $C_L=100pF, f=100kHz,$ $V_{in}=10mV$	0.5	0.9		MHz
Total Harmonic Distortion	THD	$f=1kHz, A_v=20dB$ $R_L=2K, V_{CC}=30V$ $C_L=100pF, V_O=2V_{PP}$		0.02		%



**DC ELECTRICAL CHARACTERISTICS (Cont.)**

**Voltage Reference**

PARAMETER	SYMBOL	VALUE	UNIT
Cathode Current	$I_k$	1 to 100	mA

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Reference Input Voltage	$V_{ref}$	FP103, $T_{amb}=25^{\circ}C$ $T_{min} \leq T_{amb} \leq T_{max}$ .	2.475 2.450	2.5	2.525 2.550	V
Reference Input Voltage Deviation Over Temperature Range	$\Delta V_{ref}$	$V_{KA}=V_{ref}; I_K=10mA$ $T_{min} \leq T_{amb} \leq T_{max}$ .		7	30	mV
Minimum Cathode Current for Regulation	$I_{min}$	$V_{KA}=V_{ref}$		0.2	1	mA
Dynamic Impedance (note 1)	$ Z_{KA} $	$V_{KA}=V_{ref}, \Delta I_K=1 \text{ to } 100mA,$ $f < 1KHz$ , note1		0.2	0.5	$\Omega$

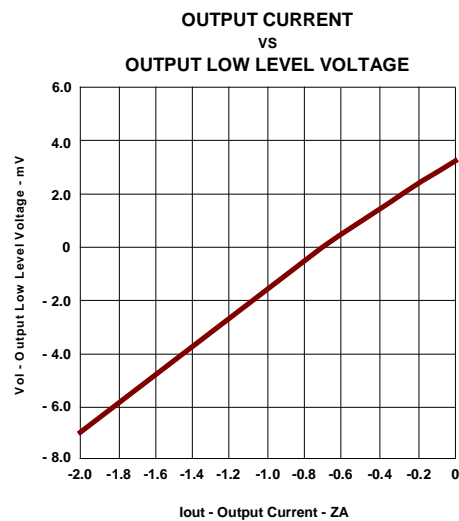
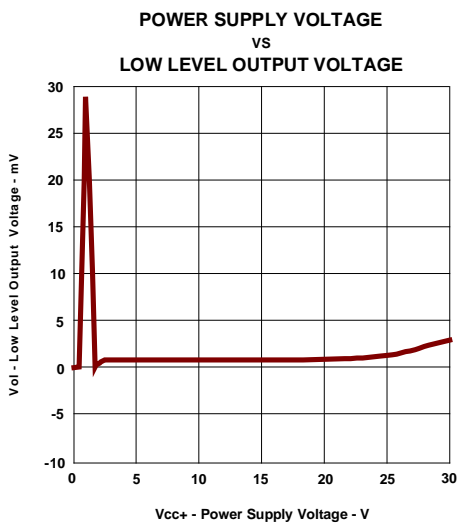
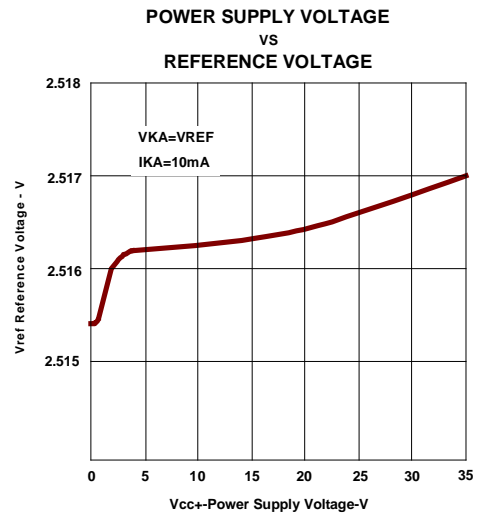
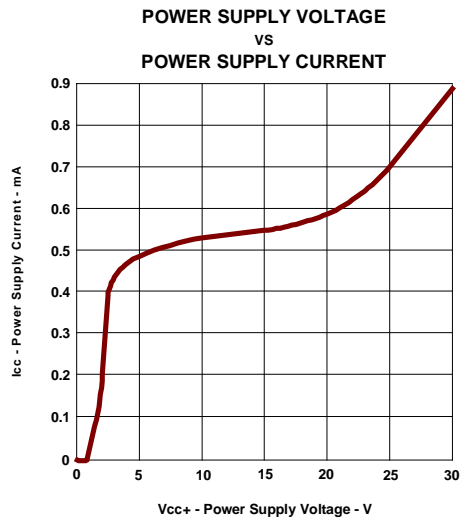
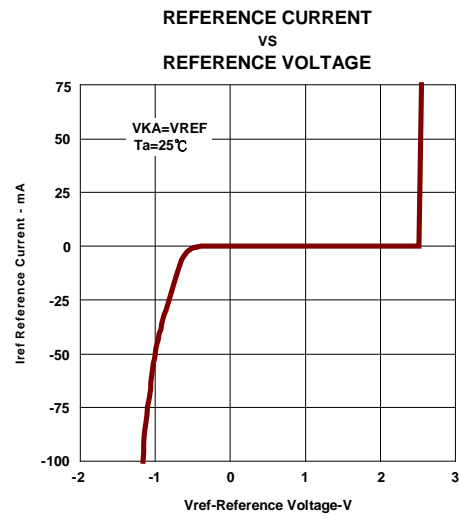
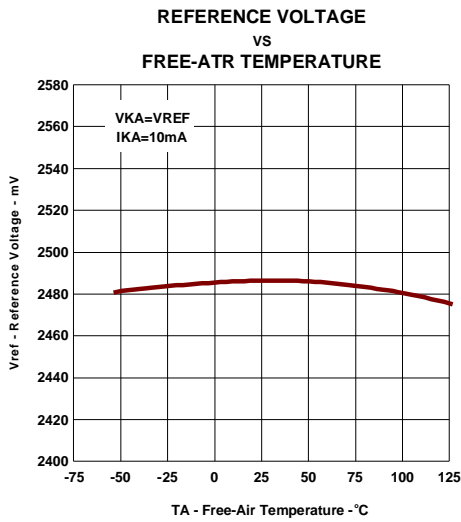
1.The dynamic impedance is defined as  $Z_{KA}=\Delta V_{KA}/ \Delta I_K$

**Total Supply Current**

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Total Supply Current, excluding Current in the Voltage Reference	$I_{CC}$	$V_{CC}=+5V, \text{no load}$ $T_{min} < T_{amb} < T_{max}$ $V_{CC}=+30V, \text{no load}$ $T_{min} < T_{amb} < T_{max}$ .		0.7	1.2 2	mA



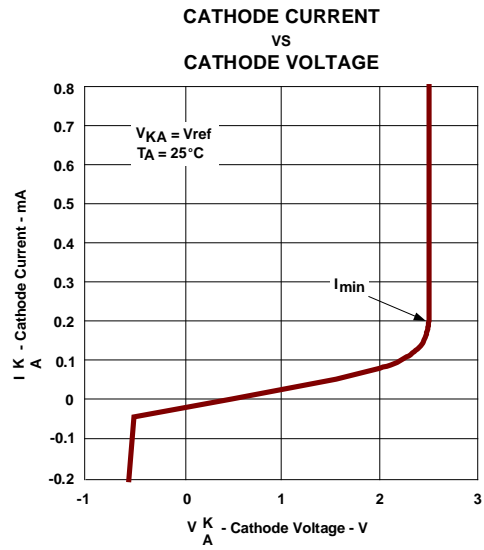
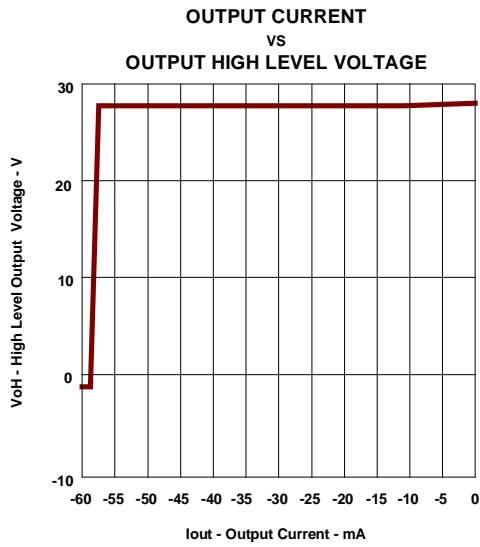
TYPICAL CHARACTERISTICS





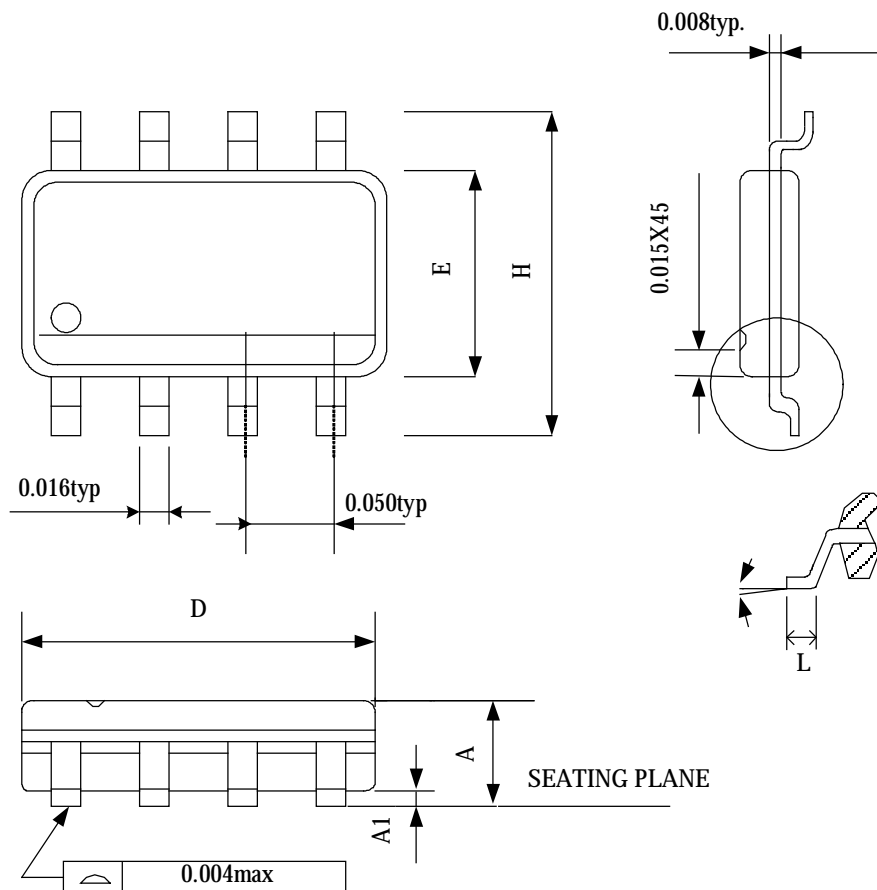


TYPICAL CHARACTERISTICS (Cont.)



PACKAGE OUTLINE

SOP 8



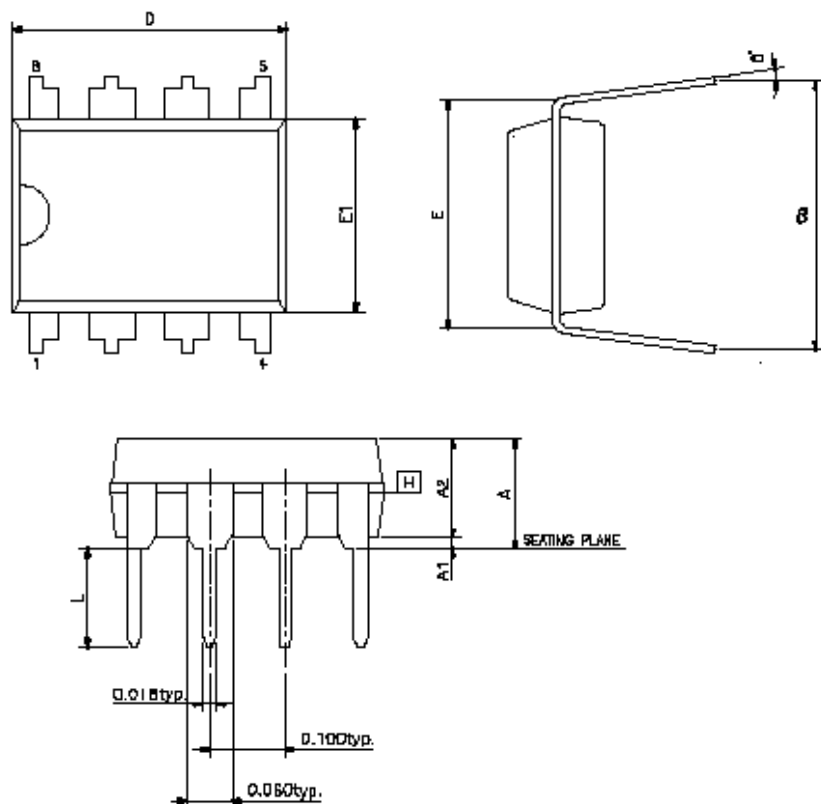
SYMBOLS	MIN	MAX
A	0.053	0.069
A1	0.004	0.010
D	0.189	0.196
E	0.150	0.157
H	0.228	0.244
L	0.016	0.050
$\theta^\circ$	0	8

UNIT:INCH

NOTE:

1. JEDEC OUTLINE:MS-012 AA
2. DIMENSIONS "D" DOES NOT INCLUDE MOLD FLASH,PROTRUSIONS OR GATE BURRS.MOLD FLASH,PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED .15mm (.06in) PER SIDE
3. DIMENSIONS "E" DOES NOT INCLUDE INTER-LEAD FLASH,OR PROTRUSIONS. INTER-LEAD FLASH AND PROTRUSIONS SHALL NOT EXCEED .25mm (.0.10in) PER SIDE.

PDIP 8



SYMBOLS	MIN	NOR	MAX
A	-	-	0.210
A1	0.015	-	-
A2	0.125	0.130	0.135
D	0.355	0.365	0.400
E	0.300BSC		
E1	0.245	0.250	0.255
L	0.115	0.130	0.150
e <sub>B</sub>	0.335	0.355	0.375
θ°	0	7	15

UNIT:INCH

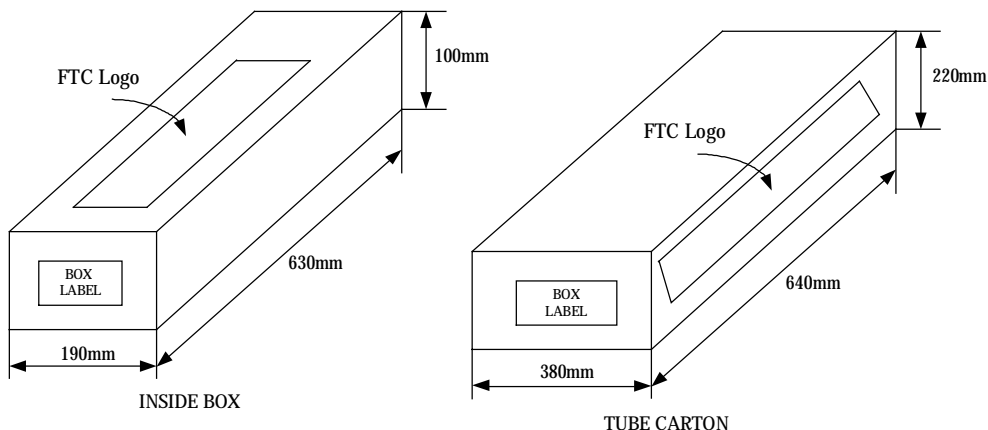
Note:

- JEDEC OUTLINE:MS-001 BA
- "D"E1" DIMENSIONS DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED .010 INCH
- e<sub>B</sub> IS MEASURED AT THE LEAD TIPS WITH THE LEADS UNCONSTRAINED POINTED OR ROUNDED LEAD TIPS ARE PREFERRED TO EASE INSERTION
- DISTANCE BETWEEN LEADS INCLUDING DAM BAR PROTRUSIONS TO BE .005 INCH MINIMUM
- DATUM PLANE H COINCIDENT WITH THE BOTTOM OF LEAD, WHERE LEAD EXITS BODY.

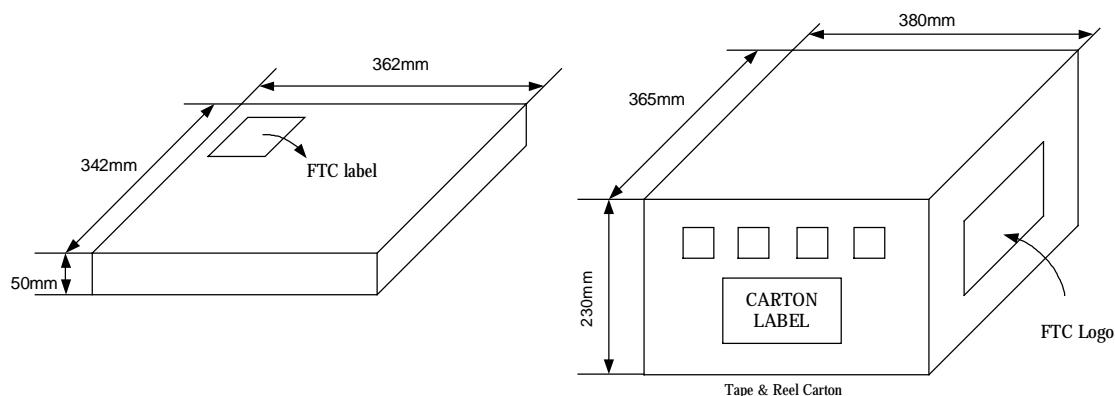
## PACKING SPECIFICATIONS

### BOX DIMENSION

TUBE INSIDE BOX AND CARTON



TAPE & REEL INSIDE BOX AND CARTON



## PACKING QUANTITY SPECIFICATIONS

100 EA / TUBE	2500 EA / REEL
100 TUBES / INSIDE BOX	4 INSIDE BOXES / CARTON
4 INSIDE BOXES / CARTON	

## LABEL SPECIFICATIONS

### TAPPING & REEL

Feeling Technology Corp.	
Product	FP103
Lot No	A3311C62
D/C	4Xx-XXL
Q'ty	◎~◎
<b>無鉛</b> <b>Lead Free</b>	

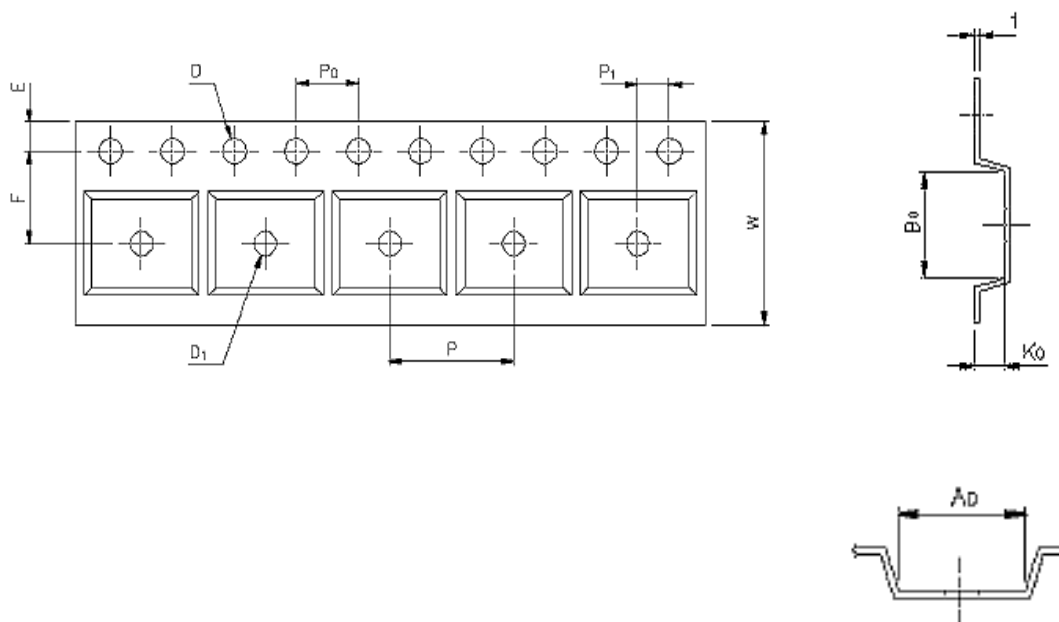
### CARTON

Feeling Technology Corp.	
Product Type:	FP103
Lot No:	A3311C62
Date Code:	4Xx-XXL
Package Type:	SOP-8L
Marking Type:	Laser
Total Q'ty:	10,000
<b>無鉛</b> <b>Lead Free</b>	

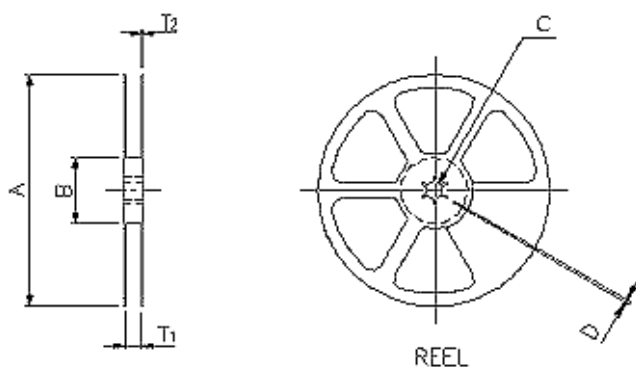
## CARRIER TAPE DIMENSIONS

APPLICATION	W	P	E	F	D	D <sub>1</sub>
SOP8	12.0 <sup>+0.3</sup> <sub>-0.1</sub>	8.0±0.1	1.75±0.1	5.5±0.1	1.55±0.1	1.5 <sup>+0.25</sup>

APPLICATION	P <sub>0</sub>	P <sub>1</sub>	A <sub>0</sub>	B <sub>0</sub>	K <sub>0</sub>	t
SOP8	4.0±0.1	2.0±0.1	6.4±0.1	5.20±0.1	2.1±0.10	0.30±0.013



## REEL DIMENSIONS



APPLICATION	MATERIAL	A	B	C	D	T <sub>1</sub>	T <sub>2</sub>
SOP8	PLASTIC REEL	330±0.1	62±1.5	12.75±0.15	2±0.6	12.4±0.2	2.0±0.2