

PHILIPS 单片 16/32 位微控制器—LPC2141/42/44/46/48 数据手册

1. 概述	3
2. 特性	3
2.1 主要特性	3
3. 订购信息	4
3.1 订购选项	4
4. 结构框图	5
5. 管脚信息	6
5.1 管脚配置	6
5.2 管脚描述	8
6. 功能描述	13
6.1 结构概述	13
6.2 片内 FLASH 程序存储器	14
6.3 片内静态 RAM	14
6.4 存储器映射	14
6.5 中断控制器	15
6.5.1 中断源.....	16
6.6 管脚连接模块	16
6.7 快速通用并行 I/O 口	16
6.7.1 特性.....	16
6.8 10 位 ADC.....	16
6.8.1 特性.....	16
6.9 10 位 DAC.....	17
6.9.1 特性.....	17
6.10 USB 2.0 设备控制器.....	17
6.10.1 特性.....	17
6.11 UART	18
6.11.1 特性.....	18
6.12 I ² C 总线串行 I/O 控制器.....	18
6.12.1 特性.....	18
6.13 SPI 串行 I/O 控制器	19
6.13.1 特性.....	19
6.14 SSP 串行 I/O 控制器	19
6.14.1 特性.....	19
6.15 通用定时器/外部事件计数器	19
6.15.1 特性.....	19
6.16 看门狗定时器	20

6.16.1 特性.....	20
6.17 实时时钟	20
6.17.1 特性.....	20
6.18 脉宽调制器(PWM)	21
6.18.1 特性.....	21
6.19 系统控制.....	22
6.19.1 晶振.....	22
6.19.2 PLL.....	22
6.19.3 复位和唤醒定时器.....	22
6.19.4 掉电检测器.....	22
6.19.5 代码安全.....	23
6.19.6 外部中断输入.....	23
6.19.7 存储器映射控制.....	23
6.19.8 功率控制.....	23
6.19.9 VPB 总线.....	23
6.20 仿真和调试	24
6.20.1 EmbeddedICE	24
6.20.2 嵌入式跟踪.....	24
6.20.3 RealMonitor	24
7.极限参数.....	24
8.静态特性.....	25
9.动态特性.....	30
9.1 时序	31
10.应用信息.....	31
10.1 建议的 USB 接口解决方案.....	31
11.封装.....	33
12.术语缩写.....	34
13.修改记录.....	34

1. 概述

LPC2141/42/44/46/48 是基于一个支持实时仿真和嵌入式跟踪的 32/16 位 ARM7TDMI-S CPU 的微控制器，并带有 32kB 和 512kB 嵌入的高速 Flash 存储器。128 位宽的存储器接口和独特的加速结构使 32 位代码能够在最大时钟速率下运行。对代码规模有严格控制的应用可使用 16 位 Thumb 模式将代码规模降低超过 30%，而性能的损失却很小。

较小的封装和很低的功耗使 LPC2141/42/44/46/48 特别适用于访问控制和 POS 机等小型应用中；由于内置了宽范围的串行通信接口（从 USB 2.0 全速器件、多个 UART、SPI、SSP 到 I²C 总线）和 8kB~40kB 的片内 SRAM，它们也非常适合于通信网关、协议转换器、软 modem、语音识别、低端成像，为这些应用提供大规模的缓冲区和强大的处理功能。多个 32 位定时器、1 个或 2 个 10 位 ADC、10 位 DAC、PWM 通道、45 个高速 GPIO 以及多达 9 个边沿或电平触发的外部中断管脚，使它们特别适用于工业控制和医疗系统。

2. 特性

2.1 主要特性

- 16/32 位 ARM7TDMI-S 微控制器，超小 LQFP64 封装。
- 8kB~40kB 的片内静态 RAM 和 32kB~512kB 的片内 Flash 存储器。128 位宽接口/加速器可实现高达 60 MHz 工作频率。
- 通过片内 boot 装载程序软件实现在系统编程/在应用编程 (ISP/IAP)。单个 Flash 扇区或整片擦除时间为 400ms。256 字节编程时间为 1ms。
- EmbeddedICE RT 和嵌入式跟踪接口通过片内 RealMonitor 软件提供实时调试和高速跟踪指令的执行。
- USB 2.0 全速设备控制器具有 2kB 的终端 RAM。此外，LPC2146/48 提供 8kB 的片内 RAM，可通过 DMA 访问 USB。
- 1 个或 2 个 (LPC2141/42 vs. LPC2144/46/48) 10 位 ADC 转换器，提供总共 6/14 路模拟输入，每个通道的转换时间低至 2.44us。
- 1 个 10 位的 DAC 转换器，可产生不同的模拟输出（仅为 LPC2142/44/46/48）。
- 2 个 32 位定时器/外部事件计数器（带 4 路捕获和 4 路比较通道）、PWM 单元（6 路输出）和看门狗。
- 低功耗实时时钟(RTC)具有独立的电源和特定的 32kHz 时钟输入。
- 多个串行接口，包括 2 个 UART(16C550)、2 个高速 I²C 总线(400 kbit/s)、SPI 和具有缓冲作用和数据长度可变功能的 SSP。
- 向量中断控制器(VIC)可配置优先级和向量地址。
- 小型的 LQFP64 封装上包含多达 45 个通用 I/O 口（可承受 5V 电压）。
- 多达 21 个可用的外部中断管脚。
- 通过一个可编程的片内 PLL（100us 的设置时间）可实现最大为 60MHz 的 CPU 时钟操作频率。
- 片内集成振荡器与外部晶体的操作频率范围为 1MHz~25MHz。
- 低功耗模式：空闲和掉电。
- 可通过个别使能/禁止外围功能和外围时钟分频来优化额外功耗。
- 通过外部中断或 BOD 将处理器从掉电模式中唤醒。

- 单电源，具有上电复位（POR）和掉电检测（BOD）电路：
 - ◆ CPU 操作电压范围：3.0V~3.6 V (3.3 V± 10 %)，I/O 口可承受 5V 的电压。

3. 订购信息

表 1 订购信息

器件型号	封装		
	名称	描述	版本
LPC2141FBD64	LQFP64	LQFP 封装，64 脚，本体 10×10×1.4mm	SOT314-2
LPC2142FBD64			
LPC2144FBD64			
LPC2146FBD64			
LPC2148FBD64			

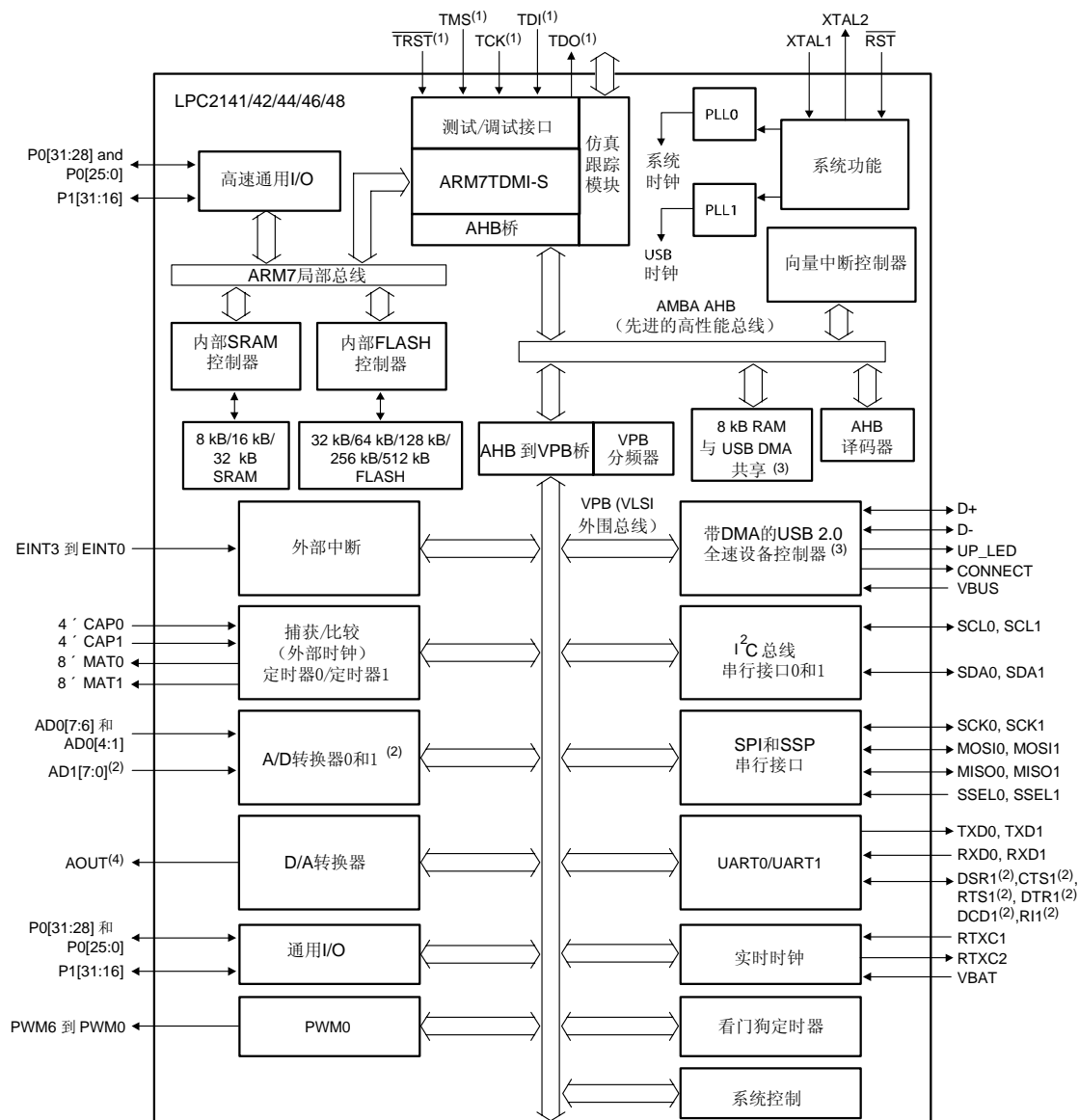
3.1 订购选项

表 2 订购选项

器件型号	FLASH 存储器	RAM	端点 USB RAM	ADC (全部通道)	DAC	温度范围(°C)
LPC2141FBD64	32kB	8kB	2kB	1 (6 通道)	-	-40~+85
LPC2142FBD64	64kB	16kB	2kB	1 (6 通道)	1	-40~+85
LPC2144FBD64	128kB	16kB	2kB	2 (14 通道)	1	-40~+85
LPC2146FBD64	256kB	32kB+8kB 与 USB DMA 共用 ^[1]	2kB	2 (14 通道)	1	-40~+85
LPC2148FBD64	512kB	32 kB+8kB 与 USB DMA 共用 ^[1]	2kB	2 (14 通道)	1	-40~+85

[1] 当 USB DMA 是额外 8kB RAM 的主要用户时，该 RAM 作为通用 RAM 可被 CPU 在任何时候访问用于数据和代码存储。

4. 结构框图



- (1) 管脚与 GPIO 共用。
- (2) 仅为 LPC2144/46/48。
- (3) USB DMA 控制器带 8kB RAM，可作为通用 RAM 访问，和/或 DMA 仅在 LPC2146/48 中可用。
- (4) 仅为 LPC2142/44/46/48。

图 1 结构框图

5. 管脚信息

5.1 管脚配置

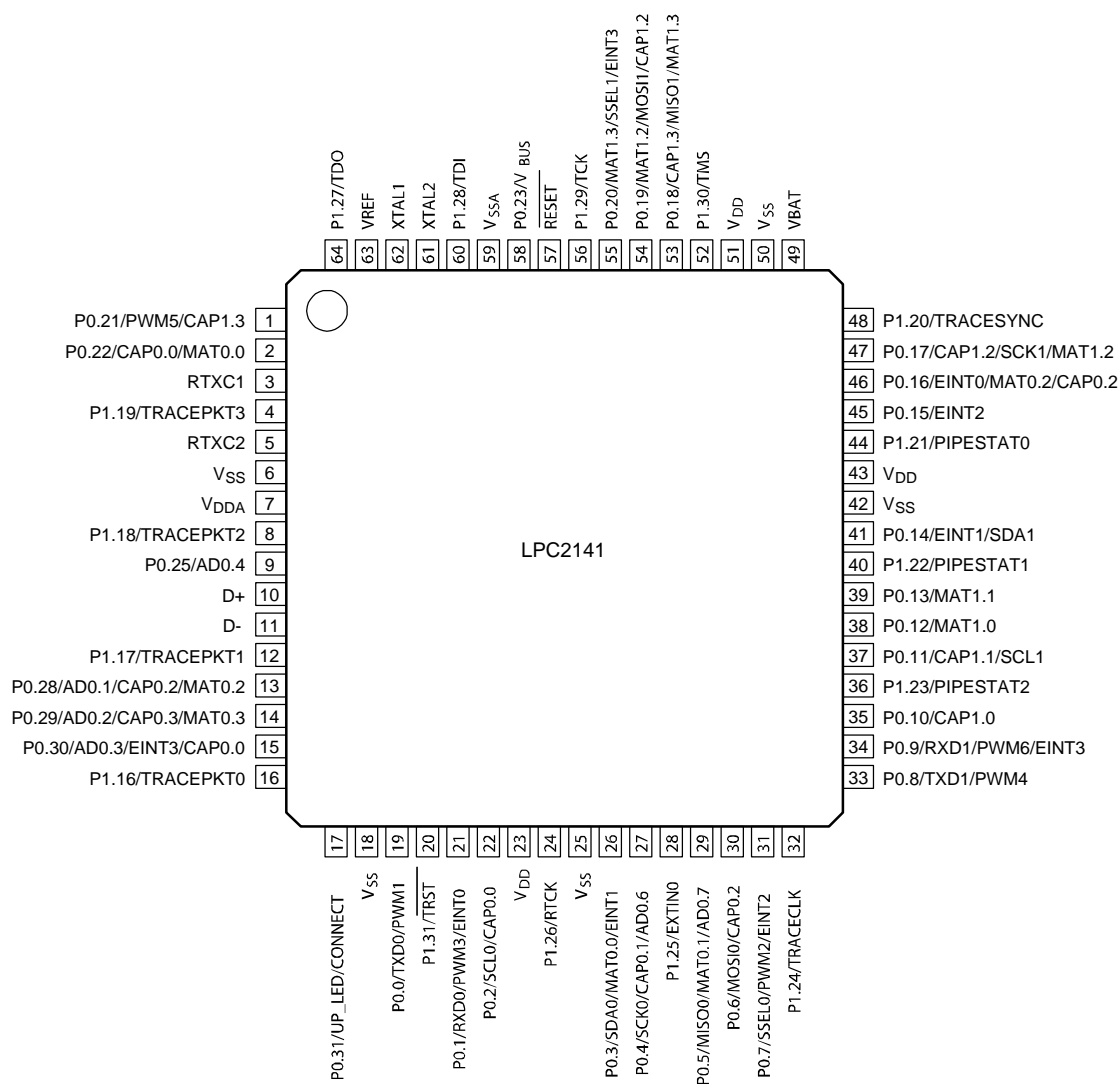


图 2 LPC2141 管脚配置

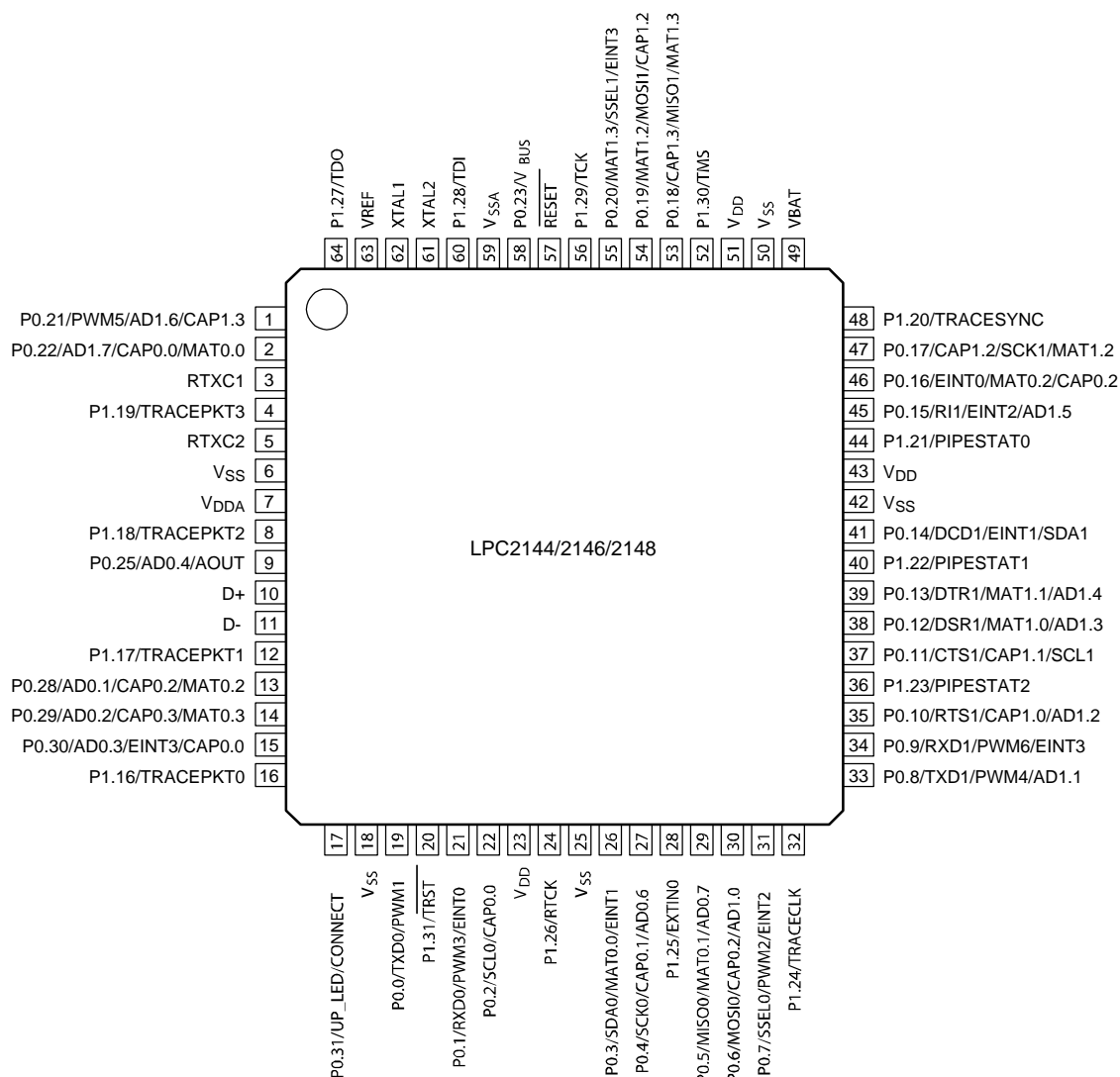


图 4 LPC2144/2146/2148 管脚配置

5.2 管脚描述

表 3 管脚描述

管脚名称	管脚号	类型	描述
P0.0~P0.31		I/O	P0 口 : P0 口是一个 32 位 I/O 口。每个位都有独立的方向控制。有 31 个 P0 口可用作通用双向数字 I/O 口, P0.31 只用作输出口。P0 口管脚的操作取决于管脚连接模块所选择的功能。 管脚 P0.24, P0.26 和 P0.27 不可用。
P0.0/TXD0/ PWM1	19 [Ⓜ]	I/O O O	P0.0 —通用输入/输出数字管脚(GPIO) TXD0 —UART0 的发送器输出 PWM1 —脉宽调制器输出 1

续上表

管脚名称	管脚号	类型	描述
P0.1/RXD0/ PWM3/ EINT0	21 ^[21]	I/O I O I	P0.1 —通用输入/输出数字管脚(GPIO) RXD0 —UART0 的接收器输入 PWM3 —脉宽调制器输出 3 EINT0 —外部中断 0 输入
P0.2/SCL0/ CAP0.0	22 ^[31]	I/O I/O I	P0.2 —通用输入/输出数字管脚(GPIO) SCL0 —I ² C0 时钟输入/输出。开漏输出(符合 I ² C 规范) CAP0.0 —定时器 0 捕获输入 0
P0.3/SDA0/ MAT0.0/ EINT1	26 ^[31]	I/O I/O O I	P0.3 —通用输入/输出数字管脚(GPIO) SDA0 —I ² C0 数据输入/输出。开漏输出(符合 I ² C 规范) MAT0.0 —定时器 0 匹配输出 0 EINT1 —外部中断 1 输入
P0.4/SCK0/ CAP0.1/ AD0.6	27 ^[41]	I/O I/O I I	P0.4 —通用输入/输出数字管脚(GPIO) SCK0 —SPI0 串行时钟, 主机输出或从机输入的时钟 CAP0.1 —定时器 0 捕获输入 0 AD0.6 —ADC 0, 输入 6
P0.5/MISO0/ MAT0.1/ AD0.7	29 ^[41]	I/O I/O O I	P0.5 —通用输入/输出数字管脚(GPIO) MISO0 —SPI0 主机输入/从机输出, 从机到主机的数据传输 MAT0.1 —定时器 0 匹配输出 1 AD0.7 —ADC 0, 输入 7
P0.6/MOSI0/ CAP0.2/ AD1.0	30 ^[41]	I/O I/O I I	P0.6 —通用输入/输出数字管脚(GPIO) MOSI0 —SPI0 主机输出/从机输入, 主机到从机的数据传输 CAP0.2 —定时器 0 捕获输入 2 AD1.0 —ADC 1, 输入 0。仅用于 LPC2144/46/48。
P0.7/SSEL0/ PWM2/ EINT2	31 ^[21]	I/O I O I	P0.7 —通用输入/输出数字管脚(GPIO) SSEL0 —SPI0 从机选择, 选择 SPI 接口用作从机。 PWM2 —脉宽调制器输出 2 EINT2 —外部中断 2 输入
P0.8/TXD1/ PWM4/ AD1.1	33 ^[41]	I/O O O I	P0.8 —通用输入/输出数字管脚(GPIO) TXD1 —UART1 的发送器输出 PWM4 —脉宽调制器输出 4 AD1.1 —ADC1, 输入 1。仅用于 LPC2144/46/48。
P0.9/RXD1/ PWM6/ EINT3	34 ^[21]	I/O I O I	P0.9 —通用输入/输出数字管脚(GPIO) RxD1 —UART1 的接收器输入 PWM6 —脉宽调制器输出 6 EINT3 —外部中断 3 输入
P0.10/RTS1/ CAP1.0/ AD1.2	35 ^[41]	I/O O I I	P0.10 —通用输入/输出数字管脚(GPIO) RTS1 —UART1 请求发送输出。仅用于 LPC2144/46/48。 CAP1.0 —定时器 1 捕获输入 0 AD1.2 —ADC1, 输入 2。仅用于 LPC2144/46/48。
P0.11/CTS1/ CAP1.1/ SCL1	37 ^[31]	I/O I I I/O	P0.11 —通用输入/输出数字管脚(GPIO) CTS1 —UART1 的清零发送输入。仅用于 LPC2144/46/48。 CAP1.1 —定时器 1 捕获输入 1 SCL1 —I ² C1 时钟输入/输出。开漏输出(符合 I ² C 规范)

续上表

管脚名称	管脚号	类型	描述
P0.12/DSR1/ MAT1.0/ AD1.3	38 ^[4]	I/O I O I	P0.12 —通用输入/输出数字管脚(GPIO) DSR1 —UART1 的数据设置就绪输入。仅用于 LPC2144/46/48。 MAT1.0 —定时器 1 匹配输出 0 AD1.3 —ADC 输入 3。仅用于 LPC2144/46/48。
P0.13/DTR1/ MAT1.1/ AD1.4	39 ^[4]	I/O O O I	P0.13 —通用输入/输出数字管脚(GPIO) DTR1 —UART1 的数据终端就绪输出。仅用于 LPC2144/46/48。 MAT1.1 —定时器 1 匹配输出 1 AD1.4 —ADC 输入 4。仅用于 LPC2144/46/48。
P0.14/DCD1/ EINT1/SDA1	41 ^[3]	I/O I I I/O	P0.14 —通用输入/输出数字管脚(GPIO) DCD1 —UART1 数据载波检测输入。仅用于 LPC2144/46/48。 EINT1 —外部中断 1 输入 SDA1 —I ² C1 数据输入/输出。开漏输出（符合 I ² C 规范） 注： <u>RESET</u> 为低时该管脚上的低电平强制片内引导装载程序控制复位后的器件。
P0.15/RI1/ EINT2/ AD1.5	45 ^[4]	I/O I I I	P0.15 —通用输入/输出数字管脚(GPIO) RI1 —UART1 铃声指示输入。仅用于 LPC2144/46/48。 EINT2 —外部中断 2 输入 AD1.5 —ADC1, 输入 5。仅用于 LPC2144/46/48。
P0.16/EINT0/ MAT0.2/ CAP0.2	46 ^[2]	I/O I O I	P0.16 —通用输入/输出数字管脚(GPIO) EINT0 —外部中断 0 输入 MAT0.2 —定时器 0 匹配输出 2 CAP0.2 —定时器 0 捕获输入 2
P0.17/CAP1.2/ SCK1/MAT1.2	47 ^[1]	I/O I I/O O	P0.17 —通用输入/输出数字管脚(GPIO) CAP1.2 —定时器 1 捕获输入 2 SCK1 —SSP 串行时钟, 主机输出或从机输入的时钟 MAT1.2 —定时器 1 匹配输出 2
P0.18/CAP1.3/ MISO1/ MAT1.3	53 ^[1]	I/O I I/O O	P0.18 —通用输入/输出数字管脚(GPIO) CAP1.3 —定时器 1 捕获输入 3 MISO1 —SSP 主机输入/从机输出, 从机到主机的数据传输 MAT1.3 —定时器 1 匹配输出 3
P0.19/MAT1.2/ MOSI1/ CAP1.2	54 ^[1]	I/O O I/O I	P0.19 —通用输入/输出数字管脚(GPIO) MAT1.2 —定时器 1 匹配输出 2 MOSI1 —SSP 主机输出/从机输入, 主机到从机的数据传输 CAP1.2 —定时器 1 捕获输入 2
P0.20/MAT1.3/ SSEL1/ EINT3	55 ^[2]	I/O O I I	P0.20 —通用输入/输出数字管脚(GPIO) MAT1.3 —定时器 1 匹配输出 3 SSEL1 —SSP 从机选择, 选择 SSP 接口用作从机。 EINT3 —外部中断 3 输入
P0.21/PWM5/ AD1.6/ CAP1.3	1 ^[4]	I/O O I I	P0.21 —通用输入/输出数字管脚(GPIO) PWM5 —脉宽调制器输出 5 AD1.6 —ADC1, 输入 6。仅用于 LPC2144/46/48。 CAP1.3 —定时器 1 捕获输入 3

续上表

管脚名称	管脚号	类型	描述
P0.22/AD1.7/ CAP0.0/ MAT0.0	2 ^[41]	I/O I I O	P0.22 —通用输入/输出数字管脚(GPIO) AD1.7 —ADC1, 输入 7。仅用于 LPC2144/46/48。 CAP0.0 —定时器 0 捕获输入 0 MAT0.0 —定时器 0 匹配输出 0
P0.23/V _{BUS}	58 ^[11]	I/O I	P0.23 —通用输入/输出数字管脚(GPIO) V_{BUS} —表示 USB 总线电源。 注: 该信号必须为高电平来发生 USB 复位。
P0.25/AD0.4/ AOUT	9 ^[51]	I/O I O	P0.25 —通用输入/输出数字管脚(GPIO) AD0.4 —ADC0, 输入 4。 AOUT —DAC 输出。仅用于 LPC2144/46/48。
P0.28/AD0.1/ CAP0.2/ MAT0.2	13 ^[41]	I/O I I O	P0.28 —通用输入/输出数字管脚(GPIO) AD0.1 —ADC0, 输入 1。 CAP0.2 —定时器 0 捕获输入 2 MAT0.2 —定时器 0 匹配输出 2
P0.29/AD0.2/ CAP0.3/ MAT0.3	14 ^[41]	I/O I I O	P0.29 —通用输入/输出数字管脚(GPIO) AD0.2 —ADC0, 输入 2。 CAP0.3 —定时器 0 捕获输入 3 MAT0.3 —定时器 0 匹配输出 3
P0.30/AD0.3/ EINT3/ CAP0.0	15 ^[41]	I/O I I I	P0.30 —通用输入/输出数字管脚(GPIO) AD0.3 —ADC0, 输入 3。 EINT3 —外部中断 3 输入 CAP0.0 —定时器 0 捕获输入 0
P0.31/UP_LED /CONNECT	17 ^[61]	O O O	P0.31 —通用输入/输出数字管脚(GPIO) UP_LED —USB 良好连接 LED 指示器。当设备被配置(无控制端点使能)时它为低电平。当设备没有被配置或在全局挂起期间时它为高电平。 CONNECT —在软件控制下, 信号用来切换外部 15kΩ 的电阻。使用 Soft Connect USB 特性。 重要: 这是一个仅为输出的数字管脚。当 $\overline{\text{RESET}}$ 管脚为低电平或禁止 JTAG 端口时, 该管脚 必须不能 外部拉低。
P1.0~P1.31		I/O	P1 口: P1 口是一个 32 位双向 I/O 口。每个位都有独立的方向控制。P1 口管脚的操作取决于管脚连接模块所选择的功能。P1 口的 P1.0~P1.15 不可用。
P1.16/ TRACEPKT0	16 ^[61]	I/O O	P1.16 —通用输入/输出数字管脚(GPIO) TRACEPKT0 —跟踪包位 0, 带内部上拉的标准 I/O 口。
P1.17/ TRACEPKT1	12 ^[61]	I/O O	P1.17 —通用输入/输出数字管脚(GPIO) TRACEPKT1 —跟踪包位 1, 带内部上拉的标准 I/O 口。
P1.18/ TRACEPKT2	8 ^[61]	I/O O	P1.18 —通用输入/输出数字管脚(GPIO) TRACEPKT2 —跟踪包位 2, 带内部上拉的标准 I/O 口。
P1.19/ TRACEPKT3	4 ^[61]	I/O O	P1.19 —通用输入/输出数字管脚(GPIO) TRACEPKT3 —跟踪包位 3, 带内部上拉的标准 I/O 口。

续上表

管脚名称	管脚号	类型	描述
P1.20/ TRACESYNC	48 ^[6]	I/O O	P1.20 —通用输入/输出数字管脚(GPIO) TRACESYNC —跟踪同步。带内部上拉的标准 I/O 口。 注：当 $\overline{\text{RESET}}$ 为低时，TRACESYNC 上的低电平会使 P1[25:16] 在复位后作为跟踪端口。
P1.21/ PIPESTAT0	44 ^[6]	I/O O	P1.21 —通用输入/输出数字管脚(GPIO) PIPESTAT0 —流水线状态位 0，带内部上拉的标准 I/O 口。
P1.22/ PIPESTAT1	40 ^[6]	I/O O	P1.22 —通用输入/输出数字管脚(GPIO) PIPESTAT1 —流水线状态位 1，带内部上拉的标准 I/O 口。
P1.23/ PIPESTAT2	36 ^[6]	I/O O	P1.23 —通用输入/输出数字管脚(GPIO) PIPESTAT2 —流水线状态位 2，带内部上拉的标准 I/O 口。
P1.24/ TRACECLK	32 ^[6]	I/O O	P1.24 —通用输入/输出数字管脚(GPIO) TRACECLK —跟踪时钟。带内部上拉的标准 I/O 口。
P1.25/EXTIN0	28 ^[6]	I/O I	P1.25 —通用输入/输出数字管脚(GPIO) EXTIN0 —外部触发输入。带内部上拉的标准 I/O 口。
P1.26/RTCK	24 ^[6]	I/O I/O	P1.26 —通用输入/输出数字管脚(GPIO) RTCK —返回的测试时钟输出。JTAG 端口的额外信号。当处理器频率变化时帮助调试器保持同步。带内部上拉的双向口。 注：当 $\overline{\text{RESET}}$ 为低时，RTCK 上的低电平会使 P1.31:26 在复位后作为调试端口。
P1.27/TDO	64 ^[6]	I/O O	P1.27 —通用输入/输出数字管脚(GPIO) TDO —JTAG 接口测试数据输出。
P1.28/TDI	60 ^[6]	I/O I	P1.28 —通用输入/输出数字管脚(GPIO) TDI —JTAG 接口测试数据输入。
P1.29/TCK	56 ^[6]	I/O I	P1.29 —通用输入/输出数字管脚(GPIO) TCK —JTAG 接口测试时钟。
P1.30/TMS	52 ^[6]	I/O I	P1.30 —通用输入/输出数字管脚(GPIO) TMS —JTAG 接口的模式选择。
P1.31/ $\overline{\text{TRST}}$	20 ^[6]	I/O I	P1.31 —通用输入/输出数字管脚(GPIO) $\overline{\text{TRST}}$ —JTAG 接口的测试复位。
D+	10 ^[7]	I/O	USB 双向 D+线
D-	11 ^[7]	I/O	USB 双向 D-线
$\overline{\text{RESET}}$	57 ^[8]	I	外部复位输入 ：该管脚的低电平将器件复位，并使 I/O 口和外围功能恢复默认状态，处理器从地址 0 开始执行。带迟滞的 TTL 电平，管脚可承受 5V 电压。
XTAL1	62 ^[9]	I	振荡器电路和内部时钟发生器的输入。
XTAL2	61 ^[9]	O	振荡放大器的输出。
RTXC1	3 ^[9]	I	RTC 振荡电路的输入。
RTXC2	5 ^[9]	O	RTC 振荡电路的输出。
V _{SS}	6, 18, 25, 42, 50	I	地 ：0V 参考点。
V _{SSA}	59	I	模拟地 ：0V 参考点。标称电压与 V _{SS} 相同，但应当互相隔离以减少噪声和故障。

续上表

管脚名称	管脚号	类型	描述
V _{DD}	23,43,51	I	3.3V 电源: 内核和 I/O 口的电源电压。
V _{DDA}	7	I	模拟 3.3V 端口电源: 标称电压与 V _{DD} 相同, 但应当互相隔离以减少噪声和故障。该电压也用来向片内 ADC 和 DAC 供电。
V _{REF}	63	I	A/D 转换器参考电压: 标称电压应少于或等于 V _{DD} 电压, 但应当互相隔离以减少噪声和故障。该管脚的电平用作 ADC 和 DAC(转换器)的参考电压。
V _{BAT}	49	I	RTC 电源: RTC 的 3.3V 电源端。

- [1] 5V 电压容限端口提供带 TTL 电平、滞后和 10ns 转换速率控制的数字 I/O 功能。
- [2] 5V 电压容限端口提供带 TTL 电平、滞后和 10ns 转换速率控制的数字 I/O 功能。如果配置为输入功能, 该端口利用内置的干扰滤波器阻止短于 3ns 的脉冲。
- [3] 可承受开漏 5V 电压的数字 I/O I²C 总线 400kHz 规格的兼容端口。它需要外部上拉来提供输出功能。
- [4] 5V 电压容限端口提供数字 I/O (带 TTL 电平、滞后和 10ns 转换速率控制) 和模拟输入功能。如果配置为输入功能, 该端口利用内置的干扰滤波器阻止短于 3ns 的脉冲。当配置为 ADC 输入时, 端口的数字部分禁能。
- [5] 5V 电压容限端口提供数字 I/O (带 TTL 电平、滞后和 10ns 转换速率控制) 和模拟输出功能。当配置为 DAC 输出时, 端口的数字部分禁能。
- [6] 具有内置上拉电阻的 5V 电压容限端口, 提供带 TTL 电平、滞后和 10ns 转换速率控制的数字 I/O 功能。上拉电阻值的范围从 60kΩ~300kΩ。
- [7] 端口根据 USB 规范, 版本 2.0(仅为全速和低速模式)设计。
- [8] 5V 电压容限端口仅提供数字输入功能 (带 TTL 电平和滞后)。
- [9] 端口提供特殊的模拟功能。

6.功能描述

6.1 结构概述

ARM7TDMI-S 是一个通用的 32 位微处理器, 它可提供高性能和低功耗。ARM 结构是基于精简指令集计算机(RISC)原理而设计的。指令集和相关的译码机制比那些微编程的复杂指令集计算机(CISC)要简单得多。这样使用一个小的、廉价的处理器核就可实现很高的指令吞吐量和实时的中断响应。

由于使用了流水线技术, 处理和存储系统的所有部分都可连续工作。通常在执行一条指令的同时对下一条指令进行译码, 并将第三条指令从存储器中取出。

ARM7TDMI-S 处理器使用了一个被称为 THUMB 的独特的结构化策略, 它非常适用于那些对存储器有限制或者需要较高代码密度的大批量产品的应用。

在 THUMB 后面一个关键的概念是“超精简指令集”。ARM7TDMI-S 处理器基本上具有两个指令集:

- 标准 32 位 ARM 指令集
- 16 位 THUMB 指令集

THUMB 指令集的 16 位指令长度使其可以达到标准 ARM 代码两倍的密度, 却仍然保持 ARM 的大多数性能上的优势, 这些优势是使用 16 位寄存器的 16 位处理器所不具有的。

这是因为 THUMB 代码和 ARM 代码一样，在相同的 32 位寄存器集上进行操作。

THUMB 代码可提供高达 ARM 代码规模的 65%，以及一个连接到 16 位存储器系统的等效 ARM 处理器性能的 160%。

在 LPC2141/42/44/46/48 中的特定 flash 实现也允许在 ARM 模式中全速执行。建议在 ARM 模式中编程重要性能和短代码段（例如中断服务程序和 DSP 算法）。对整个代码规模的影响将最大限度地减少，但速度在 Thumb 模式下可能会增加 30%。

6.2 片内 FLASH 程序存储器

LPC2141/42/44/46/48 分别集成了一个 32kB, 64kB, 128kB, 256kB 和 512 kB 的 FLASH 存储器系统。该存储器可用作代码和数据的存储。对 FLASH 存储器的编程可通过几种方法来实现。可通过串口进行在系统编程。应用程序也可以在程序运行时擦除和/或编程 FLASH，这样为数据存储和现场固件的升级都带来了极大的灵活性。由于选择使用片内 bootloader，LPC2141/42/44/46/48 上可作用户代码的 Flash 存储器分别为 32kB, 64kB, 128kB, 256kB 和 500kB。

LPC2141/42/44/46/48 Flash 存储器至少含有 100,000 个擦除/写周期，数据至少可保存 20 年。

6.3 片内静态 RAM

片内静态 RAM 可用作代码和/或数据存储。SRAM 支持 8 位、16 位和 32 位访问。LPC2141, LPC2142/44 和 LPC2146/48 分别提供 8kB, 16kB 和 32kB 的静态 RAM。

在仅为 LPC2146/48 的情况下，主要由 USB 使用的 8kB SRAM 模块也可用作数据存储、代码存储和执行的通用 RAM。

6.4 存储器映射

LPC2141/42/44/46/48 的存储器映射包含几个不同的区域，如图 5 所示。

此外，CPU 的中断向量可以重新映射，这样允许它们位于 Flash 存储器（默认）或者片内静态 RAM 中。详见 6.19 节“系统控制”。

4.0 GB	AHB外设	0xFFFF FFFF
3.75 GB	VPB外设	0xF000 0000
3.5 GB		0xE000 0000
3.0 GB	保留的地址空间	0xC000 0000
2.0 GB	BOOT块从片内FLASH存储器重新映射	0x8000 0000 0x7FFF FFFF
	保留的地址空间	0x7FFF D000 0x7FFF CFFF
	8kB 片内USB DMA RAM (LPC2146/2148)	0x7FD0 2000 0x7FD0 1FFF
	保留的地址空间	0x7FD0 0000 0x7FCF FFFF
	32kB 片内静态RAM (LPC2146/2148)	0x4000 8000 0x4000 7FFF
	16kB 片内静态RAM (LPC2142/2144)	0x4000 4000 0x4000 3FFF
	8kB 片内静态RAM (LPC2141)	0x4000 2000 0x4000 1FFF
1.0 GB	保留的地址空间	0x4000 0000 0x3FFF FFFF
	全部的512kB片内非易失性存储器 (LPC2148)	0x0008 0000 0x0007 FFFF
	全部的256kB片内非易失性存储器 (LPC2146)	0x0004 0000 0x0003 FFFF
	全部的128kB片内非易失性存储器 (LPC2144)	0x0002 0000 0x0001 FFFF
	全部的64kB片内非易失性存储器 (LPC2142)	0x0001 0000 0x0000 FFFF
	全部的32kB片内非易失性存储器 (LPC2141)	0x0000 8000 0x0000 7FFF
0.0 GB		0x0000 0000

图 5 LPC2141/42/44/46/48 存储器映射

6.5 中断控制器

向量中断控制器(VIC)接收所有的中断请求输入，并将它们编程分配为 3 类：快速中断请求(FIQ)、向量请求(IRQ)和非向量 IRQ。可编程分配机制意味着不同外设的中断优先级可以动态分配和调整。

快速中断请求(FIQ)具有最高优先级。如果分配给 FIQ 的请求多于 1 个，VIC 将中断请求“相或”向 ARM 处理器产生 FIQ 信号。当只有一个被分配为 FIQ 时可实现最短的 FIQ 等待时间，因为 FIQ 服务程序不需要分支为中断服务程序，但可以从中断向量单元中运行。如果分配给 FIQ 级的请求多于 1 个，FIQ 服务程序从 VIC 中读出一个字以识别产生中断请求的 FIQ 中断源是哪一个。

向量 IRQ 具有中等优先级。该级别可分配 16 个中断请求。中断请求中的任意一个都可分配到 16 个向量 IRQ slot 中的任意一个，其中 slot0 具有最高优先级，而 slot15 则为最低优先级。

非向量 IRQ 的优先级最低。

VIC 将所有向量和非向量 IRQ 组合后向 ARM 处理器产生 IRQ 信号。IRQ 服务程序可通过读取 VIC 的一个寄存器立即启动并跳转到相应地址。如果有任意一个向量 IRQ 发出请求，VIC 则提供最高优先级请求 IRQ 服务程序的地址，否则提供默认程序的地址，该默认程序由所有非向量 IRQ 共用。默认程序可读取另一个 VIC 寄存器以确定哪个 IRQ 被激活。

6.5.1 中断源

每个外设都有一条中断线连接到向量中断控制器，但可能有几个内部中断标志。单个中断标志也可能代表多于一个的中断源。

6.6 管脚连接模块

管脚连接模块允许将微控制器的管脚配置为不同的功能。配置寄存器控制连接管脚和片内外设的多路开关。应当在激活外设以及使能任何相关的中断之前，将外设连接到相应的管脚。任何一个被使能的外设，如果其功能没有映射到相关的管脚，对它的激活将被认为是未定义的。

带有自身管脚选择寄存器的管脚控制模块在一个给定的硬件环境中定义了微控制器的功能。

复位后，P0 和 P1 的所有管脚都配置为输入，以下情况除外：如果调试被使能，JTAG 管脚将假定它们的 JTAG 功能；如果跟踪被使能，跟踪管脚将假定它们的跟踪功能。与 I²C0 和 I²C1 接口有关的管脚为开漏。

6.7 快速通用并行 I/O 口

没有连接到特定外设功能的管脚由 GPIO 寄存器进行控制。管脚可以动态配置为输入或输出。寄存器可以同时任意输出进行置位或清零。输出寄存器的值以及管脚的当前状态都可以读出。

LPC2141/42/44/46/48 在先前 LPC2000 器件基础上引入了加速 GPIO 功能：

- GPIO 寄存器被转移到 ARM 局部总线，以实现高速 I/O 时序。
- 屏蔽寄存器允许将端口位集作为一组，而其它位不变。
- 所有 GPIO 寄存器为字节可寻址。
- 整个端口值可用一条指令写入。

6.7.1 特性

- 位电平置位和清零寄存器允许一条指令置位和清零一个端口的任何位数。
- 单个位的方向控制
- 输出置位和清零可单独控制
- 所有 I/O 在复位后的默认状态都为输入

6.8 10 位 ADC

LPC2141/42 含有 1 个模数转换器，LPC2144/46/48 含有 2 个模数转换器。这些转换器为单个 10 位逐次逼近模数转换器。当 ADC0 有 6 个通道时，ADC1 有 8 个通道。因此，LPC2141/42 可用的 ADC 输入总数为 6 以及 LPC2144/46/48 可用的 ADC 输入总数为 14。

6.8.1 特性

- 10 逐步逼近式模数转换器

- 测量范围：0V~VREF ($2.0V \leq VREF \leq V_{DDA}$)
- 每个转换器每秒可执行多于 400,000 次 10 位采样
- 每个模拟输入有一个指定的结果寄存器来减少中断开销
- 单路或多路输入的突发转换模式
- 根据输入脚的跳变或定时器匹配信号执行转换
- 2 个转换器全局启动命令（仅用于 LPC2142/44/46/48）

6.9 10 位 DAC

DAC 使能 LPC2141/42/44/46/48 来产生不同的模拟输出。最大的 DAC 输出电压为 VREF 电压。

6.9.1 特性

- 10 位数模转换器
- 缓冲输出
- 可用于掉电模式
- 可选择的速率与功耗

6.10 USB 2.0 设备控制器

USB 是一种 4 线串行总线，支持一个主机和多个外设（最多可达 127 个）之间的通信。主机控制器通过基于令牌的协议给相应的设备分配 USB 带宽。USB 总线支持设备的热插拔和动态配置。所有传输都由主机控制器来启动。

LPC2141/42/44/46/48 带有 USB 设备控制器，该控制器使能与 USB 主机控制器之间 12Mbit/s 的数据传输。它由寄存器接口、串行接口引擎、端点缓冲存储器和 DMA 控制器组成。串行接口引擎对 USB 数据流进行译码，并将数据写入相应的端点缓冲存储器。完整的 USB 传输状态或错误条件通过状态寄存器来指示，若中断使能则产生中断。

DMA 控制器（仅用于 LPC2146/48）可传输端点缓冲区和 USB RAM 之间的数据。

6.10.1 特性

- 完全兼容 USB 2.0 全速规范。
- 支持 32 个物理（16 个逻辑）端点。
- 支持控制、批量、中断和同步端点。
- 运行时调整使用的端点。
- 运行时可通过软件来选择端点最大包长度（取决于 USB 最大规格）。
- RAM 信息缓冲区大小取决于使用的端点和最大包的长度。
- 支持 SoftConnect 特性和 GoodLink LED 指示器。这两个功能共用一个管脚。
- 支持总线供电功能，具有较低的挂起电流。
- 支持所有非控制端点的 DMA 传输（仅为 LPC2146/48）。
- 所有端点都有一个双向的 DMA 通道（仅为 LPC2146/48）。

- 允许 CPU 控制和 DMA 模式之间的动态切换（仅为 LPC2146/48）。
- 实现了批量和同步端点的双缓冲。

6.11 UART

LPC2141/42/44/46/48 包含 2 个 UART。除了标准的发送和接收数据线外，LPC2144/46/48 UART1 还提供一个完全的调制解调器控制握手接口。

与先前的 LPC2000 微控制器相比，LPC2141/42/44/46/48 的 UART 在两个 UART 中引入分数波特率发生器，使能这些微控制器来激活标准波特率如 115200（具有 2MHz 以上的晶振频率）。另外，在硬件中完全实现自动-CTS/RTS 流控制功能（UART1 仅用于 LPC2144/46/48）。

6.11.1 特性

- 16 字节接收和发送 FIFO。
- 寄存器位置遵循 550 工业标准。
- 接收器 FIFO 触发点为 1、4、8 和 14 个字节。
- 内置分数波特率发生器，包括波特率的宽范围而无需特定值的外部晶体。
- 发送 FIFO 控制使能实现 2 个 UART 的软件（XON/XOFF）流控制。
- LPC2144/46/48 UART1 带有标准的调制解调器接口信号。该模块也完全支持硬件流控制（自动-CTS/RTS）。

6.12 I²C 总线串行 I/O 控制器

LPC2141/42/44/46/48 各包含 2 个 I²C 总线控制器。

I²C 为双向总线，它使用两条线：串行时钟线(SCL) 和串行数据线(SDA) 实现互连芯片的控制。每个器件都通过一个唯一的地址来识别，这些器件可以是只接收器件（例如 LCD 驱动器），或是可以发送和接收信息的发送器（例如存储器）。发送器和/或接收器可在主或从模式下操作，这取决于芯片是启动数据传输还是只被寻址。I²C 总线是一条多主机总线，它可以通过与多个总线主控器连接来进行控制。

LPC2141/42/44/46/48 中执行的 I²C 总线支持高达 400kbit/s 的位速率（高速 I²C 总线）。

6.12.1 特性

- 遵循标准的 I²C 总线接口
- 可配置为主机、从机或主/从机
- 可编程时钟可实现通用速率控制
- 主机从机之间双向数据传输
- 多主机总线(无中央主机)
- 同时发送的主机之间进行仲裁，避免了总线上串行数据的冲突
- 串行时钟同步使器件在一条串行总线上实现不同位速率的通信
- 串行时钟同步可作为握手机制使串行传输挂起和恢复

- I²C 总线可用于测试和诊断

6.13 SPI 串行 I/O 控制器

LPC2141/42/44/46/48 各包含 1 个 SPI 控制器。SPI 是一个全双工的串行接口，它设计成可以处理在一条给定总线上多个互连的主机和从机。在一定数据传输过程中，接口上只能有一个主机和一个从机能够通信。在一次数据传输中，主机总是向从机发送一个数据字节，而从机也总是向主机发送一个数据字节。

6.13.1 特性

- 遵循串行外设接口(SPI)规范
- 同步、串行、全双工通信
- 组合的 SPI 主机和从机
- 最大数据位速率为输入时钟速率的 1/8

6.14 SSP 串行 I/O 控制器

LPC2141/42/44/46/48 包含 1 个同步串行口控制器 (SSP)。SSP 控制器可以控制 SPI、4 线 SSI 或 Microwire 总线。它可与总线的多个主机和从机互相通信。但是，在一个给定的数据传输过程中，总线只允许一个主机和一个从机通信。SSP 支持全双工传输，允许主机和从机之间传输 4~16 位的数据流帧。这些数据流中通常只有一个包含有意义的数据。

6.14.1 特性

- 兼容 Motorola SPI、4 线 TI SSI 和 National 半导体的 Microwire 总线
- 同步串行通信
- 主机或从机操作
- 发送和接收的 8 帧 FIFO
- 每帧包含 4~16 位数据

6.15 通用定时器/外部事件计数器

定时器/计数器对外设时钟周期 (PCLK) 或外部时钟进行计数，可选择产生中断或基于 4 个匹配寄存器，在到达指定的定时值时执行其它动作。它还包括 4 个捕获输入，用于在输入信号发生跳变时捕获定时器值，并可选择产生中断。多个管脚通过‘或’、‘与’，可以实现捕获、匹配或‘广播’功能。

如果最小的外部脉冲等于或长于一个 PCLK 周期，那么 LPC2141/42/44/46/48 可在其中一个捕获输入上计数外部事件。在这种配置下，可选择不使用的捕获线作为调节定时器捕获输入，或用作外部中断。

6.15.1 特性

- 带可编程 32 位预分频器的 32 位定时器/计数器
- 外部事件计数器或定时器操作

- 当输入信号跳变时，4 个 32 位捕获通道可捕获定时器的瞬时值。捕获事件可选择产生中断。
- 4 个 32 位匹配寄存器：
 - 连续操作，可选择在匹配时产生中断
 - 匹配时停止定时器，可选择产生中断
 - 匹配时复位定时器，可选择产生中断
- 每个定时器有 4 个对应于匹配寄存器的外部输出，具有下列特性：
 - 匹配时置低电平
 - 匹配时置高电平
 - 匹配时翻转
 - 匹配时不变

6.16 看门狗定时器

看门狗定时器的用途是使微控制器在进入错误状态经过一段时间后复位。当看门狗使能时，如果没有在预先确定的时间内“喂”（重装）看门狗，它将会产生一次系统复位。

6.16.1 特性

- 如果没有周期性重装，则产生片内复位
- 调试模式
- 由软件使能，但要求禁止硬件复位或看门狗复位/中断
- 错误/不完整的喂狗时序会导致复位/中断(如果使能)
- 指示看门狗复位的标志
- 带内部预分频器的可编程 32 位定时器
- 可选择时间周期：从($T_{PCLK} \times 256 \times 4$) 到 ($T_{PCLK} \times 2^{32} \times 4$)，可选值为 $T_{PCLK} \times 4$ 的倍数

6.17 实时时钟

当选择正常或空闲模式时，实时时钟(RTC)提供一套用于测量时间的计数器。RTC 消耗的功率非常低，这使其适合于由电池供电的，CPU 不连续工作(空闲模式)的系统。

6.17.1 特性

- 对时间段进行测量以实现一个日历和时钟
- 超低功耗设计，支持电池供电系统
- 提供秒、分、小时、日、月、年和星期
- 可使用 RTC 专用的 32kHz 振荡器输入或 XTAL1 连接的外部晶体/振荡器输入的时钟。可编程基准时钟分频器允许调节 RTC 以适应不同的晶振频率
- 专用电源管脚连接到电池或 3.3V 的电压。

6.18 脉宽调制器(PWM)

PWM 基于标准的定时器模块并具有其所有特性。不过 LPC2141/42/44/46/48 只将其 PWM 功能输出到管脚。定时器对外设时钟(pclk)进行计数,可选择产生中断或者根据 7 个匹配寄存器在到达指定的定时值时执行其它动作。PWM 功能也建立在匹配寄存器事件基础之上。

独立控制上升和下降沿位置的能力使 PWM 可以应用于更多的领域。例如,多相位电机控制通常需要 3 个非重叠的 PWM 输出,而这 3 个输出的脉宽和位置需要独立进行控制。

两个匹配寄存器可用于提供单边沿控制的 PWM 输出。匹配寄存器 MR0 通过匹配时重新设置计数值来控制 PWM 周期率。其它的匹配寄存器控制 PWM 边沿的位置。每个额外的单边沿控制 PWM 输出只需要一个匹配寄存器,因为所有 PWM 输出的重复速率是相同的。当 MR0 发生匹配时,多个单边沿控制的 PWM 输出在每个 PWM 周期的开始都有一个上升沿。

3 个匹配寄存器可用于提供一个双边沿控制的 PWM 输出。也就是说,MR0 匹配寄存器控制 PWM 周期速率,其它匹配寄存器控制两个 PWM 边沿位置。每个额外的双边沿控制 PWM 输出只需要两个匹配寄存器,因为所有 PWM 输出的重复速率是相同的。

使用双边沿控制 PWM 输出时,指定的匹配寄存器控制输出的上升和下降沿。这样就产生了正脉冲(当上升沿先于下降沿时)和负脉冲(当下降沿先于上升沿时)。

6.18.1 特性

- 7 个匹配寄存器,可实现 6 个单边沿控制或 3 个双边沿控制 PWM 输出,或这两种类型的混合输出。
- 匹配寄存器允许执行以下操作:
 - 连续操作,可选择在匹配时产生中断
 - 匹配时停止定时器,可选择产生中断
 - 匹配时复位定时器,可选择产生中断
- 支持单边沿控制和/或双边沿控制的 PWM 输出。单边沿控制 PWM 输出在每个周期开始时总是为高电平,除非输出保持恒定低电平。双边沿控制 PWM 输出可在一个周期内的任何位置产生边沿。这样可同时产生正和负脉冲。
- 脉冲周期和宽度可以是任何的定时器计数值。这样可在分辨率和重复速率上获得平衡。所有 PWM 输出都以相同的重复率发生。
- 双边沿控制的 PWM 输出可编程为正脉冲或负脉冲。
- 匹配寄存器更新与脉冲输出同步,防止产生错误的脉冲。软件必须新的匹配值生效之前将它们释放。
- 如果不使能 PWM 模式,可作为一个标准定时器
- 带可编程 32 位预分频器的 32 位定时器/计数器

6.19 系统控制

6.19.1 晶振

片内集成振荡器支持的晶振范围为 1MHz~25MHz。晶振输出频率称为 f_{OSC} ，而 ARM 处理器时钟频率称为 CCLK。除非连接并运行 PLL，否则在该文档中 f_{OSC} 和 CCLK 的值是相同的。详见 6.19.2 节“PLL”。

6.19.2 PLL

PLL 可以接受范围为 10MHz~25MHz 的输入时钟频率。输入频率通过一个电流控制振荡器 (CCO) 可以倍增为 10MHz~60MHz。倍增器可以是 1 到 32 的整数（实际上在该系列微控制器当中，由于 CPU 频率的限制，倍增器的值不可能高于 6）。CCO 操作的范围为 156MHz~320MHz，因此在环当中增加了一个分频器，这样 PLL 在提供所需要的输出频率时，使 CCO 保持在其频率范围内。输出分频器可设置为 2、4、8 或者 16 分频以产生输出时钟。由于最小输出分频值为 2，这样就确保了 PLL 输出具有 50% 的占空比。PLL 在芯片复位后关闭并且被旁路，可通过软件使能。程序必须配置并且激活 PLL，等待 PLL 锁定之后再将其作为时钟源。PLL 设置时间为 100us。

6.19.3 复位和唤醒定时器

LPC2141/42/44/46/48 有 2 个复位源： \overline{RESET} 管脚和看门狗复位。 \overline{RESET} 管脚是一个施密特触发输入管脚，带有附加的干扰滤波器。任何复位源所导致的芯片复位都会启动唤醒定时器（见下面描述的唤醒定时器），使内部芯片复位保持有效直到外部复位撤除，振荡器开始运行。振荡器运行经过固定数目的时钟后片内 Flash 控制器完成其初始化。

当内部复位撤除后，处理器从复位向量地址 0 开始执行。此时所有的处理器和外设寄存器都被初始化为预设的值。

唤醒定时器的用途是确保振荡器和其它芯片操作所需要的模拟功能在处理器能够执行指令之前完全正常工作。这在上电、各种类型的复位以及任何原因所导致上述功能被关闭的情况下非常重要。由于振荡器和其它功能在掉电模式下关闭，因此将处理器从掉电模式中唤醒就要利用唤醒定时器。

唤醒定时器监视晶体振荡器是否可以安全地开始执行代码。当芯片上电时，或某些事件导致芯片退出掉电模式时，振荡器需要一定的时间以产生足够振幅的信号驱动时钟逻辑。时间的长度取决于许多因素，包括 V_{DD} 上升速度（上电时）、晶振的类型及电气特性（如果使用石英晶体）以及其它外部电路（例如：电容）和外部环境下振荡器自身的特性。

6.19.4 掉电检测器

LPC2141/42/44/46/48 包含一个 V_{DD} 管脚电压的 2 级检测。如果 V_{DD} 电压低于 2.9V，掉电检测器 (BOD) 向向量中断控制器声明一个中断。该信号可通过中断使能；或者，也可由软件通过读取相应的寄存器来监控信号。

当 V_{DD} 管脚的电压低于 2.6V 时，这个第二级的低电压检测将产生复位，禁能 LPC2141/42/44/46/48。该复位可以防止 Flash 的内容发生改变，因为低电压下芯片的各种功能部件的操作都将变得不可靠。BOD 电路将使电压降低到 1V 以下来维持复位，这个电压下上电复位电路也可保持复位。

2.9V 和 2.6V 阈值都有滞后。正常工作时，这个滞后可使 2.9V 的检测产生可靠的中断，

或使正常反复执行的事件环路检测到掉电条件。

6.19.5 代码安全

LPC2141/42/44/46/48 可控制应用代码是否被调试或被保护以防盗用。

当片内 boot-loader 在 Flash 中检测到一个有效校验和以及在 Flash 的 0x1FC 地址单元读取 0x8765 4321 时，禁止调试，Flash 代码被保护。一旦调试被禁能，它就只能通过执行芯片擦除来使能。

6.19.6 外部中断输入

根据可选管脚功能的设定，LPC2141/42/44/46/48 最多可包含 9 个边沿或电平触发的外部中断输入。当管脚结合时，外部事件可作为 4 个独立的中断信号来处理。外部中断输入可用于将处理器从掉电状态唤醒。

另外，捕获输入脚也可用作外部中断，而不能将器件从掉电模式中唤醒。

6.19.7 存储器映射控制

存储器映射控制改变了从地址 0x00000000 开始的中断向量的映射。向量可以映射到片内 Flash 存储器的底部，也可以映射到片内静态 RAM。这使得在不同存储器空间中运行的代码都能够对中断进行控制。

6.19.8 功率控制

LPC2141/42/44/46/48 支持两种低功耗模式：空闲模式和掉电模式。

在空闲模式中，指令的执行被暂停，直到产生复位或中断为止。外围功能在空闲模式下继续工作并可产生中断唤醒处理器。空闲模式使处理器自身、存储器系统和相关的控制器以及内部总线不再消耗功率。

在掉电模式中，振荡器被关闭，芯片没有任何的内部时钟。处理器状态和寄存器、外设寄存器和内部 SRAM 的值在掉电模式下保持不变。芯片输出管脚的逻辑电平保持静态。通过复位或特定的不需要时钟还可工作的中断可终止掉电模式并恢复正常操作。由于芯片所有动态的操作都被暂停，掉电模式使芯片消耗的功率降低到几乎为零。

选择一个外部 32kHz 时钟代替 PCLK 作为片内 RTC 的时钟源将使能微控制器以使 RTC 在掉电模式下有效。掉电电流随着 RTC 有效上升。然而，它比在空闲模式下大大地减少。

外设的功率控制特性允许关闭单独的不需要使用的外设，这样在有效和空闲模式下可进一步降低功耗。

6.19.9 VPB 总线

VPB 分频器决定处理器时钟(CCLK)和外设时钟(PCLK)之间的关系。VPB 分频器有两个用途。第一，VPB 分频器通过 VPB 总线为外设提供所需的时钟 (PCLK)，使外设可工作在 ARM 处理器选择的速率下。为了实现该功能，VPB 总线频率可以降低为处理器时钟频率的 1/2~1/4。由于 VPB 总线必须在上电时正确工作（如果 VPB 总线由于 VPB 分频器控制寄存器的原因而不工作，则它的时序不能改变），因此 VPB 总线在复位后的默认状态是以 1/4 的处理器时钟速率运行。VPB 分频器的第二个用途是当所有外设都不必在全速率下运行时降频以降低功耗。由于 VPB 分频器连接到 PLL 的输出，PLL（如果正在运行）在空闲模式时保持有效。

6.20 仿真和调试

LPC2141/42/44/46/48 支持通过 JTAG 串行端口进行仿真和调试。跟踪端口允许跟踪程序的执行。调试和跟踪功能只在 GPIO 的 P1 口复用。这意味着当应用在嵌入式系统内运行时，位于 P0 口的所有通信、定时器和接口外设的开发和调试阶段都可用。

6.20.1 EmbeddedICE

标准的 ARM EmbeddedICE 逻辑提供对片内调试的支持。对目标系统进行调试需要一个主机来运行调试软件和 EmbeddedICE 协议转换器。EmbeddedICE 协议转换器将远程调试协议命令转换成所需要的 JTAG 数据，从而对目标系统上的 ARM 内核进行访问。

ARM 内核有一个内置的调试通信通道(DCC)功能。调试通信通道允许程序在目标系统上运行，即使进入调试状态，目标系统程序与主机调试器或其它独立的主机进行通信时也不会中断程序流程。ARM7TDMI-S 内核上运行的程序将调试通信通道作为协处理器 14 进行访问。调试通信通道允许 JTAG 端口发送和接收数据，但不影响正常的程序流程。调试通信通道数据和控制寄存器映射到 EmbeddedICE 逻辑中的地址。

6.20.2 嵌入式跟踪

由于 LPC2141/42/44/46/48 带有大量的片内存储器，因此不能简单地通过观察外部管脚来确定处理器核是如何运行的。嵌入式跟踪宏单元 (ETM) 对深嵌入处理器内核提供了实时跟踪能力。它向一个跟踪端口输出处理器执行的信息。

ETM 直接连接到 ARM 内核而不是主 AMBA 系统总线。它将跟踪信息压缩并通过一个窄带跟踪端口输出。外部跟踪端口分析仪在软件调试器的控制下捕获跟踪信息。指令跟踪(或 PC 跟踪)显示了处理器的执行流程并提供所有已执行指令的列表。指令跟踪被压缩为广播分支地址和一套用于指示流水线状态的状态信号。跟踪信息的产生可通过选择触发源进行控制。触发源包括地址比较器、计数器和序列发生器。由于跟踪信息被压缩，软件调试器需要一个执行代码的静态映像。由于这个限制，自修改代码无法被跟踪。

6.20.3 RealMonitor

RealMonitor 是一个可配置的软件模块，它由 ARM 公司开发，可以提供实时的调试。它是一个轻便的调试监控器，当用户对运行在前台的应用程序进行调试时，它运行在后台。它使用 DCC(调试通信通道) (EmbeddedICE 逻辑中包含了 DCC) 与主机进行通信。LPC2141/42/44/46/48 包含一个编程到片内 Flash 存储器中的 RealMonitor 软件的指定配置。

7.极限参数

表 4 极限参数

符合绝对最大额定系统 (IEC 60134) 标准。^[1]

符号	参数	条件	最小	最大	单位
V _{DD}	电源电压 ^[2]		-0.5	+3.6	V
V _{DDA}	模拟电源电压 ^[2]		-0.5	4.6	V
V _{i(VBAT)}	VBAT 管脚的输入电压	用于 RTC	-0.5	4.6	V
V _{i(VREF)}	VREF 管脚的输入电压		-0.5	4.6	V
V _{IA}	模拟输入电压 ^[4]		-0.5	5.1	V

续上表

符号	参数	条件	最小	最大	单位
V _I	输入电压	可承受 5V 的 I/O 口 ^{[5], [6]}	-0.5	6.0	V
		其它 I/O 口 ^[5]	-0.5	V _{DD} +0.5 ^[7]	V
I _{DD}	DC 电源电流 ^[8]		—	100 ^[9]	mA
I _{SS}	DC 地电流 ^[10]		—	100 ^[9]	mA
T _{stg}	储存温度 ^[11]		-40	125	°C
P _{tot(pack)}	总功率损耗	基于封装的热传递, 而非器件的功耗	—	1.5	W

[1] 下面是关于极限参数的几点描述:

- a) 本产品带有保护器件的内部电路设计, 避免超负荷造成器件的损坏。不过建议避免在超过最大值的情况下工作。
- b) 参数在操作温度范围内是有效的, 除非另有规定。所有的电压都是相对 V_{SS} 而言, 除非另有说明。

[2] 内核和外部电路。

[3] 3.3V 端口。

[4] 在 ADC 相关管脚上。

[5] 包含三态模式输出口的电压。

[6] 只有在 V_{DD} 电源电压存在的情况下有效。

[7] 不得超过 4.6V。

[8] 每个电源管脚

[9] 峰值电流限制为对应最大值电流的 25 倍。

[10] 每个地管脚。

[11] 取决于封装的类型。

8. 静态特性

表 5 静态特性

T_a=商业级: -40°C~+85°C, 除非另有规定。

符号	参数	测试条件	最小	典型 ^[1]	最大	单位
V _{DD}	电源电压 ^[2]		3.0	3.3	3.6	V
V _{DDA}	模拟电源电压	3.3V 端口	3.0	3.3	3.6	V
V _{i(VBAT)}	V _{BAT} 管脚的输入电压		2.0 ^[3]	3.3	3.6	V
V _{i(VREF)}	V _{REF} 管脚的输入电压		2.5	3.3	V _{DDA}	V
标准端口管脚, RESET, RICK						
I _{IL}	低电平输入电流	V _I =0V; 无上拉	—	—	3	μA
I _{IH}	高电平输入电流	V _I =V _{DD} ; 无下拉	—	—	3	μA
I _{OZ}	OFF 状态输出电流	V _O =0V; V _O =V _{DD} ; 无上/下拉	—	—	3	μA
I _{latch}	I/O 闩锁电流	-(0.5V _{DD})<V<(1.5V _{DD}) T _j <125°C	-	—	100	mA
V _I	输入电压	管脚配置提供数字功能 ^{[4][5][6]}	0	—	5.5	V
V _O	输出电压	输出有效	0	—	V _{DD}	V
V _{IH}	高电平输入电压		2.0	—	—	V
V _{IL}	低电平输入电压		—	—	0.8	V

续上表

符号	参数	测试条件	最小	典型 ^[1]	最大	单位
标准端口管脚, RESET, RTCK						
V _{hys}	滞后电压		—	0.4	—	V
V _{OH}	高电平输出电压 ^[2]	I _{OH} = -4mA	V _{DD} -0.4	—	—	V
V _{OL}	低电平输出电压 ^[2]	I _{OL} = -4mA	—	—	0.4	V
I _{OH}	高电平输出电流 ^[2]	V _{OH} = V _{DD} -0.4V	-4	—	—	mA
I _{OL}	低电平输出电流 ^[2]	V _{OL} = 0.4V	4	—	—	mA
I _{OHS}	高电平短路电流 ^[8]	V _{OH} = 0V	-	—	-45	mA
I _{OLS}	低电平短路电流 ^[8]	V _{OL} = V _{DDA}	-	—	50	mA
I _{pd}	下拉电流	V _I = 5V ^[9]	10	50	150	μA
I _{PU}	上拉电流 ^[10]	V _I = 0V	-15	-50	-85	μA
		V _{DD} < V _I < 5V ^[9]	0	0	0	μA
I _{DD(act)}	激活模式电源电流	V _{DD} = 3.3V, T _a = 25°C, 代码: while(1){ 从Flash执行, 无激活外设 CCLK = 10MHz	<td>	<td>	<td>	mA
		CCLK = 60MHz (其它参数同上)	<td>	<td>	<td>	mA
I _{DD(pd)}	掉电模式电源电流	V _{DD} = 3.3V, T _a = +25°C	<td>	<td>	<td>	μA
		V _{DD} = 3.3V, T _a = +85°C	<td>	<td>	<td>	μA
I _{BAT pd}	掉电模式的电池电源电流 ^[11]	RTC 时钟 = 32KHz (RTXC 管脚), T _a = +25°C V _{DD} = 3.0V, V _{i(BAT)} = 2.5V	<td>	<td>	<td>	μA
		V _{DD} = 3.0V, V _{i(BAT)} = 3.0V	<td>	<td>	<td>	μA
I _{BAT act}	激活模式的电池电源电流 ^[11]	CCLK = 60MHz, PCLK = 15MHz, PCLK 使能为 RTCK, RTC 时钟 = 32KHz (RTXC 管脚), T _a = +25°C, V _{DD} = 3.0V, V _{i(BAT)} = 3.0V	<td>	<td>	<td>	μA
I _{BAT act(opt)}	最优化的激活模式电池电源电流 ^{[11][12]}	在 PCONP 寄存器中 PCLK 禁止为 RTCK, RTC 时钟 = 32KHz (RTXC 管脚), T _a = +25°C, V _{i(BAT)} = 3.3V, CCLK = 10MHz	<td>	<td>	<td>	μA
		CCLK = 60MHz	<td>	<td>	<td>	μA
I²C 总线管脚						
V _{IH}	高电平输入电压		0.7V _{DD(3V3)}	—	—	V
V _{IL}	低电平输入电压		—	—	0.3V _{DD(3V3)}	V
V _{hys}	滞后电压		—	0.5V _{DD(3V3)}	—	V
V _{OL}	低电平输出电压 ^[2]	I _{OLS} = 3mA	—	—	0.4	V
I _{LI}	输入漏电流 ^[13]	V _I = V _{DD}	—	2	4	μA
		V _I = 5V	—	10	22	μA

续上表

符号	参数	测试条件	最小	典型 ^[1]	最大	单位
振荡器管脚						
$V_{i(XTAL1)}$	XTAL1 输入电压		0	—	1.8	V
$V_{o(XTAL2)}$	XTAL2 输出电压		0	—	1.8	V
$V_{i(RTXC1)}$	RTXC1 输入电压		0	—	1.8	V
$V_{o(RTXC2)}$	RTXC2 输出电压		0	—	1.8	V
USB 管脚						
I_{OZ}	OFF 状态输出电流	$0V < V_I < 3.3V$	—	—	± 10	μA
V_{BUS}	USB 连接器上的 V_{BUS} 线输入电压		—	—	5.25	V
V_{DI}	差分输入敏感性	$ (D+) - (D-) $	0.2	—	—	V
V_{CM}	差分共模范围	包括 V_{DI} 范围	0.8	—	2.5	V
$V_{th(rs)se}$	单终端接收器阈值电压		0.8	—	2.0	V
V_{OL}	输出低电平	R_L 为 1.5K Ω 到 3.6V	—	—	0.3	V
V_{OH}	输出高电平	R_L 为 15K Ω 到地	2.8	—	3.6	V
C_{trans}	收发器电容	管脚到地	—	—	20	pF
Z_{DRV}	驱动器输出阻抗, 用于不可实现高速的驱动器	稳态驱动 ^[14]	29	—	44	Ω
R_{PU}	上拉电阻	软连接=ON	1.1	—	1.9	K Ω

[1] 不能保证得到典型的标称值。表中所列值为在室温 (+25 $^{\circ}C$) 和标称电压下测得。

[2] 内核和外部电路。

[3] 当 $V_{i(VBAT)}$ 降低到 1.6V 以下时 RTC 无效。

[4] 包括三态模式输出上的电压。

[5] V_{DD} 电压必须存在。

[6] 当 V_{DD} 接地时, 三态输出进入三态模式。

[7] 所有电源线都要将 100mV 的压降计算在内。

[8] 只允许持续很短的时间。

[9] V_I 最小为 4.5V, 最大为 5.5V。

[10] 应用于 P1.16~P1.31。

[11] 在管脚 VBAT。

[12] 最优化的电池消耗。

[13] 到 V_{SS} 。

[14] 在 D+和 D- 上包括 $18\Omega \pm 1\%$ 的外部电阻。

表 6 ADC 静态电气特性

除非另外规定, $V_{DDA}=2.5\sim 3.6V$; $T_a = -40^{\circ}C\sim +85^{\circ}C$; A/D 转换器频率为 4.5MHz。

符号	参数	条件	最小	典型	最大	单位
V _{ia}	模拟输入电压		0	-	V _{DDA}	V
C _{ia}	模拟输入电容		-	-	1	pF
E _D	微分线性误差	[1], [2], [3]	-	-	±1	LSB
E _{L(adj)}	积分非线性度	[1], [4]	-	-	±2	LSB
E _O	偏移误差	[1], [5]	-	-	±3	LSB
E _G	增益误差	[1], [6]	-	-	±0.5	%
E _T	绝对误差	[1], [7]	-	-	±4	LSB
R _{vsi}	电压源接口电阻	[8]	-	-	40	KΩ

[1] 条件: $V_{SSA}=0V$, $V_{DDA}=3.3V$ 。

[2] A/D 转换曲线呈单调变化, 无代码丢失。

[3] 微分线性误差 (E_D) 是指实际步距长度与理想步距长度的差异。见图 6。

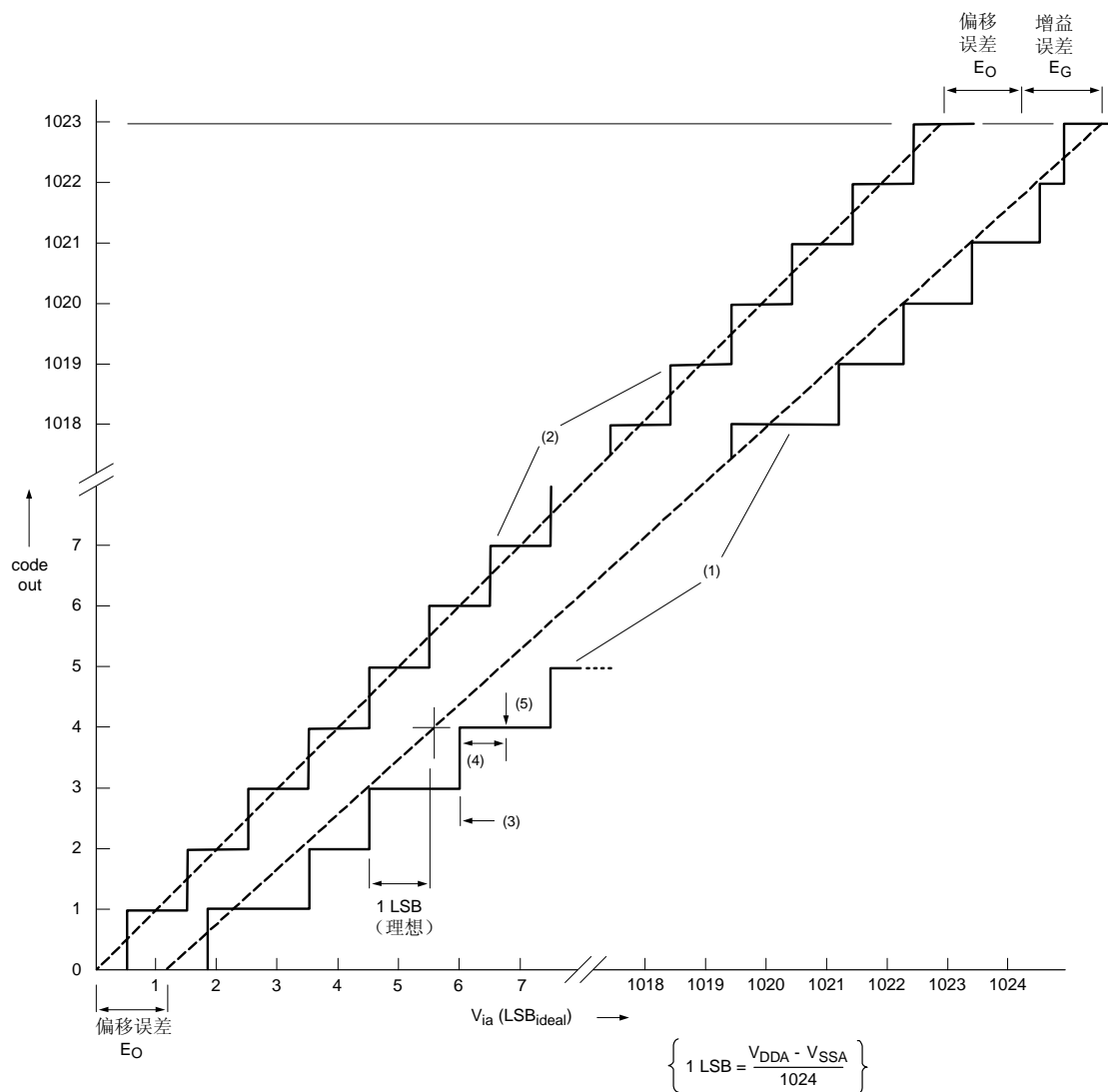
[4] 积分非线性 ($E_L(\text{adj})$) 是指实际转换曲线步距中点和增益和偏移误差经适当调节后所得理想转换曲线的峰值的差异。见图 6。

[5] 偏移误差 (E_O) 是实际转换曲线所得直线与理想转换曲线所得直线的绝对误差。见图 6。

[6] 增益误差 (E_G) 是指消除偏移误差后实际转换曲线所得直线与理想转换曲线所得直线之间的相对误差, 用百分数表示。见图 6。

[7] 绝对电压误差 (E_T) 是指未经校准的 A/D 转换实际转换曲线的步距中心与理想传输曲线的最大偏差。见图 6。

[8] 见图 7。



- (1) 实际传输曲线
- (2) 理想传输曲线
- (3) 微分线性误差 (E_D)
- (4) 积分非线性 (E_{I(adj)})
- (5) 实际传输曲线的步距中心

图 6 ADC 特性

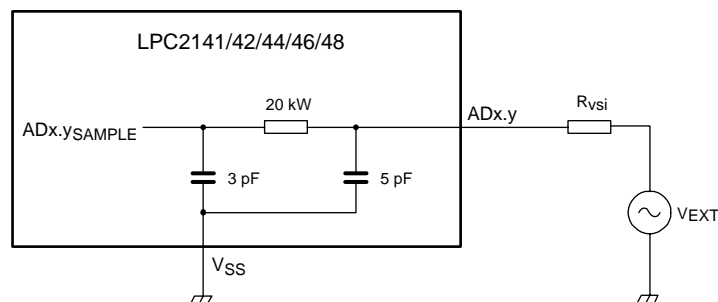


图 7 建议的 ADC 接口- LPC2141/42/44/46/48 ADX.y 管脚

9.动态特性

表 7 USB 管脚的动态特性（全速）

$C_L=50\text{pF}$ ；在 D+到 V_{DD} 上 $R_{PU}=1.5\text{K}\Omega$ ，除非特别说明。

符号	参数	条件	最小	典型	最大	单位
t_R	上升时间	10%~90%	4	-	20	ns
t_F	下降时间	10%~90%	4	-	20	ns
t_{FRFM}	上升/下降时间匹配 (t_R/t_F)		90	-	110	%
V_{CRS}	输出信号交叉电压		1.3	-	2.0	V
t_{FEOPT}	EOP 的源 SE0 间隔	见图 9	160	-	175	ns
t_{FDEOP}	微分数据到 SE0 跳变率的源抖动	见图 9	-2	-	+5	ns
t_{JR1}	接收器数据抖动到下一个跳变		-18.5	-	+18.5	ns
t_{JR2}	成对跳变的接收器数据抖动	10%~90%	-9	-	+9	ns
t_{EOPR1}	接收器的 EOP 宽度 ^[1]	必须作为 EOP 拒收；见图 9	40	-	-	ns
t_{EOPR2}	接收器的 EOP 宽度 ^[1]	必须作为 EOP 接收，见图 9	82	-	-	ns

[1] 特性不作为产品集执行。由设计时保证。

表 8 动态特性

除非另外规定， T_a =商业级：-40°C~+85°C； V_{DD} 处于规格范围内。^[1]

符号	参数	测试条件	最小	典型 ^[2]	最大	单位
外部时钟						
fosc	振荡频率		10	-	25	MHz
$T_{cy}(\text{CLK})$	振荡器时钟周期		40	-	100	ns
t_{CHCX}	时钟高电平时间		$T_{cy}(\text{CLK}) \times 0.4$	-	-	ns
t_{CLCX}	时钟低电平时间		$T_{cy}(\text{CLK}) \times 0.4$	-	-	ns
t_{CLCH}	时钟上升时间		-	-	5	ns
t_{CHCL}	时钟下降时间		-	-	5	ns
端口管脚（P0.2 和 P0.3, P0.11 和 P0.14）						
$t_{r(o)}$	输出上升时间		-	10	-	ns
$t_{f(o)}$	输出下降时间		-	10	-	ns
I²C 总线管脚（P0.2 和 P0.3, P0.11 和 P0.14）						
$t_{f(o)}$	输出下降时间	$V_{IH} \sim V_{IL}$	$20 + 0.1 \times C_b$ ^[3]	-	-	ns

[1] 如果没有另外定义，这些参数在操作温度范围内有效。

[2] 不保证典型的额定值。表中的值在室温(+25°C)，标称的电源电压下操作。

[3] 总线电容 C_b 范围为 10pF~400pF。

9.1 时序

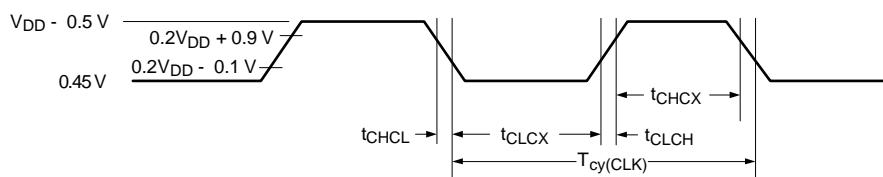


图 8 外部时钟时序

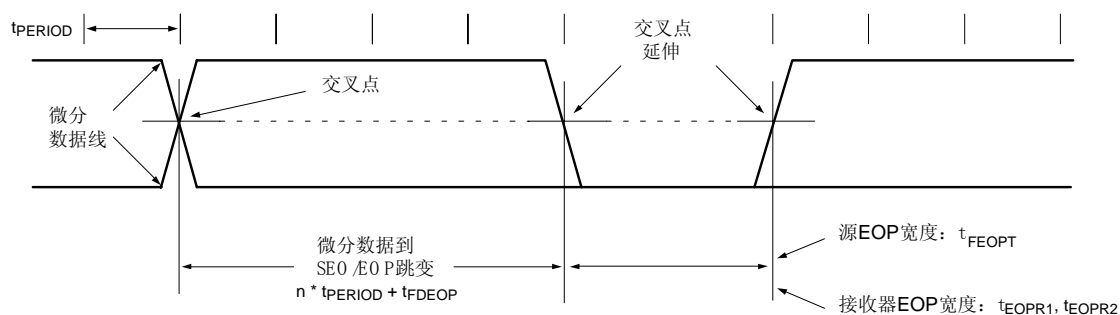


图 9 微分数据到 EOP 跳变率和 EOP 宽度

10.应用信息

10.1 建议的 USB 接口解决方案

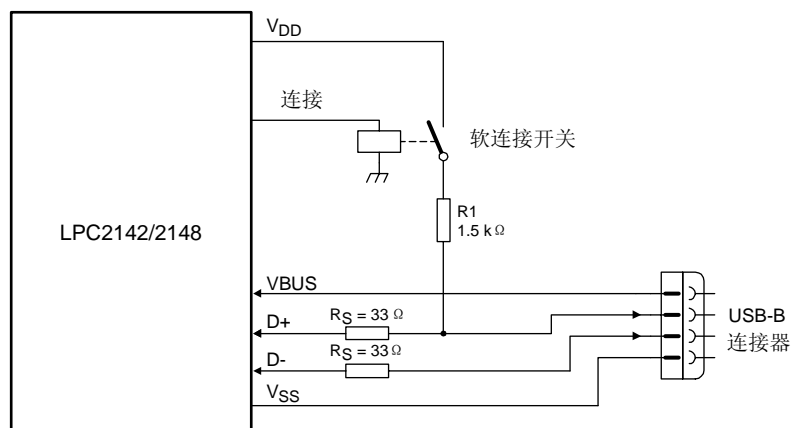


图 10 LPC2141/42/44/46/48 USB 接口在管脚 17 上使用连接功能

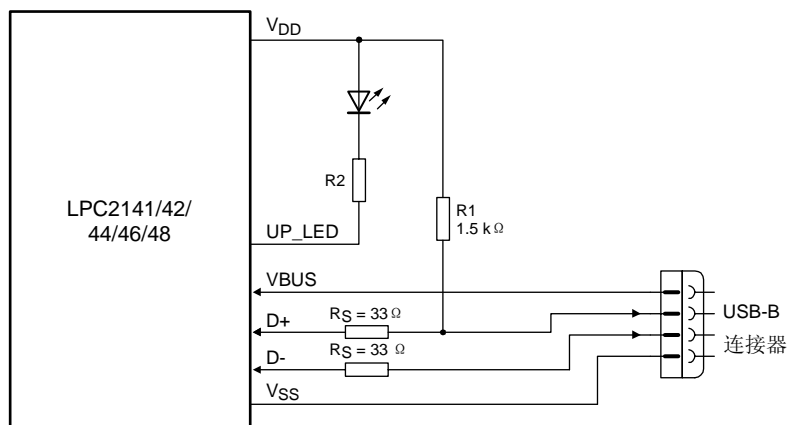
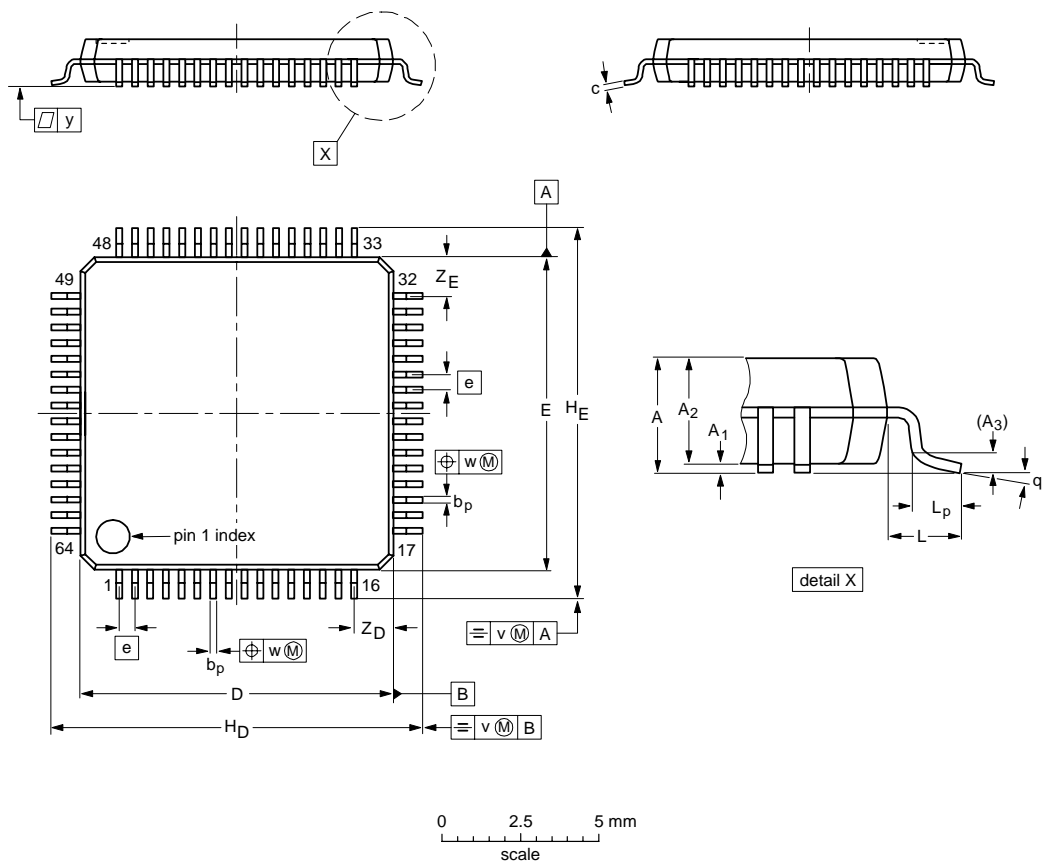


图 11 LPC2141/42/44/46/48 USB 接口在管脚 17 上使用 UP_LED 功能

11.封装

LQFP64 封装: 64 脚; 本体 10×10×1.4mm



DIMENSIONS (mm are the original dimensions)

UNIT	A max.	A ₁	A ₂	A ₃	b _p	c	D ⁽¹⁾	E ⁽¹⁾	e	H _D	H _E	L	L _p	v	w	y	Z _D ⁽¹⁾	Z _E ⁽¹⁾	q
mm	1.6	0.20 0.05	1.45 1.35	0.25	0.27 0.17	0.18 0.12	10.1 9.9	10.1 9.9	0.5	12.15 11.85	12.15 11.85	1	0.75 0.45	0.2	0.12	0.1	1.45 1.05	1.45 1.05	7° 0°

Note

1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	JEITA			
SOT314-2	136E10	MS-026				00-01-19 03-02-25

图 12 SOT314-2 (LQFP64)表面封装

12.术语缩写

表 9 首字母缩写表

缩写	描述
ADC	模数转换器
BOD	掉电检测
CPU	中央处理单元
DAC	数模转换器
DCC	调试通信通道
DMA	直接存储器存取
FIFO	先入先出
GPIO	通用输入/输出
PLL	锁相环
POR	上电复位
PWM	脉宽调制器
RAM	随机存取存储器
SPI	串行外围接口
SRAM	静态随机存取存储器
SSP	同步串行端口
UART	通用异步接收器/发送器
USB	通用串行总线
VPB	VLSI 外围总线

13.修改记录

表 10 修改记录

版本 ID	发布日期	数据手册状态	更改通知	Doc.编号	取代
LPC2141_42_44_46_48_1	20051003	最初数据手册	-	9397 750 14985	-