



8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

概述

MAX1304-MAX1306/MAX1308-MAX1310/MAX1312-MAX1314 12位模数转换器 (ADC) 提供 8个、4个或 2个独立输入通道。独立的采样保持 (T/H) 电路为每个通道提供同时采样。MAX1304/MAX1305/MAX1306提供 0至+5V输入范围，输入故障容限为 ±6V；MAX1308/MAX1309/MAX1310提供 ±5V输入范围，输入故障容限为 ±16.5V；MAX1312/MAX1313/MAX1314提供 ±10V输入范围，输入故障容限为 ±16.5V。这些 ADC在 0.9μs内完成 2个通道的转换，在 1.98μs内完成多达 8个通道的转换，8个通道转换时每通道吞吐率为 456ksps。其他特性包括 20MHz T/H输入带宽、内部时钟、内部 (+2.5V)或外部 (+2.0V至+3.0V)基准以及低功耗省电模式。

20MHz、12位双向并行数据总线用来提供转换结果，并可接受数字输入分别激活每一路通道。

所有器件都工作在 +4.75V至 +5.25V模拟电源与 +2.7V至 +5.25V数字电源下，全速运行时，总电源电流为 57mA。

每种器件都采用 48引脚 7mm x 7mm TQFP封装，工作温度为 -40°C至 +85°C扩展温度范围。

应用

SIN/COS位置编码器

多相电机控制

多相电源监视

电网同步

功率因数监测

振动与波形分析

选择指南

PART	INPUT RANGE (V)	CHANNEL COUNT
MAX1304ECM	0 to +5	8
MAX1305ECM	0 to +5	4
MAX1306ECM	0 to +5	2
MAX1308ECM	±5	8
MAX1309ECM	±5	4
MAX1310ECM	±5	2
MAX1312ECM	±10	8
MAX1313ECM	±10	4
MAX1314ECM	±10	2

引脚配置在本资料的最后给出。

特性

- ◆ 多达 8个通道的同时采样
 - 8ns孔径延时
 - 100ps通道间T/H匹配
- ◆ 扩展的输入范围
 - 0至 +5V (MAX1304/MAX1305/MAX1306)
 - 5V至 +5V (MAX1308/MAX1309/MAX1310)
 - 10V至 +10V (MAX1312/MAX1313/MAX1314)
- ◆ 快速转换时间
 - 单通道: 0.72μs
 - 二通道: 0.9μs
 - 四通道: 1.26μs
 - 八通道: 1.98μs
- ◆ 高吞吐率
 - 单通道: 1075ksps/通道
 - 二通道: 901ksps/通道
 - 四通道: 680ksps/通道
 - 八通道: 456ksps/通道
- ◆ ±1 LSB INL、±0.9 LSB DNL (最大值)。
- ◆ $f_{IN} = 500\text{kHz}$ 、0.4dBFS下，SFDR为 84dBc、THD为 -86dBc、SINAD为 71dB。
- ◆ 12位、20MHz并行接口。
- ◆ 内部或外部时钟。
- ◆ +2.5V内部基准或+2.0V至 +3.0V外部基准。
- ◆ +5V模拟电源，+3V至 +5V数字电源：
 - 55mA模拟电源电流
 - 1.3mA数字电源电流
 - 关断与低功耗省电模式
- ◆ 48引脚 TQFP封装 (7mm x 7mm外形)。

订购信息

PART	TEMP RANGE	PIN-PACKAGE
MAX1304ECM	-40°C to +85°C	48 TQFP
MAX1305ECM	-40°C to +85°C	48 TQFP
MAX1306ECM	-40°C to +85°C	48 TQFP
MAX1308ECM	-40°C to +85°C	48 TQFP
MAX1309ECM	-40°C to +85°C	48 TQFP
MAX1310ECM	-40°C to +85°C	48 TQFP
MAX1312ECM	-40°C to +85°C	48 TQFP
MAX1313ECM	-40°C to +85°C	48 TQFP
MAX1314ECM	-40°C to +85°C	48 TQFP



8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

ABSOLUTE MAXIMUM RATINGS

AV _{DD} to AGND	-0.3V to +6V	REF _{MS} , REF, MSV to AGND	-0.3V to (AV _{DD} + 0.3V)
DV _{DD} to DGND	-0.3V to +6V	REF+, COM, REF- to AGND	-0.3V to (AV _{DD} + 0.3V)
AGND to DGND	-0.3V to +0.3V	Maximum Current into Any Pin Except AV _{DD} , DV _{DD} , AGND, DGND	±50mA
CH0—CH7, I.C. to AGND (MAX1304/MAX1305/MAX1306)	±6V	Continuous Power Dissipation (T _A = +70°C)	
CH0—CH7, I.C. to AGND (MAX1308/MAX1309/MAX1310)	±16.5V	TQFP (derate 22.7mW/°C above +70°C)	1818.2mW
CH0—CH7, I.C. to AGND (MAX1312/MAX1313/MAX1314)	±16.5V	Operating Temperature Range	-40°C to +85°C
D0—D11 to DGND	-0.3V to (DV _{DD} + 0.3V)	Junction Temperature	+150°C
EOC, EOLC, RD, WR, CS to DGND	-0.3V to (DV _{DD} + 0.3V)	Storage Temperature Range	-65°C to +150°C
CONVST, CLK, SHDN, CHSHDN to DGND	-0.3V to (DV _{DD} + 0.3V)	Lead Temperature (soldering, 10s)	+300°C
INTCLK/EXTCLK to AGND	-0.3V to (AV _{DD} + 0.3V)		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(AV_{DD} = +5V, DV_{DD} = +3V, AGND = DGND = 0, V_{REF} = V_{REFMS} = +2.5V (external reference), C_{REF} = C_{REFMS} = 0.1μF, C_{REF+} = C_{REF-} = 0.1μF, C_{REF+to-REF-} = 2.2μF || 0.1μF, C_{COM} = 2.2μF || 0.1μF, C_{MSV} = 2.2μF || 0.1μF (unipolar devices), MSV = AGND (bipolar devices), f_{CLK} = 16.67MHz 50% duty cycle, INTCLK/EXTCLK = AGND (external clock), SHDN = DGND, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C. See Figures 3 and 4.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE (Note 1)						
Resolution	N		12			Bits
Integral Nonlinearity	INL	(Note 2)		±0.5	±1.0	LSB
Differential Nonlinearity	DNL	No missing codes (Note 2)		±0.3	±0.9	LSB
Offset Error		Unipolar, 0x000 to 0x001		±3	±16	LSB
		Bipolar, 0xFFF to 0x000		±3	±16	
Offset-Error Matching		Unipolar, between all channels		±9	±20	LSB
		Bipolar, between all channels		±9	±20	
Offset-Error Temperature Drift		Unipolar, 0x000 to 0x001		7		ppm/°C
		Bipolar, 0xFFF to 0x000		7		
Gain Error				±2	±16	LSB
Gain-Error Matching		Between all channels		±3	±14	LSB
Gain-Error Temperature Drift				4		ppm/°C
DYNAMIC PERFORMANCE at f_{IN} = 500kHz, A_{IN} = -0.4dBFS (Note 2)						
Signal-to-Noise Ratio	SNR		68	71		dB
Signal-to-Noise Plus Distortion	SINAD		68	71		dB
Total Harmonic Distortion	THD			-86	-80	dBc
Spurious-Free Dynamic Range	SFDR			84		dBc
Channel-to-Channel Isolation			80	86		dB
ANALOG INPUTS (CH0 through CH7)						
Input Voltage	V _{CH}	MAX1304/MAX1305/MAX1306	0		+5	V
		MAX1308/MAX1309/MAX1310	-5		+5	
		MAX1312/MAX1313/MAX1314	-10		+10	

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = +5V, DVDD = +3V, AGND = DGND = 0, VREF = VREFMS = +2.5V (external reference), CREF = CREFMS = 0.1μF, CREF+ = CREF- = 0.1μF, CREF+-to-REF- = 2.2μF || 0.1μF, CCOM = 2.2μF || 0.1μF, CMSV = 2.2μF || 0.1μF (unipolar devices), MSV = AGND (bipolar devices), fCLK = 16.67MHz 50% duty cycle, INTCLK/EXTCLK = AGND (external clock), SHDN = DGND, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C. See Figures 3 and 4.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Resistance (Note 3)	RCH	MAX1304/MAX1305/MAX1306		7.58		kΩ
		MAX1308/MAX1309/MAX1310		8.66		
		MAX1312/MAX1313/MAX1314		14.26		
Input Current (Note 3)	ICH	MAX1304/MAX1305/MAX1306	VCH = +5V	0.54	0.72	mA
			VCH = 0V	-0.157	-0.12	
		MAX1308/MAX1309/MAX1310	VCH = +5V	0.29	0.39	
			VCH = -5V	-1.16	-0.87	
		MAX1312/MAX1313/MAX1314	VCH = +10V	0.56	0.74	
			VCH = -10V	-1.13	-0.85	
Input Capacitance	CCH			15		pF
TRACK/HOLD						
External-Clock Throughput Rate (Note 4)	fTH	One channel selected for conversion		1075		ksp/s
		Two channels selected for conversion		901		
		Four channels selected for conversion		680		
		Eight channels selected for conversion		456		
Internal-Clock Throughput Rate (Note 4, Table 1)	fTH	One channel selected for conversion		983		ksp/s
		Two channels selected for conversion		821		
		Four channels selected for conversion		618		
		Eight channels selected for conversion		413		
Small-Signal Bandwidth				20		MHz
Full-Power Bandwidth				20		MHz
Aperture Delay	tAD			8		ns
Aperture-Delay Matching				100		ps
Aperture Jitter	tAJ			50		psRMS
INTERNAL REFERENCE						
REF Output Voltage	VREF		2.475	2.500	2.525	V
Reference Output-Voltage Temperature Drift				30		ppm/°C
REFMS Output Voltage	VREFMS		2.475	2.500	2.525	V
REF+ Output Voltage	VREF+			3.850		V
COM Output Voltage	VCOM			2.600		V
REF- Output Voltage	VREF-			1.350		V
Differential Reference Voltage	VREF+ - VREF-			2.500		V

MAX1304-MAX1306/MAX1308-MAX1310/MAX1312-MAX1314

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = +5V, DVDD = +3V, AGND = DGND = 0, VREF = VREFMS = +2.5V (external reference), CREF = CREFMS = 0.1μF, CREF+ = CREF- = 0.1μF, CREF+to-REF- = 2.2μF || 0.1μF, CCOM = 2.2μF || 0.1μF, CMSV = 2.2μF || 0.1μF (unipolar devices), MSV = AGND (bipolar devices), fCLK = 16.67MHz 50% duty cycle, INTCLK/EXTCLK = AGND (external clock), SHDN = DGND, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C. See Figures 3 and 4.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
EXTERNAL REFERENCE (REF and REFMS are externally driven)						
REF Input Voltage Range	VREF		2.0	2.5	3.0	V
REF Input Resistance	RREF	(Note 5)		5		kΩ
REF Input Capacitance				15		pF
REFMS Input Voltage Range	VREFMS		2.0	2.5	3.0	V
REFMS Input Resistance	RREFMS	(Note 6)		5		kΩ
REFMS Input Capacitance				15		pF
REF+ Output Voltage	VREF+	VREF = +2.5V		3.850		V
COM Output Voltage	VCOM	VREF = +2.5V		2.600		V
REF- Output Voltage	VREF-	VREF = +2.5V		1.350		V
Differential Reference Voltage	VREF+ - VREF-	VREF = +2.5V		2.500		V
DIGITAL INPUTS (D0–D7, RD, WR, CS, CLK, SHDN, CHSHDN, CONVST)						
Input-Voltage High	VIH		0.7 × DVDD			V
Input-Voltage Low	VIL			0.3 × DVDD		V
Input Hysteresis				20		mV
Input Capacitance	CIN			15		pF
Input Current	IIN	VIN = 0 or DVDD		0.02	±1	μA
CLOCK-SELECT INPUT (INTCLK/EXTCLK)						
Input-Voltage High	VIH		0.7 × AVDD			V
Input-Voltage Low	VIL			0.3 × AVDD		V
DIGITAL OUTPUTS (D0–D11, EOC, EOLC)						
Output-Voltage High	VOH	ISOURCE = 0.8mA, Figure 1	DVDD - 0.6			V
Output-Voltage Low	VOL	ISINK = 1.6mA, Figure 1		0.4		V
D0–D11 Tri-State Leakage Current		RD = high or CS = high		0.06	1	μA
D0–D11 Tri-State Output Capacitance		RD = high or CS = high		15		pF
POWER SUPPLIES						
Analog Supply Voltage	AVDD		4.75		5.25	V
Digital Supply Voltage	DVDD		2.70		5.25	V
Analog Supply Current	IAVDD	MAX1304/MAX1305/MAX1306, all channels selected		55	60	mA
		MAX1308/MAX1309/MAX1310, all channels selected		54	60	
		MAX1312/MAX1313/MAX1314, all channels selected		54	60	

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = +5V, DVDD = +3V, AGND = DGND = 0, VREF = VREFMS = +2.5V (external reference), CREF = CREFMS = 0.1μF, CREF+ = CREF- = 0.1μF, CREF+to-REF- = 2.2μF || 0.1μF, CCOM = 2.2μF || 0.1μF, CMSV = 2.2μF || 0.1μF (unipolar devices), MSV = AGND (bipolar devices), fCLK = 16.67MHz 50% duty cycle, INTCLK/EXTCLK = AGND (external clock), SHDN = DGND, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C. See Figures 3 and 4.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Digital Supply Current (CLOAD = 100pF) (Note 7)	IDVDD	MAX1304/MAX1305/MAX1306, all channels selected		1.3	2.6	mA
		MAX1308/MAX1309/MAX1310, all channels selected		1.3	2.6	
		MAX1312/MAX1313/MAX1314, all channels selected		1.3	2.6	
Shutdown Current (Note 8)	IAVDD	SHDN = DVDD, VCH = float		0.6	10	μA
	IDVDD	SHDN = DVDD, RD = WR = high		0.02	1	
Power-Supply Rejection Ratio	PSRR	AVDD = +4.75V to +5.25V		50		dB
TIMING CHARACTERISTICS (Figure 1)						
Time to First Conversion Result	tCONV	Internal clock, Figure 7		800	900	ns
		External clock, Figure 8		12		CLK Cycles
Time to Subsequent Conversions	tNEXT	Internal clock, Figure 7		200	225	ns
		External clock, Figure 8		3		CLK Cycles
CONVST Pulse-Width Low (Acquisition Time)	tACQ	(Note 9) Figures 6–10	0.1		1000.0	μs
CS Pulse Width	tCS	Figure 6	30			ns
RD Pulse-Width Low	tRDL	Figures 7, 8, 9	30			ns
RD Pulse-Width High	tRDH	Figures 7, 8, 9	30			ns
WR Pulse-Width Low	tWRL	Figure 6	30			ns
CS to WR	tCTW	Figure 6		(Note 10)		ns
WR to CS	tWTC	Figure 6		(Note 10)		ns
CS to RD	tCTR	Figures 7, 8, 9		(Note 10)		ns
RD to CS	tRTC	Figures 7, 8, 9		(Note 10)		ns
Data Access Time (RD Low to Valid Data)	tACC	Figures 7, 8, 9			30	ns
Bus Relinquish Time (RD High)	tREQ	Figures 7, 8, 9	5		30	ns
CLK Rise to EOC Delay	tEOCD	Figure 8		20		ns
CLK Rise to EOLC Fall Delay	tEOLCD	Figure 8		20		ns
CONVST Fall to EOLC Rise Delay	tCVEOLCD	Figures 7, 8, 9		20		ns
EOC Pulse Width	tEOC	Internal clock, Figure 7	50			ns
		External clock, Figure 8		1		CLK Cycle

MAX1304–MAX1306/MAX1308–MAX1310/MAX1312–MAX1314

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = +5V, DVDD = +3V, AGND = DGND = 0, VREF = VREFMS = +2.5V (external reference), CREF = CREFMS = 0.1μF, CREF+ = CREF- = 0.1μF, CREF+-to-REF- = 2.2μF || 0.1μF, CCOM = 2.2μF || 0.1μF, CMSV = 2.2μF || 0.1μF (unipolar devices), MSV = AGND (bipolar devices), fCLK = 16.67MHz 50% duty cycle, INTCLK/EXTCLK = AGND (external clock), SHDN = DGND, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C. See Figures 3 and 4.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input-Data Setup Time	tDTW	Figure 6	10			ns
Input-Data Hold Time	tWTD	Figure 6	10			ns
External CLK Period	tCLK	Figures 8, 9	0.05		10.00	μs
External CLK High Period	tCLKH	Logic sensitive to rising edges, Figures 8, 9	20			ns
External CLK Low Period	tCLKL	Logic sensitive to rising edges, Figures 8, 9	20			ns
External Clock Frequency	fCLK	(Note 11)	0.1		20	MHz
Internal Clock Frequency	fINT			15		MHz
CONVST High to CLK Edge	tCNTC	Figures 8, 9	20			ns

Note 1: For the MAX1304/MAX1305/MAX1306, VIN = 0 to +5V. For the MAX1308/MAX1309/MAX1310, VIN = -5V to +5V. For the MAX1312/MAX1313/MAX1314, VIN = -10V to +10V.

Note 2: All channel performance is guaranteed by correlation to a single channel test.

Note 3: The analog input resistance is terminated to an internal bias point (Figure 5). Calculate the analog input current using:

$$I_{CH_} = \frac{V_{CH_} - V_{BIAS}}{R_{CH_}}$$

for VCH within the input voltage range.

Note 4: Throughput rate is given per channel. Throughput rate is a function of clock frequency (fCLK). The external clock throughput rate is specified with fCLK = 16.67MHz and the internal clock throughput rate is specified with fCLK = 15MHz. See the *Data Throughput* section for more information.

Note 5: The REF input resistance is terminated to an internal +2.5V bias point (Figure 2). Calculate the REF input current using:

$$I_{REF} = \frac{V_{REF} - 2.5V}{R_{REF}}$$

for VREF within the input voltage range.

Note 6: The REFMS input resistance is terminated to an internal +2.5V bias point (Figure 2). Calculate the REFMS input current using:

$$I_{REFMS} = \frac{V_{REFMS} - 2.5V}{R_{REFMS}}$$

for VREFMS within the input voltage range.

Note 7: All analog inputs are driven with a -0.4dBFS 500kHz sine wave.

Note 8: Shutdown current is measured with the analog input floating. The large amplitude of the maximum shutdown current specification is due to automated test equipment limitations.

Note 9: CONVST must remain low for at least the acquisition period. The maximum acquisition time is limited by internal capacitor droop.

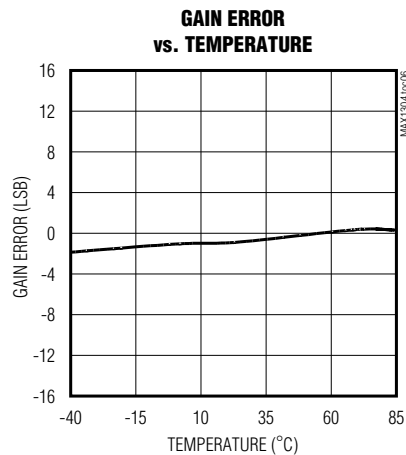
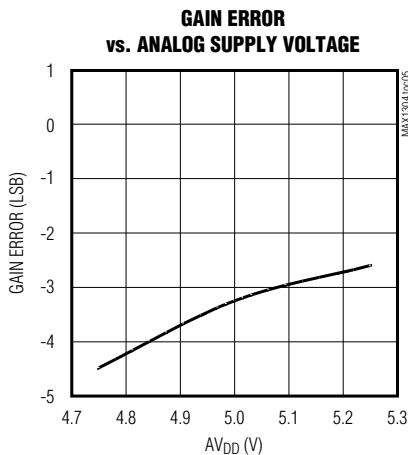
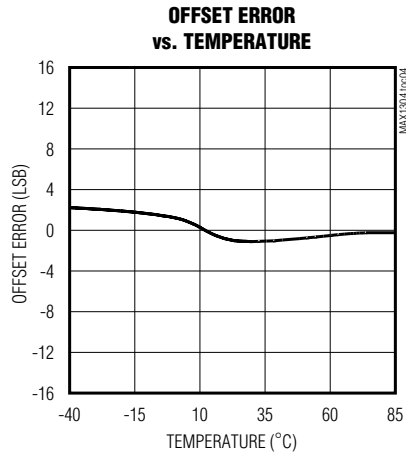
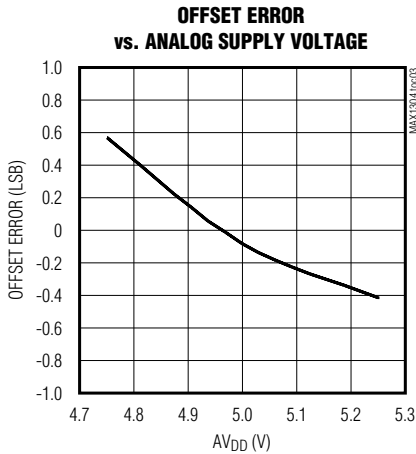
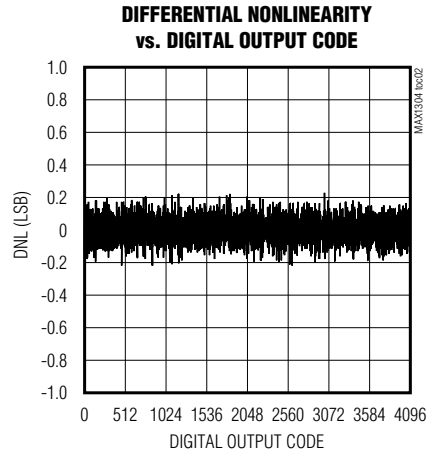
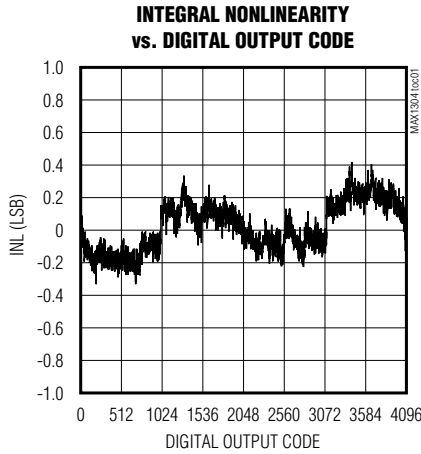
Note 10: CS to WR and CS to RD are internally AND together. Setup and hold times do not apply.

Note 11: Minimum CLK frequency is limited only by the internal T/H droop rate. Limit the time between the rising edge of CONVST and the falling edge of EOLC to a maximum of 1ms.

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

典型工作特性

(AVDD = +5V, DVDD = +3V, AGND = DGND = 0, VREF = VREFMS = +2.5V (external reference), CREF = CREFMS = 0.1μF, CREF+ = CREF- = 0.1μF, CREF+to-REF- = 2.2μF || 0.1μF, CCOM = 2.2μF || 0.1μF, CMSV = 2.2μF || 0.1μF (unipolar devices), MSV = AGND (bipolar devices), fCLK = 16.67MHz 50% duty cycle, INTCLK/EXTCLK = AGND (external clock), fIN = 500kHz, AIN = -0.4dBFS. TA = +25°C, unless otherwise noted.) (Figures 3 and 4)

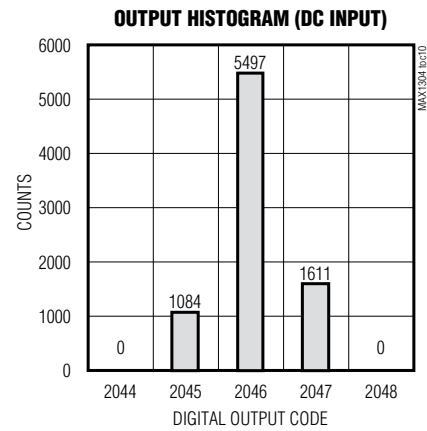
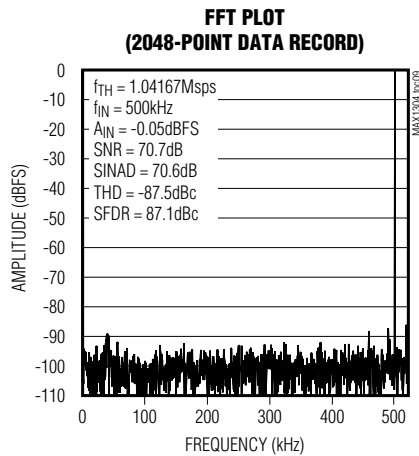
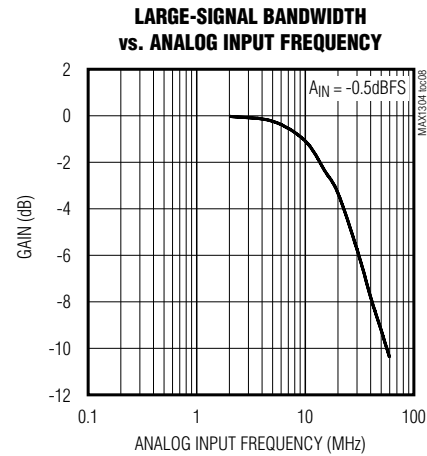
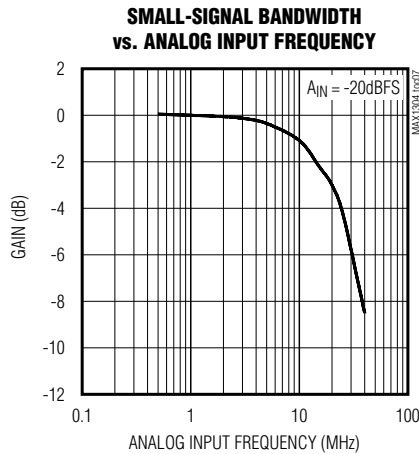


MAX1304-MAX1306/MAX1308-MAX1310/MAX1312-MAX1314

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

典型工作特性 (续)

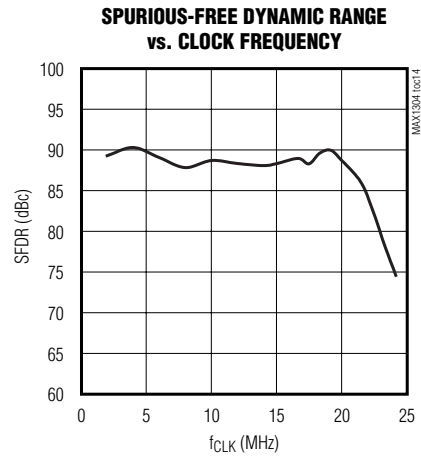
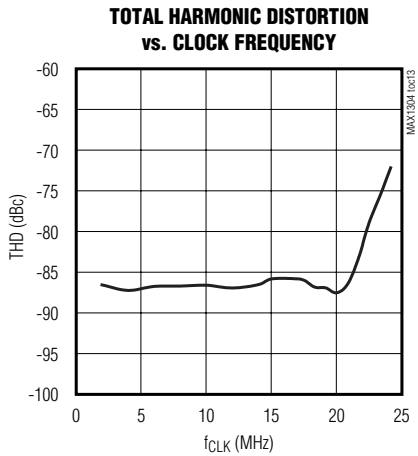
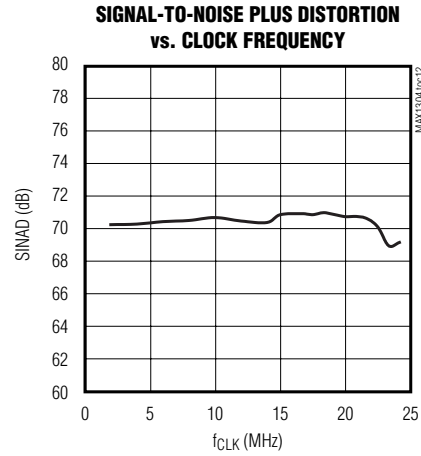
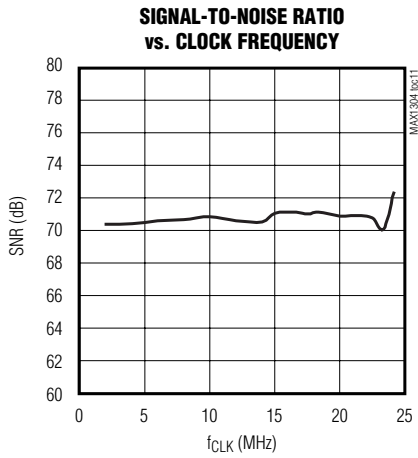
(AVDD = +5V, DVDD = +3V, AGND = DGND = 0, VREF = VREFMS = +2.5V (external reference), CREF = CREFMS = 0.1 μ F, CREF+ = CREF- = 0.1 μ F, CREF+-to-REF- = 2.2 μ F || 0.1 μ F, CCOM = 2.2 μ F || 0.1 μ F, CMSV = 2.2 μ F || 0.1 μ F (unipolar devices), MSV = AGND (bipolar devices), fCLK = 16.67MHz 50% duty cycle, INTCLK/EXTCLK = AGND (external clock), fIN = 500kHz, AIN = -0.4dBFS. TA = +25°C, unless otherwise noted.) (Figures 3 and 4)



8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

典型工作特性 (续)

(AVDD = +5V, DVDD = +3V, AGND = DGND = 0, VREF = VREFMS = +2.5V (external reference), CREF = CREFMS = 0.1μF, CREF+ = CREF- = 0.1μF, CREF+to-REF- = 2.2μF || 0.1μF, CCOM = 2.2μF || 0.1μF, CMSV = 2.2μF || 0.1μF (unipolar devices), MSV = AGND (bipolar devices), fCLK = 16.67MHz 50% duty cycle, INTCLK/EXTCLK = AGND (external clock), fIN = 500kHz, AIN = -0.4dBFS. TA = +25°C, unless otherwise noted.) (Figures 3 and 4)

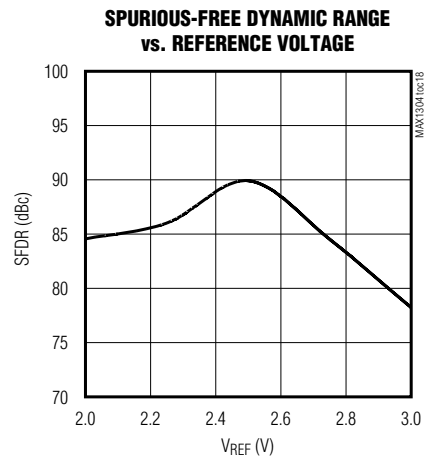
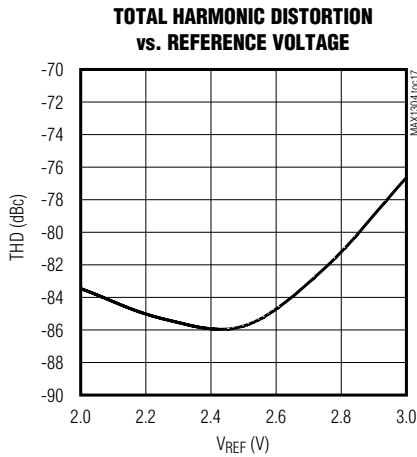
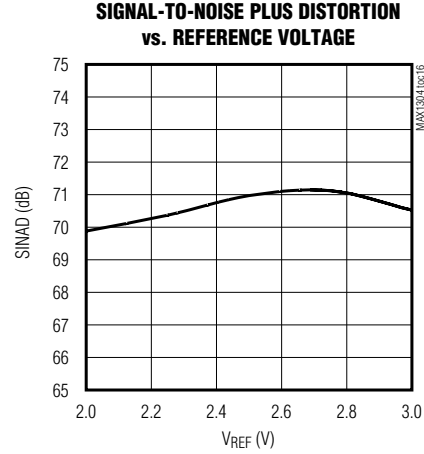
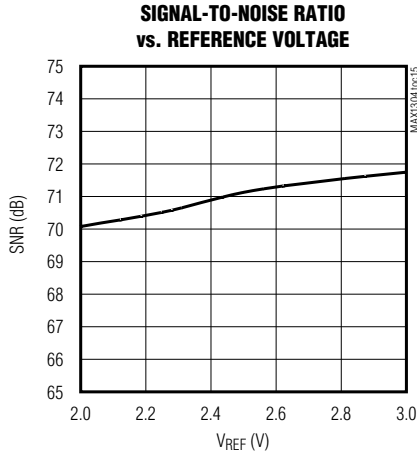


MAX1304—MAX1306/MAX1308—MAX1310/MAX1312—MAX1314

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

典型工作特性 (续)

(AVDD = +5V, DVDD = +3V, AGND = DGND = 0, VREF = VREFMS = +2.5V (external reference), CREF = CREFMS = 0.1μF, CREF+ = CREF- = 0.1μF, CREF+to-REF- = 2.2μF || 0.1μF, CCOM = 2.2μF || 0.1μF, CMSV = 2.2μF || 0.1μF (unipolar devices), MSV = AGND (bipolar devices), fCLK = 16.67MHz 50% duty cycle, INTCLK/EXTCLK = AGND (external clock), fIN = 500kHz, AIN = -0.4dBFS. TA = +25°C, unless otherwise noted.) (Figures 3 and 4)

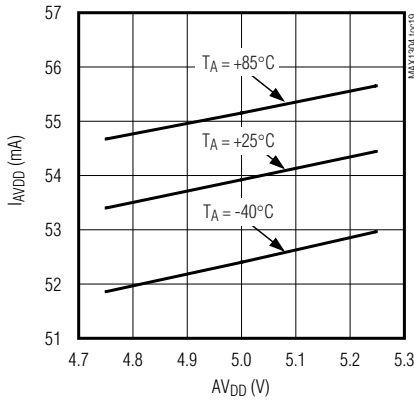


8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

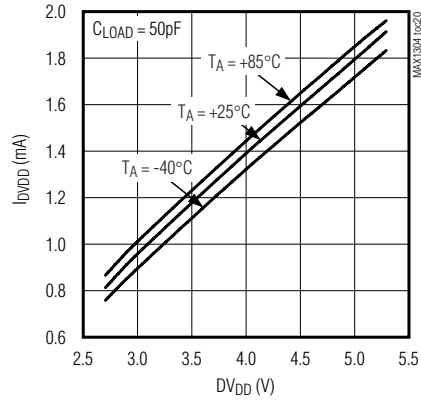
典型工作特性 (续)

(AVDD = +5V, DVDD = +3V, AGND = DGND = 0, VREF = VREFMS = +2.5V (external reference), CREF = CREFMS = 0.1μF, CREF+ = CREF- = 0.1μF, CREF+to-REF- = 2.2μF || 0.1μF, CCOM = 2.2μF || 0.1μF, CMSV = 2.2μF || 0.1μF (unipolar devices), MSV = AGND (bipolar devices), fCLK = 16.67MHz 50% duty cycle, INTCLK/EXTCLK = AGND (external clock), fIN = 500kHz, AIN = -0.4dBFS. TA = +25°C, unless otherwise noted.) (Figures 3 and 4)

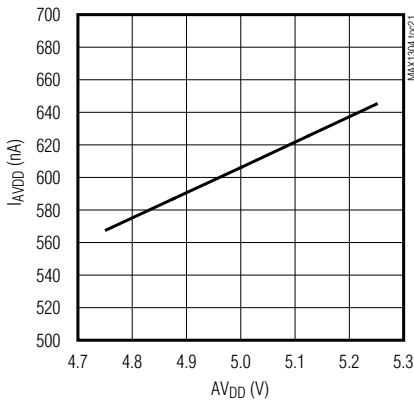
ANALOG SUPPLY CURRENT vs. ANALOG SUPPLY VOLTAGE



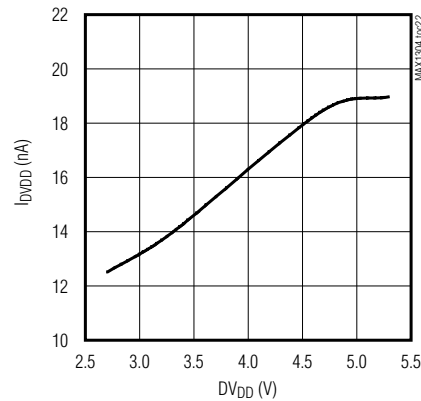
DIGITAL SUPPLY CURRENT vs. DIGITAL SUPPLY VOLTAGE



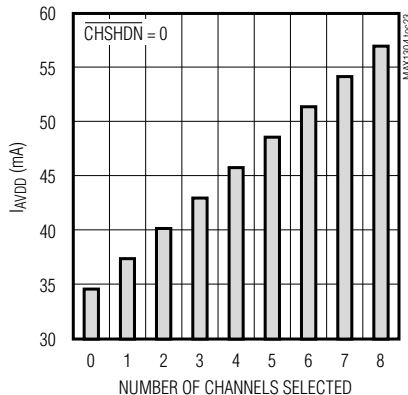
ANALOG SHUTDOWN CURRENT vs. ANALOG SUPPLY VOLTAGE



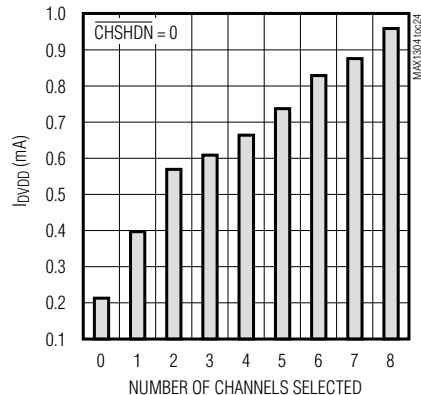
DIGITAL SHUTDOWN CURRENT vs. DIGITAL SUPPLY VOLTAGE



ANALOG SUPPLY CURRENT vs. NUMBER OF CHANNELS SELECTED



DIGITAL SUPPLY CURRENT vs. NUMBER OF CHANNELS SELECTED



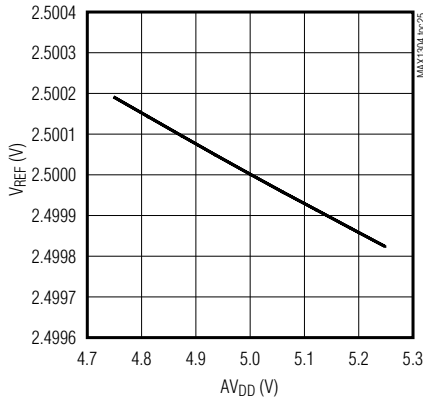
MAX1304-MAX1306/MAX1308-MAX1310/MAX1312-MAX1314

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

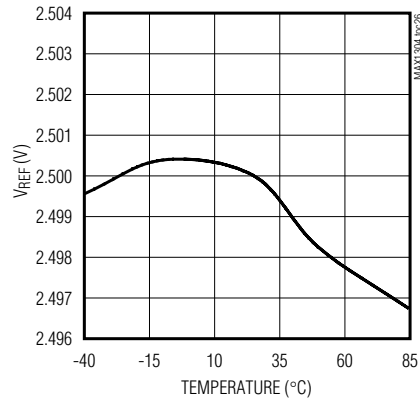
典型工作特性 (续)

(AVDD = +5V, DVDD = +3V, AGND = DGND = 0, VREF = VREFMS = +2.5V (external reference), CREF = CREFMS = 0.1μF, CREF+ = CREF- = 0.1μF, CREF+to-REF- = 2.2μF || 0.1μF, CCOM = 2.2μF || 0.1μF, CMSV = 2.2μF || 0.1μF (unipolar devices), MSV = AGND (bipolar devices), fCLK = 16.67MHz 50% duty cycle, INTCLK/EXTCLK = AGND (external clock), fIN = 500kHz, AIN = -0.4dBFS, TA = +25°C, unless otherwise noted.) (Figures 3 and 4)

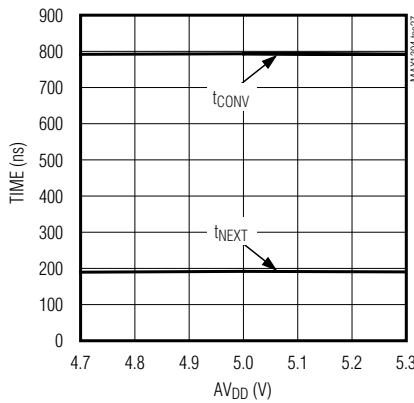
INTERNAL REFERENCE VOLTAGE vs. ANALOG SUPPLY VOLTAGE



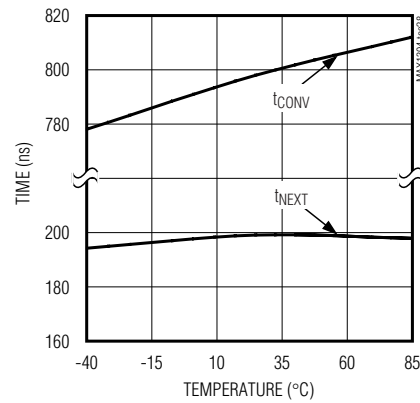
INTERNAL REFERENCE VOLTAGE vs. TEMPERATURE



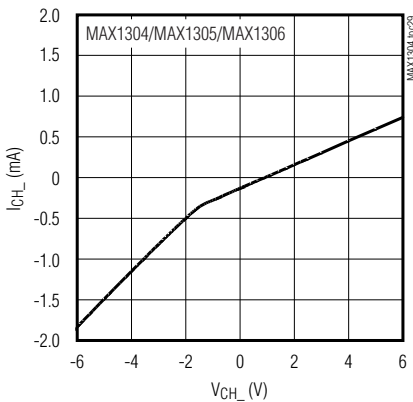
INTERNAL CLOCK CONVERSION TIME vs. ANALOG SUPPLY VOLTAGE



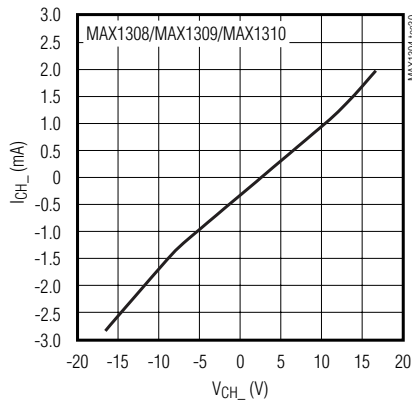
INTERNAL CLOCK CONVERSION TIME vs. TEMPERATURE



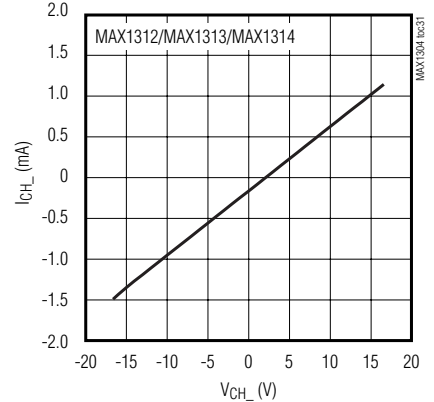
ANALOG INPUT CHANNEL CURRENT vs. ANALOG INPUT CHANNEL VOLTAGE



ANALOG INPUT CHANNEL CURRENT vs. ANALOG INPUT CHANNEL VOLTAGE



ANALOG INPUT CHANNEL CURRENT vs. ANALOG INPUT CHANNEL VOLTAGE



8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

引脚说明

MAX1304-MAX1306/MAX1308-MAX1310/MAX1312-MAX1314

引脚			名称	功能
MAX1304 MAX1308 MAX1312	MAX1305 MAX1309 MAX1313	MAX1306 MAX1310 MAX1314		
1, 15, 17	1, 15, 17	1, 15, 17	AVDD	模拟电源输入。AVDD是转换器模拟部分的电源输入，在AVDD引脚施加+5V。将所有AVDD引脚连在一起，详细信息参见布线、接地与旁路部分。
2, 3, 14, 16, 23	2, 3, 14, 16, 23	2, 3, 14, 16, 23	AGND	模拟地。AGND是AVDD电源返回地，将所有AGND引脚连在一起。
4	4	4	CH0	通道0模拟输入
5	5	5	CH1	通道1模拟输入
6	6	6	MSV	中值电压旁路。对于单极性MAX1304/MAX1305/MAX1306，用一个2.2μF电容和一个0.1μF电容将MSV旁路到AGND。对于双极性MAX1308/MAX1309/MAX1310/MAX1312/MAX1313/MAX1314，将MSV连接到AGND。
7	7	—	CH2	通道2模拟输入
8	8	—	CH3	通道3模拟输入
9	—	—	CH4	通道4模拟输入
10	—	—	CH5	通道5模拟输入
11	—	—	CH6	通道6模拟输入
12	—	—	CH7	通道7模拟输入
13	13	13	INTCLK/ EXTCLK	时钟模式选择输入。选择内部时钟时，将INTCLK/EXTCLK连接到AVDD；选择外部时钟时，将外部时钟连接到CLK，将INTCLK/EXTCLK连接到AGND。
18	18	18	REFMS	中值基准旁路或输入。REFMS通过一个5kΩ电阻连接到内部+2.5V带隙基准缓冲器。 对于MAX1304/MAX1305/MAX1306单极性器件，VREFMS是驱动MSV的单位增益缓冲器的输入。MSV用来设定输入电压范围的中点。内部基准模式下，用一个不低于0.01μF的电容将REFMS旁路到AGND。外部基准模式下，用+2V至+3V的外部电压驱动REFMS。 对于MAX1308/MAX1309/MAX1310/MAX1312/MAX1313/MAX1314双极性器件，将REFMS与REF连接。内部基准模式下，用一个不低于0.01μF的电容将REFMS/REF节点旁路到AGND。外部基准模式下，用+2V至+3V的外部电压驱动REFMS/REF节点。
19	19	19	REF	ADC基准旁路或输入。REF通过一个5kΩ电阻连接到内部+2.5V带隙基准缓冲器。 在内部基准模式下，用一个不低于0.01μF的电容将REF旁路。 在外部基准模式下，对于MAX1304/MAX1305/MAX1306单极性器件，用+2V至+3V的外部电压驱动REF。在外部基准模式下，对于MAX1308/MAX1309/MAX1310/MAX1312/MAX1313/MAX1314双极性器件，将REFMS与REF连接，并用+2V至+3V的外部电压驱动REFMS/REF节点。

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

引脚说明 (续)

引脚			名称	功能
MAX1304 MAX1308 MAX1312	MAX1305 MAX1309 MAX1313	MAX1306 MAX1310 MAX1314		
20	20	20	REF+	正基准旁路。用一个0.1μF电容将REF+旁路到AGND。同时，用一个2.2μF电容和一个0.1μF电容将REF+旁路到REF-。 $V_{REF+} = V_{COM} + V_{REF}/2$ 。
21	21	21	COM	基准公共端旁路。用一个2.2μF电容和一个0.1μF电容将COM旁路到AGND。 $V_{COM} = 13/25 \times AV_{DD}$ 。
22	22	22	REF-	负基准旁路。用一个0.1μF电容将REF-旁路至AGND。同时，用一个2.2μF和一个0.1μF电容将REF-旁路到REF+。 $V_{REF-} = V_{COM} - V_{REF}/2$ 。
24, 39	24, 39	24, 39	DGND	数字地。DGND是DV _{DD} 电源返回地，将所有DGND引脚连在一起。
25, 38	25, 38	25, 38	DV _{DD}	数字电源输入。DV _{DD} 为转换器的数字部分供电，包括并行接口。在DV _{DD} 引脚施加+2.7V至+5.25V电压。用一个0.1μF电容将DV _{DD} 旁路至DGND。将所有DV _{DD} 引脚连在一起。
26	26	26	D0	12位并行数据总线的数字I/O 0。当 $\overline{RD} = 1$ 或 $\overline{CS} = 1$ 时为高阻状态。
27	27	27	D1	12位并行数据总线的数字I/O 1。当 $\overline{RD} = 1$ 或 $\overline{CS} = 1$ 时为高阻状态。
28	28	28	D2	12位并行数据总线的数字I/O 2。当 $\overline{RD} = 1$ 或 $\overline{CS} = 1$ 时为高阻状态。
29	29	29	D3	12位并行数据总线的数字I/O 3。当 $\overline{RD} = 1$ 或 $\overline{CS} = 1$ 时为高阻状态。
30	30	30	D4	12位并行数据总线的数字I/O 4。当 $\overline{RD} = 1$ 或 $\overline{CS} = 1$ 时为高阻状态。
31	31	31	D5	12位并行数据总线的数字I/O 5。当 $\overline{RD} = 1$ 或 $\overline{CS} = 1$ 时为高阻状态。
32	32	32	D6	12位并行数据总线的数字I/O 6。当 $\overline{RD} = 1$ 或 $\overline{CS} = 1$ 时为高阻状态。
33	33	33	D7	12位并行数据总线的数字I/O 7。当 $\overline{RD} = 1$ 或 $\overline{CS} = 1$ 时为高阻状态。
34	34	34	D8	12位并行数据总线的数字输出 8。当 $\overline{RD} = 1$ 或 $\overline{CS} = 1$ 时为高阻状态。
35	35	35	D9	12位并行数据总线的数字输出 9。当 $\overline{RD} = 1$ 或 $\overline{CS} = 1$ 时为高阻状态。
36	36	36	D10	12位并行数据总线的数字输出 10。当 $\overline{RD} = 1$ 或 $\overline{CS} = 1$ 时为高阻状态。
37	37	37	D11	12位并行数据总线的数字输出 11。当 $\overline{RD} = 1$ 或 $\overline{CS} = 1$ 时为高阻状态。
40	40	40	\overline{EOC}	转换结束输出。 \overline{EOC} 跳变到低电平表明一次转换的结束。在下一个CLK上升沿或CONVST下降沿时跳变回高电平。
41	41	41	\overline{EOLC}	最后转换结束输出。 \overline{EOLC} 跳变到低电平表明最后一个通道的转换结束。当CONVST跳变到低电平为下一次转换时序做准备时， \overline{EOLC} 跳变到高电平。
42	42	42	\overline{RD}	读输入。将 \overline{RD} 置为低电平将启动一次并行数据总线的读指令。
43	43	43	\overline{WR}	写输入。将 \overline{WR} 置为低电平将启动一次写指令，用D0-D7来配置器件。

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

引脚说明 (续)

引脚			名称	功能
MAX1304 MAX1308 MAX1312	MAX1305 MAX1309 MAX1313	MAX1306 MAX1310 MAX1314		
44	44	44	\overline{CS}	片选输入。将 \overline{CS} 置为低电平将激活数字接口。 \overline{CS} 保持高电平时，D0-D11 为高阻状态。
45	45	45	CONVST	启动转换输入。将 CONVST 驱动为高电平来启动转换过程。模拟输入在 CONVST 的上升沿采样。
46	46	46	CLK	外部时钟输入。在外部时钟模式下，将 $\overline{INTCLK}/\overline{EXTCLK}$ 连接到 DGND，并用 100kHz 至 20MHz 的外部时钟信号驱动 CLK。在内部时钟模式下，将 $\overline{INTCLK}/\overline{EXTCLK}$ 连接到 DV _{DD} ，并将 CLK 连接到 DGND。
47	47	47	SHDN	关断输入。SHDN 驱动为高电平时将器件置为关断模式。标准工作模式下将 SHDN 与 DGND 连接。
48	48	48	\overline{CHSHDN}	低电平有效、模拟输入通道关断控制输入端。将 \overline{CHSHDN} 置为低电平时，配置寄存器中未被选择进行转换的模拟输入通道被关断。将 \overline{CHSHDN} 驱动为高电平时，无论在配置寄存器中是否被选择进行转换，所有模拟输入通道都有效。更多信息参见通道关断 (\overline{CHSHDN}) 部分。
—	9, 10, 11, 12	7, 8, 9, 10, 11, 12	I.C.	内部已连接。将 I.C. 连接到 AGND。

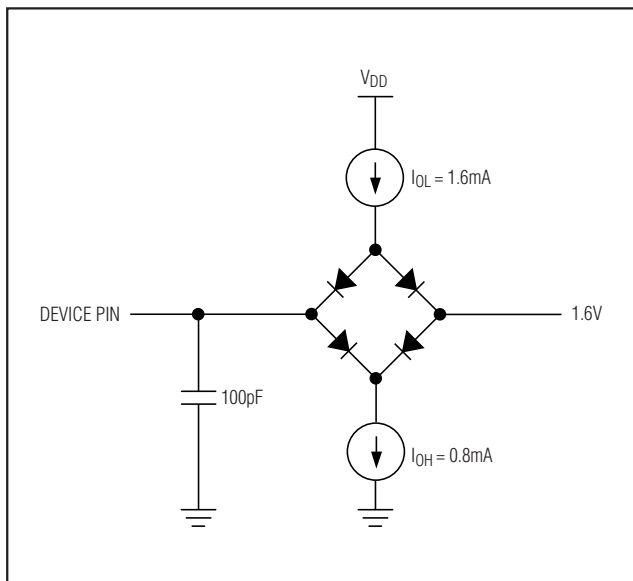


图1. 数字负载测试电路

详细说明

MAX1304-MAX1306/MAX1308-MAX1310/MAX1312-MAX1314 是 12 位 ADC。这一系列的器件提供 8 个、4 个或 2 个可独立选择的输入通道，每个通道都有专用的 T/H 电路。所有有效通道的同时采样都保留了相关的相位信息，非常适合电机控制与电源监视。有三种可供选择的输入范围：0 至 +5V、±5V 和 ±10V。0 至 +5V 器件提供 ±6V 输入故障容限；±5V 和 ±10V 器件提供 ±16.5V 输入故障容限。在 0.9μs 内可以得到两个通道的转换结果，1.98μs 内可以得到全部八个通道的转换结果。8 通道转换时每通道吞吐率为 456ksps。内部或外部基准及内部或外部时钟选择提供了很大的灵活性，并且易于使用。只写配置寄存器可以屏蔽不使用的通道，关断功能降低了功耗。转换结果通过 20MHz、12 位并行数据总线输出。图 2 所示电路是这些 ADC 的功能原理框图。

8/4/2通道、12位、同时采样ADC，
±10V、±5V或0至+5V模拟输入范围

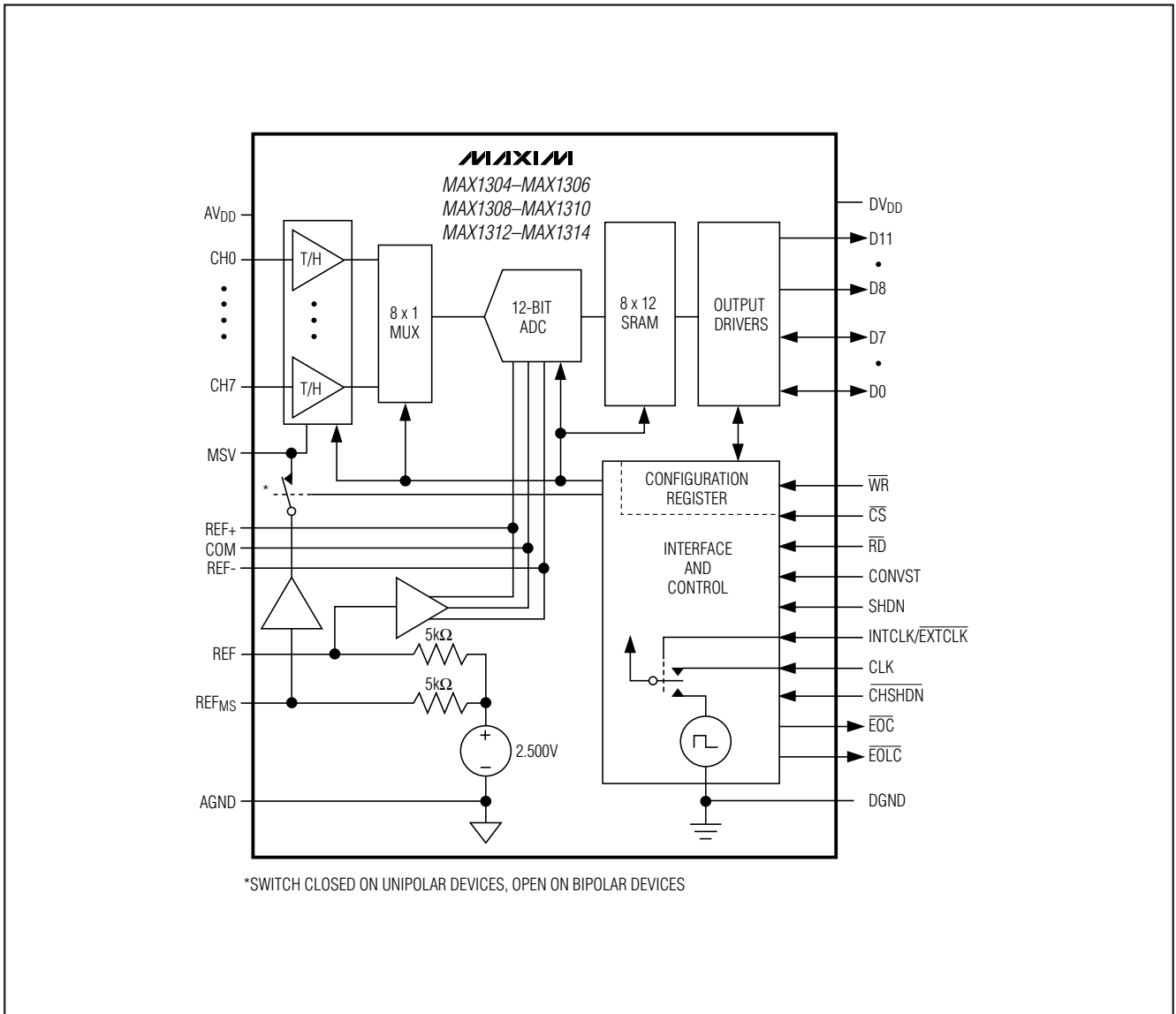


图2. 功能原理图

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

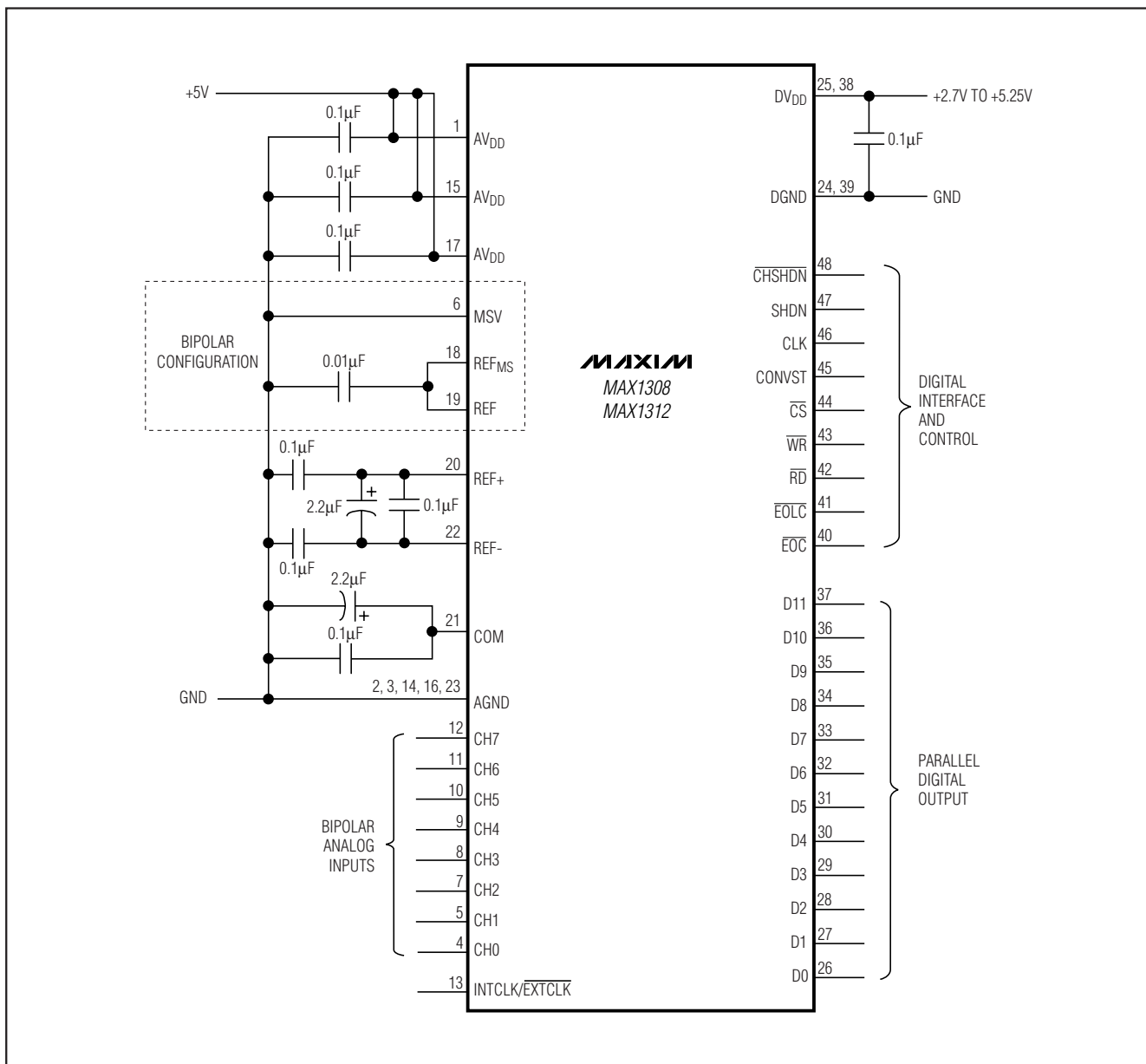


图 3. 典型的双极性工作电路

MAX1304-MAX1306/MAX1308-MAX1310/MAX1312-MAX1314

8/4/2通道、12位、同时采样ADC，
±10V、±5V或0至+5V模拟输入范围

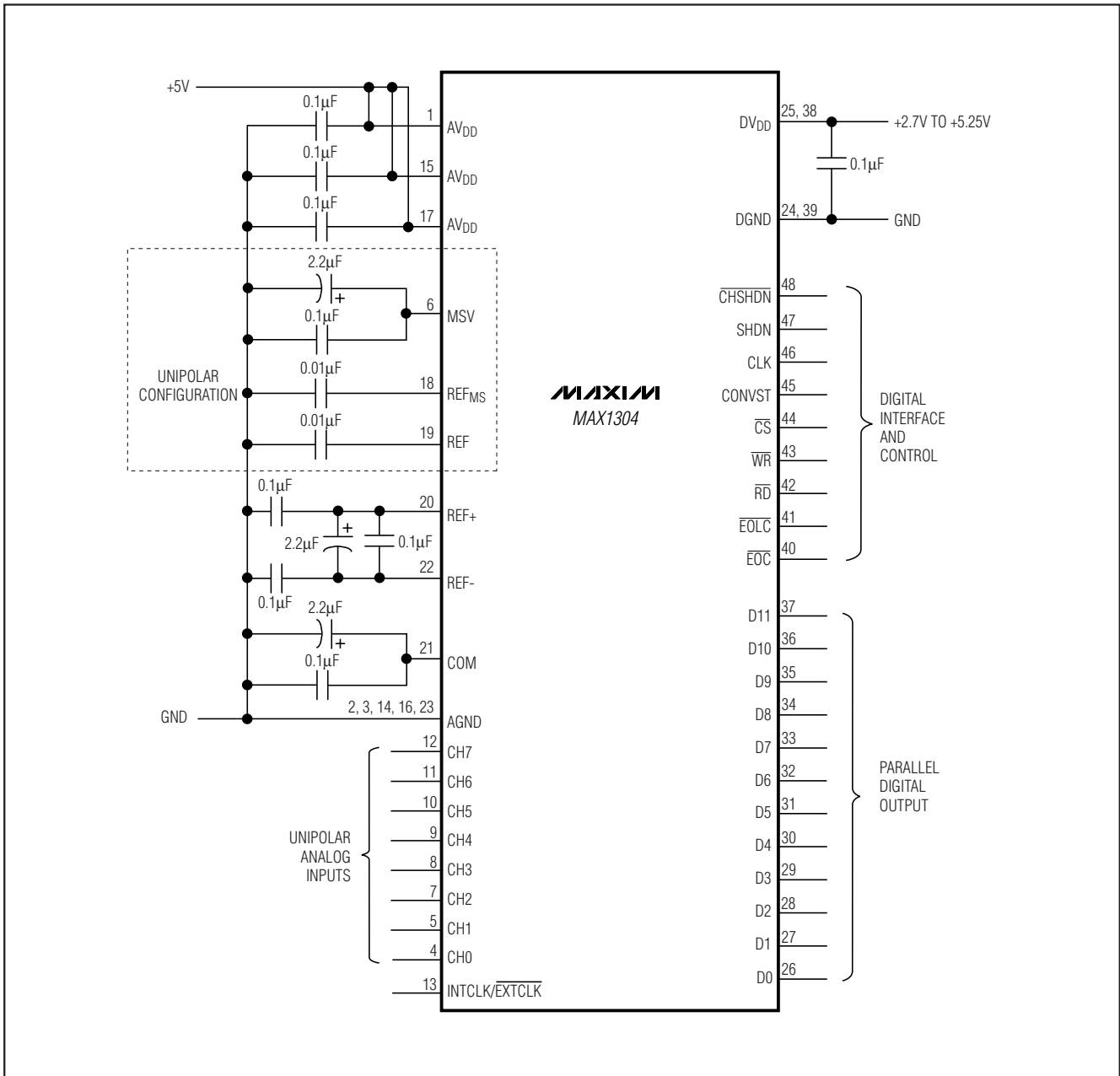


图 4. 典型的单极性工作电路

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

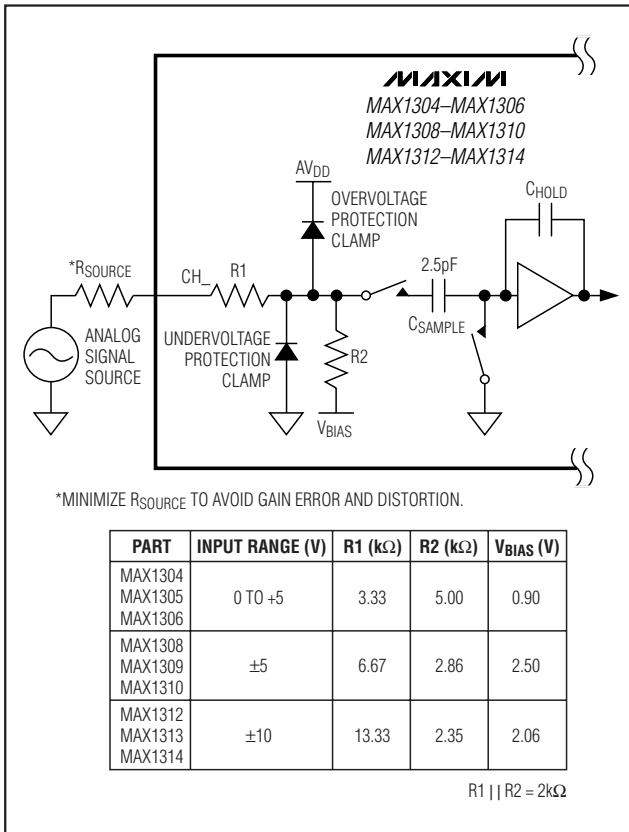


图 5. 单通道等效模拟输入T/H电路

模拟输入 采样保持 (T/H)

为保留 MAX1304-MAX1306/MAX1308-MAX1310/MAX1312-MAX1314 多通道的相位信息，所有输入通道都有专用的 T/H放大器。图 5所示为单个通道的等效模拟输入 T/H电路。

输入 T/H电路受 CONVST输入的控制。当 CONVST为低电平时，T/H电路跟随模拟输入。当 CONVST为高电平时，T/H电路将保持模拟输入。CONVST的上升沿是模拟输入的采样时间。孔径延时 (t_{AD})为 8ns，孔径抖动 (t_{AJ})为 50psRMS。各通道T/H输入的孔径延时匹配在 100ps内。

为了保证 C_{SAMPLE} 的建立电荷达到 12位精度，应采用 100ns的最小采样时间 (t_{ACQ})。这样，CONVST的低电平必须至少保持 100ns。虽然更长的采样时间可以使转换输

出更逼近模拟输入，但是采样时间的最大值应限制在 1ms以内。若转换时间超过 1ms，输入电路中电容器的电压跌落会使转换精度得不到保证。

由于图 5中 R1和 R2构成的模拟输入电阻分压器，较大的模拟输入源电阻 (R_{SOURCE})也会导致增益误差。此外，由于非线性模拟输入电流的存在， R_{SOURCE} 还将引起失真。应把 R_{SOURCE} 的最大值限制在 100Ω以内。

输入缓冲器的选择

为改善交流条件下输入信号的带宽，采用宽带缓冲器 (>50MHz)驱动输入能够驱动 ADC的输入电容 (15pF)，并迅速建立信号。例如，MAX4431或 MAX4265可以用于 0至 +5V单极性器件，MAX4350可以用于 ±5V双极性输入。

为达到 12位精度，大部分应用都需要输入缓冲器。尽管压摆率与带宽都很重要，但输入缓冲器指标中最关键的是建立时间。多通道同时采样需要 100ns的采样时间，采样开始时，ADC内部的采样电容阵列连接到模拟输入，会引起一些干扰。在这段时间里要确保放大器能够稳定到至少 12位的精度，需使用低噪声、低失真的宽带放大器，该放大器应能迅速稳定，并在 ADC的 15pF输入电容下稳定工作。

关于如何针对用户的 ADC应用来选择最佳的缓冲放大器，可参考 Maxim网站 www.maxim-ic.com.cn上的相关应用笔记。

输入带宽

输入采样电路具有 20MHz小信号带宽，使其能够将高速瞬变信号数字化，由于利用了欠采样技术，能够测量带宽超过 ADC采样率的周期信号。为避免高频信号与所关注的频段混叠，推荐使用抗混叠滤波器。

输入范围与保护

MAX1304/MAX1305/MAX1306提供 0至 +5V的输入电压范围，具有 ±6V故障保护；MAX1308/MAX1309/MAX1310提供 ±5V输入电压范围，具有 ±16.5V故障保护；MAX1312/MAX1313/MAX1314提供 ±10V输入电压范围，具有 ±16.5V故障保护。图 5所示为单通道等效输入电路。

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

数据吞吐率

MAX1304–MAX1306/MAX1308–MAX1310/MAX1312–MAX1314的数据吞吐率 (f_{TH})是时钟速度 (f_{CLK})的函数。在内部时钟模式下， $f_{CLK} = 15\text{MHz}$ (典型值)。在外部时钟模式下， $10\text{kHz} \leq f_{CLK} \leq 20\text{MHz}$ 。在转换过程中执行读操作时 (图 7和图 8)，用如下公式计算 f_{TH} ：

$$f_{TH} = \frac{1}{t_{ACQ} + t_{QUIET} + \frac{12 + 3 \times (N-1) + 1}{f_{CLK}}}$$

式中N为激活的通道数， t_{QUIET} 是 CONVST上升沿之前的总线静止周期。更多信息参见启动一次转换部分。

表 1利用上述公式说明了总吞吐率与被选择进行转换的通道数之间的函数关系。

表 1. 吞吐率与被采样的通道： $f_{CLK} = 15\text{MHz}$, $t_{ACQ} = 100\text{ns}$, $t_{QUIET} = 50\text{ns}$

CHANNELS SAMPLED (N)	CLOCK CYCLES UNTIL LAST RESULT	CLOCK CYCLE FOR READING LAST CONVERSION	TOTAL CONVERSION TIME (ns)	TOTAL THROUGHPUT (ksps)	THROUGHPUT PER CHANNEL (f_{TH})
1	12	1	800	983	983
2	15	1	1000	1643	821
3	18	1	1200	2117	705
4	21	1	1400	2474	618
5	24	1	1600	2752	550
6	27	1	1800	2975	495
7	30	1	2000	3157	451
8	33	1	2200	3310	413

时钟模式

MAX1304–MAX1306/MAX1308–MAX1310/MAX1312–MAX1314提供 15MHz的内部转换时钟，也可选择外部时钟。

内部时钟

内部时钟模式将微处理器从提供 ADC转换时钟的负担中解放出来。为实现内部时钟模式，将 $\overline{\text{INTCLK}}/\overline{\text{EXTCLK}}$ 与 AV_{DD} 相连、CLK与 DGND相连。注意， $\overline{\text{INTCLK}}/\overline{\text{EXTCLK}}$ 是以 AV_{DD} 为参考点，而不是 DV_{DD} 。

外部时钟

为实现外部时钟模式，将 $\overline{\text{INTCLK}}/\overline{\text{EXTCLK}}$ 与 AGND相连、外部时钟源连接到 CLK。注意， $\overline{\text{INTCLK}}/\overline{\text{EXTCLK}}$ 是以 AV_{DD} 为参考点，而不是 DV_{DD} 。外部时钟频率可以达到 20MHz。由于 T/H电路的电压跌落，在低于 100kHz的时钟频率下不能保证线性度。

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

应用信息

数字接口

双向并行数字接口用来设置8位配置寄存器 (参见配置寄存器部分)，并读取12位转换结果。接口包括以下控制信号：片选 (\overline{CS})、读 (\overline{RD})、写 (\overline{WR})、转换结束 (\overline{EOC})、最后转换结束 (\overline{EOLC})、转换启动 (CONVST)、关断 (SHDN)、通道关断 (\overline{CHSHDN})、内部时钟选择 (INTCLK/EXTCLK) 和外部时钟输入 (CLK)。图 6、图 7、图 8、图 9、表 2 以及时序特征说明了该接口的工作方式。D0-D7 是双向的，D8-D11 仅用作输出。当 $\overline{RD}=1$ 或 $\overline{CS}=1$ 时，D0-D11 为高阻状态。

配置寄存器

通过 I/O 线 D0-D7 (表 2) 写配置寄存器可以激活相应通道。配置寄存器中的位直接映射到相应通道，D0 控制通道 0，D7 控制通道 7。把任意一位设为高电平，将激活相应的输入通道；同样，把任意一位设为低电平，将禁用相应通道。对少于 8 通道的器件，其中几位没有任何功能 (表 2)。

写配置寄存器时，将 \overline{CS} 和 \overline{WR} 设为低电平，然后将 D0-D7 位装载到并行总线，再将 \overline{WR} 置为高电平。数据在 \overline{WR} 的上升沿锁存 (图 6)。在转换时序的任意时刻都能够对配置寄存器进行写操作。上电时，在启动转换之前写入配置寄存器，以选择有效通道。

不过，新的配置直到下一个 CONVST 的下降沿才会起作用。上电时，所有通道的缺省状态都是激活状态。关断模式并不会改变配置寄存器的内容，关断状态下也可以对配置寄存器进行写操作。有关利用配置寄存器降低功耗的信息参见通道关断 (\overline{CHSHDN}) 部分。

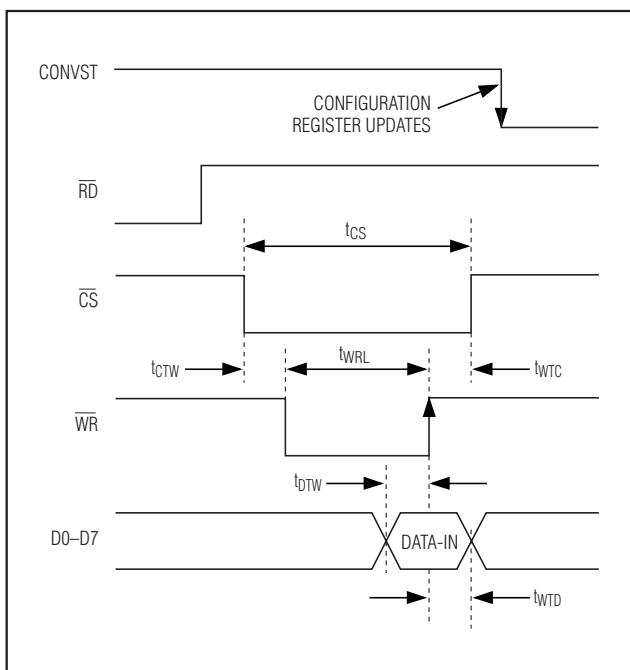


图 6. 写操作时序

表 2. 配置寄存器

PART NUMBER	STATE	BIT/CHANNEL							
		D0/CH0	D1/CH1	D2/CH2	D3/CH3	D4/CH4	D5/CH5	D6/CH6	D7/CH7
MAX1304 MAX1308 MAX1312	ON	1	1	1	1	1	1	1	1
	OFF	0	0	0	0	0	0	0	0
MAX1305 MAX1309 MAX1313	ON	1	1	1	1	X	X	X	X
	OFF	0	0	0	0	X	X	X	X
MAX1306 MAX1310 MAX1314	ON	1	1	X	X	X	X	X	X
	OFF	0	0	X	X	X	X	X	X

x = 无关 (必须为 1 或 0)。

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

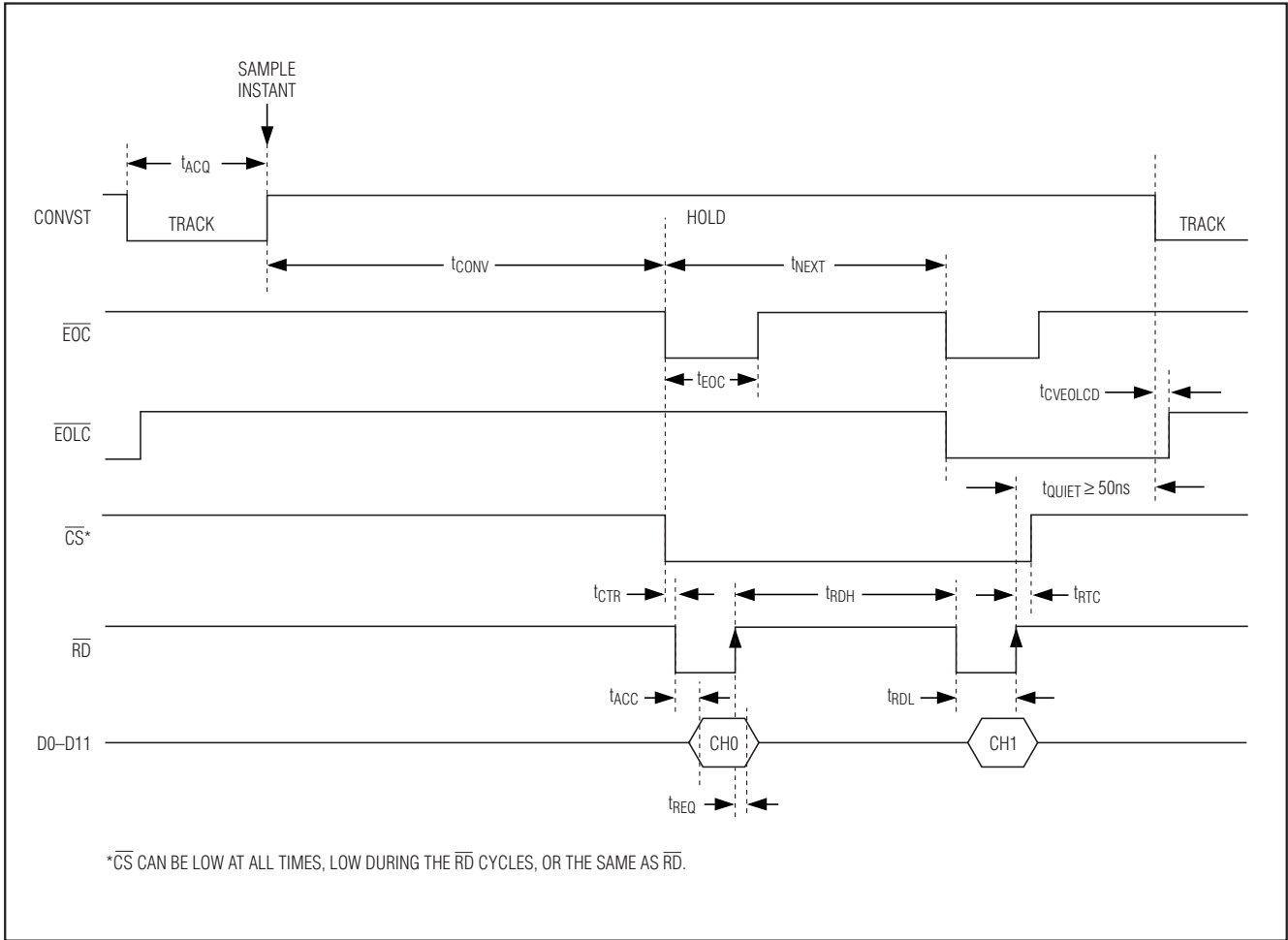


图7. 转换过程中的读操作——选择通道0和通道1，内部时钟

启动一次转换

内部时钟模式下启动一次转换，需在采样时间 (t_{ACQ}) 内将 \overline{CONVST} 置为低电平。当 \overline{CONVST} 为低电平时，T/H捕获信号，在 \overline{CONVST} 的上升沿转换开始。一旦能够读取转换结果，转换结束信号 (\overline{EOC}) 将给出一个低电平脉冲。当最后一个通道的转换结果可以被读取时，最后转换结束信号 (\overline{EOLC}) 跳变到低电平 (图7)。

外部时钟模式下启动一次转换，需在采样时间 (t_{ACQ}) 内使 \overline{CONVST} 保持低电平。在 \overline{CONVST} 为低电平时，T/H捕获信号， \overline{CONVST} 的上升沿采样。为了启动转换，施加一路外部时钟到 \overline{CLK} 。为避免 T/H 电压跌落影响采集的模拟输入信号，第一个 \overline{CLK} 脉冲必须在 \overline{CONVST} 上升沿

后的 $10\mu s$ 内出现。另外，外部时钟频率必须大于 $100kHz$ ，以避免 T/H 电压跌落使精度变差。当第 13 个时钟周期的上升沿 \overline{EOC} 变为低电平时，可以读取第一个转换结果。此后，每 3 个时钟周期读取一个剩余的转换结果 (图 8 和图 9)。

不论在内部还是外部时钟模式下， \overline{CONVST} 需要在读取最后一个通道的转换结果之前保持高电平。如果在转换过程中 \overline{CONVST} 变为低电平，则放弃当前转换，并开始一次新的转换。另外，为达到 ADC 的性能指标，在 \overline{CONVST} 的下降沿之前必须有 $50ns$ 或更长的总线静止周期 (t_{QUIET})。

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

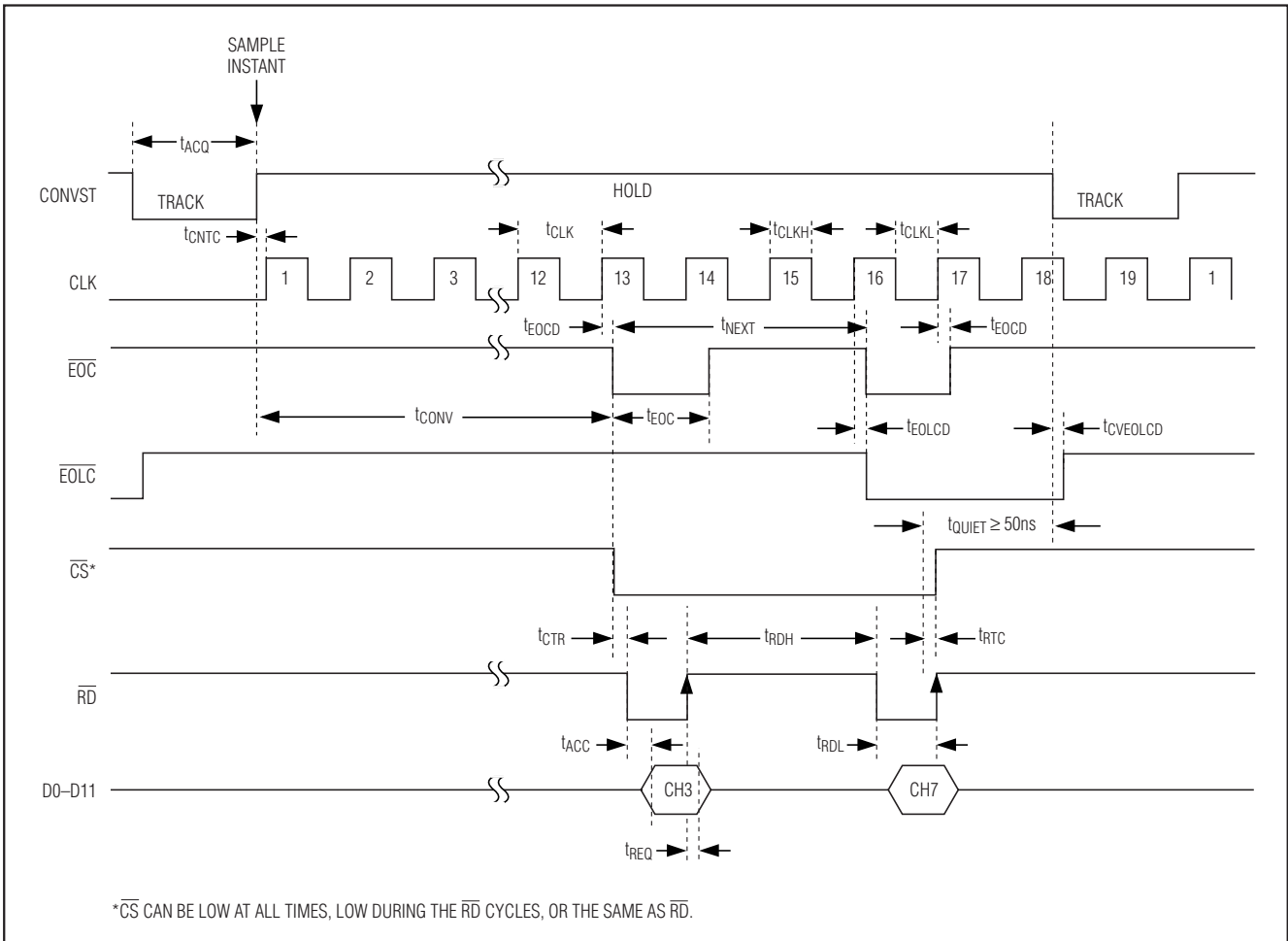


图8. 转换过程中的读操作——选择通道3和通道7，外部时钟

读取转换结果

转换过程中读取

转换周期中启动读操作的接口信号如图7和图8所示。图中所示信号选择了两个通道转换。如果选择更多的通道，转换结果从每个 EOC下降沿开始连续读取。CS可以一直保持低电平或仅在 RD周期里保持低电平，也可以与 RD信号相同。

将 CONVST置为高电平启动一次转换后，等待 EOC跳变到低电平。内部时钟模式下，EOC在 900ns内跳变到低电平。外部时钟模式下，EOC在第 13个 CLK周期的上升沿跳变到低电平。为了读取转换结果，将 CS和 RD置为低电平，使数据锁存到并行数字输出总线。然后将 RD置为

高电平释放数字总线。内部时钟模式下，下一个 EOC下降沿在 225ns以内出现。外部时钟模式下，下一个 EOC下降沿在三个 CLK周期内出现。当最终转换结果可以读取时，EOLC跳变到低电平。

转换结束后读取

图9表示转换完成后进行读操作的接口信号，所有8个通道都被选中进行转换。在 EOLC的下降沿，将 CS和 RD置为低电平，把第一个转换结果置于并行总线。RD连续的低电平脉冲将转换结果顺次放到总线上。时序中最后一个转换结果读取后，额外的读脉冲可以使指针重新指向第一个转换结果。

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

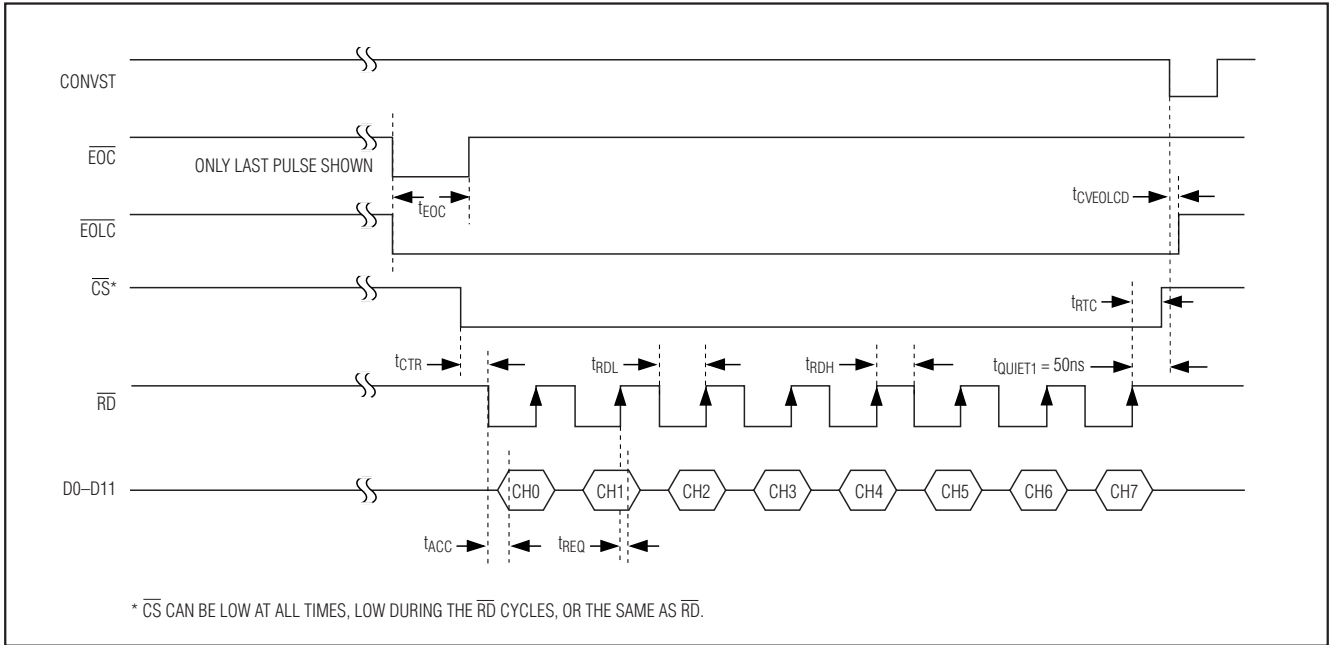


图9. 转换结束后读取——选择8个通道，外部时钟

上电复位

上电时，所有通道都被选中进行转换（参见配置寄存器部分）。加上电源后，允许经过 1ms 的唤醒时间，然后启动一次虚拟转换，并放弃转换结果。在虚拟转换完成后，就可以进行精确的转换了。

省电模式

关断模式

关断模式下，器件中的内部基准和模拟电路被关断，模拟电源电流下降至 0.6 μ A（典型值）。用 SHDN 输入选择关断模式。将 SHDN 置为高电平即可进入关断模式。SHDN 的优先级高于 CHSHDN。

进入或退出关断模式并不改变配置字节。不过，在关断模式下按照图 6 所示的标准写操作时序可以写入新的配置字节。

当 MAX1304—MAX1306/MAX1308—MAX1310/MAX1312—MAX1314 关断时， $\overline{\text{EOC}}$ 和 $\overline{\text{EOLC}}$ 为高电平。

数字输出 D0—D11 的状态与 SHDN 的状态无关。当 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 为低电平时，不论 SHDN 的状态如何，数字输出 D0—D11 都是有效的。只有当 $\overline{\text{CS}}$ 或 $\overline{\text{RD}}$ 为高电平时，数字输出

才变为高阻状态。当数字输出关断时，数字电源电流下降到 20nA。

退出关断模式（SHDN 的下降沿）将启动一次转换，与 CONVST 上升沿作用相同。退出关断模式以后，将启动一次空转换，并放弃转换结果。空转换完成后，在启动第一次实际转换之前需要 1ms 的唤醒时间。

通道关断 (CHSHDN)

通道关断功能可以将未被选中转换的通道关断。关断那些未被选用的通道可以降低模拟电源电流，每通道降低 2.9mA。将 $\overline{\text{CHSHDN}}$ 置为低电平，既可关断未被选用的通道。关于选择或释放转换通道的信息，参见配置寄存器部分。

关断未被选中进行转换的模拟通道带来的弊端是需要重新上电的时间。图 10 所示为外部时钟模式下，空转换操作使模拟输入重新上电的过程。在配置寄存器中选择一个新通道后，启动一次空转换操作，并放弃转换结果。空转换操作后，在启动第一次实际转换之前需要 1ms 的唤醒时间 (t_{WAKE})。

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

MAX1304-MAX1306/MAX1308-MAX1310/MAX1312-MAX1314

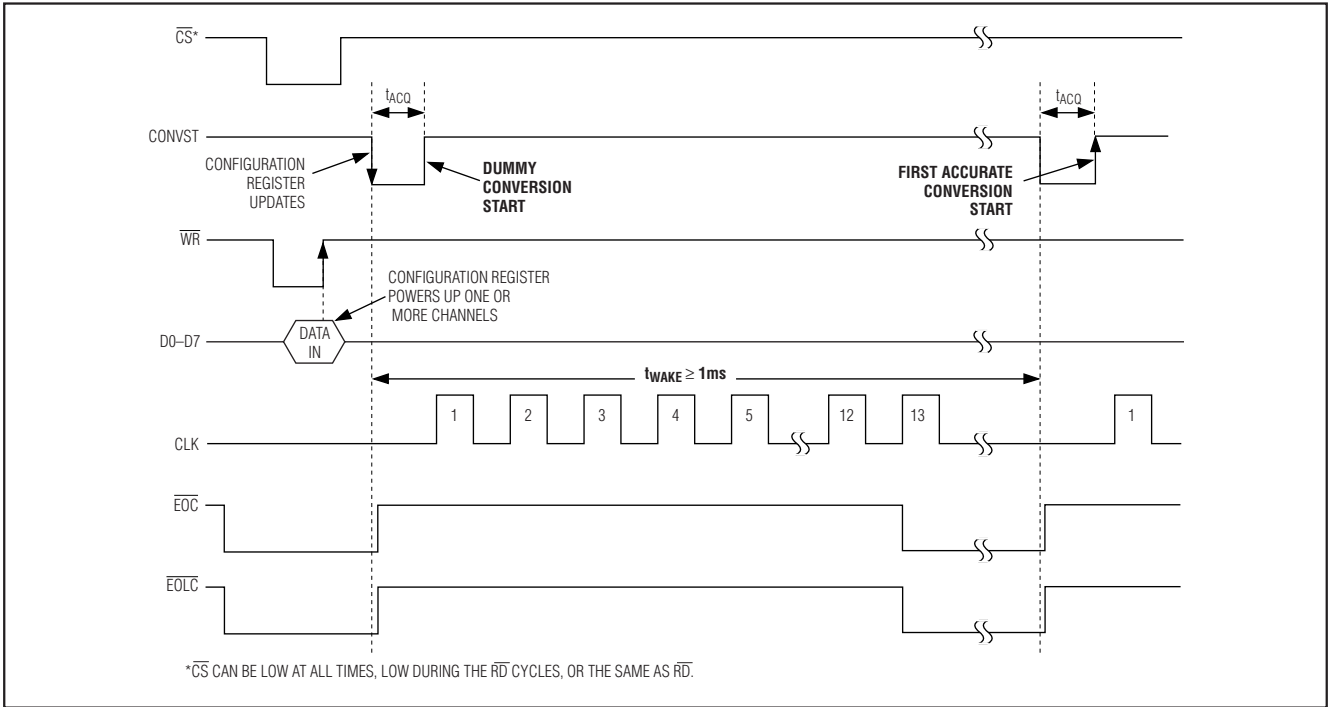


图 10. 用空转换操作和唤醒时间激活一个模拟通道 ($\overline{CHSHDN} = 0$, 外部时钟模式, 选中一个通道)

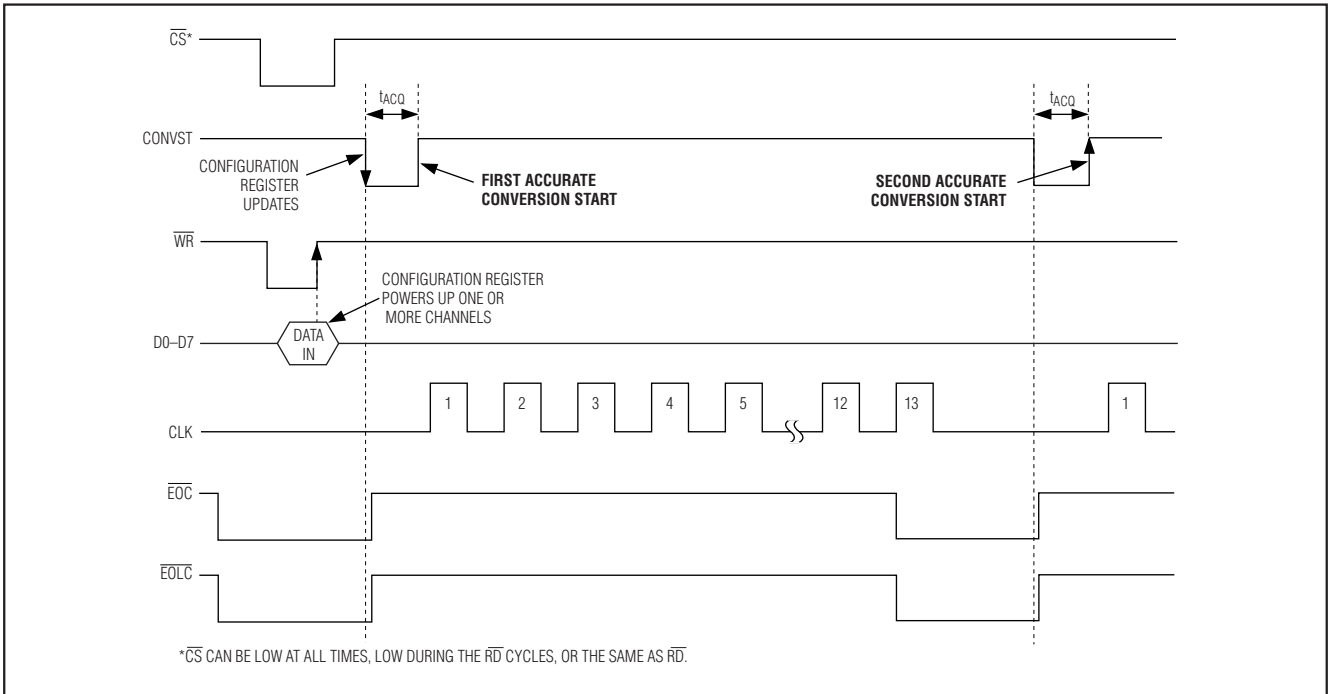


图 11. 直接激活一个模拟输入通道 ($\overline{CHSHDN} = 1$, 外部时钟模式, 选中一个通道)

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

为了消除模拟通道上电所需要的时间，将 $\overline{\text{CHSHDN}}$ 置为高电平。 $\overline{\text{CHSHDN}}$ 为高电平时，每一个模拟通道都被上电，无论在配置寄存器中是否被选中进行转换。注意关断模式的优先权高于 $\overline{\text{CHSHDN}}$ 模式。

基准

内部基准

内部基准电路为单极性 MAX1304/MAX1305/MAX1306 提供 0 至 +5V 的模拟输入电压范围，为双极性 MAX1308/MAX1309/MAX1310 提供 ±5V 的模拟输入电压范围，为双极性 MAX1312/MAX1313/MAX1314 提供 ±10V 的模拟输入电压范围。为保证基准的稳定性，应安装外部电容，如表 3、图 3 和图 4 所示。

如图 2 所示，内部基准电压为 2.5V (V_{REF})。该 2.5V 经过内部缓冲，产生 REF+ 和 REF- 电压。表 4 所示为 COM、REF+ 和 REF- 引脚上的电压。

外部基准

外部基准工作方式通过取代内部基准电压实现。用 +2.0V 至 +3.0V 外部基准取代内部基准驱动 REF，如图 2 所示，

REF 的输入阻抗为 5kΩ。关于使用外部基准的更多信息，参见传递函数部分。

中值电压 (MSV)

MSV 处的电压 (V_{MSV}) 用于设定 ADC 传递函数的中点。对 0 至 +5V 输入范围 (单极性器件)，传递函数的中点是 +2.5V。对 ±5V 和 ±10V 输入范围的器件，传递函数的中点是 0。

如图 2 所示，单极性器件 MAX1304/MAX1305/MAX1306 中 REF_{MS} 与 MSV 之间有一个单位增益缓冲器。该中值缓冲器用来设定单极性传递函数的中点，中点可以是内部 +2.5V 基准，也可以是 REF_{MS} 上的外加电压。 V_{MSV} 与 $V_{\text{REF}_{\text{MS}}}$ 保持一致，误差在 ±3mV 以内。

中值缓冲器在双极性器件中无效。在双极性器件中，MSV 必须与 AGND 相连或采用外部驱动。 REF_{MS} 必须用 0.01μF 电容旁路到 AGND。

关于 MSV 的更多信息参见传递函数部分。

表 3. 基准旁路电容

LOCATION	INPUT VOLTAGE RANGE	
	UNIPOLAR (μF)	BIPOLAR (μF)
MSV Bypass Capacitor to AGND	2.2 0.1	N/A
REF_{MS} Bypass Capacitor to AGND	0.01	0.01
REF Bypass Capacitor to AGND	0.01	0.01
REF+ Bypass Capacitor to AGND	0.1	0.1
REF+ to REF- Capacitor	2.2 0.1	2.2 0.1
REF- Bypass Capacitor to AGND	0.1	0.1
COM Bypass Capacitor to AGND	2.2 0.1	2.2 0.1

N/A = 不可用，直接将 MSV 接至 AGND。

表 4. 基准电压

PARAMETER	EQUATION	CALCULATED VALUE (V) ($V_{\text{REF}} = 2.000\text{V}$, $AV_{\text{DD}} = 5.0\text{V}$)	CALCULATED VALUE (V) ($V_{\text{REF}} = 2.500\text{V}$, $AV_{\text{DD}} = 5.0\text{V}$)	CALCULATED VALUE (V) ($V_{\text{REF}} = 3.000\text{V}$, $AV_{\text{DD}} = 5.0\text{V}$)
V_{COM}	$V_{\text{COM}} = 13 / 25 \times AV_{\text{DD}}$	2.600	2.600	2.600
$V_{\text{REF+}}$	$V_{\text{REF+}} = V_{\text{COM}} + V_{\text{REF}} / 2$	3.600	3.850	4.100
$V_{\text{REF-}}$	$V_{\text{REF-}} = V_{\text{COM}} - V_{\text{REF}} / 2$	1.600	1.350	1.100
$V_{\text{REF+}} - V_{\text{REF-}}$	$V_{\text{REF-}} - V_{\text{REF+}} = V_{\text{REF}}$	2.000	2.500	3.000

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

传递函数

单极性0至+5V器件

表 5和图 12所示为 0 至 +5V 输入范围 MAX1304/MAX1305/MAX1306 的偏移二进制传递函数。满量程输入范围 (FSR) 是 REF 电压的二倍。内部 +2.5V 基准下可以得到 +5V FSR，而外部 +2V 至 +3V 基准下可以相应得到 +4V 至 +6V FSR。用以下公式计算 LSB 的大小：

$$1 \text{ LSB} = \frac{2 \times V_{\text{REF}}}{2^{12}}$$

使用 2.5V 基准时 1 LSB 等于 1.22mV。

输入范围以 V_{MSV} 为 midpoint，由内部设定为 +2.5V。采用自定义的中值电压时，用外部电压源驱动 REF_{MS} ，MSV 将与 REF_{MS} 保持一致。MSV 或 REF_{MS} 上的噪声将直接耦合到 ADC 结果中。需选用精密的、低漂移电压基准，并进行必要的旁路，以防受 MSV 的影响使 ADC 性能变差。为使 FSR 最大，在选择 MSV 时应注意不要超过模拟输入的极限条件。

根据 V_{REF} 、 V_{MSV} 和十进制输出编码可以确定输入电压，由以下公式计算：

$$V_{\text{CH}_i} = \text{LSB} \times \text{CODE}_{10} + V_{\text{MSV}} - 2.500V$$

表 5. 0 至 +5V 单极性编码表

BINARY DIGITAL OUTPUT CODE	DECIMAL EQUIVALENT DIGITAL OUTPUT CODE (CODE ₁₀)	INPUT VOLTAGE (V) ($V_{\text{REF}} = +2.5V$ $V_{\text{REFMS}} = +2.5V$)
1111 1111 1111 = 0xFFF	4095	+4.9994 ± 0.5 LSB
1111 1111 1110 = 0xFFE	4094	+4.9982 ± 0.5 LSB
1000 0000 0001 = 0x801	2049	+2.5018 ± 0.5 LSB
1000 0000 0000 = 0x800	2048	+2.5006 ± 0.5 LSB
0111 1111 1111 = 0x7FF	2047	+2.4994 ± 0.5 LSB
0000 0000 0001 = 0x001	1	+0.0018 ± 0.5 LSB
0000 0000 0000 = 0x000	0	+0.0006 ± 0.5 LSB

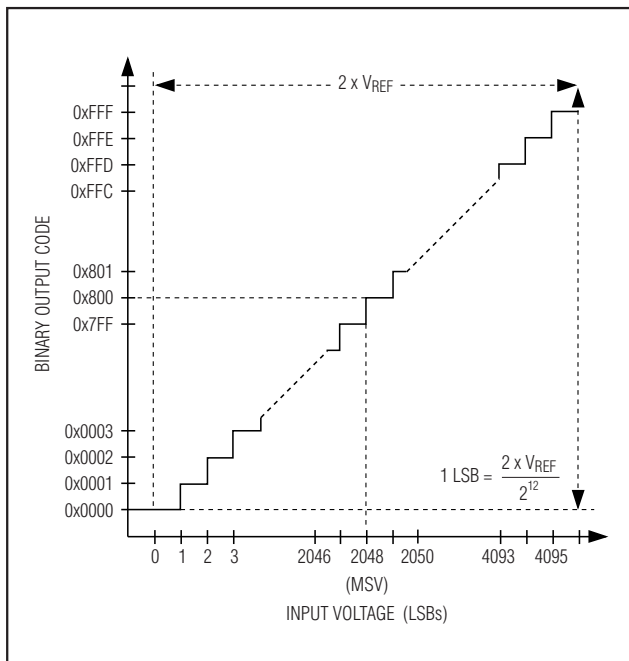


图 12. 0 至 +5V 单极性传递函数

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

双极性 ±5V器件

表 6和图 13所示为 ±5V输入范围 MAX1308/MAX1309/MAX1310的二进制补码传递函数。FSR是 REF电压的四倍。内部 +2.5V基准下可以得到 +10V FSR，而外部 +2V至 +3V基准下可以相应得到 +8V至 +12V的 FSR。利用以下公式计算 LSB的大小：

$$1 \text{ LSB} = \frac{4 \times V_{\text{REF}}}{2^{12}}$$

使用 2.5V基准时 1 LSB等于 2.44mV。

表 6. ±5V双极性编码表

TWO'S COMPLEMENT DIGITAL OUTPUT CODE	DECIMAL EQUIVALENT DIGITAL OUTPUT CODE (CODE ₁₀)	INPUT VOLTAGE (V) (V _{REF} = +2.5V, V _{MSV} = 0)
0111 1111 1111 = 0x7FF	+2047	+4.9988 ± 0.5 LSB
0111 1111 1110 = 0x7FE	+2046	+4.9963 ± 0.5 LSB
0000 0000 0001 = 0x001	+1	+0.0037 ± 0.5 LSB
0000 0000 0000 = 0x000	0	+0.0012 ± 0.5 LSB
1111 1111 1111 = 0xFFF	-1	-0.0012 ± 0.5 LSB
1000 0000 0001 = 0x801	-2047	-4.9963 ± 0.5 LSB
1000 0000 0000 = 0x800	-2048	-4.9988 ± 0.5 LSB

输入范围以 V_{MSV}为中点。通常 MSV = AGND，输入以 0为对称点。当采用自定义中值电压时，利用外部电压源驱动 MSV。MSV上的噪声将直接耦合到 ADC结果中。需选用精密的、低漂移电压基准，并进行必要的旁路，以防受 MSV的影响使 ADC性能变差。为使 FSR最大，在选择 MSV时应注意不要超过模拟输入的极限条件。

根据 V_{REF}、V_{MSV}和十进制输出编码可以确定输入电压，利用以下公式计算：

$$V_{\text{CH}_-} = \text{LSB} \times \text{CODE}_{10} + V_{\text{MSV}}$$

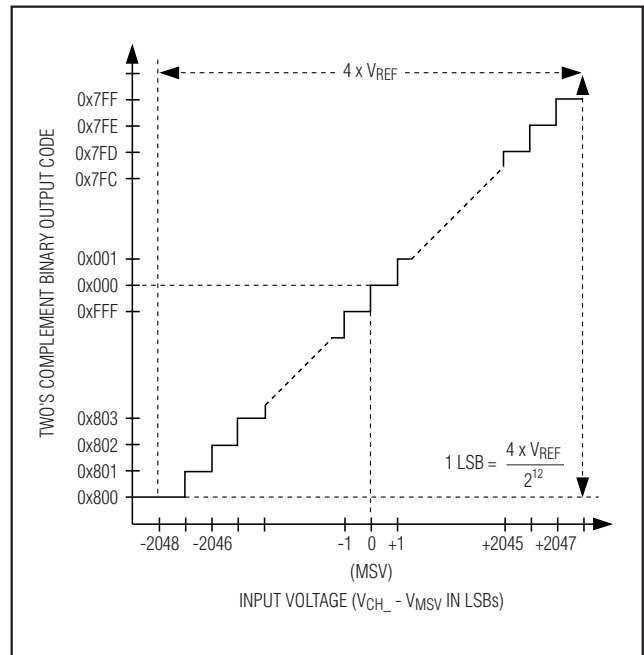


图 13. ±5V双极性传递函数

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

双极性 ±10V器件

表 7和图 14所示为 ±10V输入范围MAX1312/MAX1313/MAX1314的二进制补码传递函数。FSR是 REF电压的八倍。内部 +2.5V基准下可以得到 +20V的 FSR，而外部 +2V至 +3V基准下可以相应得到 +16V至 +24V的 FSR。用以下公式计算 LSB的大小：

$$1 \text{ LSB} = \frac{8 \times V_{\text{REF}}}{2^{12}}$$

使用 2.5V基准时 1 LSB等于 4.88mV。

表 7. ±10V双极性编码表

TWO's COMPLEMENT DIGITAL OUTPUT CODE	DECIMAL EQUIVALENT DIGITAL OUTPUT CODE (CODE ₁₀)	INPUT VOLTAGE (V) (V _{REF} = +2.5V, V _{MSV} = 0)
0111 1111 1111 = 0x7FF	+2047	+9.9976 ± 0.5 LSB
0111 1111 1110 = 0x7FE	+2046	+9.9927 ± 0.5 LSB
0000 0000 0001 = 0x001	+1	+0.0073 ± 0.5 LSB
0000 0000 0000 = 0x000	0	0.0024 ± 0.5 LSB
1111 1111 1111 = 0xFFFF	-1	-0.0024 ± 0.5 LSB
1000 0000 0001 = 0x801	-2047	-9.9927 ± 0.5 LSB
1000 0000 0000 = 0x800	-2048	-9.9976 ± 0.5 LSB

输入范围以 V_{MSV}为 midpoint。通常 MSV = AGND，输入以 0 为对称点。采用自定义的中值电压时，利用外部电压源驱动 MSV。MSV上的噪声将直接耦合到 ADC结果中。需选用精密的、低漂移电压基准，并进行必要的旁路，以防受 MSV的影响使 ADC性能变差。为使 FSR最大，在选择 MSV时应注意不要超过模拟输入的极限条件。

根据 V_{REF}、V_{MSV}和十进制输出编码可以确定输入电压，由以下公式计算：

$$V_{\text{CH}_-} = \text{LSB} \times \text{CODE}_{10} + V_{\text{MSV}}$$

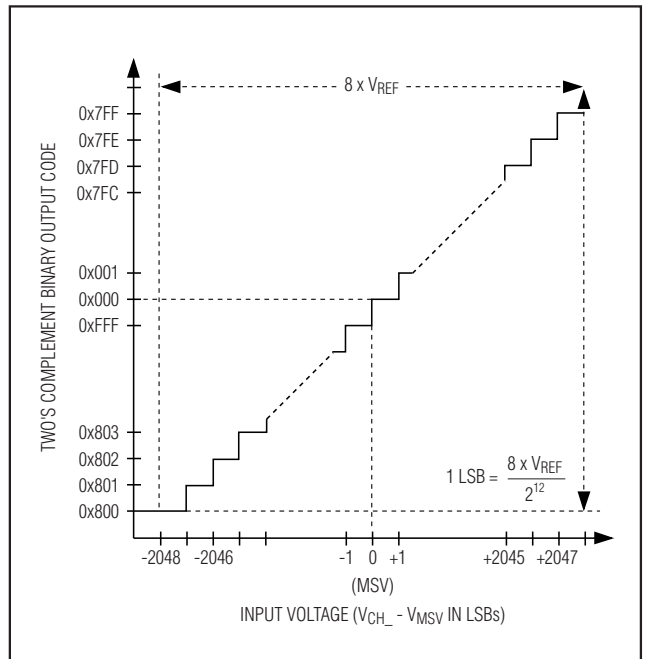


图 14. ±10V双极性传递函数

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

3相电机控制器

MAX1304-MAX1306/MAX1308-MAX1310/MAX1312-MAX1314是电机控制系统(图15)的理想选择。这些器件的同时采样输入电路可以省去复杂的DSP算法，不需要

将顺序采样的数据重新排列转换成同时采样设置。另外，多种输入电压范围使得用户可以灵活地选择电流传感器和位置编码器。

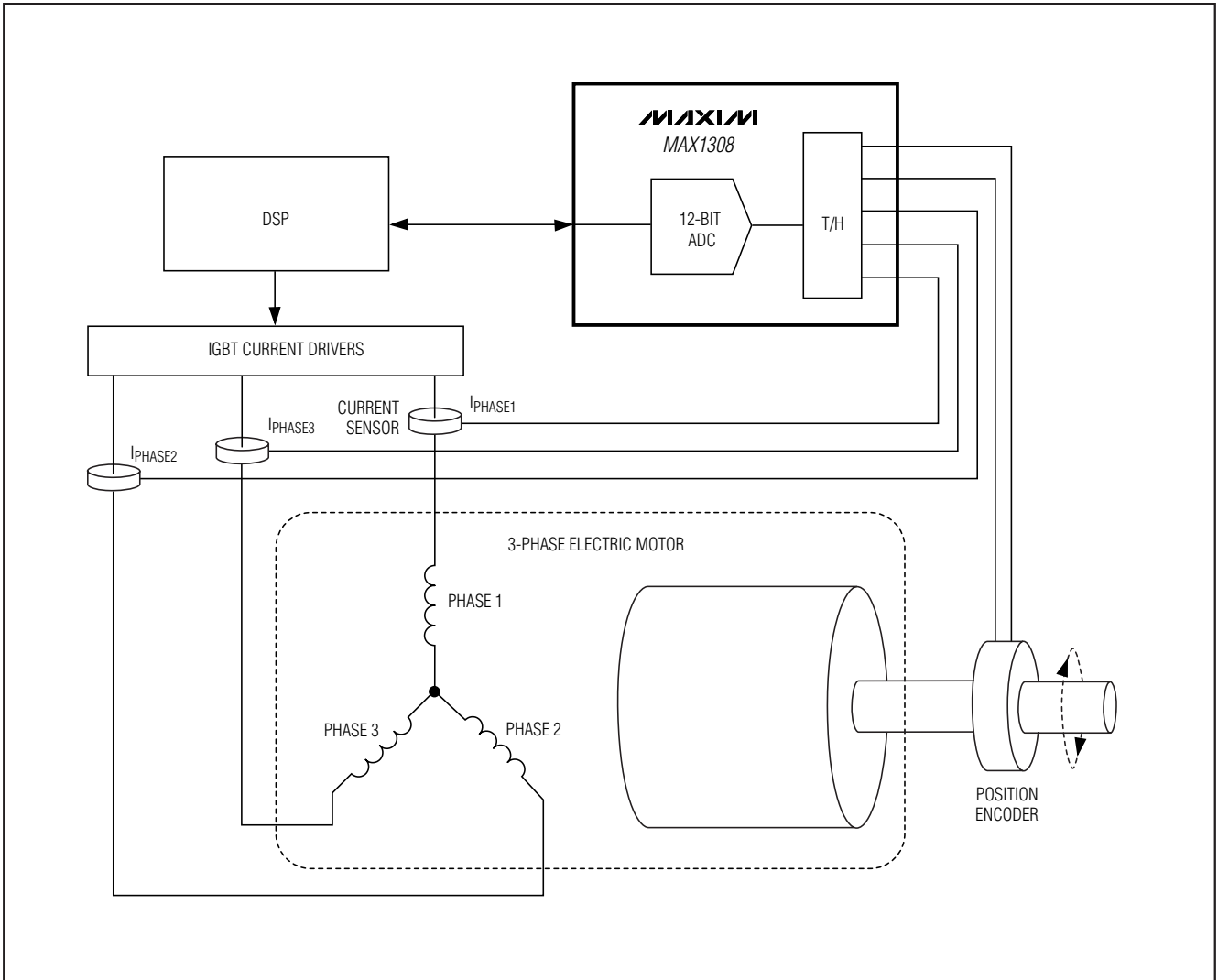


图15. 3相电机控制

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

3相电源监视系统
8通道器件非常适合3相电源监视 (图 16) 系统。同时采样

的 8 个通道可以省去复杂的 DSP 算法，不需要将顺序采样的数据重新排列转换成同时采样设置。

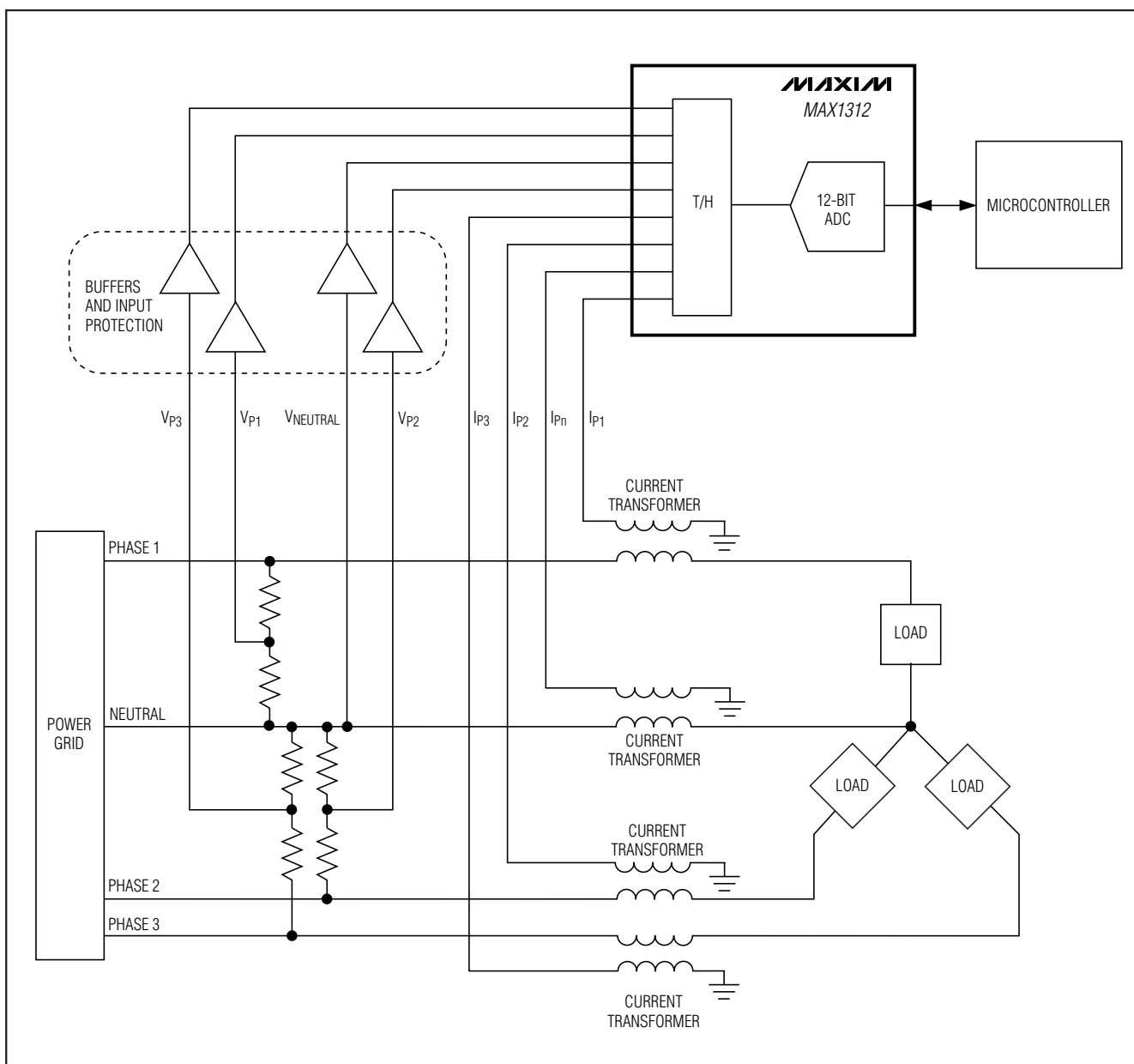


图 16. 3 相电源监视

MAX1304-MAX1306/MAX1308-MAX1310/MAX1312-MAX1314

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

布线、接地与旁路

为得到最佳的性能，请使用印刷电路板。在电路板布线时，应确保数字信号线与模拟信号线互相隔离。模拟引线和数字引线不要互相平行（尤其是时钟线），数字引线不要置于ADC封装的下方。

图17所示为推荐的系统接地连接方式。在AGND处建立模拟接地点，在DGND处建立数字接地点。将所有模拟地连接到模拟接地点；所有数字地连接到数字接地点。为使工作噪声最小，电源地的返回路线应尽可能短，并且阻抗应尽可能低。模拟接地点和数字接地点采用单点连接。

电源中的高频噪声会降低ADC性能，在距器件1英寸以内的地方用 $2.2\mu\text{F}$ 电容将模拟电源旁路到模拟地。在尽可能靠近器件的地方，用 $0.1\mu\text{F}$ 电容旁路每个 AV_{DD} 到相应的AGND引脚。 AV_{DD} 与AGND的对应引脚分别是引脚1与引脚2、引脚14与引脚15、引脚16与引脚17。同样，在距器件1英寸以内的地方用 $2.2\mu\text{F}$ 电容将数字电源旁路到数字地。在尽可能靠近器件的地方，用 $0.1\mu\text{F}$ 电容旁路每个 DV_{DD} 到相应的DGND引脚。 DV_{DD} 与DGND的对应引脚分别是引脚24与引脚25、引脚38与引脚39。如果电源噪声很大，则可采用磁珠作为低通滤波器，如图17所示。

定义

积分非线性 (INL)

INL是实际传递函数值与直线的偏差。对这些器件来说，当失调量与增益误差消除后，这条直线是传递函数两个端点的连线。

微分非线性 (DNL)

DNL是实际步长宽度与1个LSB理想值之差。对这些器件来说，每个数字输出代码的DNL都已经过测量，其中最差情况下的值已经列在电气特性表中。小于 ± 1 LSB的DNL误差不会产生失码(ADC)，并确保单调的传递函数。

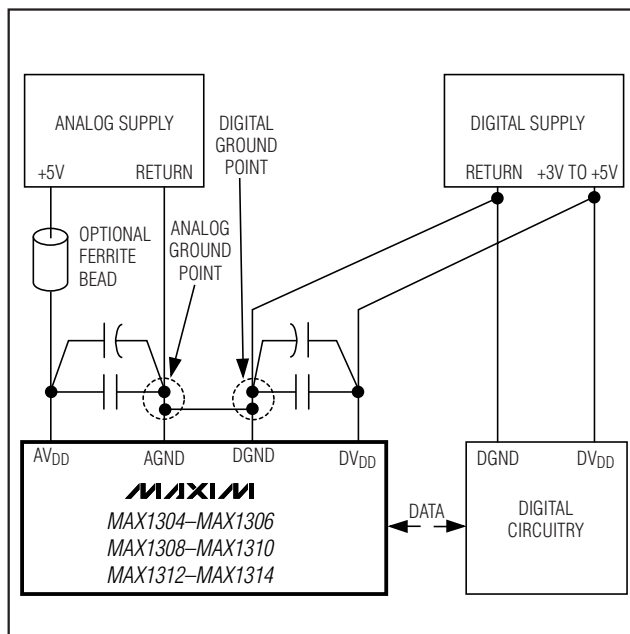


图17. 电源接地与旁路

失调误差

失调误差是用来衡量实际传递函数与理想传递函数在某一点的匹配程度的指标。通常，指定失调误差的工作点在传递函数的零点或靠近零点处，也可以在传递函数的中点或靠近中点处。

对单极性器件(MAX1304/MAX1305/MAX1306)，从 $0x000$ 至 $0x001$ 的理想零值跳变出现在高于AGND的1个LSB处(图12,表5)。单极性失调误差是测得的零值跳变点与理想零值跳变点之间的差。

对双极性器件(MAX1308/MAX1309/MAX1310/MAX1312/MAX1313/MAX1314)，从 $0xFF$ 至 $0x000$ 的理想中值跳变出现在MSV处(图14和图13,表7和表6)。双极性失调误差是测得的中值跳变点与理想中值跳变点之间的差。

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

增益误差

增益误差是用来衡量实际传递函数斜率与理想传递函数斜率之间匹配程度的指标。对于MAX1304-MAX1306/MAX1308-MAX1310/MAX1312-MAX1314，增益误差是测得的满量程与零值跳变点之差减去理想的满量程与零值跳变点之差。

对单极性器件 (MAX1304/MAX1305/MAX1306)，满量程跳变点是从 0xFFE 到 0xFFF 的跳变，零值跳变点是从 0x000 到 0x001 的跳变。

对双极性器件 (MAX1308/MAX1309/MAX1310/MAX1312/MAX1313/MAX1314)，满量程跳变点是从 0x7FE 到 0x7FF 的跳变，零值跳变点是从 0x800 到 0x801 的跳变。

信噪比 (SNR)

从数字采样中重建最佳波形，理论上 SNR 的最大值是满量程模拟输入 (RMS 值) 与 RMS 量化误差 (剩余误差) 之比，理想的最小模数转换噪声理论值仅由量化误差引起，并直接受 ADC 分辨率 (N 位) 的影响：

$$\text{SNR}_{\text{dB}[\text{max}]} = 6.02_{\text{dB}} \times N + 1.76_{\text{dB}}$$

实际上，除了量化噪声外，还有其他噪声源，如热噪声、基准噪声、时钟抖动等。

对这些器件，SNR 用 RMS 信号与 RMS 噪声之比计算得到的。RMS 噪声包括除了基波、前五次谐波与 DC 失调以外，奈魁斯特频率的所有频谱成分。

信噪比加失真 (SINAD)

SINAD 由 RMS 信号与 RMS 噪声 + 失真之比来计算。RMS 噪声 + 失真包括除基波与 DC 失调量以外奈魁斯特频率的所有频谱成分。

$$\text{SINAD}(\text{dB}) = 20 \times \log \left(\frac{\text{SIGNAL}_{\text{RMS}}}{(\text{NOISE} + \text{DISTORTION})_{\text{RMS}}} \right)$$

有效位数 (ENOB)

ENOB 规定了在指定输入频率与采样率下 ADC 的动态性能，理想的 ADC 误差仅包括量化误差。满量程正弦输入波形的 ENOB 由下式计算：

$$\text{ENOB} = \frac{\text{SINAD} - 1.76}{6.02}$$

总谐波失真 (THD)

THD 是输入信号前 5 次谐波的 RMS 之和与基波之比，可以用下式表示：

$$\text{THD} = 20 \times \log \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1} \right)$$

其中 V_1 为基波幅值， V_2 - V_6 为 2 次至 6 次谐波幅值。

无杂散动态范围 (SFDR)

SFDR 是基波 (最大信号成分) 的 RMS 幅值与不包括 DC 失调的第二大寄生成分的 RMS 值之比，SFDR 定义为相对于载波的分贝值 (dBc)。

通道间隔离度

通道间隔离度用来表明每路模拟输入与其他模拟输入之间的隔离程度。测量这些器件的通道间隔离度时，在通道 1 至通道 7 上施加 DC 电压，在通道 0 上施加交流 500kHz、-0.4dBFS 正弦波。对通道 0 和通道 1 转换结果进行 FFT，500kHz 频点的幅值之差 (单位为 dB) 称为通道间的隔离度。

孔径延时

孔径延时 (t_{AD}) 是从 CONVST 的上升沿到实际采样瞬间的时间延迟。

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

孔径抖动

孔径抖动 (t_{AJ})是采样之间孔径延时的变化。

当考虑 ADC 动态性能时，如 SNR，需要考虑抖动问题。为了从 ADC 数字输出中重建模拟输入，知道每次采样发生的时间非常关键。典型应用中使用精确的采样时钟信号，采样边沿之间的抖动很小。对于一个采用了高性能采样时钟信号的系 统，没有时钟抖动，ADC 的 SNR 性能受 ADC 内部孔径抖动的限制如下：

$$SNR = 20 \times \log \left(\frac{1}{2 \times \pi \times f_{IN} \times t_{AJ}} \right)$$

式中 f_{IN} 为模拟输入频率， t_{AJ} 为孔径抖动时间。

小信号带宽

将低至 -20dBFS 的模拟输入信号作用到 ADC，信号摆率不会限制 ADC 的性能。随着输入频率的升高数字转换结果的幅值将会下降，下降 -3dB 时所对应的频点称为小信号带宽。

满功率带宽

将 -0.5dBFS 的模拟输入信号送入 ADC，随着输入频率的升高数字转换结果的幅值将会下降，下降 -3dB 时所对应的频点称为满功率带宽。

DC 电源抑制率 (PSRR)

DC PSRR 被定义为模拟电源电压 ($A_{V_{DD}}$) 变化 $\pm 5\%$ 时引起的传递函数正向满量程点的变化。

芯片信息

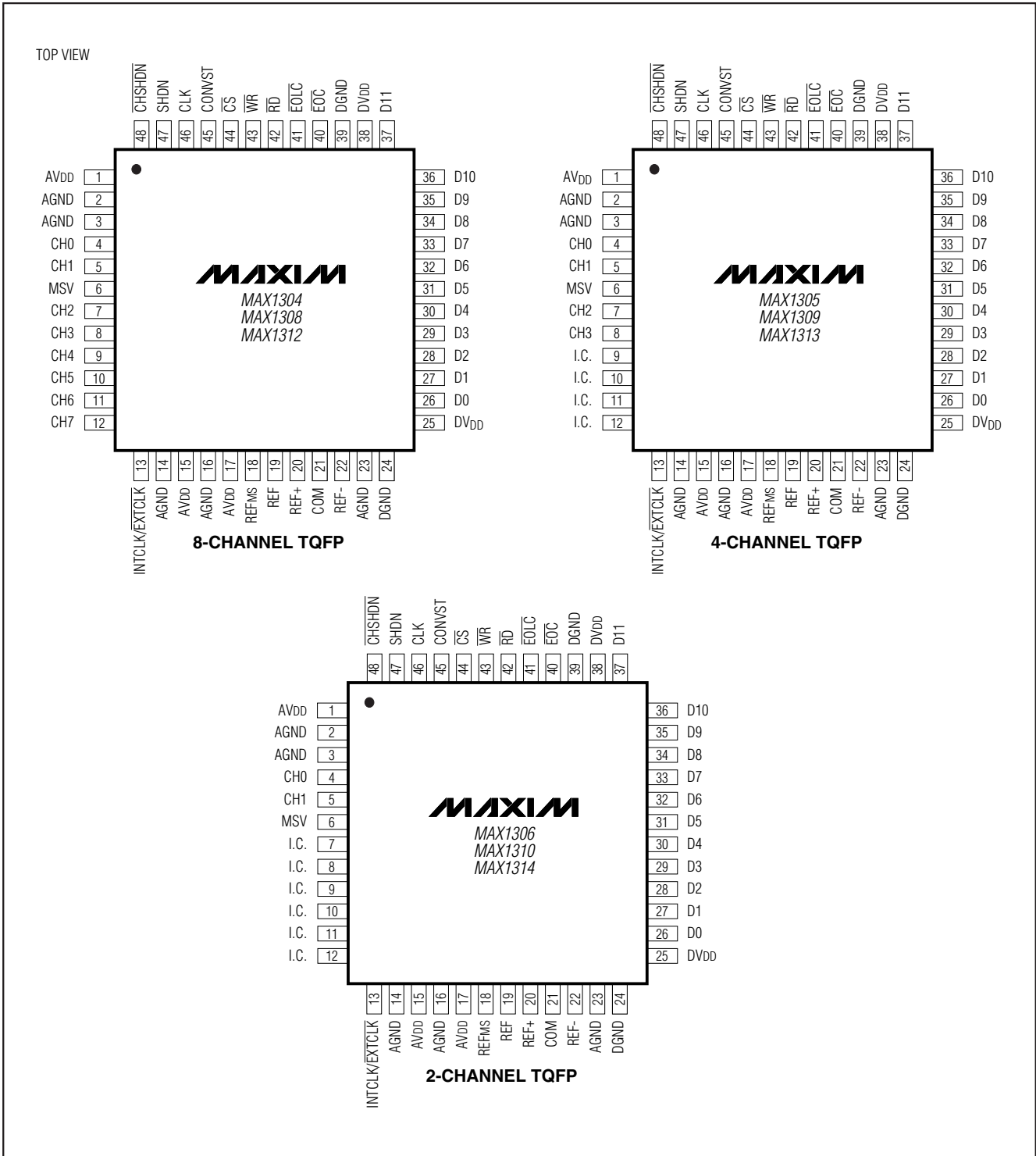
TRANSISTOR COUNT: 50,000

PROCESS: 0.6 μ m BiCMOS

8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

引脚配置

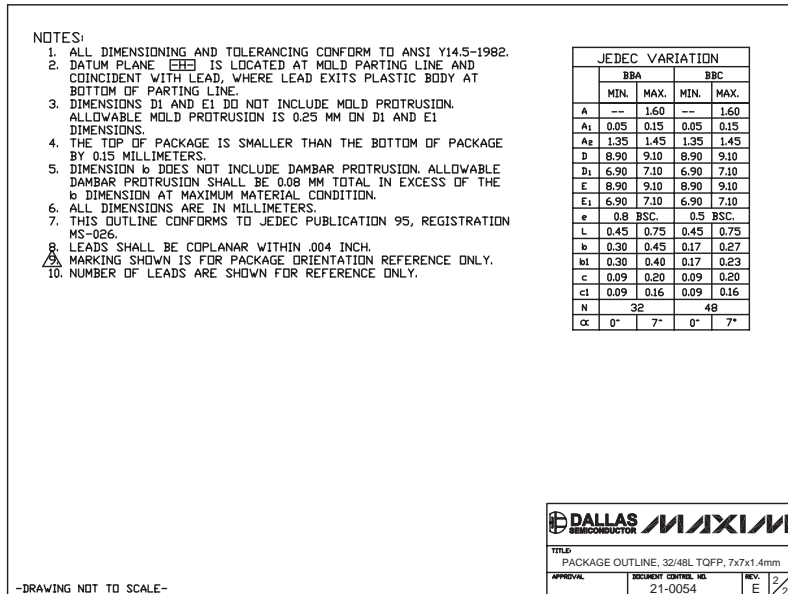
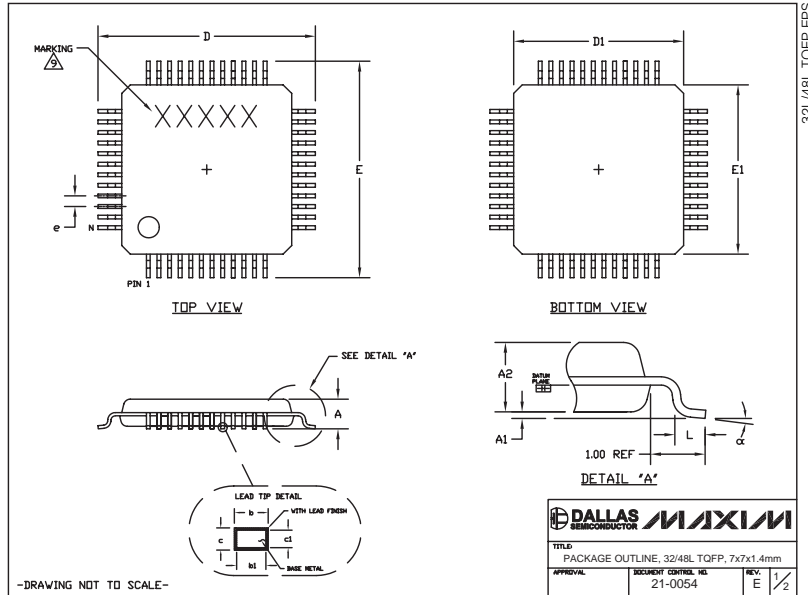
MAX1304-MAX1306/MAX1308-MAX1310/MAX1312-MAX1314



8/4/2通道、12位、同时采样ADC， ±10V、±5V或0至+5V模拟输入范围

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-ic.com.cn/packages。)



Maxim 不对 Maxim 产品以外的任何电路使用负责，也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

36 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**



[[阅读申明]]

1. 本站收集的中文数据手册和中文应用笔记都来自互联网，版权归原作者所有。如有侵权请告之，我们将妥善解决。
2. 本站提供的中文数据手册是英文数据手册的中文翻译，其目的是方便中文用户的阅读。它无法自动跟随原稿的更新，同时也可能存在翻译上的错误。读者应该以英文原稿为参考以获得更准确的信息。
3. 本站提供的中文应用笔记，来自厂商的技术支持或者使用者的心得体会等，它们可能会存在描叙上的错误，请读者自己做出正确判断。
4. 与我们联系请发邮件到 alldatasheet_cn@126.com ，主题请标有“中文数据手册”字样。
5. 更多中文数据手册请访问 <http://www.alldatasheet.cn>