



16通道、带缓冲的CMOS 逻辑电平转换器

概述

MAX13101E/MAX13102E/MAX13103E/MAX13108E是16位、双向、CMOS逻辑电平转换器，在多电压供电系统中为数据传输提供必要的电平转换。这些器件内部设计了双向传输功能，无需方向控制输入。器件利用外部电压 V_{CC} 和 V_L 设定其两侧的逻辑电平，将 V_L 侧的逻辑信号转换成 V_{CC} 侧的高电压逻辑信号，反之亦然。

MAX13101E/MAX13102E/MAX13103E带有一个使能输入(EN)，该引脚为低时， V_{CC} 和 V_L 供电电流降至 $2\mu A$ 以下。MAX13108E提供一个复用输入(MULT)，可在两个字节中选择其一，允许多路信号复用。MAX13101E/MAX13102E/MAX13103E/MAX13108E在 V_{CC} 侧的I/O口具有 $\pm 15kV$ ESD保护，为需要外部信号切换的应用提供高度可靠的保护。关断期间可提供三种不同的输出配置： V_{CC} 侧或 V_L 侧的I/O进入高阻状态、或通过内部 $6k\Omega$ 电阻下拉。

MAX13101E/MAX13102E/MAX13103E/MAX13108E可接受+1.65V至+5.5V V_{CC} 电压， V_L 电压范围为+1.2V至 V_{CC} ，是低电压ASIC/PLD与较高电压系统之间数据传输的理想选择。MAX13101E/MAX13102E/MAX13103E/MAX13108E提供36焊球UCSP™和40引脚TQFN封装，工作温度范围为扩展工业级(-40°C至+85°C)。

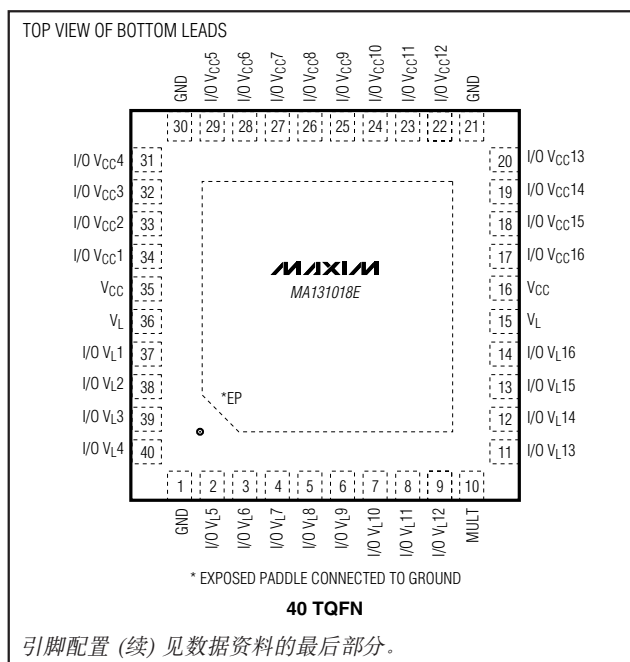
应用

CMOS逻辑电平转换器	PDA
便携式设备	数码相机
蜂窝电话	智能电话

特性

- ◆ 宽电源电压范围：
 V_{CC} 电压范围为1.65V至5.5V， V_L 电压范围为1.2V至 V_{CC}
- ◆ V_{CC} 侧I/O提供 $\pm 15kV$ 的人体模型ESD保护
- ◆ 吞吐率达20Mbps
- ◆ 低至 $0.03\mu A$ (典型值)的静态电流
- ◆ UCSP和TQFN封装

引脚配置



引脚配置 (续) 见数据资料的最后部分。

典型工作电路见数据资料的最后部分。

订购信息/选择指南

PART	PIN-PACKAGE	DATA RATE (Mbps)	I/O V_L STATE DURING SHUTDOWN	I/O V_{CC} STATE DURING SHUTDOWN	MULTIPLEXER FEATURE	PKG CODE
MAX13101EEBX*	36 UCSP** 3.06mm x 3.06mm	20	High impedance	6k Ω to GND	NO	B36-1
MAX13101EETL*	40 TQFN 5mm x 5mm x 0.8mm	20	High impedance	6k Ω to GND	NO	T4055-1

注意：所有芯片可在-40°C至+85°C温度范围内工作。

* 未来产品——供货情况请与厂商联系。

**UCSP焊球的分布为6 x 6矩阵。

订购信息/选择指南见数据资料的最后部分。

UCSP是Maxim Integrated Products, Inc.的注册商标。



16通道、带缓冲的CMOS 逻辑电平转换器

ABSOLUTE MAXIMUM RATINGS

All voltages referenced to GND.

V _{CC}	-0.3V to +6V
V _L	-0.3V to +6V
I/O V _{CC}	-0.3V to (V _{CC} + 0.3V)
I/O V _L	-0.3V to (V _L + 0.3V)
EN, MULT	-0.3V to +6V
Short-Circuit Duration I/O V _L , I/O V _{CC} to GND	Continuous
Continuous Power Dissipation (T _A = +70°C)	
36-Bump UCSP (derate 17.0mW/°C above +70°C)	..1361mW
40-Pin TQFN (derate 35.7mW/°C above +70°C)2857mW

Operating Temperature Range-40°C to +85°C
Maximum Junction Temperature+150°C
Storage Temperature Range-65°C to +150°C
Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

V_{CC} = +1.65V to +5.5V, V_L = +1.2V to V_{CC}, EN = V_L (MAX13101E/MAX13102E/MAX13103E), MULT = V_L or GND (MAX13108E), T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at V_{CC} = +1.65V, V_L = +1.2V, T_A = +25°C.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLIES						
V _L Supply Range	V _L		1.2		V _{CC}	V
V _{CC} Supply Range	V _{CC}		1.65		5.50	V
Supply Current from V _{CC}	I _{QVCC}	I/O V _{CC} = GND, I/O V _L = GND or I/O V _{CC} = V _{CC} , I/O V _L = V _L , EN = V _L , MULT = GND or V _L		0.03	10	μA
Supply Current from V _L	I _{QVL}	I/O V _{CC} = GND, I/O V _L = GND or I/O V _{CC} = V _{CC} , I/O V _L = V _L , EN = V _L , MULT = GND or V _L		0.03	20	μA
V _{CC} Shutdown Supply Current	ISHDN-VCC	T _A = +25°C, EN = GND, I/O V _{CC} = GND, I/O V _L = GND, MAX13101E/MAX13102E/MAX13103E		0.03	1	μA
V _L Shutdown Supply Current	ISHDN-VL	T _A = +25°C, EN = GND, I/O V _{CC} = GND, I/O V _L = GND, MAX13101E/MAX13102E/MAX13103E		0.03	2	μA
I/O V _{CC} Tri-State Output Leakage Current		T _A = +25°C, EN = GND, MAX13102E/MAX13103E		0.02	1	μA
		T _A = +25°C, MULT = GND (I/O V _{CC} 1 - I/O V _{CC} 8) or MULT = V _L (I/O V _{CC} 9 - I/O V _{CC} 16) MAX13108E		0.02	1	
I/O V _L Tri-State Output Leakage Current		T _A = +25°C, EN = GND, MAX13101E/ MAX13103E		0.02	1	μA
		T _A = +25°C, MULT = GND (I/O V _L 1 - I/O V _L 8) or MULT = V _L (I/O V _L 9 - I/O V _L 16) MAX13108E		0.02	1	
I/O V _L Pull-down Resistance During Shutdown		EN = GND, MAX13102E	4		10	kΩ

16通道、带缓冲的CMOS 逻辑电平转换器

MAX13101E/MAX13102E/MAX13103E/MAX13108E

ELECTRICAL CHARACTERISTICS

$V_{CC} = +1.65V$ to $+5.5V$, $V_L = +1.2V$ to V_{CC} , EN = V_L (MAX13101E/MAX13102E/MAX13103E), MULT = V_L or GND (MAX13108E), $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $V_{CC} = +1.65V$, $V_L = +1.2V$, $T_A = +25^\circ C$. (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
I/O $V_{CC_}$ Pulldown Resistance During Shutdown		EN = GND, MAX13101E	4		10	$k\Omega$
EN or MULT Input Leakage Current		$T_A = +25^\circ C$			1	μA
LOGIC-LEVEL THRESHOLDS						
I/O $V_L_ $ Input Voltage-High Threshold	V_{IHL}				$2/3 \times V_L$	V
I/O $V_L_ $ Input Voltage-Low Threshold	V_{ILL}		$1/3 \times V_L$			V
I/O $V_{CC_}$ Input Voltage-High Threshold	V_{IHC}				$2/3 \times V_{CC}$	V
I/O $V_{CC_}$ Input Voltage-Low Threshold	V_{ILC}		$1/3 \times V_{CC}$			V
EN, MULT Input Voltage-High Threshold	$V_{IH-SHDN}$				$V_L - 0.4$	V
EN, MULT Input Voltage-Low Threshold	$V_{IL-SHDN}$		0.4			V
I/O $V_L_ $ Output-Voltage High	V_{OHL}	I/O $V_L_ $ source current = $20\mu A$, I/O $V_{CC_} \geq V_{IHC}$	$V_L - 0.4$			V
I/O $V_L_ $ Output-Voltage Low	V_{OLL}	I/O $V_L_ $ sink current = $20\mu A$, I/O $V_{CC_} \leq V_{ILC}$			0.4	V
I/O $V_{CC_}$ Output-Voltage High	V_{OHC}	I/O $V_{CC_}$ source current = $20\mu A$, I/O $V_L_ \geq V_{IHL}$	$V_{CC} - 0.4$			V
I/O $V_{CC_}$ Output-Voltage Low	V_{OLC}	I/O $V_{CC_}$ sink current = $20\mu A$, I/O $V_L_ \leq V_{ILL}$			0.4	V
RISE/FALL TIME ACCELERATOR STAGE						
Transition-Detect Threshold		I/O V_{CC} side			$V_{CC} / 2$	V
		I/O V_L side			$V_L / 2$	
Accelerator Pulse Duration		$V_L = 1.2V$, $V_{CC} = 1.65V$		20		ns
I/O $V_L_ $ Output-Accelerator Sink Impedance		$V_L = 1.2V$, $V_{CC} = 1.65V$		60		Ω
		$V_L = 5V$, $V_{CC} = 5V$		5		
I/O $V_{CC_}$ Output-Accelerator Sink Impedance		$V_L = 1.2V$, $V_{CC} = 1.65V$		15		Ω
		$V_L = 5V$, $V_{CC} = 5V$		5		
I/O $V_L_ $ Output-Accelerator Source Impedance		$V_L = 1.2V$, $V_{CC} = 1.65V$		30		Ω
		$V_L = 5V$, $V_{CC} = 5V$		5		
I/O $V_{CC_}$ Output-Accelerator Source Impedance		$V_L = 1.2V$, $V_{CC} = 1.65V$		20		Ω
		$V_L = 5V$, $V_{CC} = 5V$		7		
ESD PROTECTION						
I/O $V_{CC_}$		Human Body Model		± 15		kV

16通道、带缓冲的CMOS 逻辑电平转换器

MAX13101E/MAX13102E/MAX13103E/MAX13108E

TIMING CHARACTERISTICS

($V_{CC} = +1.65V$ to $+5.5V$, $V_L = +1.2V$ to V_{CC} , $EN = V_L$ (MAX13101E/MAX13102E/MAX13103E), $MULT = V_L$ or GND (MAX13108E), $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $V_{CC} = +1.65V$, $V_L = +1.2V$, $T_A = +25^\circ C$.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
I/O V_L _ Rise Time	t_{RVL}	$R_S = 50\Omega$, $C_{I/OVL} = 15pF$, $t_{RISE} \leq 3ns$, (Figures 2a, 2b)			15	ns
I/O V_L _ Fall Time	t_{FVL}	$R_S = 50\Omega$, $C_{I/OVL} = 15pF$, $t_{FALL} \leq 3ns$, (Figures 2a, 2b)			15	ns
I/O V_{CC} _ Rise Time	t_{RVCC}	$R_S = 50\Omega$, $C_{I/OVCC} = 50pF$, $t_{RISE} \leq 3ns$, (Figures 1a, 1b)			15	ns
I/O V_{CC} _ Fall Time	t_{FVCC}	$R_S = 50\Omega$, $C_{I/OVCC} = 50pF$, $t_{FALL} \leq 3ns$, (Figures 1a, 1b)			15	ns
Propagation Delay (Driving I/O V_L _)	$t_{PVL-VCC}$	$R_S = 50\Omega$, $C_{I/OVCC} = 50pF$, $t_{RISE} \leq 3ns$, (Figures 1a, 1b)			20	ns
Propagation Delay (Driving I/O V_{CC} _)	$t_{PVCC-VL}$	$R_S = 50\Omega$, $C_{I/OVL} = 15pF$, $t_{RISE} \leq 3ns$, (Figures 2a, 2b)			20	ns
Channel-to-Channel Skew	t_{SKEW}	$R_S = 50\Omega$, $C_{I/OVCC} = 50pF$, $C_{I/OVL} = 15pF$, $t_{RISE} \leq 3ns$			5	ns
Part-to-Part Skew	t_{PPSKEW}	$R_S = 50\Omega$, $C_{I/OVCC} = 50pF$, $C_{I/OVL} = 15pF$, $t_{RISE} \leq 3ns$, $\Delta T_A = +20^\circ C$ (Notes 3, 4)			10	ns
Propagation Delay from I/O V_L _ to I/O V_{CC} _ after EN	t_{EN-VCC}	$C_{I/OVCC} = 50pF$ (Figure 3)			1	μs
Propagation Delay from I/O V_{CC} _ to I/O V_L _ after EN	t_{EN-VL}	$C_{I/OVL} = 15pF$ (Figure 4)			1	μs
Maximum Data Rate		$R_{SOURCE} = 50\Omega$, $C_{I/OVCC} = 50pF$, $C_{I/OVL} = 15pF$, $t_{RISE} \leq 3ns$	20			Mbps

Note 1: All units are 100% production tested at $T_A = +25^\circ C$. Limits over the operating temperature range are guaranteed by design and not production tested.

Note 2: For normal operation, ensure that $V_L < (V_{CC} + 0.3V)$. During power-up, $V_L > (V_{CC} + 0.3V)$ does not damage the device.

Note 3: V_{CC} from device 1 must equal V_{CC} of device 2. V_L from device 1 must equal V_L of device 2.

Note 4: Guaranteed by design, not production tested.

16通道、带缓冲的CMOS 逻辑电平转换器

测试电路/时序图

MAX13101E/MAX13102E/MAX13103E/MAX13108E

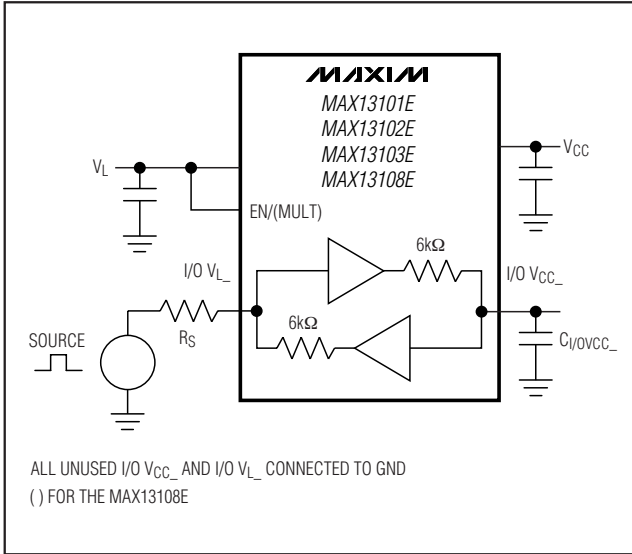


图1a. 驱动I/O V_L

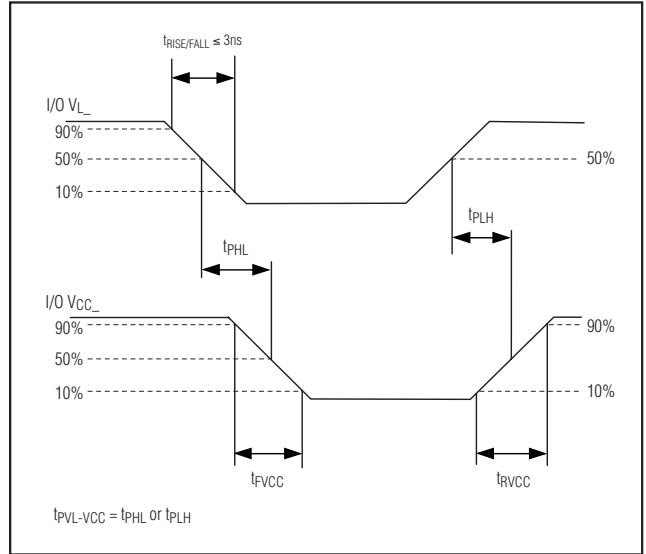


图1b. 驱动I/O V_L 时序

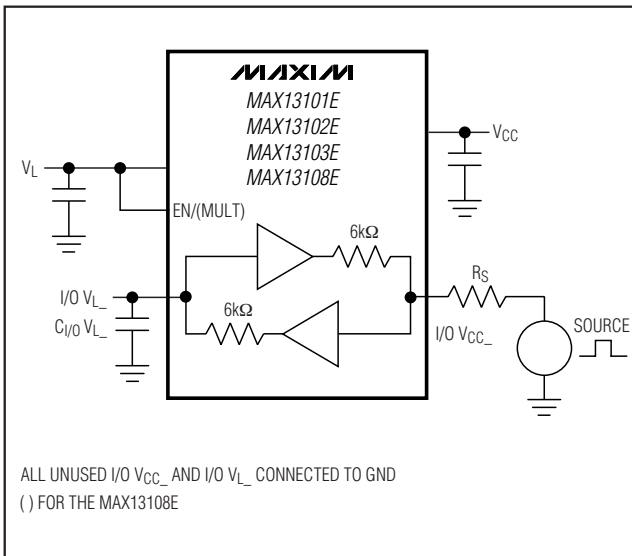


图2a. 驱动I/O $V_{CC_}$

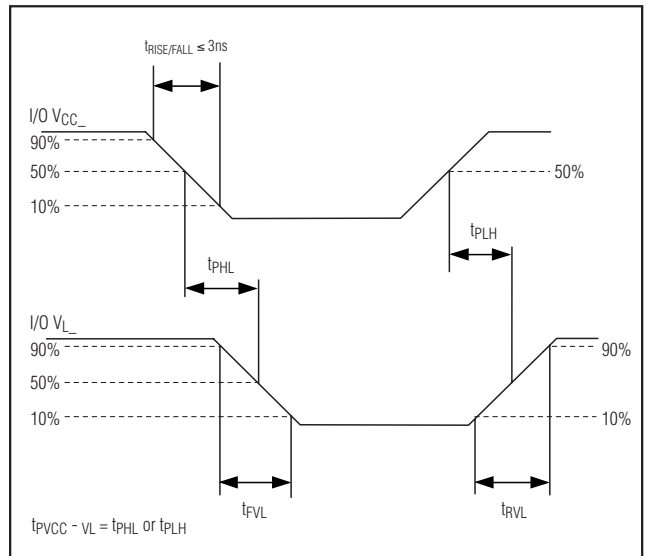


图2b. 驱动I/O $V_{CC_}$ 时序

16通道、带缓冲的CMOS 逻辑电平转换器

测试电路/时序图 (续)

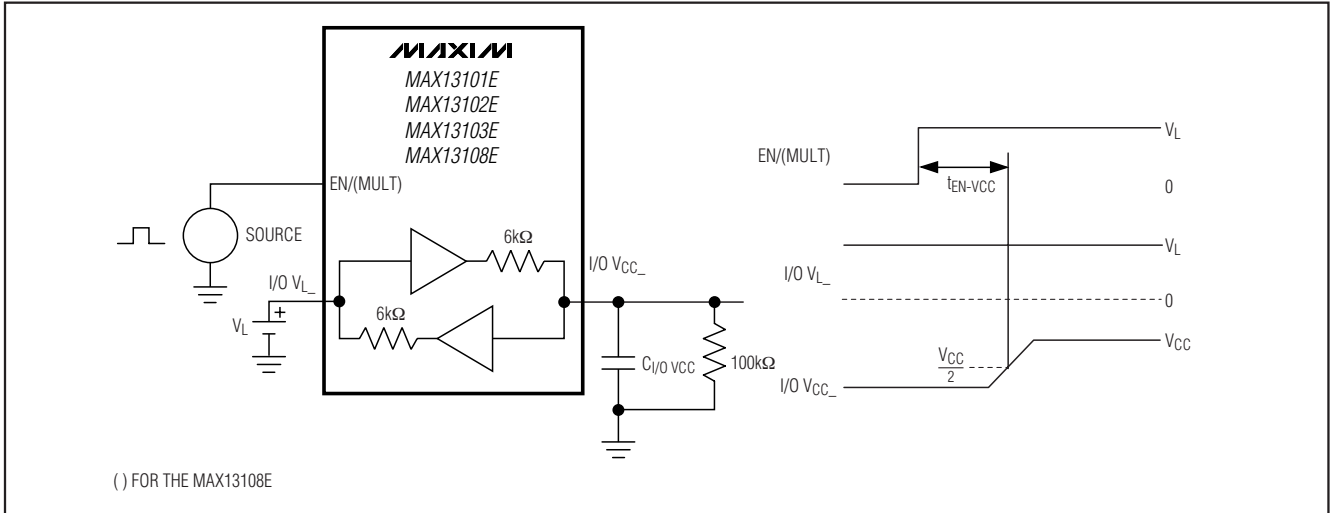


图3. 使能后 I/O V_L 至 I/O V_{CC} 的传输延时

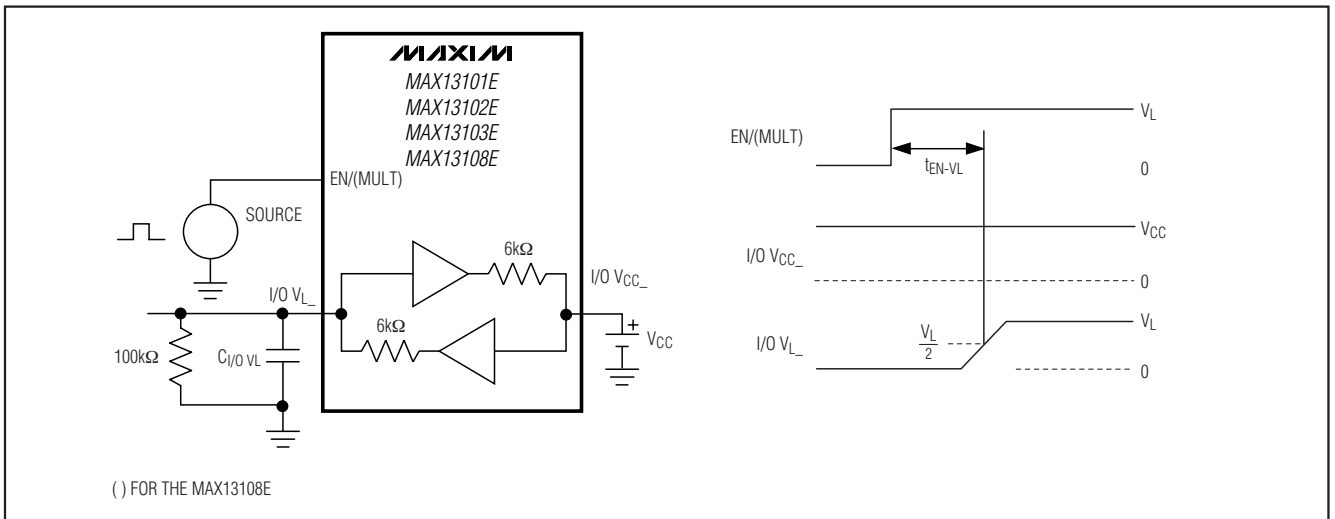
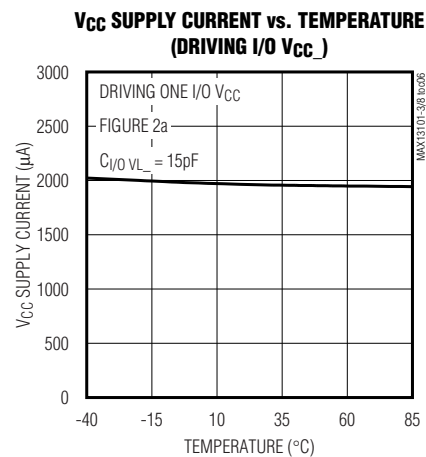
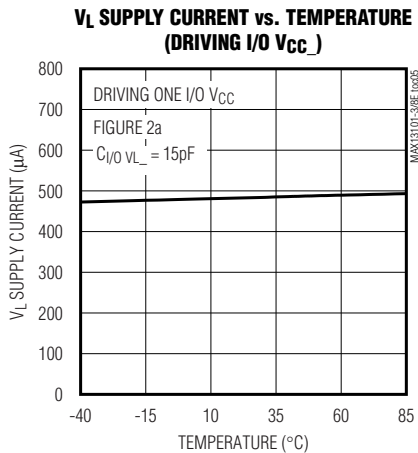
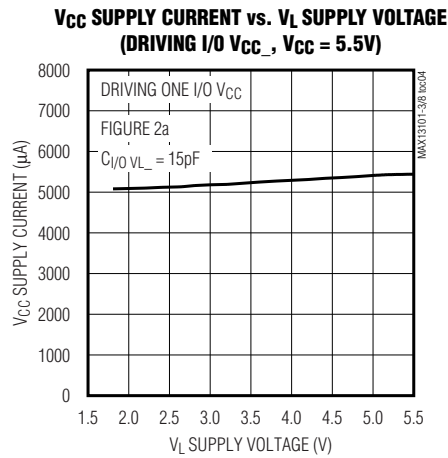
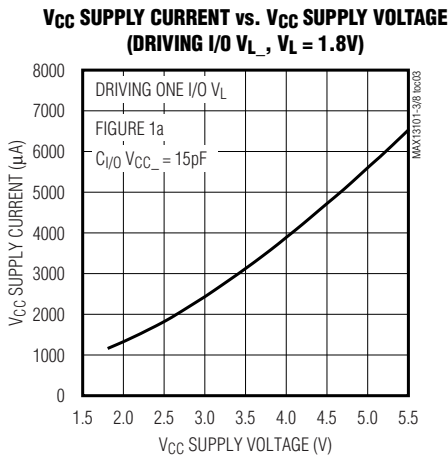
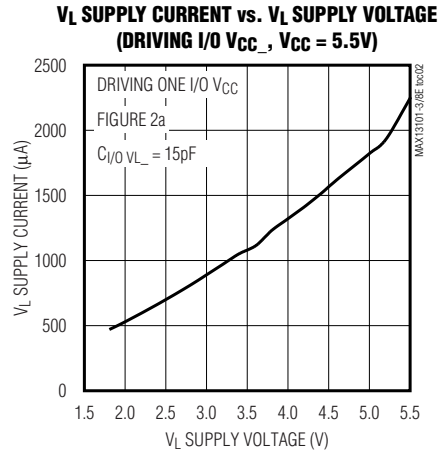
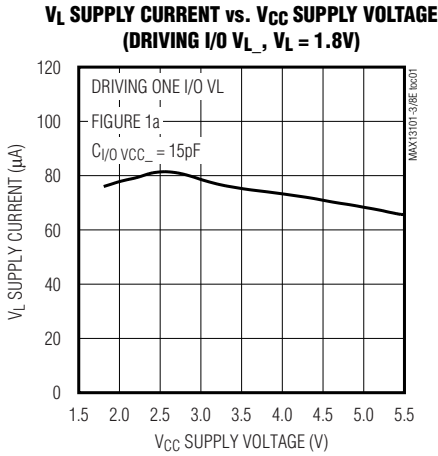


图4. 使能后 I/O V_{CC} 至 I/O V_L 的传输延时

16通道、带缓冲的CMOS 逻辑电平转换器

典型工作特性

($V_{CC} = 3.3V$, $V_L = 1.8V$, data rate = 20Mbps, $T_A = +25^\circ C$, unless otherwise noted.)

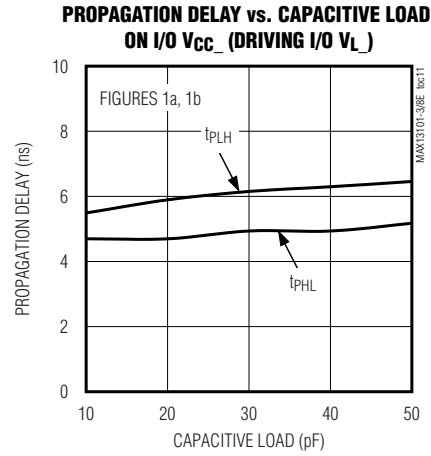
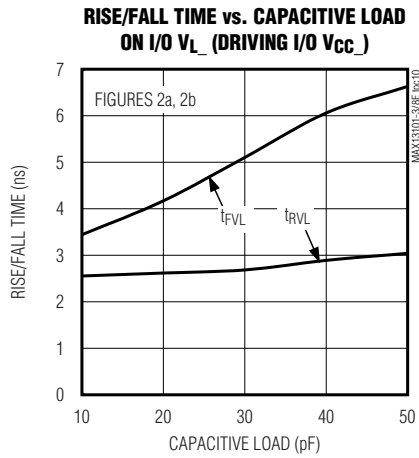
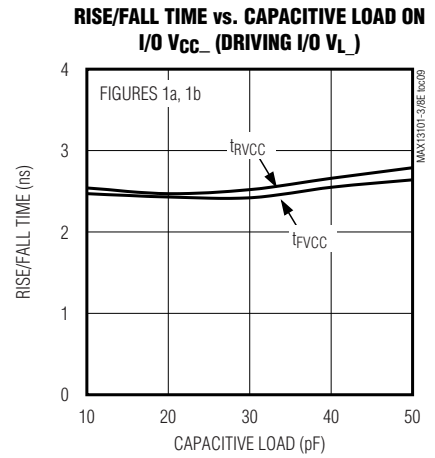
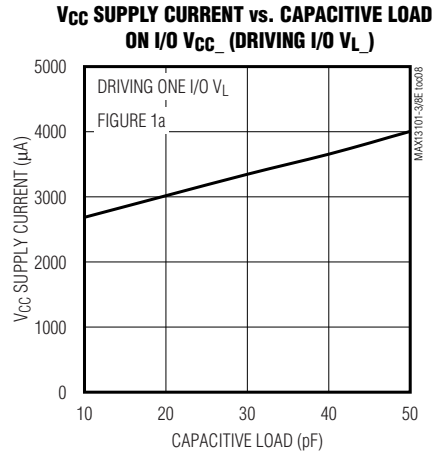
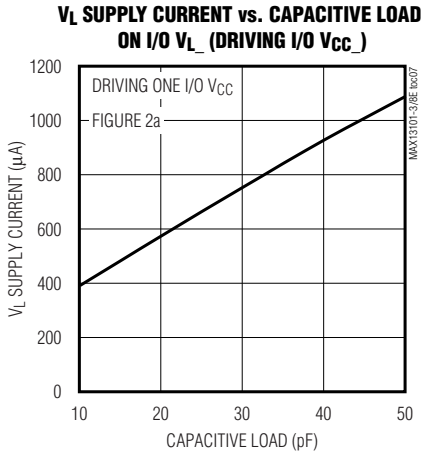


MAX13101E/MAX13102E/MAX13103E/MAX13108E

16通道、带缓冲的CMOS 逻辑电平转换器

典型工作特性 (续)

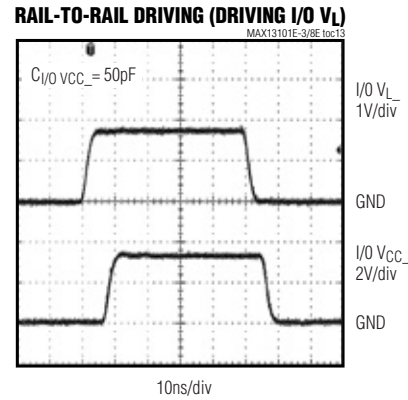
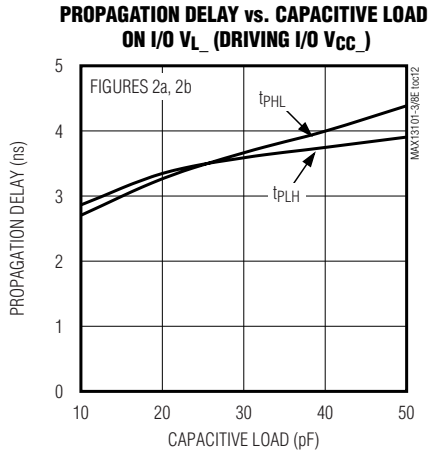
($V_{CC} = 3.3V$, $V_L = 1.8V$, data rate = 20Mbps, $T_A = +25^\circ C$, unless otherwise noted.)



16通道、带缓冲的CMOS 逻辑电平转换器

典型工作特性 (续)

($V_{CC} = 3.3V$, $V_L = 1.8V$, data rate = 20Mbps, $T_A = +25^\circ C$, unless otherwise noted.)



引脚定义—MAX13101E/MAX13102E/MAX13103E

引脚		名称	功能
TQFN	UCSP		
1, 21, 30	D6	GND	电源地
2	C2	I/O V_L5	输入/输出5。以 V_L 为参考。
3	A3	I/O V_L6	输入/输出6。以 V_L 为参考。
4	B3	I/O V_L7	输入/输出7。以 V_L 为参考。
5	C3	I/O V_L8	输入/输出8。以 V_L 为参考。
6	A4	I/O V_L9	输入/输出9。以 V_L 为参考。
7	B4	I/O V_L10	输入/输出10。以 V_L 为参考。
8	C4	I/O V_L11	输入/输出11。以 V_L 为参考。
9	A5	I/O V_L12	输入/输出12。以 V_L 为参考。
10	C6	EN	全局使能输入。关断时，下拉EN；正常工作时，驱动EN至 V_{CC} 或 V_L 电平。
11	B5	I/O V_L13	输入/输出13。以 V_L 为参考。
12	C5	I/O V_L14	输入/输出14。以 V_L 为参考。
13	A6	I/O V_L15	输入/输出15。以 V_L 为参考。
14	B6	I/O V_L16	输入/输出16。以 V_L 为参考。
15, 36	A1	V_L	逻辑电源电压， $+1.2V \leq V_L \leq V_{CC}$ 。 V_L 与GND之间接 $0.1\mu F$ 旁路电容。
16, 35	F1	V_{CC}	V_{CC} 电源电压， $+1.65V \leq V_{CC} \leq +5.5V$ 。 V_{CC} 与GND之间接 $0.1\mu F$ 旁路电容。为了提供有效的ESD保护，需要在 V_{CC} 与GND之间连接一个 $1.0\mu F$ 电容，并尽可能靠近 V_{CC} 放置。
17	E6	I/O $V_{CC}16$	输入/输出16。以 V_{CC} 为参考。
18	F6	I/O $V_{CC}15$	输入/输出15。以 V_{CC} 为参考。

16通道、带缓冲的CMOS 逻辑电平转换器

引脚定义—MAX13101E/MAX13102E/MAX13103E (续)

引脚		名称	功能
TQFN	UCSP		
19	D5	I/O V _{CC} 14	输入/输出14。以V _{CC} 为参考。
20	E5	I/O V _{CC} 13	输入/输出13。以V _{CC} 为参考。
22	F5	I/O V _{CC} 12	输入/输出12。以V _{CC} 为参考。
23	D4	I/O V _{CC} 11	输入/输出11。以V _{CC} 为参考。
24	E4	I/O V _{CC} 10	输入/输出10。以V _{CC} 为参考。
25	F4	I/O V _{CC} 9	输入/输出9。以V _{CC} 为参考。
26	D3	I/O V _{CC} 8	输入/输出8。以V _{CC} 为参考。
27	E3	I/O V _{CC} 7	输入/输出7。以V _{CC} 为参考。
28	F3	I/O V _{CC} 6	输入/输出6。以V _{CC} 为参考。
29	D2	I/O V _{CC} 5	输入/输出5。以V _{CC} 为参考。
31	E2	I/O V _{CC} 4	输入/输出4。以V _{CC} 为参考。
32	F2	I/O V _{CC} 3	输入/输出3。以V _{CC} 为参考。
33	D1	I/O V _{CC} 2	输入/输出2。以V _{CC} 为参考。
34	E1	I/O V _{CC} 1	输入/输出1。以V _{CC} 为参考。
37	B1	I/O V _L 1	输入/输出1。以V _L 为参考。
38	C1	I/O V _L 2	输入/输出2。以V _L 为参考。
39	A2	I/O V _L 3	输入/输出3。以V _L 为参考。
40	B2	I/O V _L 4	输入/输出4。以V _L 为参考。
EP	—	EP	裸露焊盘。EP连接至GND。

引脚定义—MAX13108E

引脚		名称	功能
TQFN	UCSP		
1, 21, 30	D6	GND	电源地
2	C2	I/O V _L 5	输入/输出5。以V _L 为参考。
3	A3	I/O V _L 6	输入/输出6。以V _L 为参考。
4	B3	I/O V _L 7	输入/输出7。以V _L 为参考。
5	C3	I/O V _L 8	输入/输出8。以V _L 为参考。
6	A4	I/O V _L 9	输入/输出9。以V _L 为参考。
7	B4	I/O V _L 10	输入/输出10。以V _L 为参考。
8	C4	I/O V _L 11	输入/输出11。以V _L 为参考。
9	A5	I/O V _L 12	输入/输出12。以V _L 为参考。

16通道、带缓冲的CMOS 逻辑电平转换器

引脚定义—MAX13108E (续)

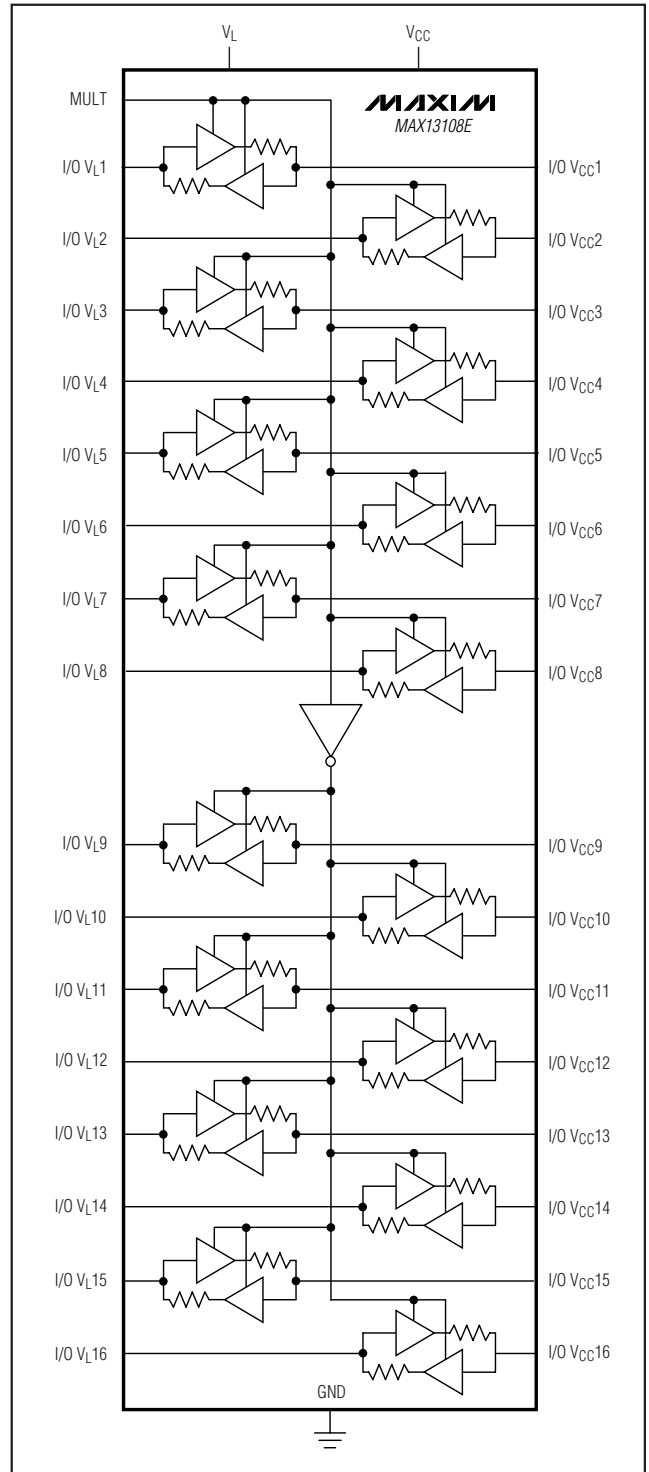
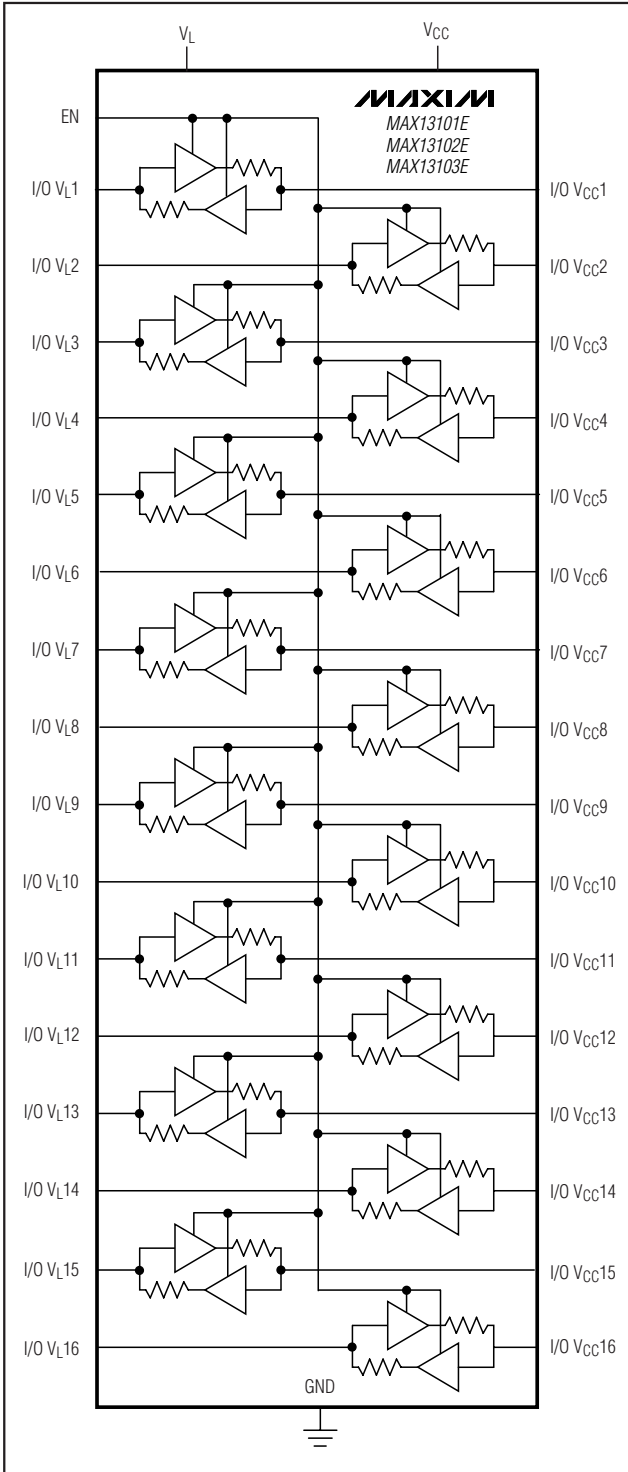
引脚		名称	功能
TQFN	UCSP		
10	C6	MULT	复用输入。驱动MULT为低，使能通道9至16，通道1至8进入高阻态；驱动MULT至V _{CC} 或V _L ，使能通道1至8，通道9至16进入高阻态。
11	B5	I/O V _L 13	输入/输出13。以V _L 为参考。
12	C5	I/O V _L 14	输入/输出14。以V _L 为参考。
13	A6	I/O V _L 15	输入/输出15。以V _L 为参考。
14	B6	I/O V _L 16	输入/输出16。以V _L 为参考。
15, 36	A1	V _L	逻辑电源电压。 $+1.2V \leq V_L \leq V_{CC}$ 。V _L 与GND之间接0.1μF旁路电容。
16, 35	F1	V _{CC}	V _{CC} 电源电压， $+1.65V \leq V_{CC} \leq +5.5V$ 。V _{CC} 与GND之间接0.1μF旁路电容。为有效提供ESD保护，在V _{CC} 到GND之间连接一个1.0μF的电容，并尽可能靠近V _{CC} 放置。
17	E6	I/O V _{CC} 16	输入/输出16。以V _{CC} 为参考。
18	F6	I/O V _{CC} 15	输入/输出15。以V _{CC} 为参考。
19	D5	I/O V _{CC} 14	输入/输出14。以V _{CC} 为参考。
20	E5	I/O V _{CC} 13	输入/输出13。以V _{CC} 为参考。
22	F5	I/O V _{CC} 12	输入/输出12。以V _{CC} 为参考。
23	D4	I/O V _{CC} 11	输入/输出11。以V _{CC} 为参考。
24	E4	I/O V _{CC} 10	输入/输出10。以V _{CC} 为参考。
25	F4	I/O V _{CC} 9	输入/输出9。以V _{CC} 为参考。
26	D3	I/O V _{CC} 8	输入/输出8。以V _{CC} 为参考。
27	E3	I/O V _{CC} 7	输入/输出7。以V _{CC} 为参考。
28	F3	I/O V _{CC} 6	输入/输出6。以V _{CC} 为参考。
29	D2	I/O V _{CC} 5	输入/输出5。以V _{CC} 为参考。
31	E2	I/O V _{CC} 4	输入/输出4。以V _{CC} 为参考。
32	F2	I/O V _{CC} 3	输入/输出3。以V _{CC} 为参考。
33	D1	I/O V _{CC} 2	输入/输出2。以V _{CC} 为参考。
34	E1	I/O V _{CC} 1	输入/输出1。以V _{CC} 为参考。
37	B1	I/O V _L 1	输入/输出1。以V _L 为参考。
38	C1	I/O V _L 2	输入/输出2。以V _L 为参考。
39	A2	I/O V _L 3	输入/输出3。以V _L 为参考。
40	B2	I/O V _L 4	输入/输出4。以V _L 为参考。
EP	—	EP	裸露焊盘。EP连接至GND。

MAX13101E/MAX13102E/MAX13103E/MAX13108E

16通道、带缓冲的CMOS 逻辑电平转换器

功能图

MAX13101E/MAX13102E/MAX13103E/MAX13108E



16通道、带缓冲的CMOS逻辑电平转换器

详细说明

在多电压系统中，MAX13101E/MAX13102E/MAX13103E/MAX13108E逻辑电平转换器为数据传输提供必要的电平转换。器件利用外部电压 V_{CC} 和 V_L 设定其两侧的逻辑电平，将 V_L 侧的逻辑信号转换成 V_{CC} 侧的高电压逻辑信号，反之亦然。MAX13101E/MAX13102E/MAX13103E/MAX13108E双向电平转换器允许每条数据线在任意方向($V_L \leftrightarrow V_{CC}$)传输数据。MAX13101E/MAX13102E/MAX13103E/MAX13108E的 V_L 可接受+1.2V到 V_{CC} 电压。所有器件的 V_{CC} 电压范围为+1.65V至+5.5V，是低电压ASIC/PLD与较高电压系统之间数据传输的理想选择。

MAX13101E/MAX13102E/MAX13103E带有一个使能输入(EN)，在关断状态下， V_{CC} 的供电电流降至 $1\mu\text{A}$ 以下， V_L 的供电电流降至 $2\mu\text{A}$ 以下。MAX13108E提供一个复用输入，可在两个字节中选择其一，允许多路信号复用。MAX13101E/MAX13102E/MAX13103E/MAX13108E在 V_{CC} 侧的I/O口具有 $\pm 15\text{kV}$ ESD保护，为需要外部信号切换的应用提供高度可靠的保护。MAX13101E/MAX13102E/MAX13103E/MAX13108E的数据吞吐率达20Mbps。最大数据吞吐量取决于负载电容(见典型工作特性)和外部驱动器的输出阻抗。

上电顺序

正常工作时，应确保 $+1.65\text{V} \leq V_{CC} \leq +5.5\text{V}$ ， $+1.2\text{V} \leq V_L \leq +5.5\text{V}$ 和 $V_L \leq V_{CC}$ 。上电过程中， $V_L \geq V_{CC}$ 不会损坏器件。当 V_{CC} 断开而 V_L 上电时，在 V_L 侧每个负载的灌电流可达10mA，器件不会产生闭锁效应。若 V_{CC} 电源不存在(图5)， V_{CC} 与GND之间必须连接一个最大 50Ω 的电阻，确保漏电流不会过大，器件 V_L 侧的I/O不受影响。

输入驱动器需求

MAX13101E/MAX13102E/MAX13103E/MAX13108E的构架基于单稳态加速器输出级(图6)。除非转换器的任意输入端，I/O V_L 或I/O V_{CC} ，发生电平跳变，否则，加速输出级将一直处于三态。出现输入跳变时，加速器输出级有效，并对I/O电容进行充/放电。由于其双向传输功能，两个输入级在单稳态脉冲期间均有效。这有可能导致部分电流灌入转换器的外部信号源。然而，该特性也有助于加速驱动器侧的电平转换。

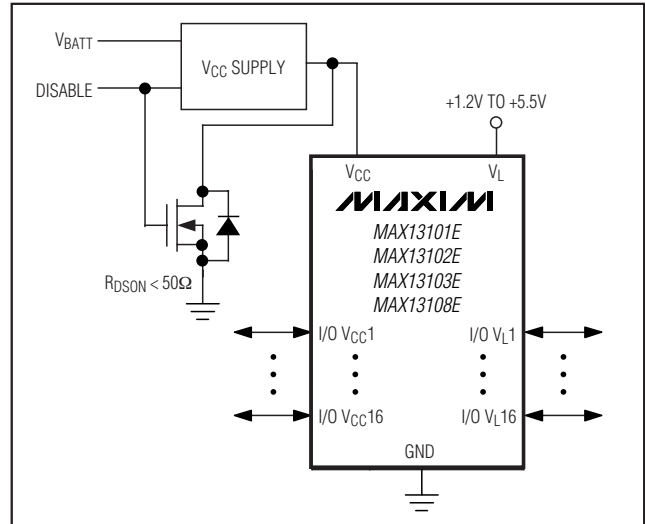


图5. V_{CC} 掉电推荐电路

全速工作时，MAX13101E/MAX13102E/MAX13103E/MAX13108E输入的驱动电流应满足以下要求：

$$i > 10^8 \times V \times (C + 10\text{pF}).$$

其中， i 为驱动器的输出电流， V 为逻辑电源电压(即 V_L 或 V_{CC})， C 是信号线上的寄生电容。

输出使能模式 (EN)

MAX13101E/MAX13102E/MAX13103E带有一个使能输入(EN)，驱动为低时器件进入关断模式。在关断模式下，MAX13101E的I/O V_{CC} 端口由内部 $6\text{k}\Omega$ 的电阻下拉，其I/O V_L 端口进入三态；MAX13102E的I/O V_{CC} 端口进入三态，其I/O V_L 端口由内部 $6\text{k}\Omega$ 的电阻下拉；MAX13103E的所有I/O V_{CC} 端口和I/O V_L 端口都进入三态。关断模式下， V_{CC} 的电源电流降至 $1\mu\text{A}$ 以下，而 V_L 的电源电流降至 $2\mu\text{A}$ 以下。为了确保关断时电源电流最小，所有 V_L 侧的I/O应驱动至GND或 V_L ，或通过 $100\text{k}\Omega$ 电阻与GND或 V_L 相连；同样，所有 V_{CC} 端I/O应驱动至GND或 V_{CC} ，或通过 $100\text{k}\Omega$ 电阻与GND或 V_{CC} 相连。正常运行时，驱动EN为逻辑高(V_L 或 V_{CC})。

16通道、带缓冲的CMOS 逻辑电平转换器

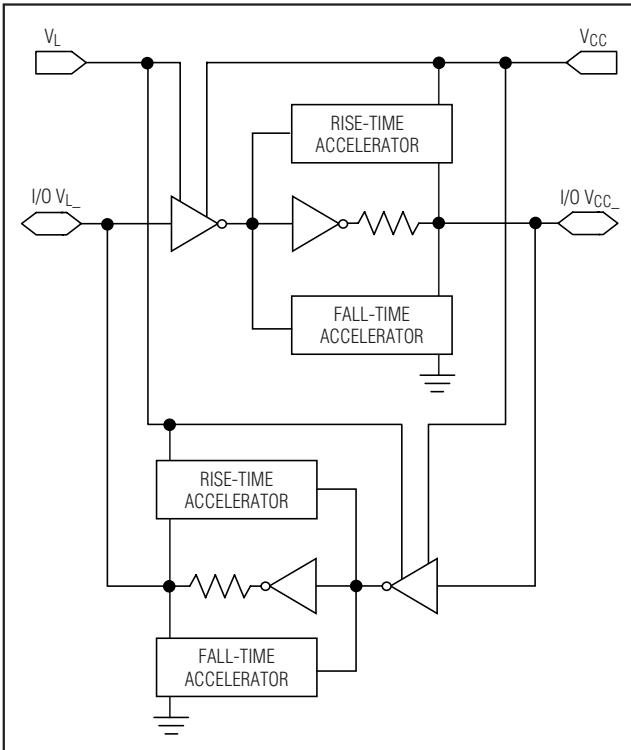


图6. MAX13101E/MAX13102E/MAX13103E/MAX13108E简化功能图
(单路I/O)

复用输入(MULT)

MAX13108E 提供一个复用输入 (MULT)，用于使能16通道中的8个通道，其余8个通道置为三态。图7说明了MAX13108E复用器的典型配置。驱动MULT为高，使能I/O V_{CC}1至I/O V_{CC}8和I/O V_L1至I/O V_L8，同时将I/O V_{CC}9至I/O V_{CC}16和I/O V_L9至I/O V_L16置为三态。驱动MULT为低，使能I/O V_{CC}9至I/O V_{CC}16 和I/O V_L9至I/O V_L16，同时将I/O V_{CC}1至I/O V_{CC}8 和I/O V_L1至I/O V_L8置为三态。

±15kV ESD 保护

与Maxim的其它器件一样，所有引脚都提供了ESD保护结构，在接触和安装过程中可有效保护器件，避免由于受静电冲击而损坏。I/O V_{CC} 线路还有额外的静电保护功能。Maxim工程师开发出了新型保护结构，引脚可承受±15kV ESD冲击。这种ESD保护结构在所有状态下（正常运行、三态输出和掉电模式）都可提供有效防护。受到ESD冲击后，Maxim的E版产品可继续工作而不会出现闭锁效应，其它公司的同类产品则可能出现闭锁，必须断电后才能退出闭锁状态。

ESD保护的测试方法有很多种。MAX13101E/MAX13102E/MAX13103E/MAX13108E的I/O V_{CC} 线路具有±15kV的人体模型保护。

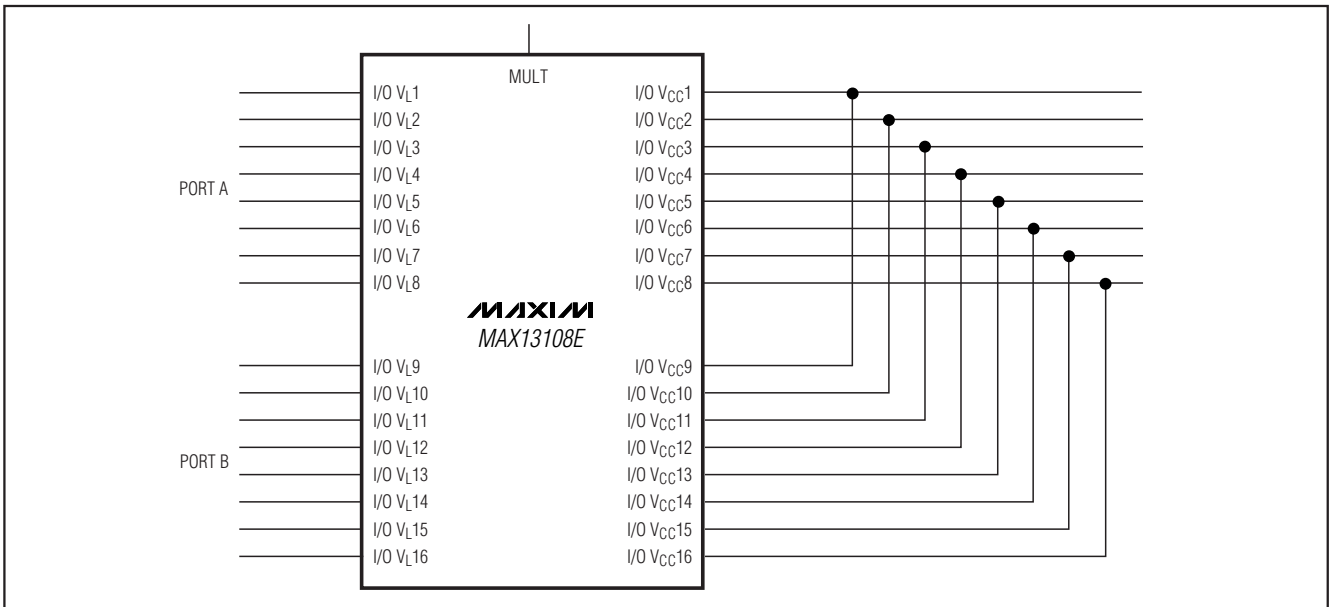


图7. MAX13108E复用配置

16通道、带缓冲的CMOS逻辑电平转换器

MAX13101E/MAX13102E/MAX13103E/MAX13108E

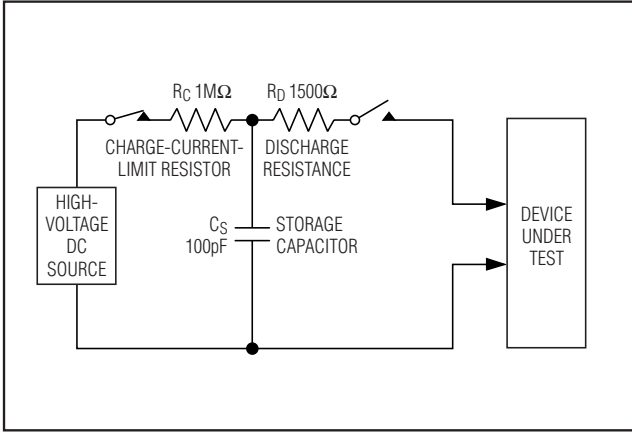


图8a. 人体ESD测试模型

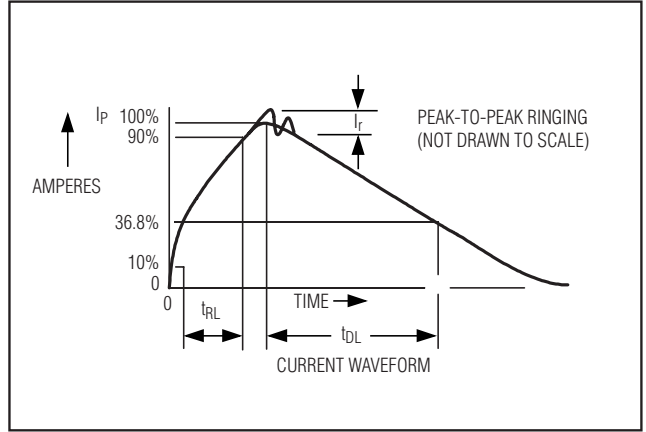


图8b. 人体模型的电流波形

ESD测试条件

ESD性能与很多条件有关。有关测试配置、方法和结果的可靠性报告，请与Maxim联系。

人体模型

图8a所示为人体模型，图8b给出了该人体模型对低阻放电时产生的电流波形。该模型包含一只100pF电容，用于充电到ESD电压，然后通过一个1.5kΩ电阻向器件放电。

机器模型

ESD的机器模型对所有引脚进行测试，采用200pF存储电容和零放电电阻进行测试。目的是仿真制造过程中因接触和装配产生的应力。在制造过程中，不仅输入和输出，所有引脚都需要保护。所以在印制板安装后，机器模型不再影响I/O端口。

应用信息

电源去耦

在 V_L 和 V_{CC} 与地之间接0.1μF旁路电容，可减少纹波和传输误码率。为确保有效的±15kV ESD保护， V_{CC} 与地之间需要接1μF的陶瓷电容旁路，并尽可能将电容靠近电源输入端放置。

容性负载

当MAX13101E/MAX13102E/MAX13103E/MAX13108E驱动信号线时，I/O线路上的容性负载会影响其上升时间（和下降时间）。实际的上升时间是MAX13101E/MAX13102E/MAX13103E/MAX13108E寄生电容、电源电压和驱动阻抗的函数。正常工作时，信号必须在上升时间加速器关闭之前达到所需的 V_{OH} 电压。

16通道、带缓冲的CMOS 逻辑电平转换器

订购信息/选择指南 (续)

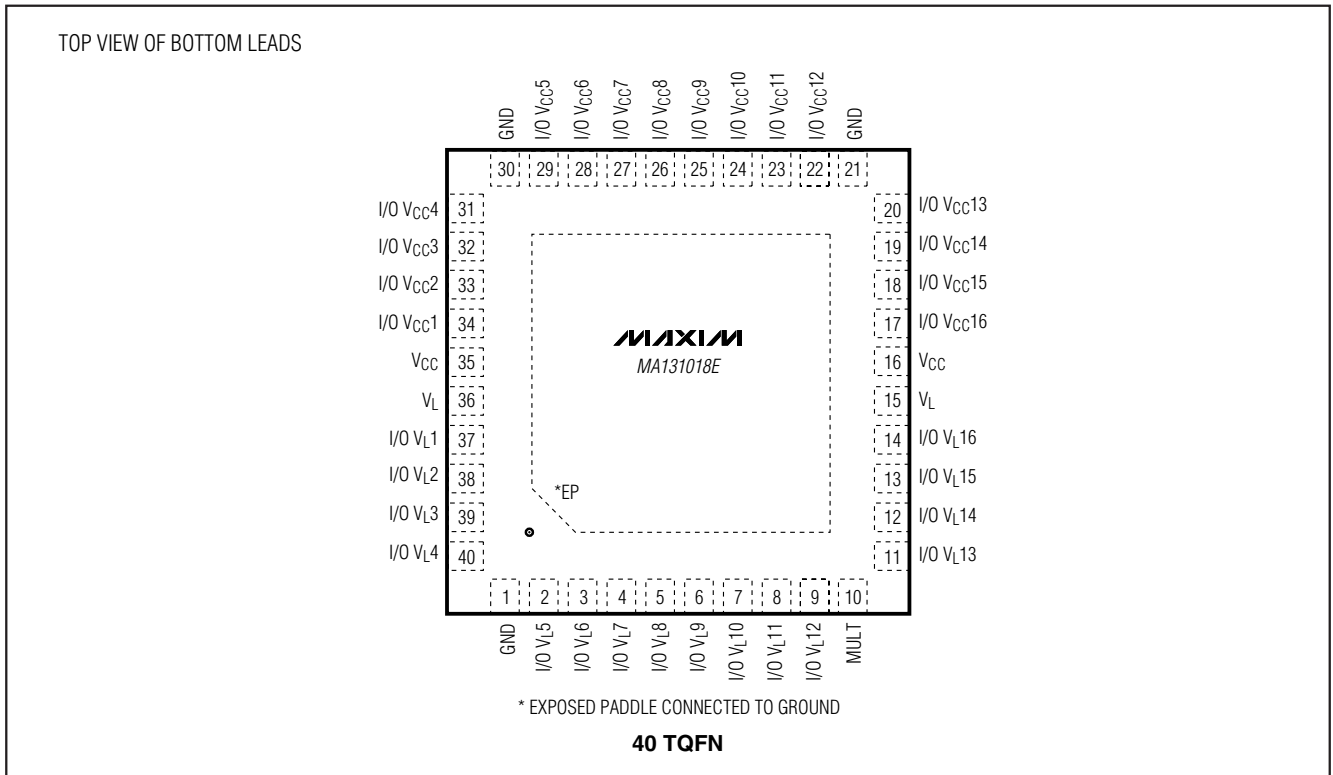
PART	PIN-PACKAGE	DATA RATE (Mbps)	I/O V _L STATE DURING SHUTDOWN	I/O V _{CC} STATE DURING SHUTDOWN	MULTIPLEXER FEATURE	PKG CODE
MAX13102EEBX*	36 UCSP** 3.06mm x 3.06mm	20	6kΩ to GND	HiZ	NO	B36-1
MAX13102EETL*	40 TQFN 5mm x 5mm x 0.8mm	20	6kΩ to GND	HiZ	NO	T4055-1
MAX13103EEBX*	36 UCSP** 3.06mm x 3.06mm	20	High impedance	HiZ	NO	B36-1
MAX13103EETL	40 TQFN 5mm x 5mm x 0.8mm	20	High impedance	HiZ	NO	T4055-1
MAX13108EEBX*	36 UCSP** 3.06mm x 3.06mm	20	High impedance	HiZ	YES	B36-1
MAX13108EETL*	40 TQFN 5mm x 5mm x 0.8mm	20	High impedance	HiZ	YES	T4055-1

注意：所有芯片可在-40°C至+85°C温度范围内工作。

* 未来产品——供货信息请与厂商联系。

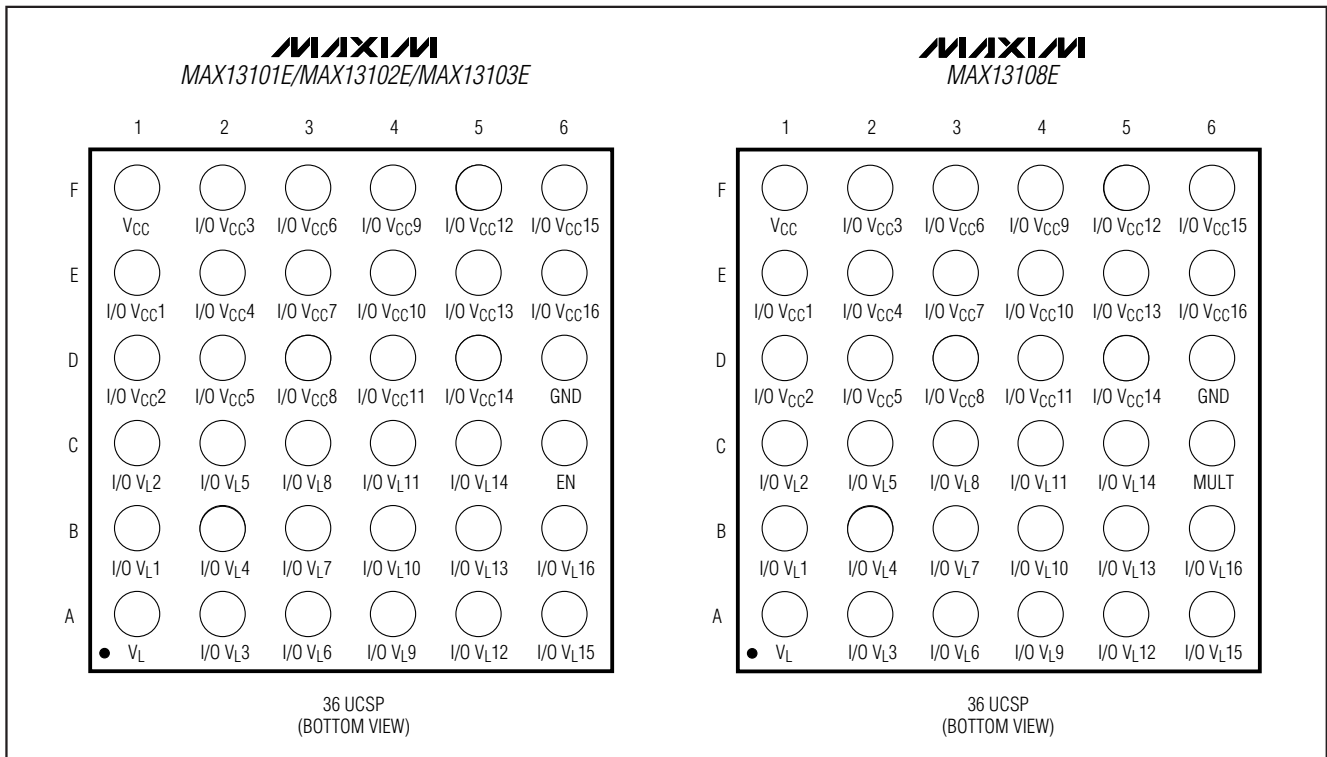
** UCSP焊球分布为6 x 6矩阵。

引脚配置 (续)

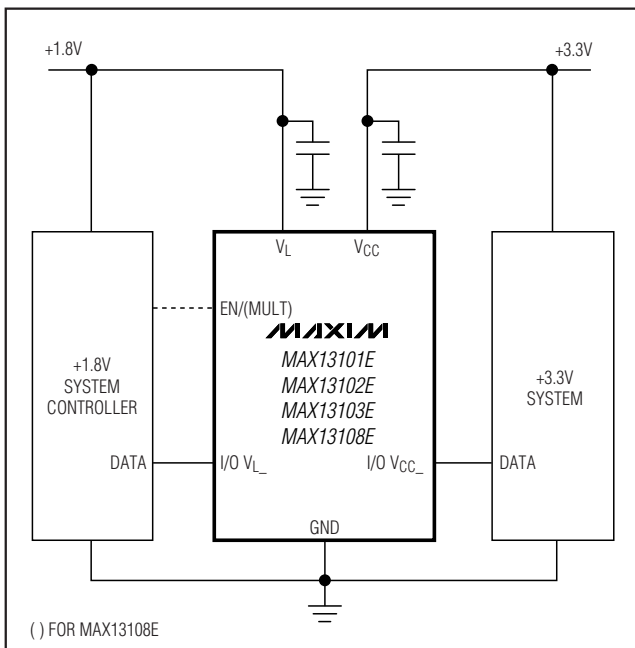


16通道、带缓冲的CMOS 逻辑电平转换器

引脚配置 (续)



典型工作电路



芯片信息

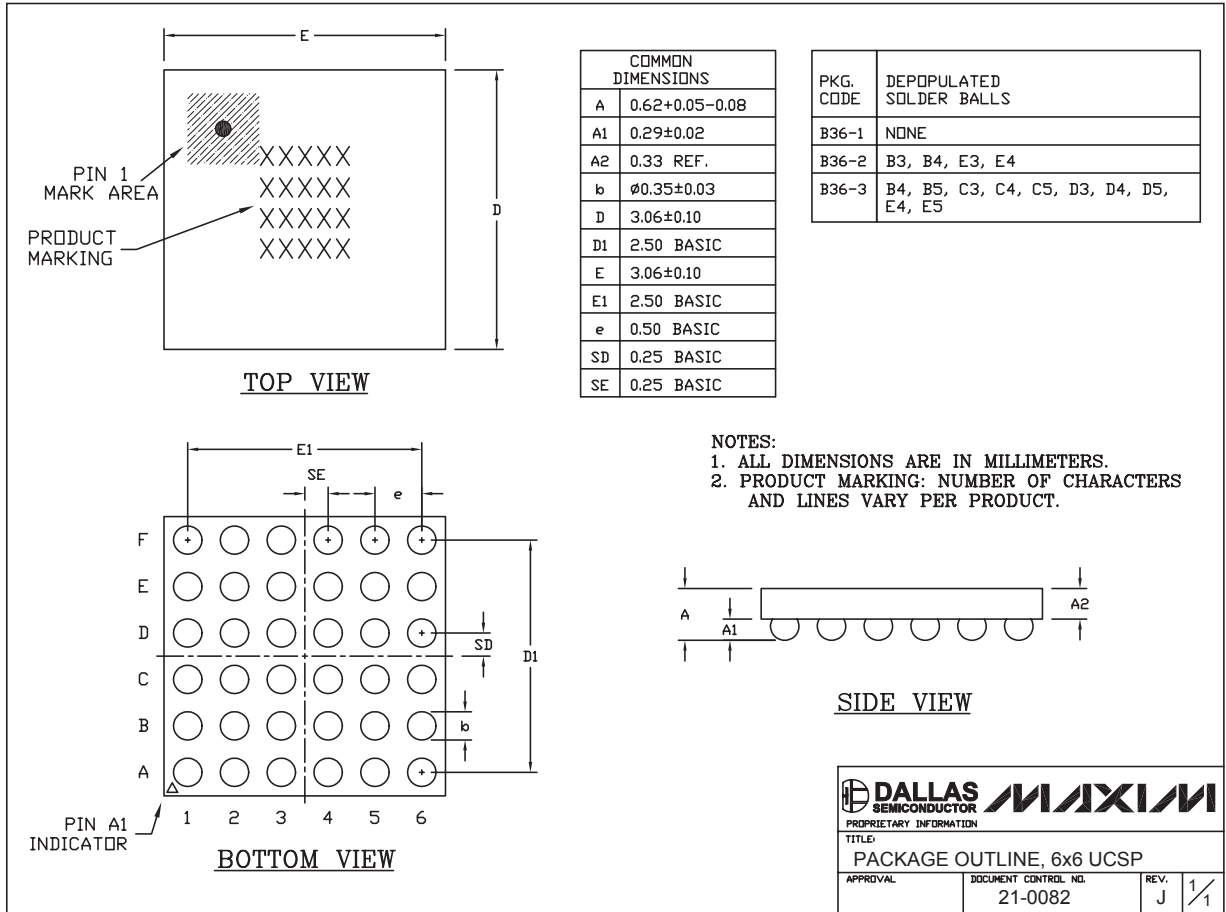
Process: BiCMOS

MAX13101E/MAX13102E/MAX13103E/MAX13108E

16通道、带缓冲的CMOS 逻辑电平转换器

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-ic.com.cn/packages.)

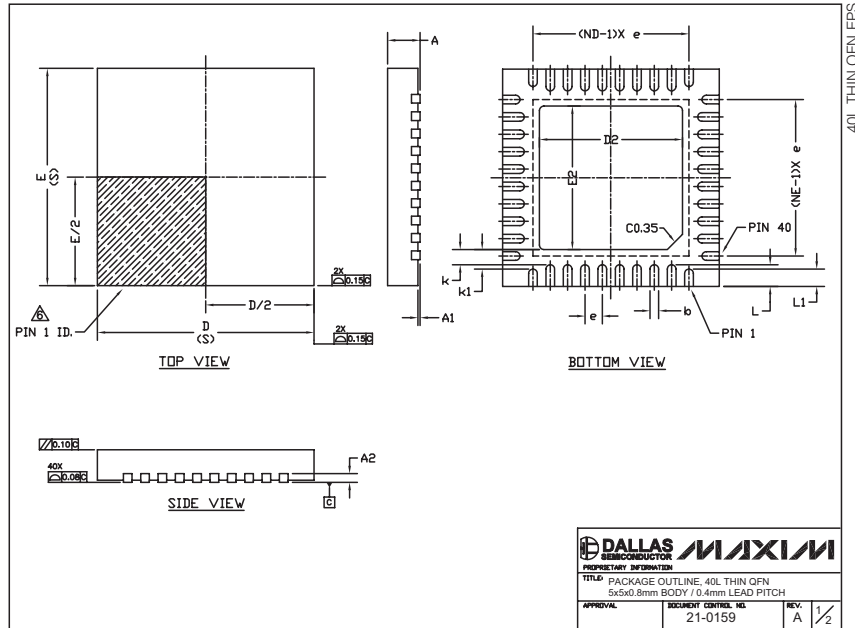


36L UCSP.EPS

16通道、带缓冲的CMOS 逻辑电平转换器

封装信息 (续)

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外型信息, 请查询 www.maxim-ic.com.cn/packages.)



DALLAS SEMICONDUCTOR **MAXIM**

PROPRIETARY INFORMATION

TITLE: PACKAGE OUTLINE, 40L THIN QFN
5x5x0.8mm BODY / 0.4mm LEAD PITCH

APPROVAL: _____ DOCUMENT CONTROL NO. 21-0159 REV. A 1/2

NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES IN DEGREES.
2. COPLANARITY APPLIES TO THE EXPOSED PAD AS WELL AS THE TERMINALS. COPLANARITY SHALL NOT EXCEED 0.10mm.
3. WARPAGE SHALL NOT EXCEED 0.10mm.
4. PACKAGE LENGTH / PACKAGE WIDTH ARE CONSIDERED AS SPECIAL CHARACTERISTICS. (S)
5. REFER TO JEDEC MO-220.
6. THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
7. ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.

COMMON DIMENSIONS			
SYMBOLS	MIN.	NOM.	MAX.
A	0.700	0.750	0.800
A1	0.000	--	0.050
A2	0.200 REF.		
b	0.150	0.200	0.250
D	4.900	5.000	5.100
e	0.400 TYP.		
E	4.900	5.000	5.100
k	0.250	0.350	0.450
k1	0.350	0.450	0.550
L	0.400	0.500	0.600
L1	0.300	0.400	0.500
N	40		
ND	10		
NE	10		

PKG. CODE	D2			E2		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
T4055-1	3.20	3.30	3.40	3.20	3.30	3.40

DALLAS SEMICONDUCTOR **MAXIM**

PROPRIETARY INFORMATION

TITLE: PACKAGE OUTLINE, 40L THIN QFN
5x5x0.8mm BODY / 0.4mm LEAD PITCH

APPROVAL: _____ DOCUMENT CONTROL NO. 21-0159 REV. A 1/2

Maxim 不对 Maxim 产品以外的任何电路使用负责, 也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 19

MAX13101E/MAX13102E/MAX13103E/MAX13108E