



# 6.5MSPS/5.5MSPS、双通道、5V/3V、真差分8位ADC

MAX1336/MAX1337

## 概述

MAX1336/MAX1337是双通道、串行输出、8位模数转换器(ADC)，具备两路真差分模拟输入，并提供卓越的噪声抑制和动态性能。两款器件均可方便实现与SPI™/QSPI™/MICROWIRE™和标准数字信号处理器(DSP)的接口。

MAX1336工作于+4.75V至+5.25V单电源，采样速率高达6.5MSPS。MAX1337工作于+2.7V至+3.6V单电源，采样速率高达5.5MSPS。这两种器件均具有局部关断模式和完全关断模式，可分别将电源电流降至3.3mA和0.2μA。器件还具有独立的电源输入(DVDD)，允许直接与+2.7V至+3.6V数字逻辑连接。MAX1336/MAX1337具有转换速度快、功耗低、交流性能优越等特点，直流精度可达到±0.1LSB INL，是工业过程控制、电机控制和基站应用的理想选择。

MAX1336/MAX1337采用节省空间的(3mm x 3mm)、16引脚、TQFN封装，工作在扩展工业级温度范围(-40°C至+85°C)。

## 应用

- 数据采集
- 票据验证
- 电机控制
- 基站
- 高速调制解调器
- 光学传感器
- 工业过程控制

## 特性

- ◆ 6.5MSPS采样率(+5V, MAX1336)
- ◆ 5.5MSPS采样率(+3V, MAX1337)
- ◆ 独立的逻辑电源: +2.7V至+3.6V
- ◆ 两路真差分模拟输入通道
- ◆ 双极性/单极性选择输入
- ◆ 功耗仅40mW(典型值)
- ◆ 关断电流仅2μA(最大值)
- ◆ 高速、兼容SPI的3线串行接口
- ◆ 6.6MHz线性带宽
- ◆ 输入频率为525kHz时, SINAD为49.5dB
- ◆ 无流水线延时
- ◆ 节省空间的(3mm x 3mm) 16引脚TQFN封装

## 订购信息

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX1336ETE**	-40°C to +85°C	16 TQFN-EP* (3mm x 3mm)	T1633F-3
MAX1337ETE	-40°C to +85°C	16 TQFN-EP* (3mm x 3mm)	T1633F-3

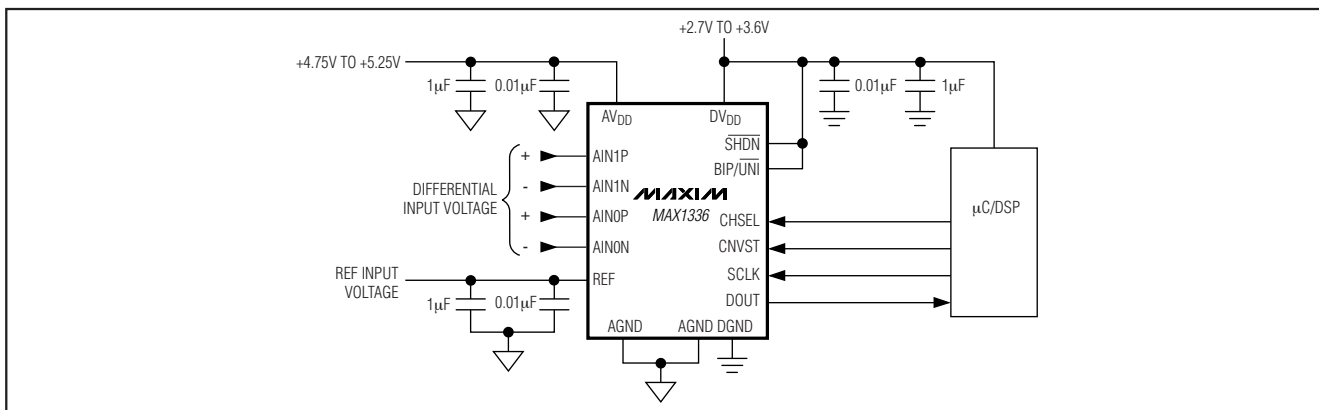
\*EP = 裸焊盘。

\*\*未来产品——供货信息请与厂商联系。

选型指南见数据资料的最后部分。

引脚配置见数据资料的最后部分。

## 典型工作电路



SPI/QSPI是Motorola, Inc.的商标。

MICROWIRE是National Semiconductor Corp.的商标。



本文是Maxim正式英文资料的译文，Maxim不对翻译中存在的差异或由此产生的错误负责。请注意译文中可能存在文字组织或翻译错误，如需确认任何词语的准确性，请参考Maxim提供的英文版资料。

索取免费样品和最新版的数据资料，请访问Maxim的主页：[www.maxim-ic.com.cn](http://www.maxim-ic.com.cn)。

项目开发 芯片解密 零件配单 TEL:15013652265 QQ:38537442

# 6.5Msps/5.5Msps、双通道、5V/3V、真差分8位ADC

MAX1336/MAX1337

## ABSOLUTE MAXIMUM RATINGS

AV <sub>DD</sub> to AGND (MAX1336) .....	-0.3V to +6V	Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
AV <sub>DD</sub> to AGND (MAX1337) .....	-0.3V to +4V	16-Pin TQFN (derate 17.5mW/°C above +70°C) ....	1398.6mW
DV <sub>DD</sub> to DGND .....	-0.3V to +4V	Operating Temperature Range	
AGND to DGND .....	-0.3V to +0.3V	MAX133_ETE .....	-40°C to +85°C
SCLK, CNVST, SHDN, CHSEL, BIP/UNI,		Junction Temperature .....	+150°C
DOUT to DGND .....	-0.3V to (DV <sub>DD</sub> + 0.3V)	Storage Temperature Range .....	-60°C to +150°C
AIN0P, AIN0N, AIN1P, AIN1N, REF to		Lead Temperature (soldering, 10s) .....	+300°C
AGND .....	-0.3V to (AV <sub>DD</sub> + 0.3V)		
Maximum Current into Any Pin .....	±50mA		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS (MAX1336)

(AV<sub>DD</sub> = +4.75V to +5.25V, DV<sub>DD</sub> = +2.7V to +3.6V, f<sub>SCLK</sub> = 78MHz, V<sub>REF</sub> = 4.096V, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY (Note 1) (BIP/UNI = DGND)</b>						
Resolution	N		8			Bits
Integral Nonlinearity	INL			±0.1	±1.0	LSB
Differential Nonlinearity	DNL			±0.1	±1.0	LSB
Offset Error				±0.2	±0.5	LSB
Gain Error				±0.9	±2.0	LSB
Offset-Error Temperature Coefficient				±1.1		ppm/°C
Gain-Error Temperature Coefficient				±5.2		ppm/°C
<b>DYNAMIC SPECIFICATIONS (A<sub>IN</sub> = -0.2dBFS, f<sub>IN</sub> = 525kHz, BIP/UNI = DV<sub>DD</sub>, unless otherwise noted) (Note 1)</b>						
Signal-to-Noise Ratio	SNR		48	49.5		dB
Signal-to-Noise Plus Distortion	SINAD		48	49.5		dB
Total Harmonic Distortion	THD			-72	-62	dBc
Spurious-Free Dynamic Range	SFDR		63	68		dBc
Channel-to-Channel Isolation				76		dB
Full-Linear Bandwidth		SINAD > 47dB		6.6		MHz
Full-Power Bandwidth				5.4		MHz
Small-Signal Bandwidth				5		MHz
<b>CONVERSION RATE</b>						
Minimum Conversion Time	t <sub>CONV</sub>	DV <sub>DD</sub> = 2.7V to 3.6V, Figure 5			115	ns
Maximum Throughput Rate		DV <sub>DD</sub> = 2.7V to 3.6V	6.5			Msps
Minimum Track-and-Hold Acquisition Time	t <sub>ACQ</sub>	Figure 5			32	ns

## 6.5MSPS/5.5MSPS、双通道、5V/3V、真差分8位ADC

MAX1336/MAX1337

### ELECTRICAL CHARACTERISTICS (MAX1336) (continued)

(AVDD = +4.75V to +5.25V, DVDD = +2.7V to +3.6V, fSCLK = 78MHz, VREF = 4.096V, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Aperture Delay	tAD	Figure 21		< 10		ns
Aperture Jitter	tAJ	Figure 21		< 10		ps
<b>DIFFERENTIAL ANALOG INPUTS (AIN0P, AIN0N, AIN1P, AIN1N)</b>						
Differential Input Voltage Range (VAIN_P - VAIN_N)	VIN	BIP/UNI = DGND	0		VREF	V
		BIP/UNI = DVDD	-VREF / 2		+VREF / 2	
Absolute Input Voltage Range			AGND - 50mV		AVDD + 50mV	V
DC Leakage Current	ILKG				±10	µA
Input Capacitance	CIN			14		pF
<b>REFERENCE INPUT (REF)</b>						
REF Input Voltage Range	VREF		1.0		AVDD + 50mV	V
REF Input Capacitance	CREF			14		pF
REF DC Leakage Current	IREF				±10	µA
<b>DIGITAL INPUTS (SCLK, CNVST, SHDN, CHSEL, BIP/UNI)</b>						
Input Voltage Low	VIL				0.3 x DVDD	V
Input Voltage High	VIH		0.7 x DVDD			V
Input Hysteresis				100		mV
Input Leakage Current	IILKG			±0.2	±5	µA
Input Capacitance	CIN			15		pF
<b>DIGITAL OUTPUT (DOUT)</b>						
Output Voltage Low	VOL	ISINK = 5mA			0.4	V
Output Voltage High	VOH	ISOURCE = 1mA	DVDD - 0.5			V
Tri-State Leakage Current	ILKGT	Between conversions, CNVST = DVDD			±1	µA
Tri-State Output Capacitance	COUT	Between conversions, CNVST = DVDD		15		pF
<b>POWER REQUIREMENTS</b>						
Analog Supply Voltage	AVDD		4.75		5.25	V
Digital Supply Voltage	DVDD		2.7		3.6	V
Analog Supply Current	IAVDD	Normal mode; average unloaded current (fSAMPLE = 4.0MHz, fSCLK = 64MHz)		11	12	mA
		Partial power-down mode		3.3	4.0	
		Full power-down mode		0.1	2	µA

## 6.5Msps/5.5Msps、双通道、5V/3V、真差分8位ADC

MAX1336/MAX1337

### ELECTRICAL CHARACTERISTICS (MAX1336) (continued)

( $V_{DD} = +4.75V$  to  $+5.25V$ ,  $DV_{DD} = +2.7V$  to  $+3.6V$ ,  $f_{SCLK} = 78MHz$ ,  $V_{REF} = 4.096V$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Digital Supply Current	IDVDD	Average unloaded current ( $f_{SAMPLE} = 4.0MHz$ , $f_{SCLK} = 64MHz$ , zero-scale input)		5	8	mA
		Power-down ( $f_{SCLK} = 64MHz$ )		18	45	μA
		Static or power-down; all digital inputs are connected to $DV_{DD}$ or DGND		0.2	2	
Power Supply Rejection	PSR	$V_{DD} = 4.75V$ to $5.25V$ , full-scale input			±5	mV

### TIMING CHARACTERISTICS (MAX1336) (Figure 4)

( $V_{DD} = +4.75V$  to  $+5.25V$ ,  $DV_{DD} = +2.7V$  to  $+3.6V$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Clock Period	tCP		12.8			ns
SCLK Pulse Width	tSPW		6			ns
CVNST Rise to DOUT Disable	tCRDD		15			ns
CVNST Fall to DOUT Enable	tCFDE		15			ns
CHSEL to CVNST Fall Setup	tCHCF		32			ns
BIP/ $\overline{UNI}$ to CVNST Fall Setup	tBUCF		32			ns
CVNST Fall to CHSEL Hold	tCFCH		0			ns
CVNST Fall to BIP/ $\overline{UNI}$ Hold	tCFBU		0			ns
DOUT Remains Valid After SCLK	tDHOLD	$C_{LOAD} = 0pF$ (Note 2)	1	2		ns
SCLK Rise to DOUT Transition	tDOT				6	ns
CVNST to SCLK Rise	tSETUP		6			ns
SCLK Rise to CVNST	tHOLD		0			ns
CVNST Pulse Width	tCSW		6			ns
Minimum Recovery Time (Full Power-Down)	tFPD	From CVNST fall or $\overline{SHDN}$ rise			4	μs
Minimum Recovery Time (Partial Power-Down)	tPPD	From CVNST fall			500	ns

**Note 1:** Tested with  $V_{DD} = 4.75V$  and  $DV_{DD} = +2.7V$ .

**Note 2:** Guaranteed by design, not production tested.

## 6.5Msps/5.5Msps、双通道、5V/3V、真差分8位ADC

MAX1336/MAX1337

### ELECTRICAL CHARACTERISTICS (MAX1337)

(AVDD = +2.7V to +3.6V, DVDD = +2.7V to +3.6V, fSCLK = 66MHz, VREF = 2.5V, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY (Note 3) (BIP/UNI = DGND)</b>						
Resolution	N		8			Bits
Relative Accuracy	INL			±0.1	±1.0	LSB
Differential Nonlinearity	DNL			±0.1	±1.0	LSB
Offset Error				±0.2	±0.5	LSB
Gain Error				±0.9	±2.0	LSB
Offset-Error Temperature Coefficient				±1.1		ppm/°C
Gain-Error Temperature Coefficient				±5.2		ppm/°C
<b>DYNAMIC SPECIFICATIONS (AIN = -0.2dBFS, fIN = 525kHz, BIP/UNI = DVDD, unless otherwise noted) (Note 3)</b>						
Signal-to-Noise Ratio	SNR		48	49.5		dB
Signal-to-Noise Plus Distortion	SINAD		48	49.5		dB
Total Harmonic Distortion	THD			-72	-62	dBc
Spurious-Free Dynamic Range	SFDR		63	68		dBc
Channel-to-Channel Isolation				76		dB
Full-Linear Bandwidth		SINAD > 44dB		6.6		MHz
Full-Power Bandwidth				5.4		MHz
Small-Signal Bandwidth				5		MHz
<b>CONVERSION RATE</b>						
Minimum Conversion Time	tCONV	Figure 5			136	ns
Maximum Throughput Rate			5.5			Msp/s
Minimum Track-and-Hold Acquisition Time	tACQ	Figure 5			38	ns
Aperture Delay	tAD	Figure 21		< 10		ns
Aperture Jitter	tAJ	Figure 21		< 10		ps
<b>DIFFERENTIAL ANALOG INPUTS (AIN0P, AIN0N, AIN1P, AIN1N)</b>						
Differential Input Voltage Range (VAIN_P - VAIN_N)	VIN	BIP/UNI = DGND	0		VREF	V
		BIP/UNI = DVDD	-VREF / 2		+VREF / 2	
Absolute Input Voltage Range			AGND - 50mV		AVDD + 50mV	V
DC Leakage Current	ILKG				±1	µA

## 6.5Msps/5.5Msps、双通道、5V/3V、 真差分8位ADC

MAX1336/MAX1337

### ELECTRICAL CHARACTERISTICS (MAX1337) (continued)

(AVDD = +2.7V to +3.6V, DVDD = +2.7V to +3.6V, fSCLK = 66MHz, VREF = 2.5V, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Capacitance	CIN			14		pF
<b>REFERENCE INPUT (REF)</b>						
REF Input Voltage	VREF		1.0		AVDD + 50mV	V
REF Input Capacitance	CREF			14		pF
REF DC Leakage Current	IREF				±10	µA
<b>DIGITAL INPUTS (SCLK, CNVST, SHDN, CHSEL, BIP/UNI)</b>						
Input-Voltage Low	VIL				0.3 x DVDD	V
Input-Voltage High	VIH		0.7 x DVDD			V
Input Hysteresis				100		mV
Input Leakage Current	IILKG			±0.2	±5	µA
Input Capacitance	CIN			15		pF
<b>DIGITAL OUTPUT (DOUT)</b>						
Output-Voltage Low	VOL	ISINK = 5mA			0.4	V
Output-Voltage High	VOH	ISOURCE = 1mA	DVDD - 0.5			V
Tri-State Leakage Current	ILKGT	Between conversions, CNVST = DVDD			±1	µA
Tri-State Output Capacitance	COUT	Between conversions, CNVST = DVDD		15		pF
<b>POWER REQUIREMENTS</b>						
Analog Supply Voltage	AVDD		2.7		3.6	V
Digital Supply Voltage	DVDD		2.7		AVDD	V
Analog Supply Current	IAVDD	Normal mode; average unloaded current (fSAMPLE = 5.5MHz, fSCLK = 66MHz)		9.7	12	mA
		Partial power-down mode		3.3	4	
		Full power-down mode		0.1	2	µA
Digital Supply Current	IDVDD	Average unloaded current (fSAMPLE = 5.5MHz, fSCLK = 66MHz, zero-scale input)		5	8.0	mA
		Power-down (fSCLK = 66MHz)		18	45	
		Static or power-down; all digital inputs are connected to DVDD or DGND		0.2	2	µA
Positive Supply Rejection	PSR	AVDD = 2.7V to 3.6V, full-scale input			±8	mV

## 6.5MSPS/5.5MSPS、双通道、5V/3V、真差分8位ADC

MAX1336/MAX1337

### TIMING CHARACTERISTICS (MAX1337) (Figure 4)

( $AV_{DD} = +2.7V$  to  $+3.6V$ ,  $DV_{DD} = +2.7V$  to  $+3.6V$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^{\circ}C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Clock Period	$t_{CP}$		15.1			ns
SCLK Pulse Width	$t_{CPW}$		6			ns
CNVST Rise to DOUT Disable	$t_{CRDD}$		15			ns
CNVST Fall to DOUT Enable	$t_{CFDE}$		15			ns
CHSEL to CNVST Fall Setup	$t_{CHCF}$		36			ns
BIP/ $\overline{UNI}$ to CNVST Fall Setup	$t_{BUCF}$		36			ns
CNVST Fall to CHSEL Hold	$t_{CFCH}$		0			ns
CNVST Fall to BIP/ $\overline{UNI}$ Hold	$t_{CFBU}$		0			ns
DOUT Remains Valid After SCLK	$t_{DHOLD}$	$C_{LOAD} = 0pF$ (Note 4)	1	2		ns
SCLK Rise to DOUT Transition	$t_{DOT}$	$C_{LOAD} = 30pF$			6	ns
CNVST to SCLK Rise	$t_{SETUP}$		6			ns
SCLK Rise to CNVST	$t_{HOLD}$		0			ns
CNVST Pulse Width	$t_{CSW}$		6			ns
Minimum Recovery Time (Full Power-Down)	$t_{FPD}$	From CNVST fall or $\overline{SHDN}$ rise			4	$\mu s$
Minimum Recovery Time (Partial Power-Down)	$t_{PPD}$	From CNVST fall			500	ns

**Note 3:** Tested with  $AV_{DD} = DV_{DD} = +2.7V$ .

**Note 4:** Guaranteed by design, not production tested.

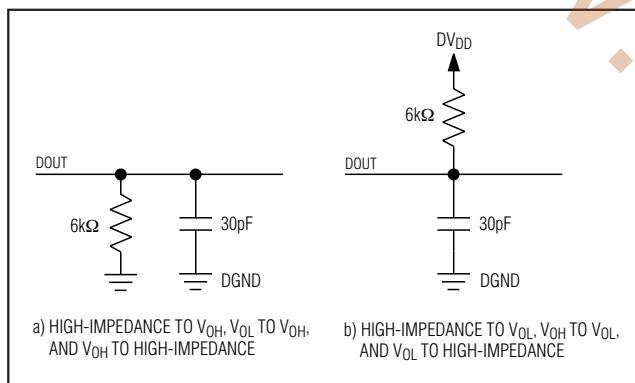


图1. 测试使能/禁用时序的负载电路

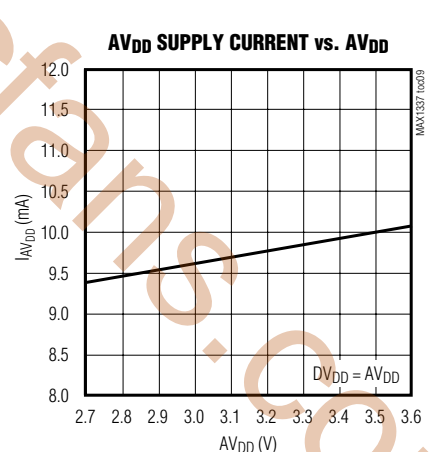
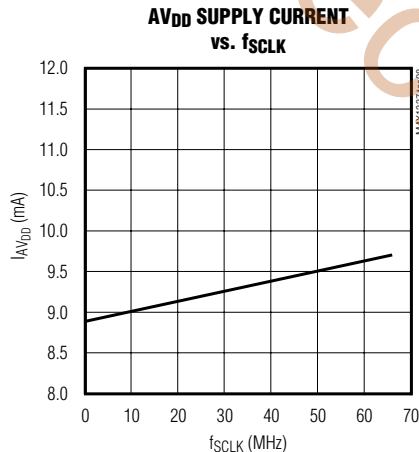
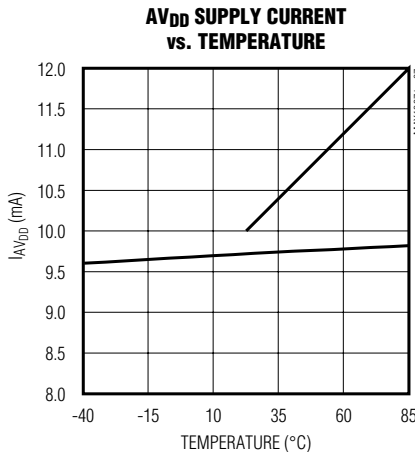
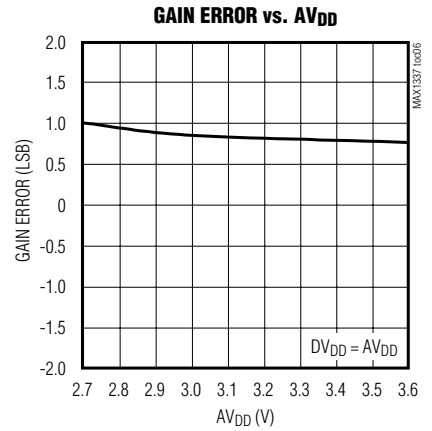
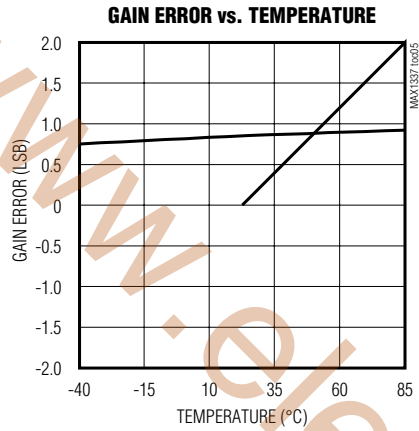
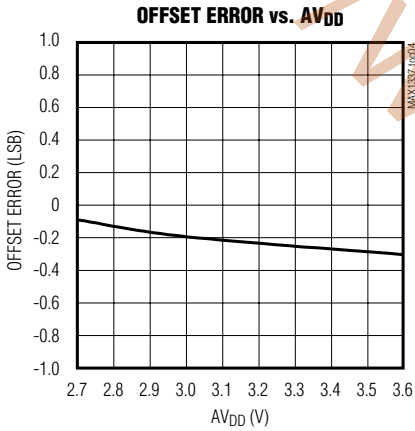
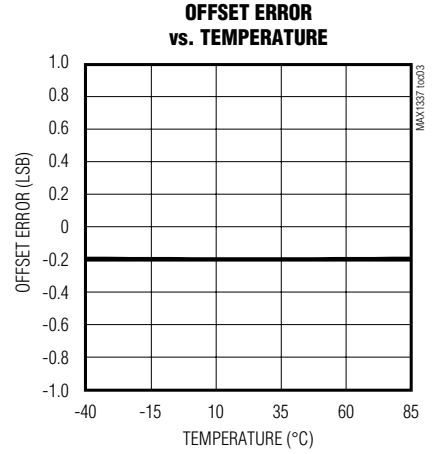
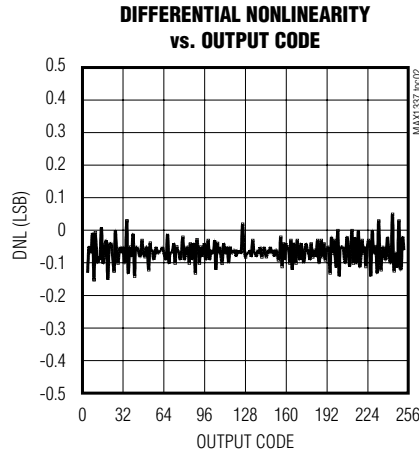
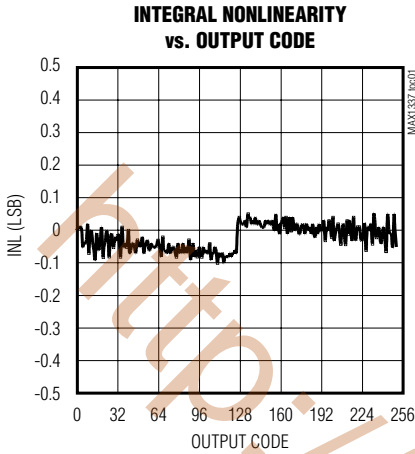
# 6.5Msps/5.5Msps、双通道、5V/3V、真差分8位ADC

MAX1336/MAX1337

典型工作特性

(AVDD = +5V, DVDD = +3V, VREF = 4.096V, fSCLK = 66MHz. TA = +25°C unless otherwise noted.)

## MAX1337



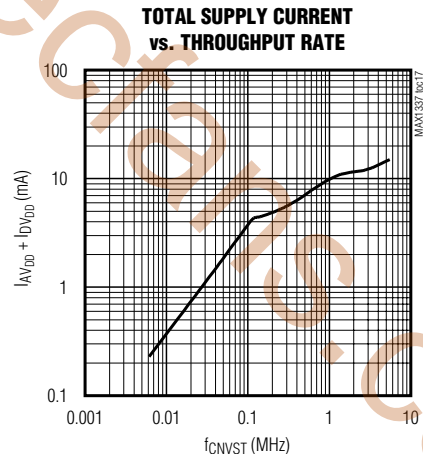
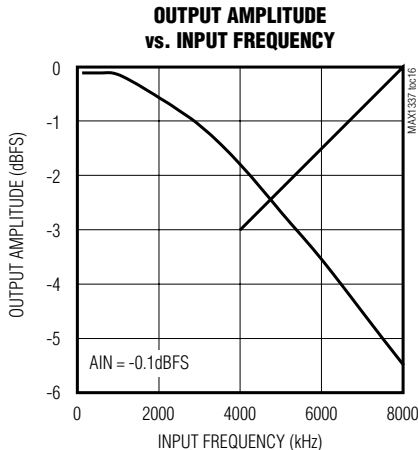
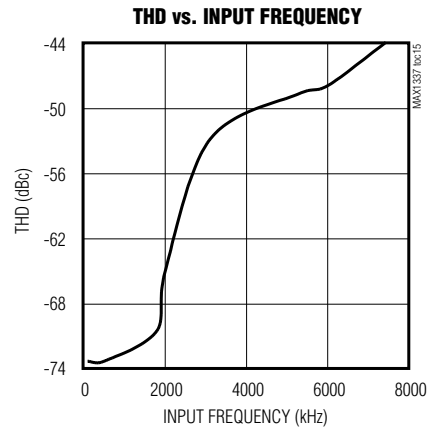
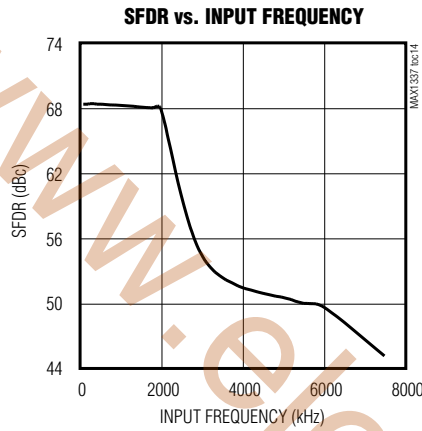
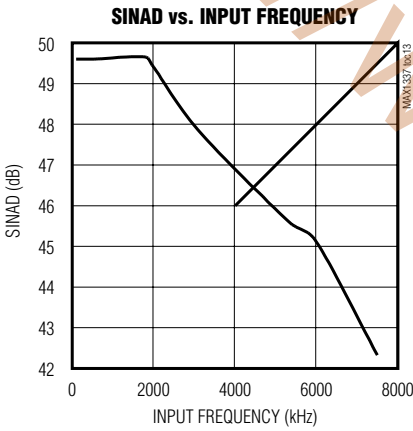
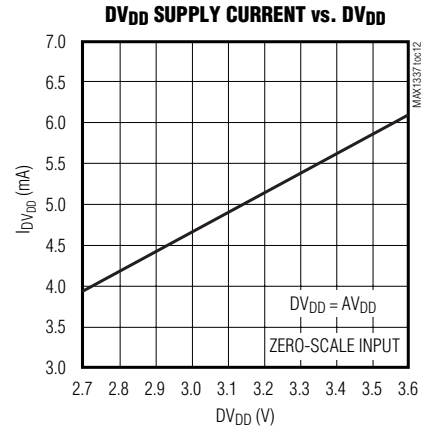
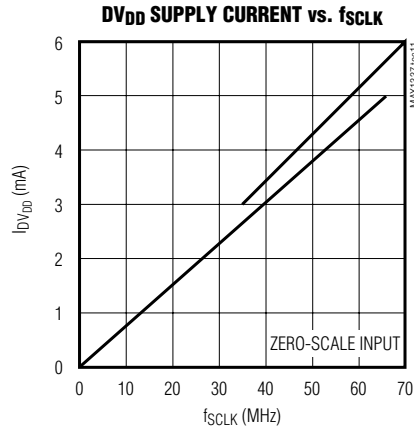
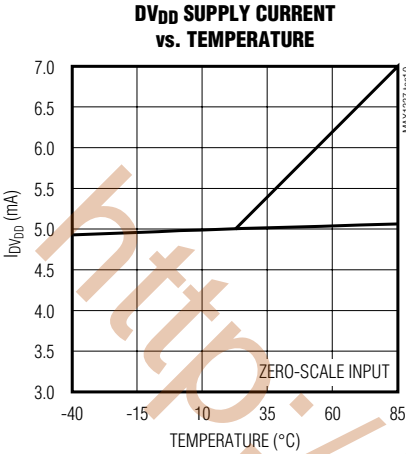


# 6.5MSPS/5.5MSPS、双通道、5V/3V、真差分8位ADC

典型工作特性 (续)

( $AV_{DD} = +5V$ ,  $DV_{DD} = +3V$ ,  $V_{REF} = 4.096V$ ,  $f_{SCLK} = 66MHz$ ,  $T_A = +25^\circ C$  unless otherwise noted.)

## MAX1337



MAX1336/MAX1337

## 6.5Msps/5.5Msps、双通道、5V/3V、 真差分8位ADC

引脚说明

引脚	名称	功能
1	AIN0P	通道0正模拟输入。
2	AIN0N	通道0负模拟输入。
3	AIN1P	通道1正模拟输入。
4	AIN1N	通道1负模拟输入。
5	REF	外部基准电压输入。 $V_{REF} = 1V$ 至 $(AV_{DD} + 50mV)$ 。使用 $0.1\mu F$ 和 $1\mu F$ 电容将REF旁路至AGND。
6	$\overline{SHDN}$	关断输入。拉低 $\overline{SHDN}$ 时进入完全关断模式。无论之前是否已通过软件进入关断模式，驱动 $\overline{SHDN}$ 为高电平时将恢复到正常运行模式。
7	BIP/ $\overline{UNI}$	模拟输入模式选择。驱动BIP/ $\overline{UNI}$ 为高时选择双极性输入模式，拉低BIP/ $\overline{UNI}$ 时选择单极性输入模式。
8	AGND	模拟地。所有AGND和EP连接至相同电位。
9	CHSEL	通道选择输入。驱动CHSEL为高时选择通道1，拉低CHSEL时选择通道0。
10	CNVST	启动转换输入。CNVST的第一个上升沿将完成MAX1336/MAX1337上电，并开始采集模拟输入信号。在下降沿，对模拟输入采样并开始转换。此外，CNVST还用来控制器件的关断模式（见局部关断（PPD）模式和完全关断（FPD）模式一节）。
11	SCLK	串行时钟输入，数据由串行接口同步输出。SCLK同时设置转换速率。
12	DOUT	串行数据输出。数据在SCLK的上升沿同步输出（见启动转换一节）。
13	DV <sub>DD</sub>	正数字电源输入。DV <sub>DD</sub> 是MAX1336/MAX1337数字部分的正电源输入。DV <sub>DD</sub> 接2.7V到3.6V电源。用并联的 $0.1\mu F$ 和 $1\mu F$ 电容将DV <sub>DD</sub> 旁路至DGND。旁路电容应尽可能靠近器件放置。
14	DGND	数字地。确保AGND与DGND间的电位差小于 $\pm 0.3V$ 。
15	AV <sub>DD</sub>	正模拟电源输入。AV <sub>DD</sub> 是MAX1336/MAX1337模拟部分的正电源输入。MAX1336的AV <sub>DD</sub> 与4.75V至5.25V电源连接。MAX1337的AV <sub>DD</sub> 与2.7V至3.6V电源连接。用并联的 $0.1\mu F$ 和 $1\mu F$ 电容将AV <sub>DD</sub> 旁路至AGND。旁路电容应尽可能靠近器件放置。
16	AGND	模拟地。所有AGND和EP连接至相同电位。
—	EP	裸露焊盘，内部与AGND相连。将裸露焊盘连接至模拟地层。

MAX1336/MAX1337

## 6.5MSPS/5.5MSPS、双通道、5V/3V、真差分8位ADC

MAX1336/MAX1337

### 详细说明

MAX1336/MAX1337 具有输入跟踪-保持 (T/H) 电路和逐次逼近寄存器 (SAR)，可将差分模拟输入信号转换为8位数字输出。串行接口只需三条数字连线 (SCLK、CNVST和DOUT)，与微控制器 (μC) 和DSP接口非常方便。图2给出了MAX1336/MAX1337的简化功能框图。

### 电源

MAX1336/MAX1337使用两路电源，从而可将数字噪声与敏感的模拟电路隔离。MAX1336和MAX1337的数字电源输入范围均为+2.7V至+3.6V。但二者的模拟电源电压范围不同，MAX1336的模拟电源为+4.75V到+5.25V，而MAX1337的模拟电源为+2.7V到+3.6V。如何将数字噪声与模拟电源输入隔离，见布局、接地和旁路一节。

MAX1336/MAX1337的模拟电源包括一个AV<sub>DD</sub>引脚、两个AGND引脚和裸露焊盘 (EP)。数字电源输入包括一个DV<sub>DD</sub>引脚和一个DGND引脚。需确保AGND和EP的电位相同。并且AGND和DGND之间的电位差应限制在±0.3V以内。理想情况下，AGND和DGND之间应没有电位差。AV<sub>DD</sub>与DV<sub>DD</sub>之间不存在上电顺序问题。

### 真差分模拟输入 T/H

图3给出了MAX1336/MAX1337输入结构的等效电路，包含T/H、比较器和开关电容DAC。上电时，MAX1336/MAX1337进入完全关断模式。将CNVST驱动为高电平时，器件退出完全关断模式并开始采集输入信号。正极输入电容连接至AIN<sub>P</sub>，负极输入电容连接至AIN<sub>N</sub>。在CNVST的下降沿，T/H进入保持模式，ADC开始转换采集的模拟输入差分电压。一旦启动转换后，T/H将在CNVST由高变低后的第9个SCLK下降沿进入采集模式，为下一轮转换做准备。

T/H采集输入信号所需的时间取决于输入电容的充电速度。如果输入信号源阻抗高，则采集时间加长。t<sub>ACQ</sub>是采集输入信号所需的最小时间，可由下式计算：

$$t_{ACQ} \geq k \times (R_{SOURCE} + R_{IN}) \times C_{IN}$$

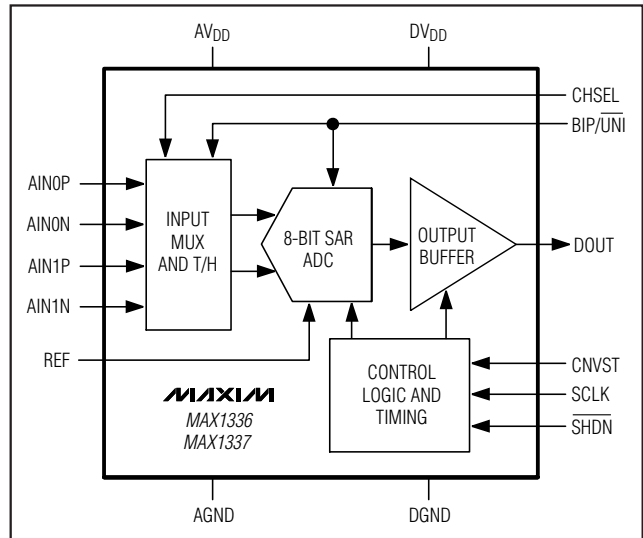


图2. 简化功能框图

其中：

$$k = 6 \approx \ln(2 \times 2^N)$$

常数k是使内部采样电容上的电压达到N位精度时所需的RC时间常数的倍数。也就是说，使输入电压与采样电容电压之间的差值等于0.5 LSB。MAX1336/MAX1337的N = 8。R<sub>IN</sub> = 250Ω是等效差分模拟输入电阻，C<sub>IN</sub> = 14pF是等效差分模拟输入电容，R<sub>SOURCE</sub>是输入信号源阻抗。注意，t<sub>ACQ</sub>永远不会小于38ns，小于200Ω的源阻抗对ADC的交流性能影响很小。

### 输入带宽

ADC的输入采样电路具有5MHz小信号带宽，因此可以数字化高速瞬变信号，并可利用欠采样技术测量超出ADC采样率的周期性信号。为了避免高频信号混入敏感频段，推荐使用低通或带通滤波限制输入信号的带宽。

## 6.5Msps/5.5Msps、双通道、5V/3V、 真差分8位ADC

MAX1336/MAX1337

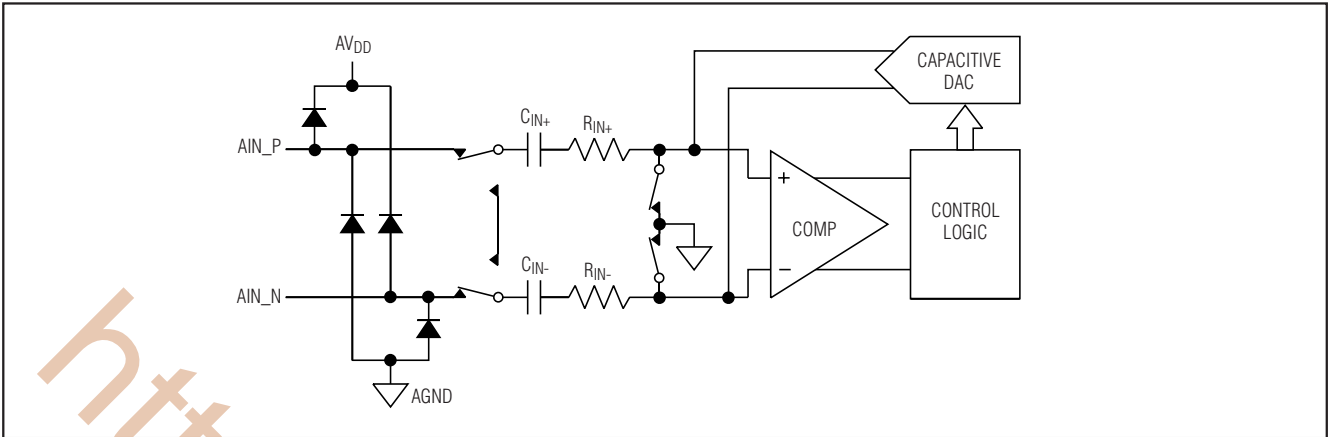


图3a. 等效输入电路 (采集模式)

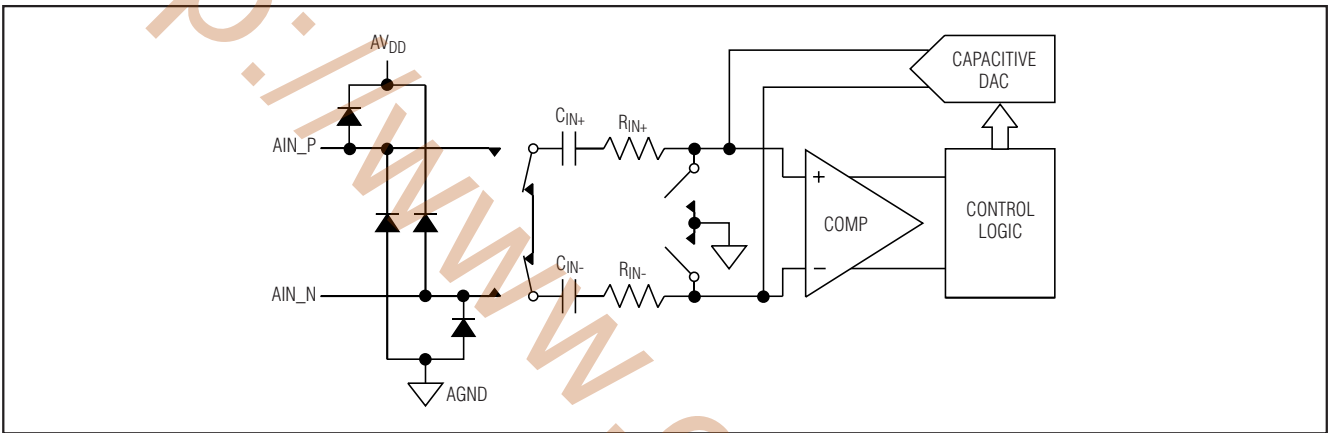


图3b. 等效输入电路 (保持/转换模式)

### 输入缓冲器

为改善交流输入信号带宽，应使用宽带缓冲器 (> 50MHz) 对输入提供驱动。该缓冲器应该能够驱动ADC的输入电容 (14pF) 并具有快速建立时间。为达到8位精度，大多数应用都需要输入缓冲器。虽然输入缓冲器的摆率和带宽非常重要，但最关键的指标是建立时间。MAX1336采样要求的采集时间为32ns，MAX1337为38ns。开始采集时，ADC的内部采样电容连接到模拟输入，这会造成一定程度的干扰。应确保放大器能够在该时间间隔内建立并达到至少8位精度。应采用低噪声、低失真宽带放大器，并且驱动ADC的14pF输入电容时能够迅速建立和稳定工作。

关于如何选取适合ADC的最佳缓冲放大器，请参考Maxim公司网站上 ([www.maxim-ic.com.cn](http://www.maxim-ic.com.cn)) 的应用笔记。MAX4430是适合该应用的理想器件之一。

### 差分模拟输入范围和保护

只要MAX1336/MAX1337的差分模拟输入在指定范围之内，就会产生与差分模拟输入电压相对应的数字输出。单极性模式 ( $BIP/UNI = 0$ ) 下，差分模拟输入的有效范围是0至 $V_{REF}$ 。双极性模式 ( $BIP/UNI = 1$ ) 下，差分模拟输入的有效范围是 $-V_{REF}/2$ 至 $+V_{REF}/2$ 。在单极性和双极性模式下，输入共模电压可以变化，只要保证模拟输入 ( $V_{AIN\_P}$  和  $V_{AIN\_N}$ ) 电压均不超出模拟电源摆幅 ( $AV_{DD}$  和  $AGND$ ) 50mV。

## 6.5MSPS/5.5MSPS、双通道、5V/3V、真差分8位ADC

MAX1336/MAX1337

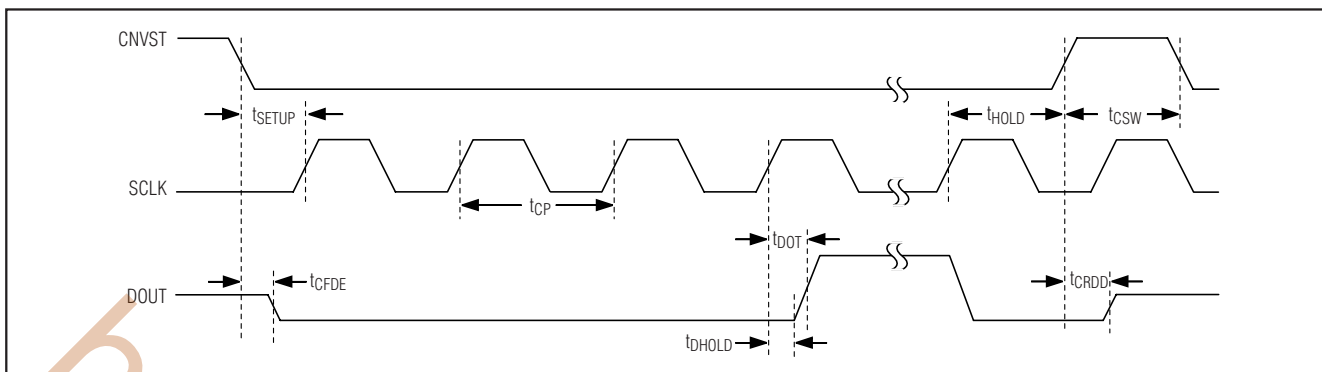


图4. 具体串行接口时序

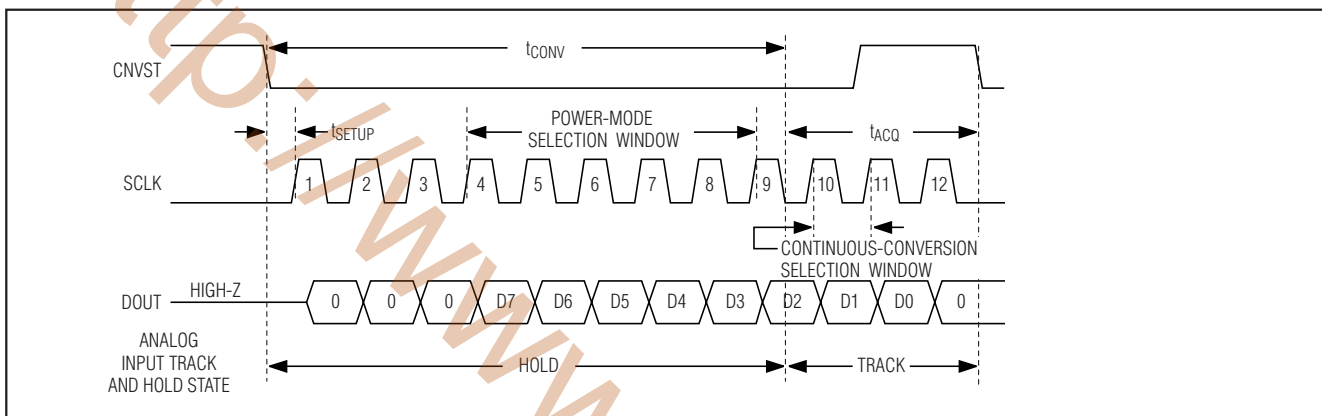


图5. 接口时序序列

如图3a和图3b所示，内部保护二极管将模拟输入电压限制在模拟电源满幅 ( $AV_{DD}$ 和 $AGND$ ) 之内，允许模拟输入电压在  $AGND - 0.3V$ 到 $AV_{DD} + 0.3V$ 之间变化而不会损坏芯片。输入电压低于  $AGND - 0.3V$ 或高于 $AV_{DD} + 0.3V$ 时，会正向偏置内部保护二极管。此时，正向二极管电流应限制在50mA以内，以免损坏MAX1336/MAX1337。

### 串行数字接口

#### 时序与控制

启动转换和读取数据操作通过CNVST和SCLK数字输入进行控制。CNVST控制T/H的状态以及何时启动转换。CNVST同时还控制器件的关断模式(见局部关断(PPD)模式和完全关断(FPD)模式一节)。SCLK同步输出串口数据并设置转换速度。图4和图5给出的时序图概括了串行接口的操作时序。

#### 启动转换

上电时，MAX1336/MAX1337进入完全关断模式。MAX1336/MAX1337在CNVST的第一个上升沿后退出完全关断模式，并开始采集模拟输入信号。一个CNVST下降沿将启动一次转换过程。T/H电路保持输入电压；DOUT从高阻态变为逻辑低电平，ADC在SCLK的第一个上升沿开始转换。SCLK用于控制转换过程，并将数据从DOUT同步移出。在第4个SCLK上升沿后开始将数据移出。每个SCLK上升沿的 $t_{DOT}$ 之后DOUT变为有效状态，并且在下一个上升沿之后，还将保持 $t_{DHOLD}$ 的有效时间。第4个时钟上升沿后DOUT输出转换结果的最高位(MSB)，并且MSB在第5个上升沿后还将保持 $t_{DHOLD}$ 的有效时间。同步输出3个引导零位、8个数据位和1个结尾零位，共需要12个SCLK的上升沿。连续工作时，需在SCLK的第10和11个上升沿之间拉高CNVST。执行连续转换时可实现最高吞吐速率。若

## 6.5MSPS/5.5MSPS、双通道、5V/3V、真差分8位ADC

MAX1336/MAX1337

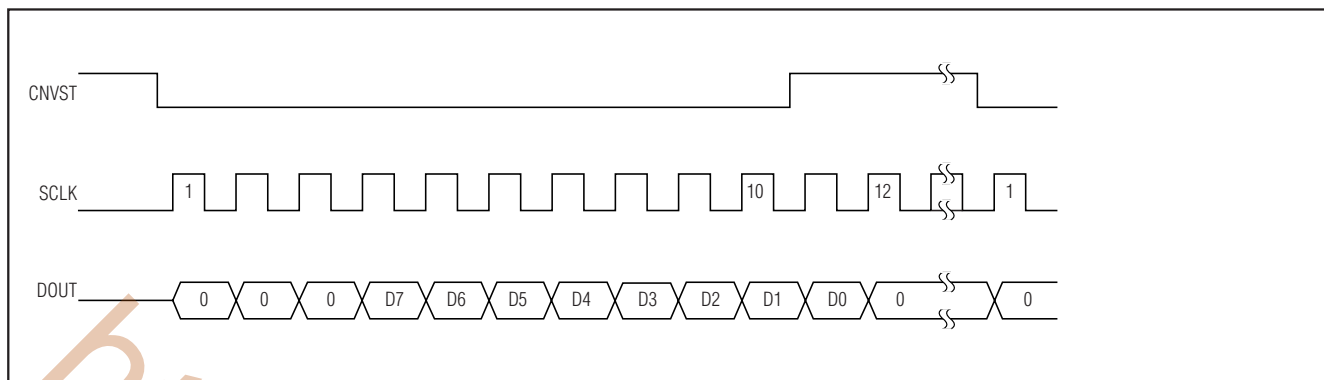


图6. 采用突发或连续时钟进行连续转换

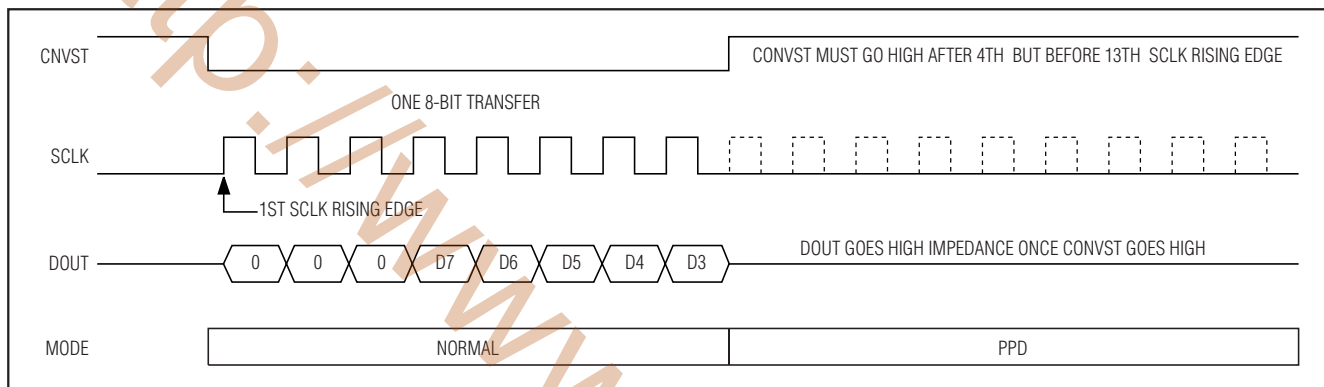


图7. SPI接口——局部关断

CNVST在SCLK的第12个上升沿时为低电平，在CNVST的上升沿或SCLK的下一个上升沿，DOUT线将变为高阻态，允许多个器件共享串行接口。图6给出了一个利用典型串口进行转换的过程。

### 局部关断 (PPD) 模式和完全关断 (FPD) 模式

将MAX1336/MAX1337置为局部关断模式或完全关断模式时，器件功耗会显著降低。局部关断模式非常适合数据采样次数少并且需要快速唤醒的应用场合。一旦CNVST由高变低后，在SCLK的第4个上升沿之后、第9个上升沿之前的任意时刻拉高CNVST，都会使器件进入局部关断模式（见图7）。在第4个SCLK之前先拉低、再拉高CNVST，将保持在局部关断模式。该模式下供电电流降至3.3mA。

拉低CNVST并保持至少9个SCLK周期后再拉高CNVST，将退出局部关断模式。

完全关断模式可将供电电流降至0.2 $\mu$ A，适用于数据采样次数非常少的应用。要进入完全关断模式，MAX1336/MAX1337首先必须处于局部关断模式。在局部关断模式下，重复进入局部关断模式的操作，将进入完全关断模式（见图8）。拉低CNVST并保持至少9个SCLK周期后再变高，将退出完全关断模式。

在局部关断模式或完全关断模式下，将SCLK和所有数字输入维持在DV<sub>DD</sub>逻辑高电平或DGND逻辑低电平时，可使功耗降至最低。

进入完全关断模式的另一种方法可利用SHDN输入实现。拉低SHDN时使器件进入完全关断模式。拉高SHDN时将

## 6.5MSPS/5.5MSPS、双通道、5V/3V、真差分8位ADC

MAX1336/MAX1337

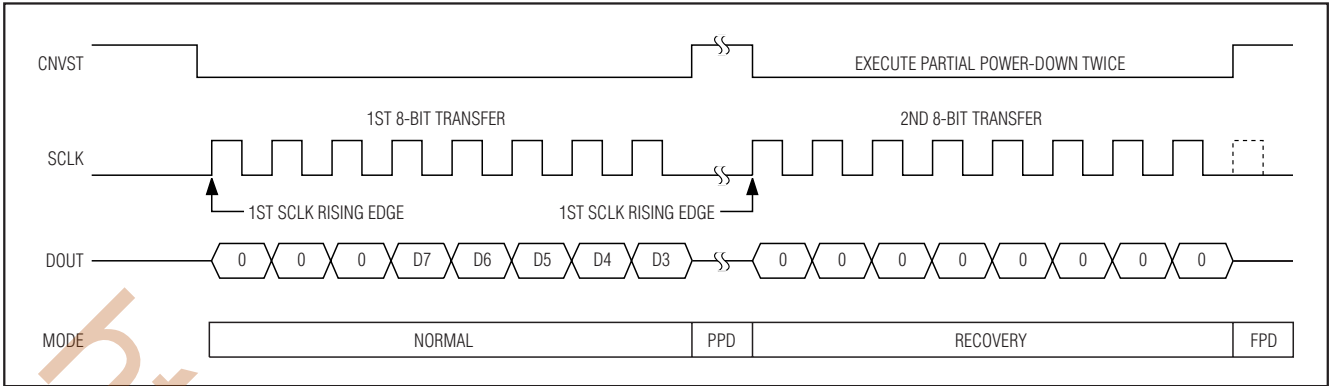


图8. SPI接口——完全关断

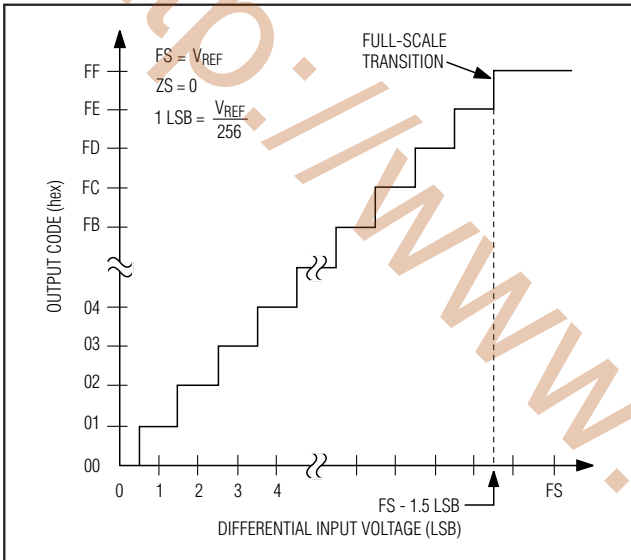


图9. 单极性传输函数

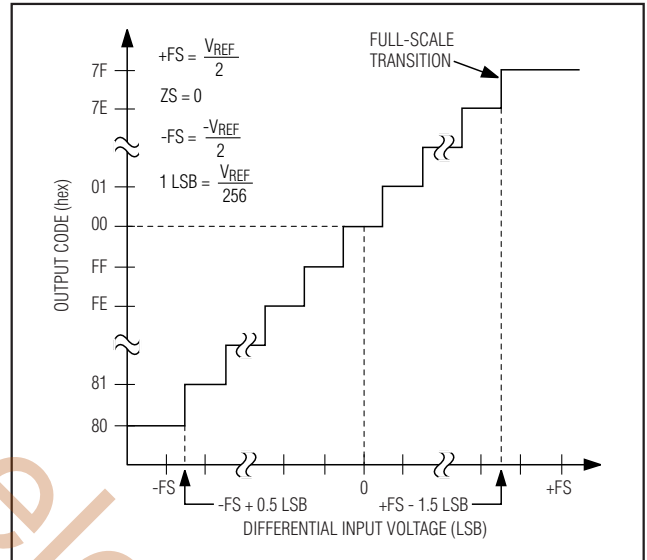


图10. 双极性传输函数

退出完全关断模式，返回正常工作模式。 $\overline{\text{SHDN}}$ 的控制优先级高于任何软件控制的关断模式，每次解除 $\overline{\text{SHDN}}$ 控制时，无论MAX1336/MAX1337之前处于何种状态， $\overline{\text{SHDN}}$ 都会将其置为正常工作模式。

### 传输函数

MAX1336/MAX1337在单极性模式下输出直接二进制码，双极性模式下输出二进制补码。图9所示为MAX1336/MAX1337的单极性传输函数。表1说明了单极性差分模拟输入电压与数字输出码之间的对应关系。图10给出了MAX1336/MAX1337的双极性传输函数。表2说明了双极性差分模拟输入电压与数字输出码之间的对应关系。

以下等式确定了差分模拟输入电压与 $V_{\text{REF}}$ 和数字输出码之间的函数关系：

$$\Delta V_{\text{AIN}} = \text{LSB} \times \text{CODE}_{10} \pm 0.5 \times \text{LSB}$$

其中：

$$\Delta V_{\text{AIN}} = V_{\text{AIN\_P}} - V_{\text{AIN\_N}}$$

$$\text{LSB} = \frac{V_{\text{REF}}}{2^8} = \frac{V_{\text{REF}}}{256}$$

## 6.5Msps/5.5Msps、双通道、5V/3V、真差分8位ADC

MAX1336/MAX1337

表1. 单极性编码表 (MAX1336)

BINARY DIGITAL OUTPUT CODE D7-D0	HEXADECIMAL EQUIVALENT OF D7-D0	DECIMAL EQUIVALENT OF D7-D0 (CODE <sub>10</sub> )	DIFFERENTIAL INPUT VOLTAGE (V) (V <sub>REF</sub> = 4.096V)
1111 1111	0xFF	255	+4.080 ±0.5 LSB
1111 1110	0xFE	254	+4.064 ±0.5 LSB
1000 0001	0x81	129	+2.064 ±0.5 LSB
1000 0000	0x80	128	+2.048 ±0.5 LSB
0111 1111	0x7F	127	+2.032 ±0.5 LSB
0000 0001	0x01	1	+0.016 ±0.5 LSB
0000 0000	0x00	0	+0.000 ±0.5 LSB

表2. 双极性编码表 (MAX1336)

TWO's COMPLEMENT DIGITAL OUTPUT CODE D7-D0	HEXADECIMAL EQUIVALENT OF D7-D0	DECIMAL EQUIVALENT OF D7-D0 (CODE <sub>10</sub> )	DIFFERENTIAL INPUT VOLTAGE (V) (V <sub>REF</sub> = 4.096V)
0111 1111	0x7F	+127	+2.032 ±0.5 LSB
0111 1110	0x7E	+126	+2.016 ±0.5 LSB
0000 0001	0x01	+1	+0.016 ±0.5 LSB
0000 0000	0x00	0	0.000 ±0.5 LSB
1111 1111	0xFF	-1	-0.001 ±0.5 LSB
1000 0001	0x81	-127	-2.032 ±0.5 LSB
1000 0000	0x80	-128	-2.048 ±0.5 LSB

CODE<sub>10</sub> = 数字输出码的十进制数值 (见表1和2)。

±0.5 x LSB代表所有ADC固有的量化误差。

当基准电压等于4.096V时, 1 LSB等于16mV。当基准电压等于2.5V时, 1 LSB等于9.77mV。

### 应用信息

#### 外部基准

MAX1336/MAX1337采用外部基准源, 范围在1V到 (AV<sub>DD</sub> + 50mV) 之间。采用并联的1μF和0.1μF电容将REF旁路至AGND, 以达到最佳性能 (见典型工作电路)。

#### 与标准接口连接

MAX1336/MAX1337的串行接口与SPI、QSPI和MICROWIRE完全兼容 (见图11)。若微控制器 (μC) 提供串行接口, 则将该串行接口设置为主模式, 即由μC产生串行时钟。根据AV<sub>DD</sub>和DV<sub>DD</sub>的大小选择时钟频率。

### SPI和MICROWIRE

若采用SPI或MICROWIRE接口, 通过SPI或MICROWIRE控制寄存器中的CPHA和CPOL位可设置四种工作方式, MAX1336/MAX1337与所有四种方式完全兼容。(该控制寄存器位于总线主控制器中, 而不在MAX1336/MAX1337内)。在CNVST的下降沿开始转换。DOUT变低, 表示正在进行转换。获取ADC的全部8位数据需要两个连续的单字节读操作。DOUT在SCLK的上升沿后转换, 保证经过t<sub>DOT</sub>后有效, 并在下一个上升沿后保持t<sub>DHOLD</sub>的有效时间。当采用CPOL = 0、CPHA = 0或CPOL = 1、CPHA = 1时, 数据在随后的或下一个SCLK上升沿同步输入μC。当采用CPOL = 0、CPHA = 1或CPOL = 1、CPHA = 0时, 数据在下一个时钟的下降沿输入μC。连接图见图11, 时序图见图12和图13。参考Timing Characteristics表以确定最佳使用方式。



## 6.5Msps/5.5Msps、双通道、5V/3V、真差分8位ADC

### QSPI

通过SPI接口获取ADC的8位转换数据需要两个单字节读操作，与SPI不同，通过QSPI读取转换数据只需单个12位传输操作。为同步输出8位数据，MAX1336/MAX1337需要 $\mu\text{C}$ 提供12个时钟。图14给出了CPOL = 1、CPHA = 1时的数据传输过程。转换结果包含3个前导零位，紧随其后是8个数据位和1个结尾零位，数据采用MSB先出的格式。

### 与TMS320C54\_系列DSP接口

MAX1336/MAX1337可以直接与Texas Instruments的TMS320C54\_系列DSP连接。可以通过DSP自身产生时钟，或使用外部时钟信号。既可使用标准的串行端口，也可使用带缓冲的串行端口。图15给出了MAX1336/MAX1337与TMS320C54\_之间最简单的接口方式。使用发送串行时钟 (CLKX) 驱动接收串行时钟 (CLKR) 和SCLK，使用发送帧同步 (FSX) 驱动接收帧同步 (FSR) 和CNVST。

为进行连续转换，设置串行端口发送时钟信号，并且在数据传输之前产生一个时钟周期的脉冲帧同步信号。利用串行端口配置寄存器 (SPC) 设置为内部帧同步 (TXM = 1)、片上时钟源驱动CLKX (MCM = 1)、突发模式 (FSM = 1) 和12位字长 (FO = 0, FE = 1)。FE位在串行端口配置扩展寄存器 (SPCE) 内。

只要在下次转换之前合理设置数据发送寄存器 (DXR) 和数据接收寄存器 (DRR)，该设置可以实现连续转换。此外使用带缓冲的串行端口时，可启用自动缓冲功能，这样无需 $\mu\text{C}$ 干预即可执行转换和读取数据。将DV<sub>DD</sub>连接至TMS320C54\_的电源电压。FO = 1、FE = 0时字长设置为8位，这样可实现关断模式。在任何一种关断模式下，CNVST引脚必须置为空闲高电平。

MAX1336/MAX1337与TMS320C54\_的另一种连接方法是使用其它器件产生外部时钟信号。连接方式如图16所示，其中串行时钟 (CLOCK) 驱动接收串行时钟 (CLKR) 和SCLK，转换信号 (CONVERT) 驱动接收帧同步 (FSR) 和CNVST。

必须对串行端口进行设置，以接收外部时钟和外部接收帧同步。串行端口配置寄存器 (SPC) 设置如下：

TXM = 0, 外部帧同步。

MCM = 0, CLKX由外部CLKX引脚提供。

FSM = 1, 突发模式。

FO = 0, FE = 1, 按12位字长发送/接收数据。

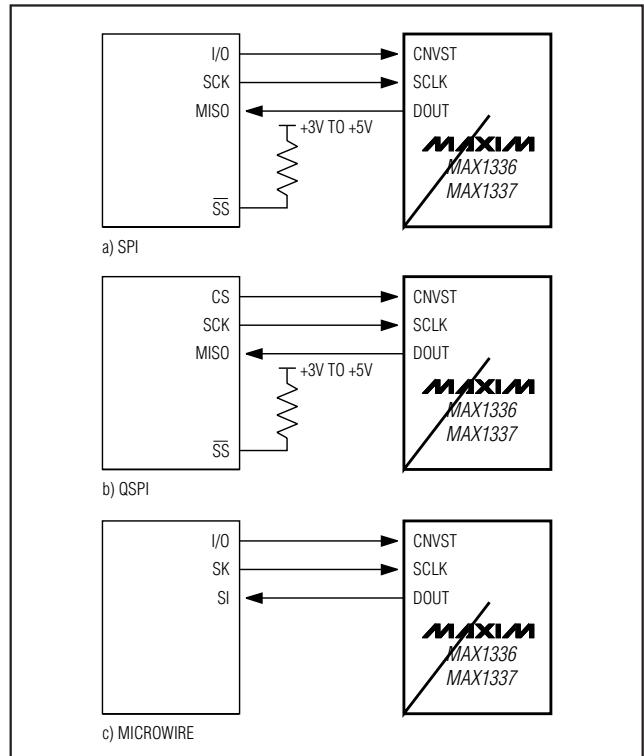


图11. MAX1336/MAX1337串行接口通用连接图

只要在下次转换之前合理设置DRR，该设置可以实现连续转换。此外，使用带缓冲的串行端口时，可以启用自动缓冲模式，这样无需 $\mu\text{C}$ 干预即可读取数据。将DV<sub>DD</sub>与TMS320C54\_的电源相连。

利用数据发送 (DX) 引脚驱动CNVST，内部产生的发送时钟 (CLKX) 驱动SCLK，同样可以实现MAX1336/MAX1337和TMS320C54\_的连接。CNVST信号需要一个上拉电阻，当DX变为高阻态时可保证该信号为高电平，向数据发送寄存器 (DXR) 连续写入 (0001)h 可实现连续转换。向DXR写入 (00FF)h 时将进入关断模式 (见图17和图18)。

### 与ADSP21\_ \_ \_系列DSP接口

MAX1336/MAX1337可以直接和Analog Devices的ADSP21\_ \_ \_系列DSP连接。图19给出了MAX1336/MAX1337和ADSP21\_ \_ \_的直接连接方式。与MAX1336/MAX1337接口时包括两种可编程工作模式。连续转换时，CNVST空闲时为低电平，在发送前一个字的最低位 (LSB) 时输出一个周期的高电平。ADSP21\_ \_ \_的STCTL和SRCTL寄存器配置为超前

MAX1336/MAX1337

## 6.5Msps/5.5Msps、双通道、5V/3V、 真差分8位ADC

MAX1336/MAX1337

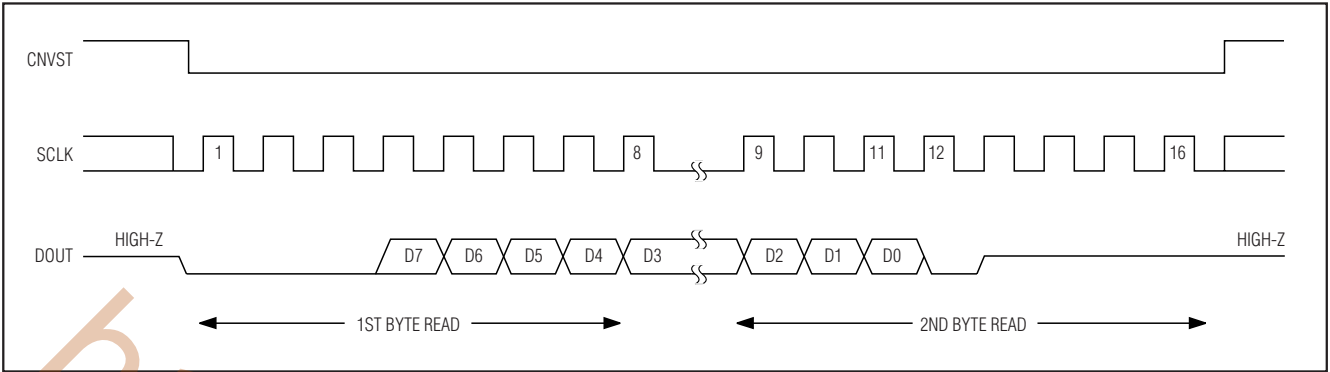


图12. SPI/MICROWIRE 串行接口时序——单次转换

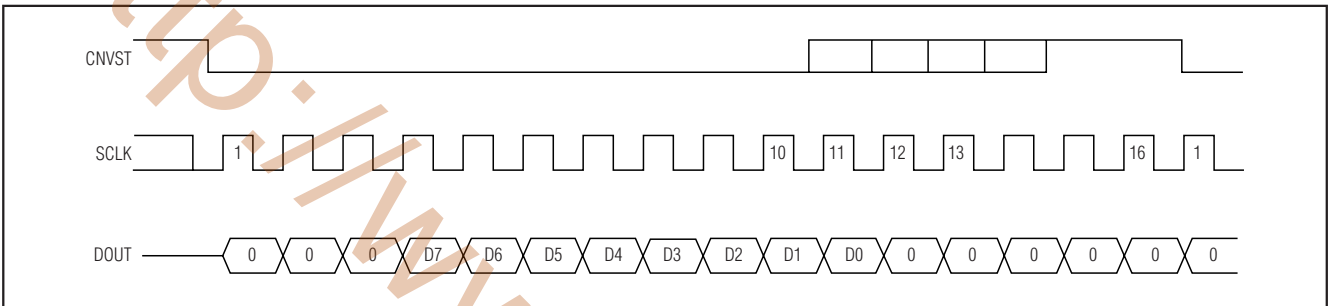


图13. SPI/MICROWIRE 串行接口时序——连续转换

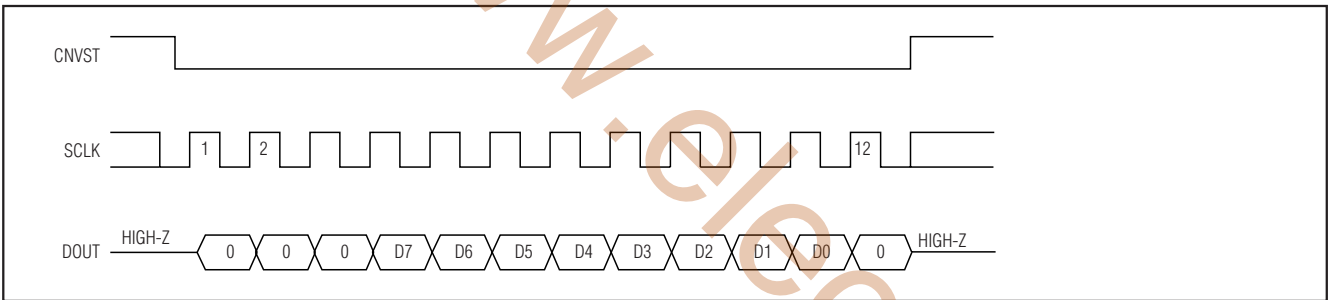


图14. QSPI 串行接口时序

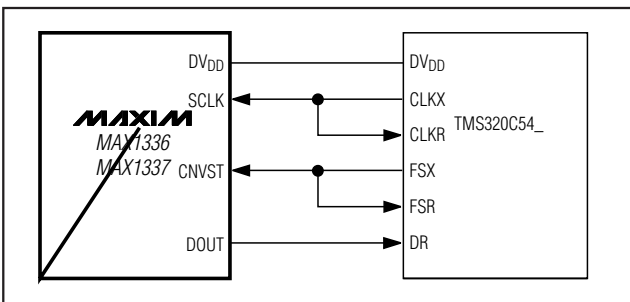


图15. 与TMS320C54\_的内部时钟连接

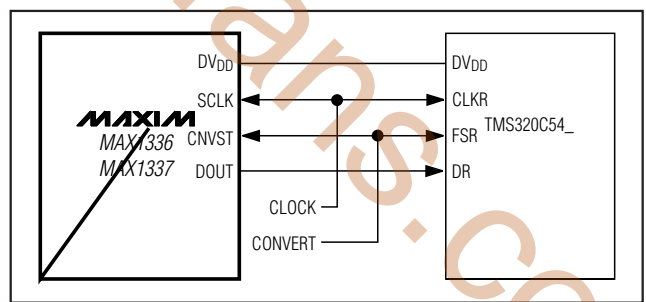


图16. 与TMS320C54\_的外部时钟连接

## 6.5MSPS/5.5MSPS、双通道、5V/3V、真差分8位ADC

MAX1336/MAX1337

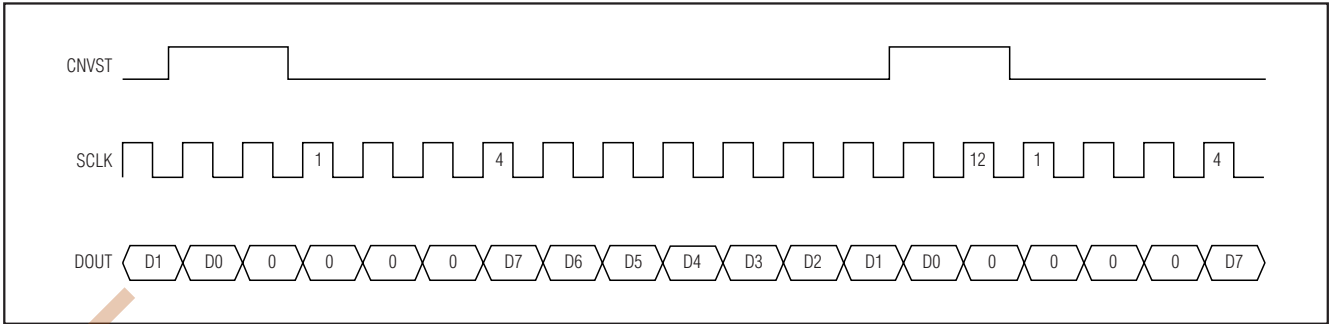


图17. DSP接口——连续转换

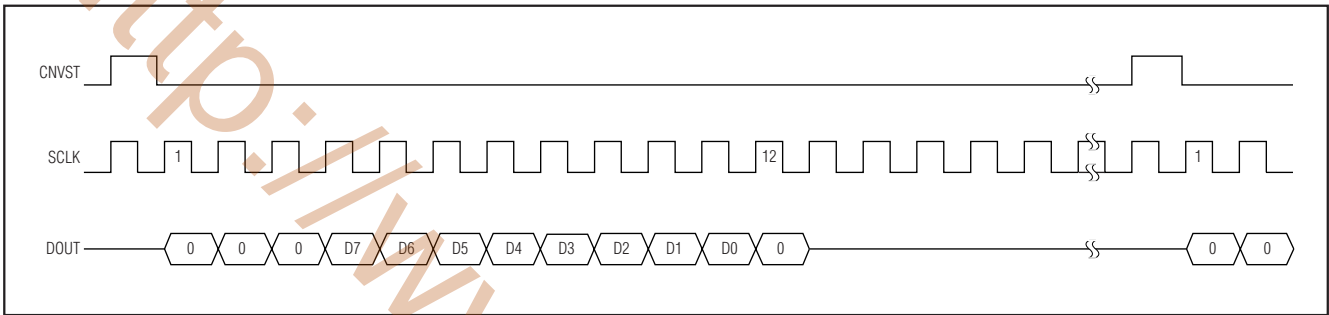


图18. DSP接口——单次转换——连续/突发时钟

成帧 (LAFR = 0) 和高有效帧信号 (LTFS = 0, LRFS = 0)。在此模式下，可以选择独立于数据的帧同步位 (DITFS = 1)，这样就无需多次写入发送数据寄存器。单次转换时，CNVST空闲时为高电平，并在整个转换期间拉低。ADSP21 \_ \_ \_ 的STCTL和SRCTL寄存器配置为滞后成帧 (LAFR = 1) 和低有效帧信号 (LTFS = 1, LRFS = 1)。将字长设置为8位 (SLEN = 0111)，这是进入关断模式的最佳方式。DV<sub>DD</sub>引脚与ADSP21 \_ \_ \_ 的电源相连 (见图17和图18)。

### 布局、接地和旁路

为达到最佳性能，应使用印制电路板。切忌使用连线板。电路板布局应确保数字和模拟信号线彼此分离。不允许模拟和数字 (特别是时钟) 信号线互相平行，也不允许数字信号线位于ADC封装底部。

图20给出了推荐的系统接地方式。在AGND建立一个模拟接地点，在DGND建立一个数字接地点。将其它所有模拟地都连接到模拟接地点，所有数字地都连接到数字接地点。为使噪声最低，应尽可能降低电源回路的阻抗和长度。模拟接地点与数字接地点在IC处接到一起。

电源的高频噪声会降低ADC的性能。用0.1μF和1μF电容将AV<sub>DD</sub>旁路至AGND。同样，用0.1μF和1μF电容将DV<sub>DD</sub>旁路至DGND。为实现最佳的电源噪声抑制性能，电容引线长度应尽可能短。为降低电源噪声的影响，可以连接一个10Ω电阻用作低通滤波器，以衰减电源噪声 (见图20)。

### 裸露焊盘

MAX1336/MAX1337 TQFN封装在其底部带有一个裸露焊盘，为IC提供了一个热阻非常低的散热通路和低电感对

## 6.5Msps/5.5Msps、双通道、5V/3V、真差分8位ADC

MAX1336/MAX1337

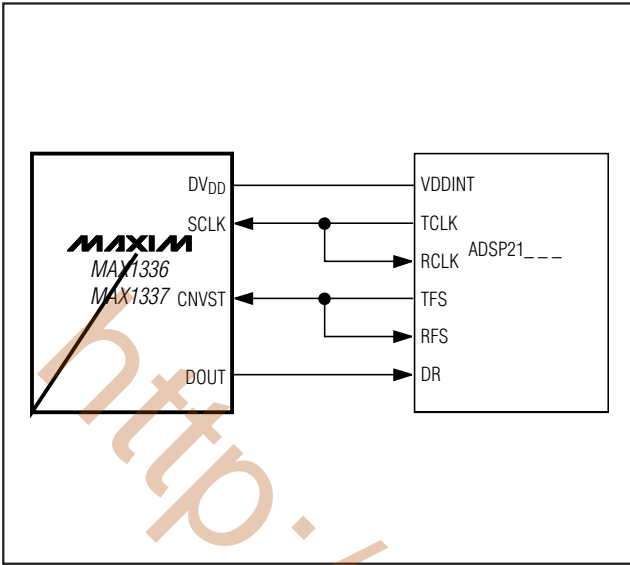


图19. 与ADSP21\_ \_接口

地通路。该焊盘在电气上与MAX1336/MAX1337的AGND相连，为获得合适的散热和电气性能，必须将其焊接到电路板的模拟地层。更多信息请参考Maxim的应用笔记HFAN-08.1: *Thermal Considerations of QFN and Other Exposed-Paddle Packages*。

### 定义

#### 积分非线性 (INL)

INL是指实际传输函数与直线的偏差值。对于MAX1336/MAX1337，该直线是传输函数消除失调和增益误差后的端点连线。对每一输入步长的INL偏差都进行了测量，并且在*Electrical Characteristics*表中给出了最坏情况下的偏差值。

#### 微分非线性 (DNL)

DNL是指实际步长和1个LSB的理想值之间的差值。小于1 LSB的DNL误差指标可保证无失码和转换函数的单调性。对于MAX1336/MAX1337，每一个数字输出码的DNL都进行了测量，并且在*Electrical Characteristics*表中给出了最坏情况下的偏差值。

#### 失调误差

失调误差表示实际转换函数与理想转换函数在单个点的误差。通常，失调误差指标的测试点位于或者靠近转换函数的零点，或位于或者靠近转换函数的中点。

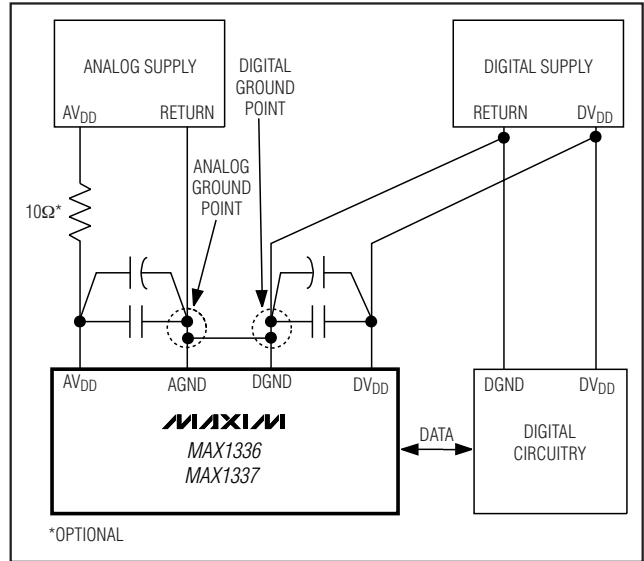


图20. 电源接地方式

MAX1336/MAX1337工作于单极性转换模式时，零值数字输出从0x00跳变为0x01时的理想输入值应比AGND高出0.5 LSB。单极性失调误差是实测的零值跳变点和理想零值跳变点之间的偏差值。

MAX1336/MAX1337工作于双极性转换模式时，中值数字输出从0xFF跳变为0x00时的理想输入值应比AGND低0.5 LSB。双极性失调误差是实测的中值跳变点和理想中值跳变点之间的偏差值。

#### 增益误差

增益误差表示实际转换函数斜率与理想转换函数斜率的误差。对于MAX1336/MAX1337，增益误差是指测量的满量程与零值跳变点之差减去理想的满量程与零值跳变点之差。

对于单极性输入，满量程跳变点对应从0xFE跳变到0xFF，零值跳变点对应从0x00跳变到0x01。

对于双极性输入，满量程跳变点对应从0x7E跳变到0x7F，零值跳变点对应从0x80跳变到0x81。

## 6.5MSPS/5.5MSPS、双通道、5V/3V、真差分8位ADC

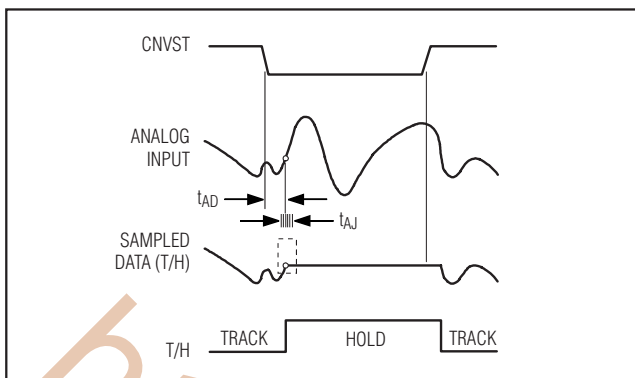


图21. T/H孔径时序

### 孔径抖动

孔径抖动 ( $t_{AJ}$ ) 是指采样之间孔径延迟的变化量。

### 孔径延迟

孔径延迟 ( $t_{AD}$ ) 是从CNVST的下降沿到开始实际采样的时间 (图21)。

### 信噪比 (SNR)

SNR是一个动态性能指标, 表示转换器的噪声特性。

由数字采样完全恢复信号波形时, 理论上SNR的最大值是满量程模拟输入 (RMS值) 与量化误差RMS (残留误差) 的比值。理想情况下, 理论上的最小模数转换噪声仅由量化误差引起, 并直接由ADC的分辨率 (N位) 决定:

$$SNR_{dB[\max]} = 6.02\text{dB} \times N + 1.76\text{dB}$$

实际上还有其它噪声源, 如热噪声、基准源噪声和时钟抖动等, 这些都会降低SNR。

对于MAX1336/MAX1337, SNR是信号RMS与噪声RMS的比值。噪声RMS包括除基波、前五次谐波和DC失调外所有奈奎斯特频率范围内的频谱分量。

### 信号与噪声和失真比 (SINAD)

SINAD是一个动态性能指标, 表示转换器的噪声和失真特性。

SINAD是信号RMS与噪声加失真RMS的比值。RMS噪声和失真包括除基波和DC失调外所有奈奎斯特频率内的频谱分量:

$$SINAD(\text{dB}) = 20 \times \log \left[ \frac{\text{SIGNAL}_{\text{RMS}}}{(\text{NOISE} + \text{DISTORTION})_{\text{RMS}}} \right]$$

### 有效位数 (ENOB)

ENOB是指ADC在指定输入频率和采样速率下的综合精度。理想的ADC误差只包括量化噪声。满量程正弦输入波形的ENOB计算公式如下:

$$ENOB = \frac{SINAD - 1.76}{6.02}$$

### 总谐波失真 (THD)

THD是一种动态性能指标, 表示转换器在信号中加入的谐波失真大小。

THD是基波信号的前五次谐波RMS之和与基波自身之比。由下式表示:

$$THD = 20 \times \log \left( \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1} \right)$$

其中,  $V_1$ 是基波的幅值,  $V_2$ 到 $V_6$ 是2次到6次谐波的幅值。

### 无杂散动态范围 (SFDR)

SFDR是一种动态性能指标, 表示最低有效输入信号的幅值。SFDR是基波RMS值 (最大信号分量) 与相邻最大杂散分量 (DC失调除外) RMS值的比率。SFDR以相对于载波的分贝值 (dBc) 表示。

### 交调失真 (IMD)

IMD是奈奎斯特频率IM2到IM5交调成分的总功率与两个输入频率 $f_{IN1}$ 和 $f_{IN2}$ 的输入总功率之比。单个输入频率的幅度为-7dBFS。交调乘积如下所示:

二阶交调乘积 (IM2):  $f_{IN1} + f_{IN2}, f_{IN2} - f_{IN1}$

三阶交调乘积 (IM3):  $2f_{IN1} - f_{IN2}, 2f_{IN2} - f_{IN1}, 2f_{IN1} + f_{IN2}, 2f_{IN2} + f_{IN1}$

四阶交调乘积 (IM4):  $3f_{IN1} - f_{IN2}, 3f_{IN2} - f_{IN1}, 3f_{IN1} + f_{IN2}, 3f_{IN2} + f_{IN1}$

五阶交调乘积 (IM5):  $3f_{IN1} - 2f_{IN2}, 3f_{IN2} - 2f_{IN1}, 3f_{IN1} + 2f_{IN2}, 3f_{IN2} + 2f_{IN1}$

## 6.5Msps/5.5Msps、双通道、5V/3V、真差分8位ADC

MAX1336/MAX1337

### 通道间隔离度

通道间隔离度表示各模拟输入间的相互隔离程度。MAX1336/MAX1337的通道间隔离测量方法如下：在“接通”通道上加一个-0.5dBFS、500kHz低频正弦波，同时在“关断”通道上加一个-0.5dBFS、900kHz高频正弦波。对“接通”通道进行FFT。根据FFT数据，将通道间串扰表示为加在“接通”通道的500kHz低频信号功率与由“关断”通道引入的900kHz高频串扰信号功率之比，以dB表示。

### 全功率带宽

向ADC输入一个-0.5dBFS的模拟大信号，逐步增加输入频率，直到数字转换结果降低-3dB。该频率定义为全功率输入带宽频率。

### 线性带宽

线性带宽是指信号与噪声加失真比 (SINAD) 等于44dB时的频率。模拟输入信号的幅值为-0.2dBFS。

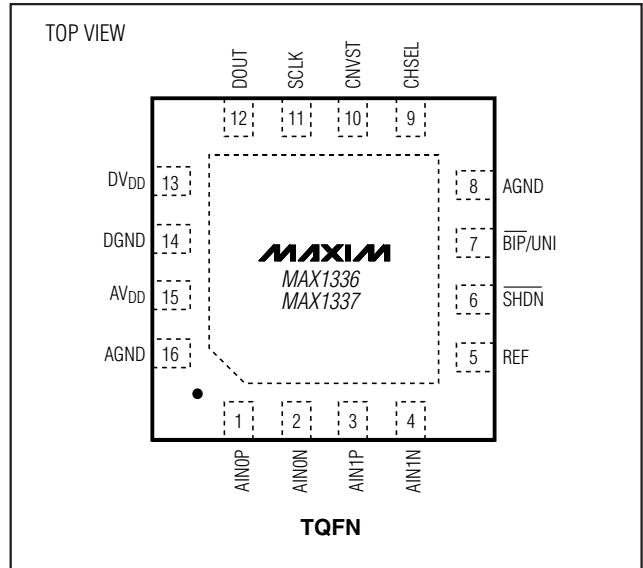
### 小信号带宽

向ADC输入一个-20dBFS的模拟小信号，该信号的摆率不会限制ADC的性能。逐步增加输入频率，直到数字转换结果降低-3dB，所对应的频率即为小信号带宽。

### 电源抑制比 (PSR)

PSR定义为模拟电源电压由2.7V变化到3.6V时失调和增益误差的变化。

### 引脚配置



### 选型指南

PART	AV <sub>DD</sub>	MAX SAMPLING RATE (Msps)
MAX1336ETE	+5V	6.5
MAX1337ETE	+3V	5.5

### 芯片信息

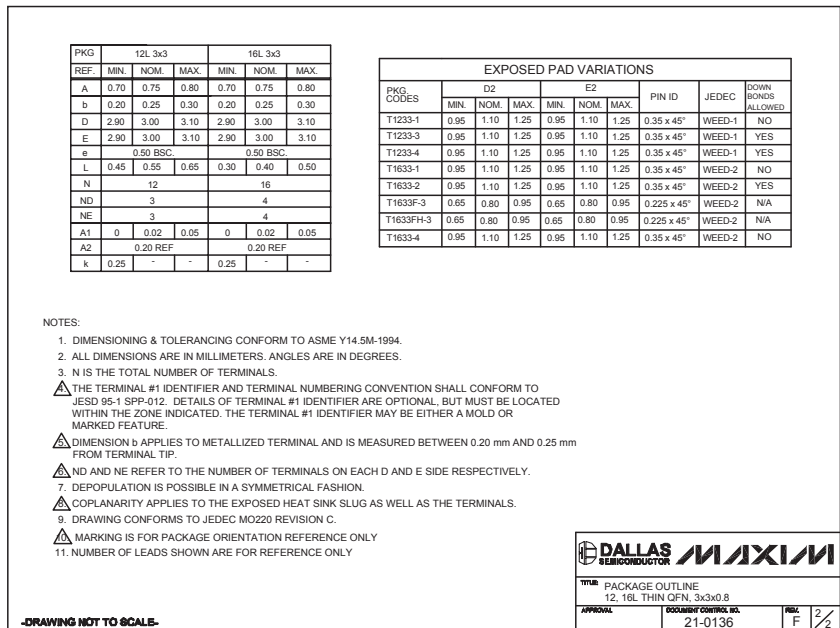
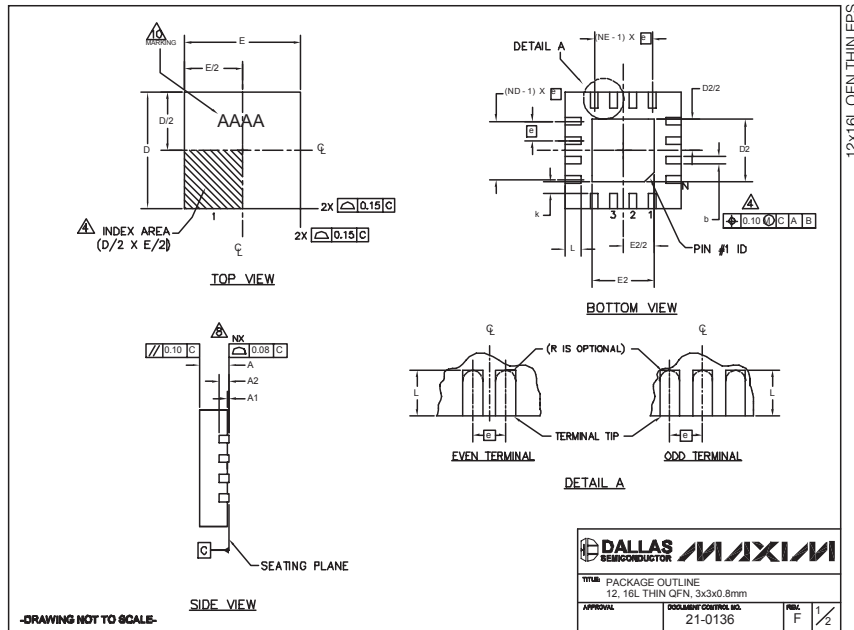
PROCESS: BiCMOS

# 6.5MSPS/5.5MSPS、双通道、5V/3V、真差分8位ADC

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 [www.maxim-ic.com.cn/packages](http://www.maxim-ic.com.cn/packages).)

MAX1336/MAX1337



Maxim 不对 Maxim 产品以外的任何电路使用负责，也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 23