



双通道180°异相降压控制器， 具有顺序控制/预偏置启动和上电复位功能

概述

MAX1858A/MAX1875A/MAX1876A是双路、同步、降压控制器，从4.5V到23V的输入电压产生两路输出。每个输出在低于1V到18V之间可调，且可提供10A或更高的负载电流。180°异相同步工作减小了输入电压纹波和总的RMS输入纹波电流。

通过一个外部电阻，可以在100kHz到600kHz之间调节开关频率，或者使该控制器同步于另一片MAX1858A/MAX1875A/MAX1876A产生的外时钟，或系统时钟。MAX1858A/MAX1875A/MAX1876A可以设置产生同相或90°相差的时钟信号，以同步其它控制器。这样允许两个控制器在每个输出相差90°的条件下，工作于交替的双相或四相系统。MAX1858A/MAX1875A/MAX1876A具有软启动功能。MAX1858A还具备先开/后关的电源排序以及软停机功能。

MAX1858A/MAX1875A/MAX1876A通过利用低端MOSFET导通电阻作为检流元件，省去了所要求的检流电阻。这样在没有外加检流电阻的情况下，就可保护DC-DC元件在输出过载期间或者发生短路时免受损害。可调的折返电流限制降低了短路时的功耗。MAX1858A/MAX1876A在两路输出都达到稳压范围时，上电复位(POR)输出信号通知系统。

MAX1858A/MAX1875A/MAX1876A确保输出电压在输入断电或EN被拉低时不出现负电压，MAX1875A/MAX1876A还允许预偏置启动，无须输出放电。

MAX1858A/MAX1875A/MAX1876A采用24引脚QSOP封装。利用MAX1875评估板或MAX1858评估板，可以评估MAX1858A/MAX1875A/MAX1876A。

应用

网络电源
电信电源
DSP、ASIC、以及FPGA电源
机顶盒
宽带路由器
服务器
台式笔记本电脑

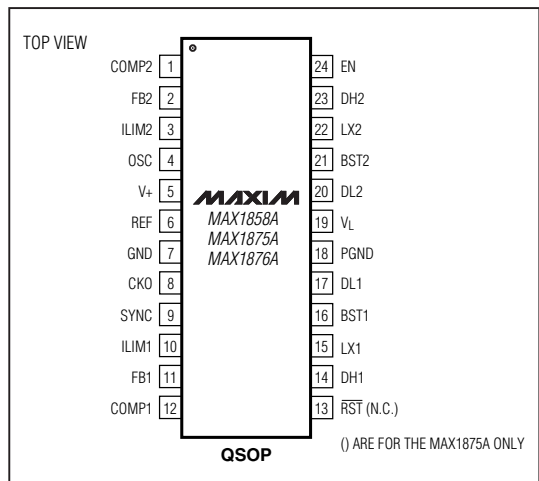
特性

- ◆ 4.5V至23V输入电压范围
- ◆ 0至18V输出范围(最多10A的输出电流)
- ◆ 可调的无损耗折返电流限制
- ◆ 100kHz至600kHz可调开关频率
- ◆ 可选的同步时钟方式
时钟输出用于主/从同步
- ◆ 4 x 90°异相降压转换器(利用两个控制器，图7)
- ◆ 预偏置启动(MAX1875A/MAX1876A)
- ◆ 加电顺序控制(MAX1858A)
- ◆ 140ms最小延迟的RST输出(MAX1858A/MAX1876A)
- ◆ 固定频率脉宽调制(PWM)工作

订购信息

PART	TEMP RANGE	PIN-PACKAGE
MAX1858AEEG	-40°C to +85°C	24 QSOP
MAX1875AEEG	-40°C to +85°C	24 QSOP
MAX1876AEEG	-40°C to +85°C	24 QSOP

引脚排列



双通道180°异相降压控制器， 具有顺序控制/预偏置启动和上电复位功能

MAX1858A/MAX1875A/MAX1876A

ABSOLUTE MAXIMUM RATINGS

V+ to GND	-0.3V to +25V	FB1, FB2, $\overline{\text{RST}}$, SYNC, EN to GND	-0.3V to +6V
PGND to GND	-0.3V to +0.3V	VL to GND Short Circuit	Continuous
VL to GND	-0.3V to the lower of +6V and (V+ + 0.3V)	REF to GND Short Circuit	Continuous
BST1, BST2 to GND	-0.3V to +30V	Continuous Power Dissipation (TA = +70°C)	
LX1 to BST1	-6V to +0.3V	24-Pin QSOP (derate 9.4mW/°C above +70°C)	762mW
LX2 to BST2	-6V to +0.3V	Operating Temperature Range	-40°C to +85°C
DH1 to LX1	-0.3V to (VBST1 + 0.3V)	Junction Temperature	+150°C
DH2 to LX2	-0.3V to (VBST2 + 0.3V)	Storage Temperature Range	-65°C to +150°C
DL1, DL2 to PGND	-0.3V to (VL + 0.3V)	Lead Temperature (soldering, 10s)	+300°C
CKO, REF, OSC, ILIM1, ILIM2,			
COMP1, COMP2 to GND	-0.3V to (VL + 0.3V)		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V+ = 12V, EN = ILIM_ = VL, SYNC = GND, I_{VL} = 0mA, PGND = GND, C_{REF} = 0.22μF, C_{VL} = 4.7μF (ceramic), R_{OSC} = 60kΩ, compensation components for COMP_ are from Figure 1, TA = -40°C to +85°C (Note 1), unless otherwise noted.)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
GENERAL						
V+ Operating Range	(Note 2)		4.5		23.0	V
	VL = V+ (Note 2)		4.5		5.5	
V+ Operating Supply Current	VL unloaded, no MOSFETs connected			3.5	6	mA
V+ Standby Supply Current	EN = LX_ = FB_ = 0V			0.3	0.6	mA
Thermal Shutdown	Rising temperature, typical hysteresis = 10°C			+160		°C
Current-Limit Threshold	PGND - LX_	ILIM_ = VL	75	100	125	mV
		RILIM_ = 100kΩ	32	50	62	
		RILIM_ = 600kΩ	225	300	375	
VL REGULATOR						
Output Voltage	5.5V < V+ < 23V, 1mA < I _{LOAD} < 50mA		4.75	5	5.25	V
VL Undervoltage Lockout Rising Trip Level			4.1	4.2	4.3	V
VL Undervoltage Lockout Hysteresis	(Note 3)			100		mV
REFERENCE						
Output Voltage	I _{REF} = 0μA		1.98	2.00	2.02	V
Reference Load Regulation	0μA < I _{REF} < 50μA		0	4	10	mV
SOFT-START						
Digital Ramp Period	Internal 6-bit DAC for one converter to ramp from 0V to full scale (Note 4)			1024		DC-DC clocks
Soft-Start Steps				64		Steps
FREQUENCY						
Low End of Range	R _{OSC} = 60kΩ	0°C to +85°C	84	100	115	kHz
		-40°C to +85°C	80	100	120	
High End of Range	R _{OSC} = 10kΩ		540	600	660	kHz
DH_ Minimum Off-Time	R _{OSC} = 10kΩ			250	303	ns

双通道180°异相降压控制器， 具有顺序控制/预偏置启动和上电复位功能

MAX1858A/MAX1875A/MAX1876A

ELECTRICAL CHARACTERISTICS (continued)

(V+ = 12V, EN = ILIM_ = VL, SYNC = GND, I_{VL} = 0mA, PGND = GND, C_{REF} = 0.22μF, C_{VL} = 4.7μF (ceramic), R_{OSC} = 60kΩ, compensation components for COMP_ are from Figure 1, T_A = -40°C to +85°C (Note 1), unless otherwise noted.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SYNC Range	Switching frequency must be set to half of the SYNC frequency	200		1200	kHz
SYNC Input Pulse Width	(Note 4)	High	100		ns
		Low	100		
SYNC Rise/Fall Time	(Note 4)			100	ns
ERROR AMPLIFIER					
FB_ Input Bias Current				250	nA
FB_ Input Voltage Set Point	0°C to +85°C	0.985	1.00	1.015	V
	-40°C to +85°C	0.98	1.00	1.02	
FB_ to COMP_ Transconductance	0°C to +85°C	1.25	1.8	2.70	mS
	-40°C to +85°C	1.2	1.8	2.9	
DRIVERS					
DL_, DH_ Break-Before-Make Time	C _{LOAD} = 5nF		30		ns
DH_ On-Resistance	Low		1.5	2.5	Ω
	High		3	5	
DL_ On-Resistance	Low		0.6	1.5	Ω
	High		3	5	
LOGIC INPUTS (EN, SYNC)					
Input Low Level	Typical 15% hysteresis, VL = 4.5V			0.8	V
Input High Level	VL = 5.5V	2.4			V
Input High/Low Bias Current	V _{EN} = 0 or 5.5V	-1	+0.1	+1	μA
LOGIC OUTPUTS (CKO)					
Output Low Level	VL = 5V, sinking 5mA			0.4	V
Output High Level	VL = 5V, sourcing 5mA	4.0			V
COMP_					
Pulldown Resistance During Shutdown and Current Limit			17		Ω
RST OUTPUT (MAX1858A/MAX1876A ONLY)					
Output-Voltage Trip Level	Both FBs must be over this to allow the reset timer to start; there is no hysteresis	0.87	0.9	0.93	V
Output Low Level	VL = 5V, sinking 3.2mA			0.4	V
	VL = 1V, sinking 0.4mA			0.3	
Output Leakage	V+ = VL = 5V, V _{RST} = 5.5V, V _{FB} = 1V			1	μA
Reset Timeout Period	V _{FB} = 1V	140	315	560	ms
FB_ to Reset Delay	FB_ overdrive from 1V to 0.85V		4		μs

Note 1: Specifications to -40°C are guaranteed by design and not production tested.

Note 2: Operating supply range is guaranteed by VL line regulation test. Connect V+ to VL for 5V operation.

Note 3: When VL falls and UVLO is tripped, the device is latched and VL must be discharged below 2.5V before normal operation can resume.

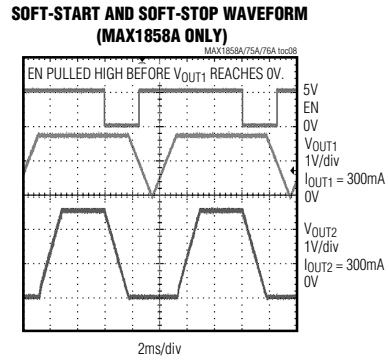
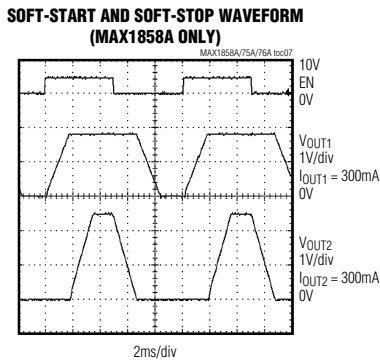
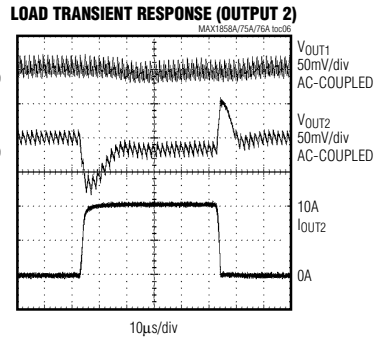
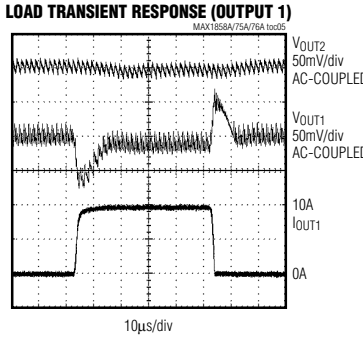
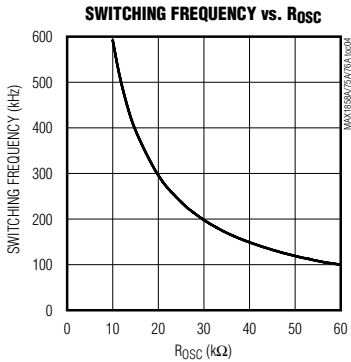
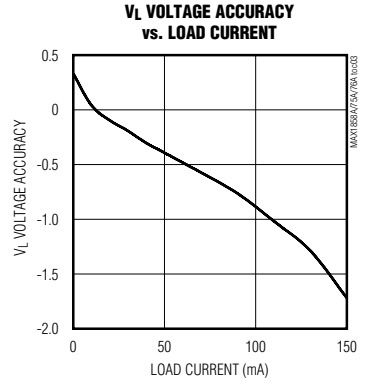
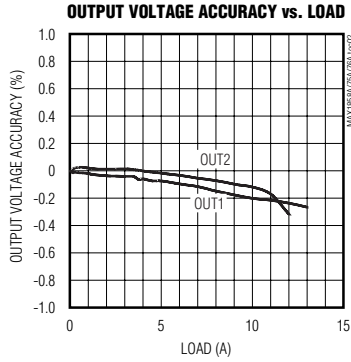
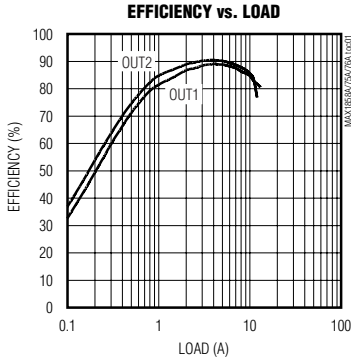
Note 4: Guaranteed by design and not production tested.

双通道180°异相降压控制器， 具有顺序控制/预偏置启动和上电复位功能

典型工作特性

(Circuit of Figure 1, $V_{IN} = 12V$, $T_A = +25^\circ C$, unless otherwise noted.)

MAX1858A/MAX1875A/MAX1876A

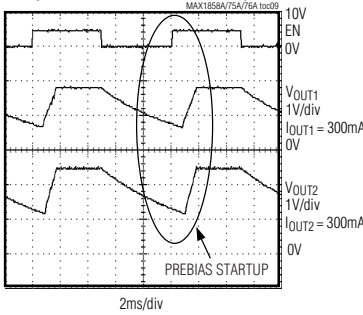


双通道180°异相降压控制器， 具有顺序控制/预偏置启动和上电复位功能

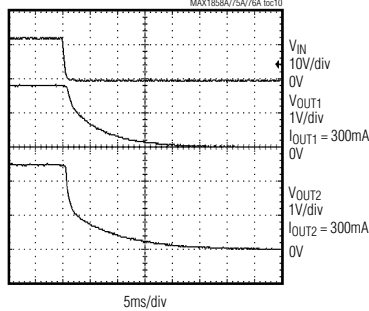
典型工作特性 (续)

(Circuit of Figure 1, $V_{IN} = 12V$, $T_A = +25^\circ C$, unless otherwise noted.)

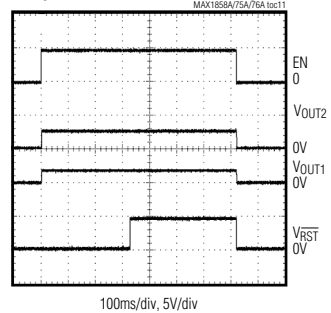
**START AND STOP WAVEFORM
(MAX1875A/MAX1876A ONLY)**



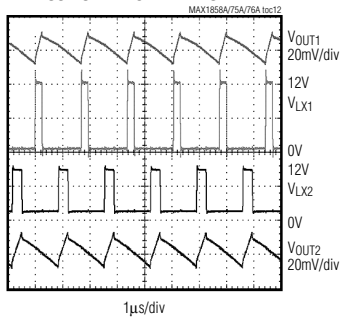
INPUT POWER REMOVAL



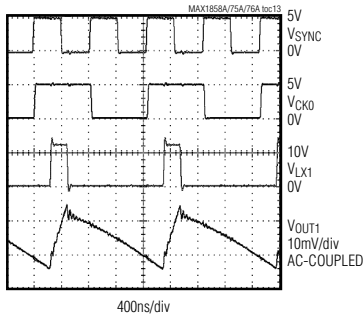
**RESET TIMEOUT
(MAX1858A/MAX1876A ONLY)**



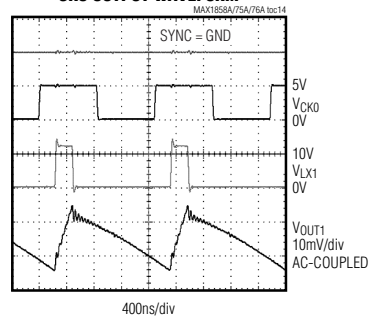
OUT-OF-PHASE WAVEFORM



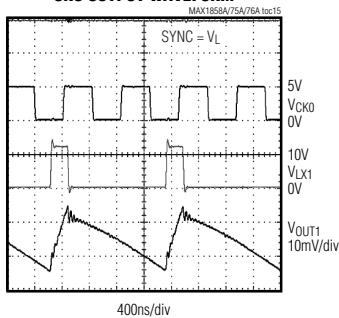
**EXTERNALLY SYNCHRONIZED
SWITCHING WAVEFORM**



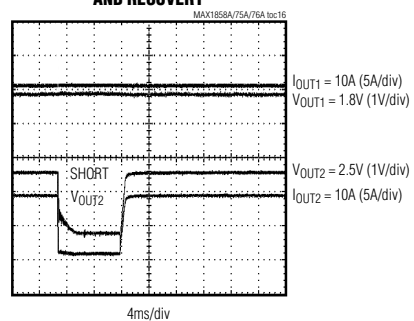
CKO OUTPUT WAVEFORM



CKO OUTPUT WAVEFORM



**SHORT-CIRCUIT CURRENT FOLDBACK
AND RECOVERY**



MAX1858A/MAX1875A/MAX1876A

双通道180°异相降压控制器， 具有顺序控制/预偏置启动和上电复位功能

引脚说明

引脚	名称	功能
1	COMP2	稳压器2 (REG2) 的补偿引脚。将该引脚通过一个串联电阻 (R_{COMP2}) 和电容 (C_{COMP2A}) 连接至地，并对地并联另一个补偿电容 (C_{COMP2B})，以补偿 REG2 的控制环路，如图1所示。
2	FB2	稳压器2 (REG2) 的反馈输入。将 FB2 连接至 REG2 输出和 GND 之间的一个电阻分压器，可在 1V 至 18V 范围内调节输出电压。为设置低于 1V 的输出电压，可将 FB2 连接至 REG2 的输出和 REF 之间的一个电阻分压器。参见“设置输出电压”部分。
3	ILIM2	稳压器2 (REG2) 的限流调节。如果 ILIM2 连接至 V_L ，则 PGND-LX2 电流检测门限缺省为 100mV。在 ILIM2 和 GND 之间连接一个电阻 (R_{ILIM2})，可以调节 REG2 的限流门限 (V_{ITH2})，范围为 50mV ($R_{ILIM2} = 100k\Omega$) 至 300mV ($R_{ILIM2} = 600k\Omega$)。参见“设置谷底电流限制”部分。
4	OSC	振荡器频率设置输入。在 OSC 和 GND 之间连接一个电阻 (R_{OSC}) 以设置开关频率，范围为 100kHz ($R_{OSC} = 60k\Omega$) 至 600kHz ($R_{OSC} \geq 100k\Omega$)。即使外部时钟连接到了 SYNC，振荡器仍需要 R_{OSC} 。当使用外部时钟时，应按上面所述选择 R_{OSC} ，并设置外部时钟频率为所期望开关频率的两倍。
5	V+	输入电源电压。4.5V 至 23V
6	REF	2V 基准输出。使用 0.22 μ F 或更大的陶瓷电容，旁路至 GND
7	GND	模拟地
8	CKO	时钟输出。用于外部 2 相或 4 相同步的时钟输出 (参见“时钟同步 (SYNC、CKO)”部分)
9	SYNC	同步输入或时钟输出选择输入。SYNC 具有 3 种工作模式。将 SYNC 连接至一个 200kHz 至 1200kHz 时钟，用于外部同步。将 SYNC 连接至 GND 用于 2 相工作中的主控制器。将 SYNC 连接至 VL 用于 4 相工作中的主控制器 (参见“时钟同步 (SYNC、CKO)”部分)。
10	ILIM1	稳压器1 (REG1) 的限流调节。如果 ILIM1 连接至 V_L ，则 PGND-LX1 电流检测门限缺省为 100mV。在 ILIM1 和 GND 之间连接一个电阻 (R_{ILIM1})，以调节 REG1 的限流门限 (V_{ITH1})，范围为 50mV ($R_{ILIM1} = 100k\Omega$) 至 300mV ($R_{ILIM1} = 600k\Omega$)。参见“设置谷底电流限制”部分。
11	FB1	稳压器1 (REG1) 的反馈输入。将 FB1 连接至 REG1 输出和 GND 之间的一个电阻分压器，可在 1V 至 18V 范围内调节输出电压。为设置低于 1V 的输出电压，可将 FB1 连接至 REG1 输出和 REF 之间的一个电阻分压器。参见“设置输出电压”部分。
12	COMP1	稳压器1 (REG1) 的补偿引脚。将该引脚通过一个串联电阻 (R_{COMP1}) 和电容 (C_{COMP1A}) 连接至地，并对地并联另一个补偿电容 (C_{COMP1B})，以补偿 REG1 的控制环路，如图1所示。
13	\overline{RST}	漏极开路的复位输出 (仅 MAX1858A/MAX1876A)。当任一输出电压低于其稳压值 10% 以上时， \overline{RST} 输出低电平。当软启动完成并且两个输出都超过了它们额定输出电压的 90% ($V_{FB} > 0.9V$) 时， \overline{RST} 在 140ms 延时会变为高阻状态，并且在两路输出都处在稳压范围内时，一直保持高阻状态。在 \overline{RST} 和逻辑电源之间连接一个电阻，以产生逻辑电平电压。
	N.C.	连接至 GND 或者悬空 (MAX1875A)

双通道180°异相降压控制器， 具有顺序控制/预偏置启动和上电复位功能

引脚说明 (续)

引脚	名称	功能
14	DH1	稳压器 1 (REG1) 的高端栅极驱动器输出。DH1 输出电平在 LX1 至 BST1 之间摆动。DH1 在 UVLO 期间为低电平。
15	LX1	稳压器 1 (REG1) 的外部电感连接。将 LX1 连接至电感的开关端。LX1 也充当 DH1 高端栅极驱动器的电源低端。
16	BST1	稳压器 1 (REG1) 的自举飞电容连接。如图 1 所示，将 BST1 连接至外部陶瓷电容和二极管。
17	DL1	稳压器 1 (REG1) 的低端栅极驱动器输出。DL1 输出电平在 PGND 至 V_L 之间摆动。DL1 在 UVLO 期间为低电平。
18	PGND	电源地
19	V_L	内部 5V 线性稳压器输出。为调节器、低端栅极驱动器和高端栅极驱动器的外部自举电路供电。
20	DL2	稳压器 2 (REG2) 的低端栅极驱动器输出。DL2 输出电平在 PGND 至 V_L 之间摆动。DL2 在 UVLO 期间为低电平。
21	BST2	稳压器 2 (REG2) 的自举飞电容连接。如图 1 所示，将 BST2 连接至外部陶瓷电容和二极管。
22	LX2	稳压器 2 (REG2) 的外部电感连接。将 LX2 连接至电感的开关端。LX2 也充当 DH2 高端栅极驱动器的电源低端
23	DH2	稳压器 2 (REG2) 的高端栅极驱动器输出。DH2 输出电平在 LX2 至 BST2 之间摆动。DH2 在 UVLO 期间为低电平。
24	EN	高有效使能输入。逻辑低电平将关断两个控制器。连接至 V_L 保持工作状态。

MAX1858A/MAX1875A/MAX1876A

详细描述

DC-DC PWM 控制器

MAX1858A/MAX1875A/MAX1876A 降压控制器的每一个错相控制器都采用 PWM 电压模式控制技术 (见图 2)。控制器通过分频内部振荡器，或通过外部时钟驱动的 SYNC 输入产生时钟信号，这样每个控制器的开关频率等于振荡器频率的一半 ($f_{sw} = f_{osc}/2$)。内部跨导误差放大器在 COMP 引脚产生积分误差电压，提供高直流精度。COMP 端电压通过一个 PWM 比较器和一个三角波产生器来设定占空比。在每个时钟的上升沿，REG1 的高端 N 沟 MOSFET 导通，并保持导通状态至设定的占空比或最大占空比。REG2 异相工作，因此第二个高端 MOSFET 在每个时钟的下降沿导通。在每个高端 MOSFET 的导通时间内，对应的电感电流将增大。

在后半个开关周期，高端 MOSFET 关断，低端 MOSFET 导通。此时电感将释放其所存储的能量，电感电流也随之下降，提供电流输出。在过载情况下，当电感电流超过所设定的谷底电流限制 (参见“*电流限制电路 (ILIM_)*”部分) 时，高端 MOSFET 不会在对应的时钟沿导通，而低端 MOSFET 会保持导通，以降低电感电流纹波。

同步异相工作

MAX1858A/MAX1875A/MAX1876A 内部的两个独立调节器以 180° 异相工作，以降低输入滤波的要求，降低电磁干扰 (EMI)，提高效率。这样有效地降低了元件成本，节省板上空间，使 MAX1858A/MAX1875A/MAX1876A 非常适合于成本敏感的应用。

双路开关调节器通常使两个控制器同相工作，在同一时刻导通两个高端 MOSFET。输入电容必须同时满足两个控制器的瞬时电流要求，因而相对于单路开关调节器会产生较大的纹波电压和电流。由于输入电容的等效串联阻抗 (ESR) 会产生功率损耗，较高的 RMS 纹波电流将降低效率。这通常要求并联更多的低 ESR 输入电容，以尽可能地降低输入电压纹波和 ESR 相关的损耗，或满足所需的纹波电流额定值。

在双开关同步错相工作模式下，MAX1858A/MAX1875A/MAX1876A 的高端 MOSFET 以 180° 错相导通。两个调节器的瞬时输入电流峰值不再重合，降低了 RMS 纹波电流和输入电压纹波。这样降低了所需的输入电容纹波电流的额定值，允许使用更少或更便宜的电容，并降低了 EMI 的屏蔽要求。“典型工作特性”部分的“异相波形”图演示了同步 180° 异相工作状态。

双通道180°异相降压控制器,
具有顺序控制/预偏置启动和上电复位功能

MAX1858A/MAX1875A/MAX1876A

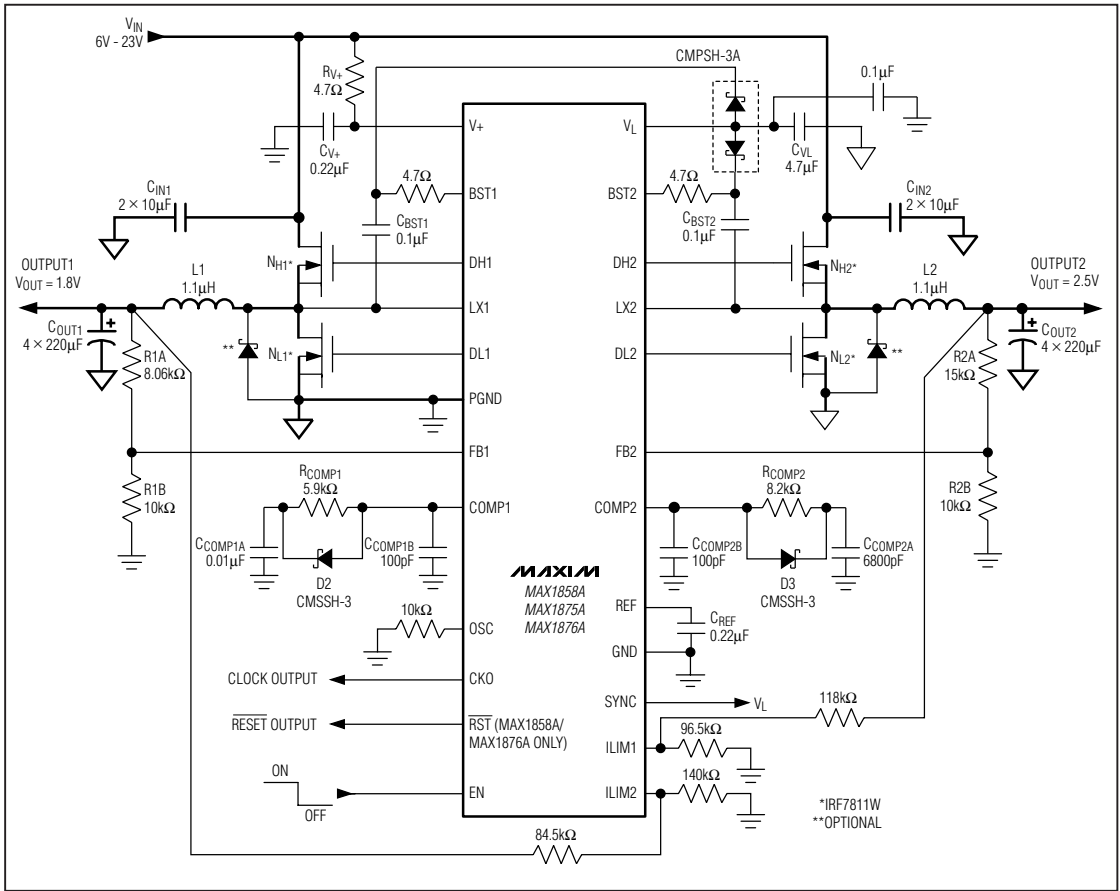


图1. 标准的 600kHz 应用电路

内部 5V 线性稳压器 (V_L)

所有的 MAX1858A/MAX1875A/MAX1876A 功能单元都由一个片内的低电压差 5V 稳压器供电。最高稳压器输入电压 (V_+) 为 23V。使用 4.7µF 陶瓷电容将稳压器输出 (V_L) 旁路至 PGND。 V_L 压差电压典型值为 500mV。因此当 V_+ 大于 5.5V 时, V_L 为 5V。MAX1858A/MAX1875A/MAX1876A 还具有一个欠压锁定电路, 当 V_L 跌至 4.2V 以下时会禁止两个调节器。此外, 还应使用 0.1µF 电容将 V_L 旁路至 GND。当 V_L 下降, 且 UVLO 发生时, 器件将会锁定, 而且在恢复正常工作之前, V_L 电压必须放电至 2.5V 以下。

内部 V_L 线性稳压器具有 50mA 以上的源出电流能力, 为 IC 和低端栅极驱动器供电, 充电外部自举电容, 以及为外部轻负载供电。当驱动大功率 FET 时, 稳压器只能为外部负载提供很少电流, 甚至不能提供电流。

例如, 当开关频率为 600kHz 时, 一个具有 18nC 总栅极电荷的大功率 FET 需要 $18\text{nC} \times 600\text{kHz} = 11\text{mA}$ 的电流。为驱动大功率 MOSFET, 或者供应较大功率的负载, 可将 V_L 连接至一个 4.5V 至 5.5V 的外部电源。

双通道180°异相降压控制器， 具有顺序控制/预偏置启动和上电复位功能

MAX1858A/MAX1875A/MAX1876A

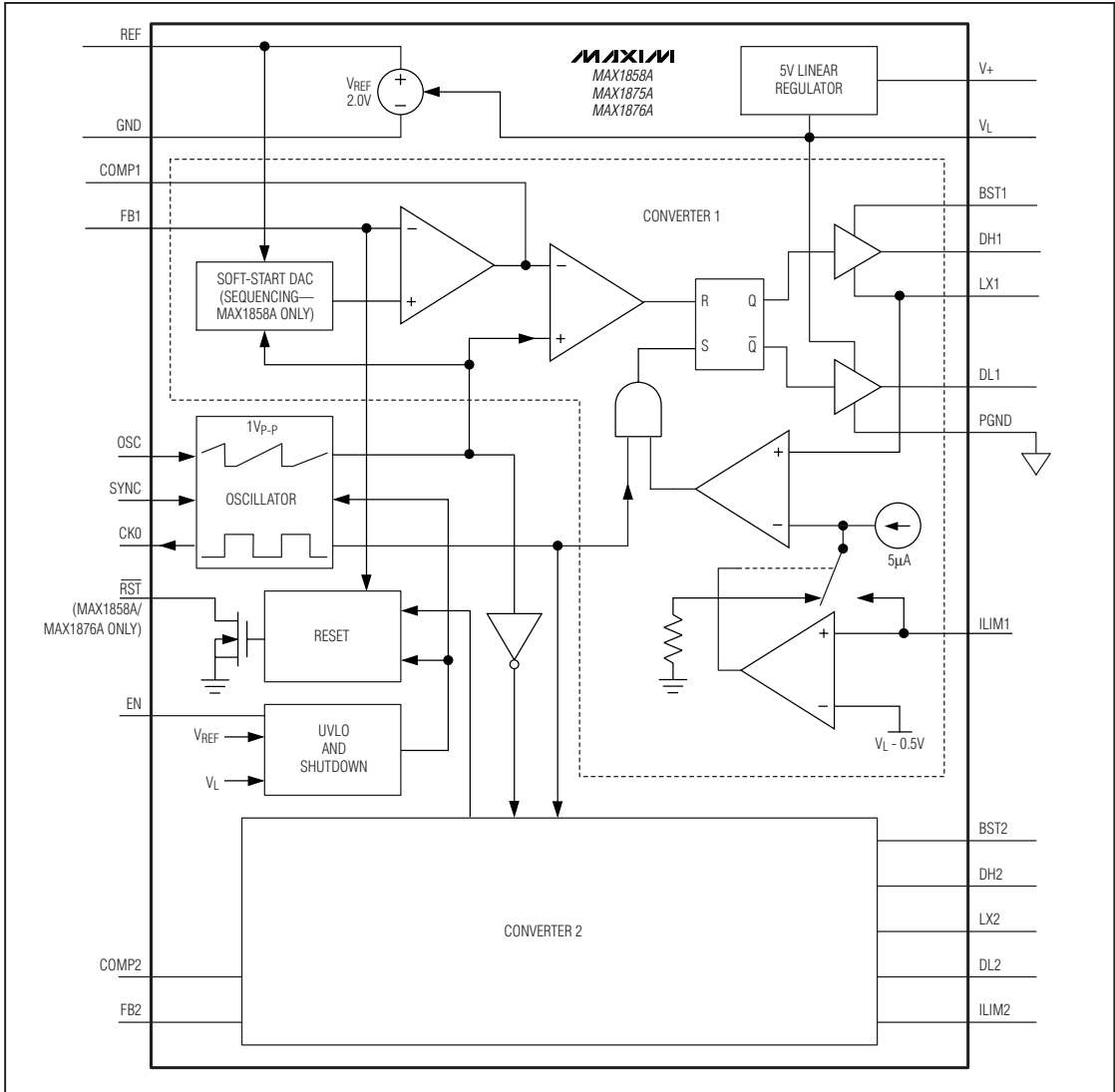
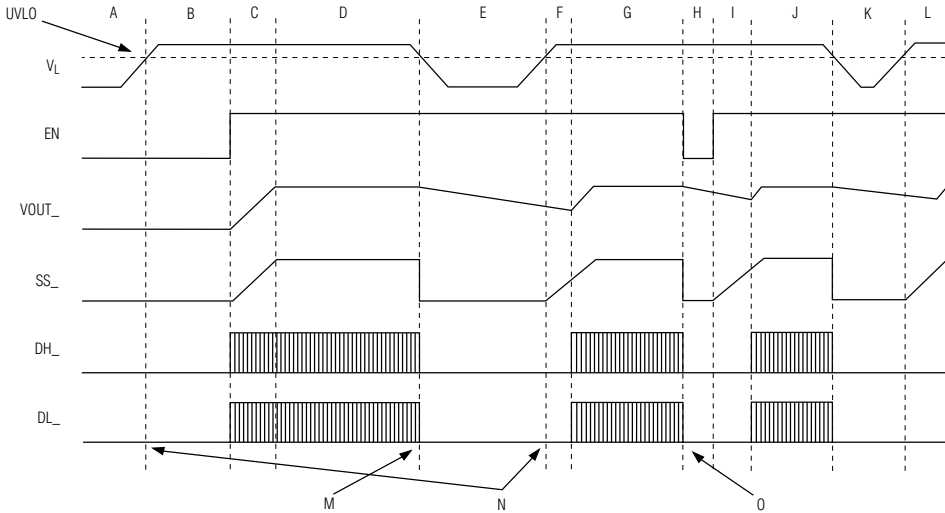


图2. 功能框图

双通道180°异相降压控制器， 具有顺序控制/预偏置启动和上电复位功能

MAX1858A/MAX1875A/MAX1876A



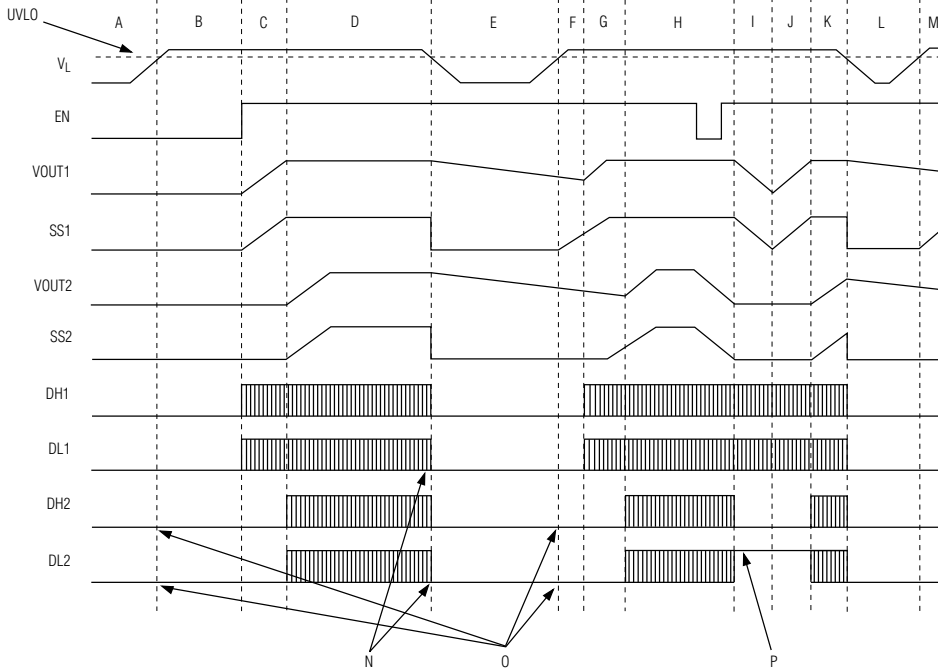
MAX1875A/MAX1876A POWER-ON-OFF SEQUENCING DEFINITIONS

SYMBOL	DEFINITION
UVLO	Undervoltage lockout trip level is provided in the <i>Electrical Characteristics</i> table.
VL	Internal 5V Linear-Regulator Output
EN	Active-High Enable Input
VOUT_	Output Voltage
SS_	Internal Soft-Start Input Signal into Error Amplifier
DH_	High-Side Gate-Driver Output
DL_	Low-Side Gate-Driver Output
A	VL rising while below the UVLO threshold. EN is low.
B	VL is greater than the UVLO threshold. EN is low.
C	EN is pulled high.
D	Normal operation
E	VL enters UVLO.
F	VL exits UVLO.
G	Resumes normal operation
H	EN is pulled low.
I	EN is pulled high.
J	Resumes normal operation
K	VL drops below UVLO threshold while EN is high.
L	Resumes normal operation
M	UVLO is activated and DL_ is latched low.
N	Exiting UVLO: DL_ remains latched low until the first fall of DH_ is detected.
O	DL_ is low after EN is pulled low.

图3. 详细的 MAX1875A/MAX1876A 上电/关断顺序

双通道180°异相降压控制器， 具有顺序控制/预偏置启动和上电复位功能

MAX1858A/MAX1875A/MAX1876A



MAX1858A POWER-ON-OFF SEQUENCING DEFINITIONS

SYMBOL	DEFINITION
UVLO	Undervoltage threshold value is provided in the <i>Electrical Characteristics</i> table.
V_L	Internal 5V Linear-Regulator Output
EN	Active-High Enable Input
VOUT1	Regulator 1 Output Voltage
SS1	Regulator 1: Internal Soft-Start Input Signal into Error Amplifier
VOUT2	Regulator 2 Output Voltage
SS2	Regulator 2: Internal Soft-Start Input Signal into Error Amplifier
DH1	Regulator 1: High-Side Gate-Driver Output
DL1	Regulator 1: Low-Side Gate-Driver Output
DH2	Regulator 2: High-Side Gate-Driver Output
DL2	Regulator 2: Low-Side Gate-Driver Output
A	V_L rising while below the UVLO threshold. EN is low.
B	V_L is greater than the UVLO threshold. EN is low.
C	EN is pulled high. DH1 and DL1 start switching. DH2 and DL2 are off.

SYMBOL	DEFINITION
D	Normal operation
E	V_L enters UVLO.
F	V_L exits UVLO.
G	Resumes normal operation. DH1 and DL1 start switching. DH2 and DL2 are off.
H	EN is pulled low and then high.
I	VOUT1 must reach 0V before restarting due to the cycling of the enable in region H (above).
J	VOUT1 recovers.
K	VOUT2 recovers.
L	V_L enters UVLO before VOUT2 fully recovers.
M	V_L exits UVLO.
N	UVLO latches DL _{low} .
O	Exiting UVLO: DL _{low} remains latched low until the first fall of DH _{low} is detected.
P	DL _{low} is high after EN is pulled low and soft-stop is complete.

图4. 详细的 MAX1858A 上电/关断顺序

双通道180°异相降压控制器， 具有顺序控制/预偏置启动和上电复位功能

MAX1858A/MAX1875A/MAX1876A

高端栅极驱动电源 (BST₋)

高端 N 沟道开关的栅极驱动电压由飞电容自举电路 (图5) 产生。飞电容 (连接在 BST₋和 LX₋之间) 为高端 MOSFET 驱动器供电。

在启动期间，同步整流器 (低端 MOSFET) 强制 LX₋ 至地，将自举电容电压充电至 5V。在周期的后半段时间内，当低端 MOSFET 关断时，通过闭合 BST₋和 DH₋之间的内部开关，高端 MOSFET 会被导通。这可以提供所需的栅源电压，以打开高端开关，从而使 5V 栅极驱动信号升压至 V_{IN} 以上。驱动高端 MOSFET 栅极所需的电流 (f_{SWITCH} × Q_G) 实际上由 V_L 提供。

MOSFET 栅极驱动器 (DH₋、DL₋)

DH 和 DL 驱动器为驱动中等尺寸 N 沟道高端和大功率低端功率 MOSFET 进行了优化。这与较大 V_{IN} - V_{OUT} 差值带来的低占空比因子是一致的。DL₋ 低端驱动波形总是与 DH₋ 高端驱动波形 (具有受控制的“死区”时间，以防止交叉导通或“直通”) 互补。自适应“死区”时间电路监视 DL₋ 输出，阻止高端 FET 导通，直至 DL₋ 完全关断。为了使自适应“死区”时间控制电路正确工作，在 DL₋ 驱动器和 MOSFET 的栅极之间必须保持低阻、低感抗的通路。否则，MAX1858A/MAX1875A/MAX1876A 的检测电路将会在栅极仍然存在有一定量电荷时，判定 MOSFET 栅极已经关断。注意使用短且宽的连线 (如果 MOSFET 距离器件 1 英寸，线宽应为 50mils 至 100mils)。DH 关断边沿的“死区”时间由固定的 30ns 内部延时决定。

通过采用低阻的 MOSFET 开关替换传统的整流肖特基 (Schottky) 二极管，这种同步整流方式可以降低整流器的导通损耗。此外，MAX1858A/MAX1875A/MAX1876A 还使用同步整流器以保证自举栅极驱动器电路的正常启动，并提供限流信号。

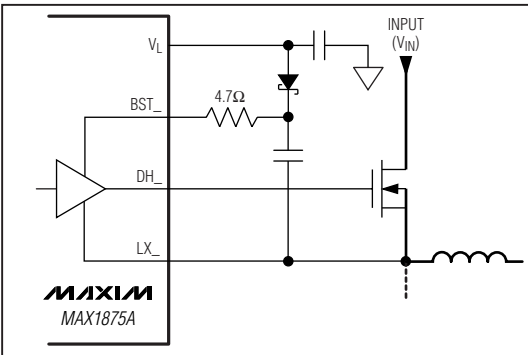


图5. 减少开关节点的上升时间

驱动 DL₋ 低电平的内部下拉晶体管非常稳固，具有 0.5Ω (典型值) 的导通电阻。由于低端同步整流 MOSFET 漏极和栅极之间的电容耦合，其低导通电阻可以防止在 LX₋ 节点快速上升期间 DL₋ 被上拉。然而，对于大电流应用，一些高端和低端 FET 的组合可能引起过度的栅极-漏极耦合，导致低效率、EMI、以及直通电流。该问题可以通过增加一个与 BST₋ 串联的电阻 (典型值 5Ω 以下) 来解决，这样可以增加高端 FET 的导通时间而不会影响关断时间 (图5)。

限流电路 (ILIM₋)

限流电路采用“谷底”电流检测算法，使用低端 MOSFET 的导通电阻作为电流检测元件。如果检流信号超过了限流门限，MAX1858A/MAX1875A/MAX1876A 不会产生新的开关周期 (图6)。由于采用了谷底电流检测，实际的峰值电流会超过限流门限，超出量等于电感纹波电流。因此，实际的限流特性和最大负载能力是一个基于低端 MOSFET 导通电阻、限流门限、电感值、以及输入电压的函数。这种不确定性带来的好处是牢靠、无损耗的过流检测，无需昂贵的检流电阻。

可调的电流限制允许选择更宽范围导通电阻的 MOSFET (参见“设计步骤”部分)。限流门限可以通过 ILIM₋ 端的外部电阻进行调节 (图1)。调节范围为 50mV 至 300mV，对应于 100kΩ 至 600kΩ 的电阻值。在可调模式下，低端 MOSFET 两端的限流门限精确地为 ILIM₋ 电压的 1/10。然而，当 ILIM 被连接至 V_L 时，限流门限为缺省的 100mV。切换到这一 100mV 缺省值的逻辑门限近似为 V_L - 0.5V。

可调的折返电流限制可在短路情况下降低功率损耗 (参见“设计过程”部分)。

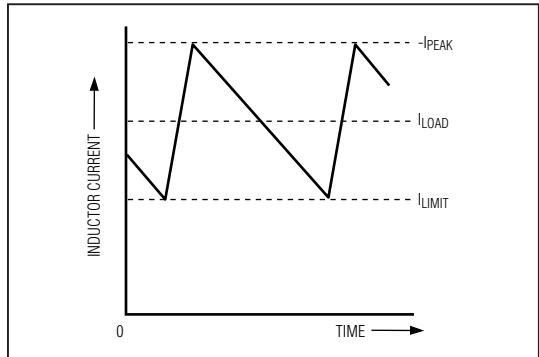


图6. “谷底”电流限制门限点

双通道180°异相降压控制器， 具有顺序控制/预偏置启动和上电复位功能

请仔细阅读PC板布局规则，以确保噪声和DC误差不会影响LX₋和PGND处的检流信号。芯片必须尽量靠近低端MOSFET安装，并采用短且无过孔连线进行Kelvin检测连接，以使连线阻抗不会增加低端MOSFET的检流电阻。

欠压锁定和启动

如果V_L跌至4.2V以下，MAX1858A/MAX1875A/MAX1876A会认为输入电源和基准电压太低，而不能正常工作，由此激活欠压锁定(UVLO)电路，锁定DL和DH为低电平，以禁止开关动作。在UVLO期间，RST同样被强制拉低。为了复位锁存器并准备下一个V_L上升沿，V_L必须放电至2.5V。

此外，为了确保正常的启动，REF和GND之间的电容值必须满足以下条件：

$$C_{REF} > ((8.29 \times 10^{-4}) / V_{+_SLOPE}) - (1.97 \times 10^{-1} / f_{S_MAX})$$

其中V_{+_SLOPE}为实际输入电压上升时间的斜率。

例如，如果开关频率被设定在600kHz额定值，最高值为660kHz，输入电压上升时间的斜率为1.6V/ms，则C_{REF}必须大于0.22μF。确保选择的C_{REF}足够大，以应对最坏情况的电容误差和温度系数。

使能(EN)、软启动和软关断

将EN拉高可以使能两个稳压器，拉低则关断稳压器。关于详情，请参见时序图，图3和图4。

输出电压顺序

在启动电路使能控制器之后，MAX1858A开始顺序启动。稳压器1(OUT1)在使能软启动条件下上电。一旦第一个转换器的软启动过程结束，稳压器2(OUT2)在使能软启动条件下上电。最终，当两个转换器都完成了软启动并且输出电压超过了它们额定值的90%时，复位输出(RST)变为高(参见“复位输出”部分)。拉低EN将启动软关断。软关断与软启动顺序相反，即后开/先关操作。

复位输出(RST)(仅MAX1858A/MAX1876A)

RST为漏极开路输出。当任一输出跌至其额定稳压值的90%以下时，RST会被拉低。一旦两个输出超过了其额定稳压值的90%，且两者软启动周期都完成，则RST变为高阻状态。为获得逻辑电压输出，应在RST和逻辑电源之间连接一个上拉电阻。100kΩ电阻在大多数应用中都可很好地工作。如果不被使用，可将RST接地或者悬空。

时钟同步(SYNC、CKO)

SYNC具有两种功能：SYNC选择用于同步从控制器的时钟输出(CKO)类型，或者作为时钟输入，使MAX1858A/MAX1875A/MAX1876A同步于一个外部时钟信号。这样允许MAX1858A/MAX1875A/MAX1876A作为主或从器件工作。CKO可提供与MAX1858A/MAX1875A/MAX1876A开关频率同步的时钟信号，允许以同相(SYNC = GND)或者90°错相(SYNC = V_L)工作，与其他DC-DC控制器同步。MAX1858A/MAX1875A/MAX1876A支持以下三种工作模式：

- SYNC = GND：CKO输出频率等于REG1的开关频率(f_{CKO} = f_{DH1})并且CKO信号与REG1的开关频率同相。当与另外一个从控制器同步时，这种模式实现双相工作。
- SYNC = V_L：CKO输出频率等于两倍REG1的开关频率(f_{CKO} = 2f_{DH1})，并且CKO信号与REG1的开关频率间有90°的相移。当与另外一个从控制器同步时，这种模式实现4相工作。
- SYNC由外部振荡器驱动：控制器通过对SYNC输入信号进行分频产生时钟信号，因此开关频率等于同步频率的一半(f_{SW} = f_{SYNC}/2)。REG1的转换周期起始于内部时钟信号的上升沿。CKO输出的频率和相位与REG1的开关频率相同(f_{CKO} = f_{DH1})，并且CKO信号与REG1的开关频率同相。应当注意的是，当SYNC信号接到外部时钟时，MAX1858A/MAX1875A/MAX1876A仍需要R_{OSC}，并且内部振荡器频率应该设置为同步频率的50%(f_{CKO} = 0.5f_{DH1})。

MAX1858A/MAX1875A/MAX1876A

双通道180°异相降压控制器， 具有顺序控制/预偏置启动和上电复位功能

热过载保护

热过载保护限制 MAX1858A/MAX1875A/MAX1876A 上的总功耗。当器件的管芯结温超过了 $T_J = +160^\circ\text{C}$ 时，片上的温度传感器会关断器件，强制 $DL_$ 和 $DH_$ 为低电平，使芯片冷却。温度传感器会在结温下降 10°C 后重新打开器件。在热关断期间，稳压器关断， \overline{RST} 变低，并且软启动被复位。如果 V_L 线性稳压器输出短路，也将触发热过载保护。

设计过程

有效输入电压范围

虽然 MAX1858A/MAX1875A/MAX1876A 控制器可以接受 4.5V 至 23V 的输入电压，但是 MAX1858A/MAX1875A/MAX1876A 的占空比限制制约了输入电压范围。最大输入电压受到最小导通时间 ($t_{ON(MIN)}$) 的限制：

$$V_{IN(MAX)} \leq \frac{V_{OUT}}{t_{ON(MIN)} f_{SW}}$$

其中， $t_{ON(MIN)}$ 为 100ns。最小输入电压受到开关频率和最小关断时间的限制，这两个因素也同时决定着最大占空比 ($D_{MAX} = 1 - f_{SW} \times t_{OFF(MIN)}$)：

$$V_{IN(MIN)} = \left[\frac{V_{OUT} + V_{DROPI}}{1 - f_{SW} t_{OFF(MIN)}} \right] + V_{DROPI} - V_{DROPI}$$

其中 V_{DROPI} 为电感放电路径上的固有压降之和，包括同步整流器、电感以及 PC 板阻抗。 V_{DROPI} 为充电路径上的总阻抗所引起的压降，包括高端开关、电感以及 PC 板阻抗。

设置输出电压

如果需要 1V 或者更高的输出电压，则在输出和 GND 之间连接一个分压器至 $FB_$ ，以设置 MAX1858A/MAX1875A/MAX1876A 输出电压 (图 8)。选择 R_B ($FB_$ 和 GND 间的电阻) 应在 $1\text{k}\Omega$ 至 $10\text{k}\Omega$ 之间。使用下式计算 R_A ($OUT_$ 和 $FB_$ 间的电阻)：

$$R_A = R_B \left[\left(\frac{V_{OUT}}{V_{SET}} \right) - 1 \right]$$

MAX1858A/MAX1875A/MAX1876A

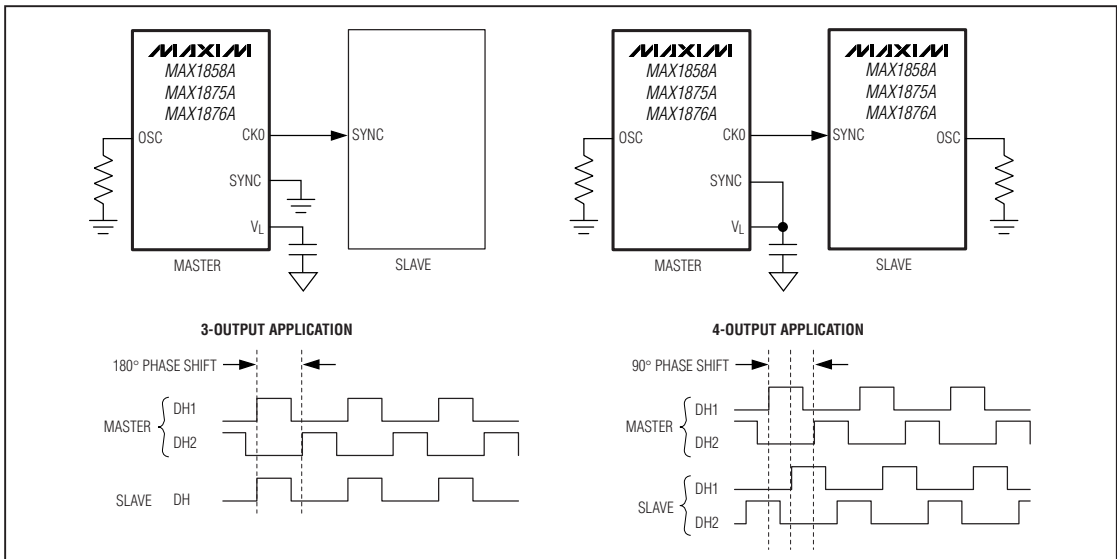


图7. 同步控制器

双通道180°异相降压控制器， 具有顺序控制/预偏置启动和上电复位功能

其中 $V_{SET} = 1V$ (参见“电气特性”部分)， V_{OUT} 范围介于 V_{SET} 至 $18V$ 。

如果需要 $1V$ 以下的输出电压，则在输出和 REF 之间连接一个分压器至 FB₋，以设置 MAX1858A/MAX1875A/MAX1876A 输出电压(图8)。选择 R_C (FB₋ 和 REF 间的电阻)应在 $1k\Omega$ 至 $10k\Omega$ 之间。使用下式计算 R_A：

$$R_A = R_C \left(\frac{V_{SET} - V_{OUT}}{V_{REF} - V_{SET}} \right)$$

其中 $V_{SET} = 1V$ ， $V_{REF} = 2V$ (参见“电气特性”部分)， V_{OUT} 范围由 0 至 V_{SET} 。

设置开关频率

控制器通过对内部振荡器或者 SYNC 输入信号 (当使用了外部振荡器时) 分频产生时钟信号，因此开关频率等于振荡器频率的一半 ($f_{SW} = f_{OSC}/2$)。内部振荡器频率由连接在 OSC 和 GND 之间的电阻设置。 f_{SW} 和 R_{OSC} 的关系式为：

$$R_{OSC} = \frac{6 \times 10^9 (\Omega \cdot Hz)}{f_{SW}}$$

其中 f_{SW} 单位为 Hz， R_{OSC} 单位为 Ω 。例如， $600kHz$ 开关频率所对应的 $R_{OSC} = 10k\Omega$ 。更高的频率允许设计中使用更小的电感和更少的输出电容。因此，峰值电流和 I^2R 损耗在较高的开关频率下会降低，但是内核损耗、栅极充电电流以及开关损耗会增加。

SYNC 的时钟上升沿被视作同步输入。如果 SYNC 信号丢失，内部振荡器将接管开关速率控制，开关频率将被恢复为 R_{OSC} 的设定值。这样即使是在间歇性的 SYNC 信号下，输出电压也可保持稳定。当使用了一个外部同步信号时， R_{OSC} 应该将开关频率设置为 SYNC 速率 (f_{SYNC}) 的一半。

电感选择

选择与 MAX1858A/MAX1875A/MAX1876A 协同工作的电感需要指定 3 个关键的参数：电感值 (L)、峰值电感电流 (I_{PEAK})、以及 DC 阻抗 (R_{DC})。下面的等式中假设电感的峰峰 AC 电流和 DC 平均电流之比 (LIR) 恒定。对于过高的

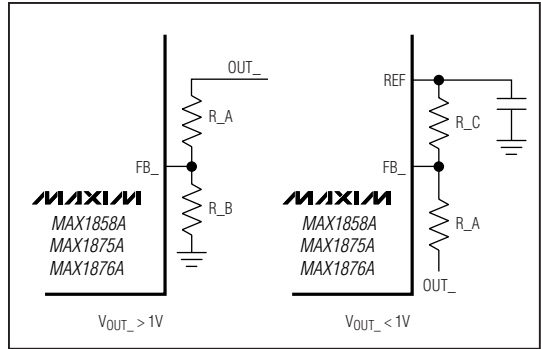


图8. 可调输出电压

LIR 值，RMS 电流过高，因此 I^2R 损耗会很大。达到非常低的 LIR 值，必须采用较大电感值。一般情况下，电感值与电阻值成正比 (对于确定的封装类型)，这使得低 LIR 值情况下 I^2R 损耗会增大。较好的尺寸和损耗间的折衷是使峰峰纹波电流和平均电流之比为 30% ($LIR=0.3$)。开关频率、输入电压、输出电压以及选择的 LIR 决定电感值：

$$L = \frac{V_{OUT}(V_{IN} - V_{OUT})}{V_{IN} f_{SW} I_{OUT} LIR}$$

其中 V_{IN} 、 V_{OUT} 和 I_{OUT} 为典型值 (以便效率在典型情况下是最优的)。开关频率由 R_{OSC} 设置 (参见“设置开关频率”部分)。电感值并不需要严格遵守上面的等式，并且为了折衷考虑尺寸、成本、以及效率，可以对其进行调节。较低的电感值可以降低尺寸和成本，提高瞬态响应，但由于产生较高的峰值电流，同时也会降低效率。另一方面，较高的电感值可以降低 RMS 电流，从而提高效率。然而，额外的线圈会增大电阻损耗，从而抵消由低 AC 电流带来的益处，特别是在电感值增大但电感的尺寸没有增大时。

尽量选用符合尺寸要求、具有尽可能低 DC 电阻的低损耗电感。电感的额定饱和值必须高于定义的最大负载电流 ($I_{LOAD(MAX)}$) 下的峰值电感电流：

$$I_{PEAK} = I_{LOAD(MAX)} + \left(\frac{LIR}{2} \right) I_{LOAD(MAX)}$$

双通道180°异相降压控制器， 具有顺序控制/预偏置启动和上电复位功能

设置谷底电流限制

由于低端 MOSFET 的导通电阻被用作检流元件，最小限流门限必须足够高以支持最差的低端 MOSFET 导通电阻下所预期的最大负载电流。电感的谷底电流等于 $I_{LOAD(MAX)}$ 减去纹波电流的一半。在纹波电流谷底期间，检流门限电压 (V_{ITH}) 应该高于低端 MOSFET 上的电压：

$$V_{ITH} > R_{DS(ON,MAX)} \times I_{LOAD(MAX)} \times \left(1 - \frac{LIR}{2}\right)$$

其中 $R_{DS(ON)}$ 为低端 MOSFET (N_L) 的导通电阻。使用低端 MOSFET 数据手册中提供的 $R_{DS(ON)}$ 的最大值，建议为温度升高导致 $R_{DS(ON)}$ 增大留下额外的余量。较好的通用准则是 MOSFET 的结温每上升 1°C，电阻值将增大 0.5%。

$ILIM_$ 连接至 VL，将选取缺省的 100mV (典型值) 限流门限。如果需要可调门限，在 $ILIM_$ 和 GND 之间连接一个电阻 ($R_{ILIM_}$)。限流门限 (V_{ITH}) 和 $R_{ILIM_}$ 的关系式为：

$$R_{ILIM_} = \frac{V_{ITH_}}{0.5\mu A}$$

其中 $R_{ILIM_}$ 的单位为 Ω ， $V_{ITH_}$ 的单位为 V。

100k Ω 至 600k Ω 范围内的 R_{ILIM} 电阻对应的限流门限为 50mV 至 300mV。当调节电流门限时，误差 1% 的电阻能够尽量降低限流门限的误差。

对于折返电流限制，应在 $ILIM$ 引脚和输出之间连接一个电阻 (R_{FBI})。 R_{ILIM} 和 R_{FBI} 的值可以由下式计算：

首先选择折返的百分比 P_{FB} ，介于 15% 至 30%，然后计算：

$$R_{FBI} = \frac{P_{FB} \times V_{OUT}}{5 \times 10^{-6} (1 - P_{FB})}$$

和

$$R_{ILIM} = \frac{10 \times V_{ITH} (1 - P_{FB}) \times R_{FBI}}{V_{OUT} - 10 \times V_{ITH} (1 - P_{FB})}$$

如果 $R_{ILIM_}$ 的计算结果为负数，选择一个 $R_{DS(ON)}$ 更低的低端 MOSFET，或者增大 P_{FB} ，或者同时改变，以便折衷考虑成本、效率，及更低的短路功耗。

输入电容

输入滤波电容可降低来自电源的峰值电流，并且可以降低输入端由于电路开关所造成的噪声和电压纹波。输入电容必须满足由开关频率产生的纹波电流 (I_{RMS}) 要求，如下式所定义：

$$I_{RMS} = I_{LOAD} \frac{\sqrt{V_{OUT}(V_{IN} - V_{OUT})}}{V_{IN}}$$

当输入电压等于输出电压的两倍 ($V_{IN} \geq 2V_{OUT}$) 时， I_{RMS} 达到最大值，此时 $I_{RMS(MAX)} = I_{LOAD}/2$ 。对于大多数应用，非钽 (陶瓷、铝、或 OS-CON) 电容用在输入端是比较合适的，因为它们在高浪涌电流下可以稳定地工作，这在使用低阻电源系统中是非常典型的。此外，为了降低成本，可以并联两个 (或多个) 小容值低 ESR 电容。为了获得最佳的长期稳定性，选择输入电容使其在 RMS 输入电流下的温度升高不超过 +10°C。

输出电容

选择输出电容的关键参数是电容值、ESR、以及额定电压。这些参数会影响整个稳定性、输出纹波电压、以及瞬态响应。输出纹波包括两部分：存储在输出电容中的电荷变化，以及由流入和流出电容的电流在电容 ESR 上产生的压降：

$$V_{RIPPLE} \equiv V_{RIPPLE(ESR)} + V_{RIPPLE(C)}$$

双通道180°异相降压控制器， 具有顺序控制/预偏置启动和上电复位功能

MAX1858A/MAX1875A/MAX1876A

ESR和输出电容所造成的输出电压纹波为：

$$V_{\text{RIPPLE(ESR)}} = I_{\text{P-P}} R_{\text{ESR}}$$

$$V_{\text{RIPPLE(C)}} = \frac{I_{\text{P-P}}}{8C_{\text{OUT}} f_{\text{SW}}}$$

$$I_{\text{P-P}} = \left(\frac{V_{\text{IN}} - V_{\text{OUT}}}{f_{\text{SW}} L} \right) \left(\frac{V_{\text{OUT}}}{V_{\text{IN}}} \right)$$

其中 $I_{\text{P-P}}$ 为峰值电感电流(参见“电感选择”部分)。这些等式适用于初始电容选择，但最终参数必须通过在原型或者评估板上测试，并加以验证。

作为一个通用准则，较小的电感纹波电流产生较低的输出纹波电压。由于电感纹波电流依赖于电感值和输入电压，输出纹波电压会随电感的增大而降低，随输入电压的提高而增长。电感纹波电流还会影响瞬态响应性能，特别是对于 $V_{\text{IN}} - V_{\text{OUT}}$ 差值很低的情况。低电感值允许电感电流更快地变化，补偿由于突发阶跃负载导致输出滤波电容放电的电荷。输出电压垂度是最大占空比因子的一个函数，可以用最小关断时间和开关频率按照下式计算：

$$V_{\text{SAG}} = \frac{L(l_{\text{LOAD1}} - l_{\text{LOAD2}})^2 \left[\left(\frac{V_{\text{OUT}}}{V_{\text{IN}} f_{\text{SW}}} \right) + t_{\text{OFF(MIN)}} \right]}{2C_{\text{OUT}} V_{\text{OUT}} \left[\left(\frac{V_{\text{IN}} - V_{\text{OUT}}}{V_{\text{IN}} f_{\text{SW}}} \right) - t_{\text{OFF(MIN)}} \right]}$$

其中 $t_{\text{OFF(MIN)}}$ 为最小关断时间(参见“电气特性”部分)， f_{SW} 由 R_{OSC} 设置(参见“设置开关频率”部分)。

补偿

每个电压模式控制器都具有一个跨导误差放大器，其输出是控制环路的补偿点。控制环路如图9所示。对于远大于奈奎斯特频率的开关频率，PWM功能块可以被简化为一个电压放大器。在COMP和GND之间连接 R_{COMP} 和 C_{COMP_A} ，用于环路补偿(图9)。电感、输出电容、补偿电阻、以及补偿电容决定了环路的稳定性。由于选择电感和输出电容时需要考虑性能、尺寸、以及成本，因此选择适当的补偿电阻和电容，以使控制环路达到最佳的稳定性。

要确定环路增益(A_L)，考虑从FB至COMP的增益($A_{\text{COMP/FB}}$)、从COMP至LX的增益($A_{\text{LX/COMP}}$)、以及从LX至FB的增益($A_{\text{FB/LX}}$)。总环路增益为：

$$A_L = A_{\text{COMP/FB}} \times A_{\text{LX/COMP}} \times A_{\text{FB/LX}}$$

其中：

$$A_{\text{COMP/FB}} = \frac{V_{\text{COMP}}}{V_{\text{FB}}} \cong \frac{g_{\text{M_COMP}}}{sC_{\text{COMP}}} \times \frac{1 + sR_{\text{COMP}}C_{\text{COMP}_A}}{1 + sR_{\text{COMP}}C_{\text{COMP}_B}}$$

假设积分器是理想的，并假设 C_{COMP_B} 远低于 C_{COMP_A} ：

$$A_{\text{LX/COMP}} = \frac{V_{\text{LX}}}{V_{\text{COMP}}} = \frac{V_{\text{IN}}}{V_{\text{RAMP}}}$$

其中 $V_{\text{RAMP}} = 1V_{\text{P-P}}$ ：

$$A_{\text{FB/LX}} = \frac{V_{\text{FB}}}{V_{\text{LX}}} = \frac{V_{\text{SET}}}{V_{\text{OUT}}} \frac{1 + sR_{\text{ESR}}C_{\text{OUT}}}{s^2LC_{\text{OUT}} + sR_{\text{ESR}}C_{\text{OUT}} + 1}$$

$$\cong \frac{V_{\text{SET}}}{V_{\text{OUT}}} \frac{1 + sR_{\text{ESR}}C_{\text{OUT}}}{s^2LC_{\text{OUT}} + 1}$$

因此：

$$A_L \cong \frac{g_{\text{M_COMP}}}{sC_{\text{COMP}_A}} \times \frac{1 + sR_{\text{COMP}}C_{\text{COMP}_A}}{1 + sR_{\text{COMP}}C_{\text{COMP}_B}} \times \frac{V_{\text{IN}}}{V_{\text{RAMP}}} \times \frac{V_{\text{SET}}}{V_{\text{OUT}}} \times \frac{1 + sR_{\text{ESR}}C_{\text{OUT}}}{s^2LC_{\text{OUT}} + 1}$$

对于理想的积分器，DC环路增益接近于无穷大。实际上， g_{M} 放大器呈现有限的输出阻抗，产生有限的，但较大的环路增益。正是这个较大的环路增益提供了DC负载的精度。积分器产生主极点，为了便于分析，可认为其近似出现在DC。 R_{COMP} 产生的零点为：

$$f_{\text{Z_COMP}_A} = \frac{1}{2\pi \times R_{\text{COMP}} \times C_{\text{COMP}_A}}$$

双通道180°异相降压控制器， 具有顺序控制/预偏置启动和上电复位功能

MAX1858A/MAX1875A/MAX1876A

电感和电容形成的双极点为：

$$f_{LC} = \frac{1}{2\pi \times \sqrt{LC_{OUT}}}$$

在一些较高的频率下，相对于其 ESR，输出电容的阻抗会变得很小，LC 系统更接近于一个 LR 系统，使双极点变为单极点。这一零点出现在：

$$f_{ESR} = \frac{1}{2\pi \times R_{ESR}C_{OUT}}$$

C_{COMP_B} 增加一个极点，可以降低交越频率之后的增益和衰减噪声。这一极点位于：

$$f_{COMP_B} = \frac{1}{2\pi \times R_{COMP}C_{COMP_B}}$$

图10显示了零极点的波特图以及它们的相对位置。

在交越频率附近，可以采用以下近似，以简化环路增益等式：

- R_{COMP} 的阻抗远高于 C_{COMP} 。当且仅当截止频率高于 $f_{Z_COMP_A}$ 时，该假设为真。如果该假设成立，则 C_{COMP_A} 可以被忽略(视为短路至地)。
- R_{ESR} 的阻抗远高于 C_{OUT} 。当且仅当截止频率出现在输出 ESR 零点之后时，该假设为真。如果该假设成立，则 C_{OUT} 对环路增益影响极小，可以被忽略(视为短路至地)。

- C_{COMP_B} 的阻抗远高于 R_{COMP} ，可以被忽略(视为开路)。当且仅当截止频率远远低于 f_{COMP_B} 时，该假设为真。

在图9的电路中，使用以上近似，可以得出环路增益等式：

$$A_L \equiv \frac{V_{IN}}{V_{RAMP}} \times \frac{V_{SET}}{V_{OUT}} \times \frac{g_{M_COMP} \times R_{COMP} \times R_{ESR}}{sL}$$

设置环路增益为1，求解截止频率可得：

$$f_{CO} = GBW = \frac{V_{IN}}{V_{RAMP}} \times \frac{V_{SET}}{V_{OUT}} \times \frac{g_{M_COMP} \times R_{COMP} \times R_{ESR}}{2\pi \times L}$$

为确保稳定性，选择 R_{COMP} 以满足以下的标准：

- 单位增益截止频率必须低于 1/5 的开关频率。
- 对于合理的相位裕量，采用类型1补偿， f_{CO} 必须大于 5 倍的 f_{ESR} 。

使用下式确定 C_{COMP_A} ，以使 $f_{Z_COMP_A}$ 等于 f_{LC} 的一半：

$$C_{COMP_A} = \frac{2 \times \sqrt{LC_{OUT}}}{R_{COMP}}$$

使用下式确定 C_{COMP_B} ，以使 f_{COMP_B} 等于 f_{CO} 的3倍：

$$C_{COMP_B} = \frac{1}{2\pi \times (3 \times f_{CO}) \times R_{COMP}}$$

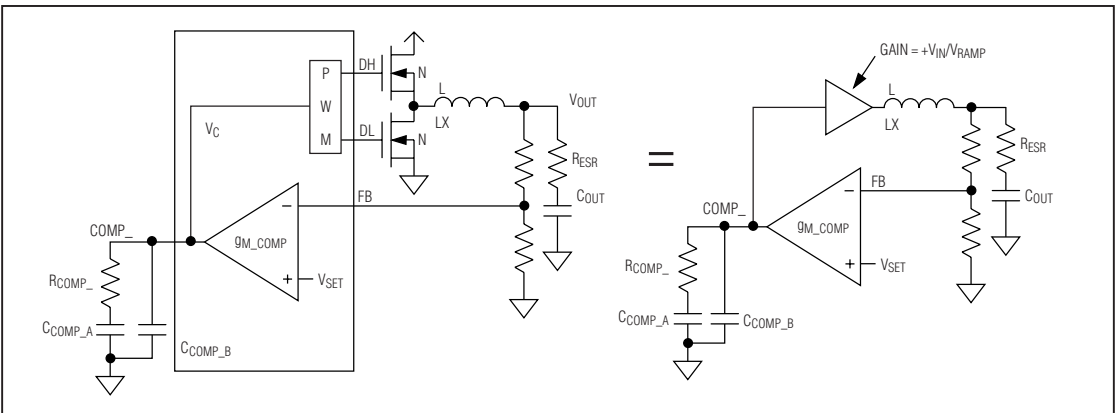


图9. 固定频率电压模式控制环路

双通道180°异相降压控制器， 具有顺序控制/预偏置启动和上电复位功能

MOSFET选择

MAX1858A/MAX1875A/MAX1876A 降压控制器驱动两个用作开关元件的外部逻辑电平N沟道MOSFET。关键的选择参数为：

- 导通电阻 ($R_{DS(ON)}$)
- 最大漏源电压 ($V_{DS(MAX)}$)
- 最小开启电压 ($V_{TH(MIN)}$)
- 总栅极电荷 (Q_g)
- 反向传输电容 (C_{RSS})
- 额定功率

所有的4个N沟道 MOSFET的逻辑电平类型必须满足在 $V_{GS} \geq 4.5V$ 时达到导通电阻指标。为获得最高的效率，选择在最佳输入电压下，导通损耗等于开关损耗的高端MOSFET($N_{H_}$)。应确保最小输入电压下的导通损耗不会超过MOSFET的封装热功率限制，或者超出热预算。同样，还应确保在最大输入电压下的导通损耗与开关损耗之和不超过封装额定热功耗，或者超出热预算。

确保MAX1858A/MAX1875A/MAX1876A的 $DL_$ 栅极驱动器能够驱动 $N_{L_}$ 。特别是确保 $N_{H_}$ 导通引起的 dv/dt 不会通过 $N_{L_}$ 的漏极-栅极电容将 $N_{L_}$ 的栅极电压拉高，导致交叉导通问题。

栅极电荷损耗由驱动器耗散，不会使MOSFET升温。所有的MOSFET都必须保证它们的总栅极电荷足够低，以使 V_L 可以为所有的4个驱动器供电而不会导致芯片过热：

$$P_{VL} = V_{IN} \times Q_{G_TOTAL} \times f_{SW}$$

MOSFET的封装功耗通常是一个主导的设计因素。 I^2R 功耗是高端和低端MOSFET最大的热量来源。 I^2R 损耗根据以下等式中的占空比因子，在 $N_{H_}$ 和 $N_{L_}$ 之间分配。开关损耗仅仅影响高端MOSFET，因为当使用降压结构时，低端MOSFET为零电压开关器件。

根据封装的热电阻规格计算MOSFET的温升，以确保两个MOSFET的结温在最高的环境温度下仍低于规定的最大值。高端MOSFET的最坏情况功率损耗 (P_{NH}) 出现在最低和最高输入电压下，而低端MOSFET的最坏情况功率损耗 (P_{NL}) 出现在最高输入电压下。

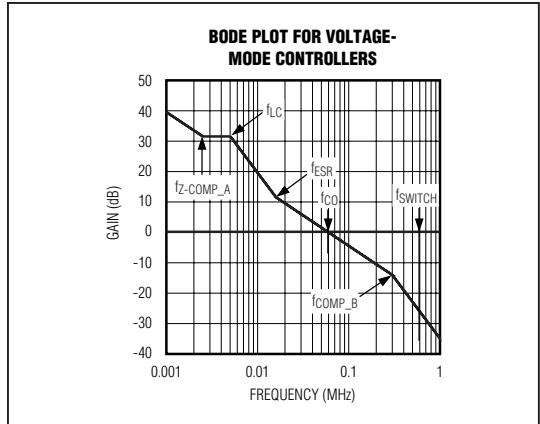


图10. 电压模式环路分析

$$P_{NH(SWITCHING)} = V_{IN} I_{LOAD} f_{SW} \left(\frac{Q_{GS} + Q_{GD}}{I_{GATE}} \right)$$

I_{GATE} 是DH驱动器的平均输出电流能力，由下式决定：

$$I_{GATE} = \frac{V_L}{2(R_{DS(ON)DH} + R_{GATE} + R_{GMOSFET})}$$

其中 $R_{DS(ON)DH}$ 为高端MOSFET驱动器的导通电阻(最大值 5Ω)， R_{GATE} 为DH和BST之间的串联阻抗(图5)， $R_{GMOSFET}$ 为外部MOSFET的内部栅极电阻：

$$P_{NH(CONDUCTION)} = I_{LOAD}^2 R_{DS(ON)NH} \left(\frac{V_{OUT}}{V_{IN}} \right)$$

$$P_{NH(TOTAL)} = P_{NH(SWITCHING)} + P_{NH(CONDUCTION)}$$

$$P_{NL} = I_{LOAD}^2 R_{DS(ON)NL} \left(1 - \left(\frac{V_{OUT}}{V_{IN}} \right) \right)$$

其中 $P_{NH(CONDUCTION)}$ 为高端MOSFET的传导功耗， P_{NL} 为总的低端功耗。

为降低开关噪声引起的EMI，可在高端开关漏极和低端开关源极之间并联一个 $0.1\mu F$ 陶瓷电容，或者在 $DL_$ 和 $DH_$ 端串联电阻，以增加MOSFET的导通和关断时间。

MAX1858A/MAX1875A/MAX1876A

双通道180°异相降压控制器， 具有顺序控制/预偏置启动和上电复位功能

MAX1858A/MAX1875A/MAX1876A

应用信息

压差性能

当输入电压较低时，连续导通工作的输出电压调节范围受到最小关断时间 ($t_{\text{OFF(MIN)}}$) 的限制。为获得最好的压差性能，应使用最低的 (100kHz) 开关频率。制造过程产生的误差和内部传播延时会引入开关频率和最小关断时间误差。该误差随频率升高而增大。此外，也请记住工作点在接近压差时降压稳压器的瞬态响应性能是比较差的，需要增加较大的输出电容 (参见“设计过程”部分的 V_{SAG} 等式)。

绝对压差点是指电感电流在最小关断时间的下降量 (ΔI_{DOWN}) 等于在导通时间内的上升量 (ΔI_{UP})。比率 $h = \Delta I_{\text{UP}} / \Delta I_{\text{DOWN}}$ 指示在负载增大时控制器使电感电流增大的能力，必须总是大于1。当 h 接近 1，即绝对的最小压差点时，电感电流在每个开关周期内不能按照要求增加，而 V_{SAG} 会增大很多，除非增加输出电容。

h 比较合理的最小值是 1.5，但是，可以适当调整该值，允许在 V_{SAG} 、输出电容、以及最小工作电压之间折衷考虑。对于给定的 h 值，最小工作电压可以由下式计算：

$$V_{\text{IN(MIN)}} = \left[\frac{V_{\text{OUT}} + V_{\text{DROPI}}}{1 - hf_{\text{SW}}t_{\text{OFF(MIN)}}} \right] + V_{\text{DROPI}} - V_{\text{DROPI}}$$

其中 V_{DROPI} 为电感放电通道上的固有压降之和，包含同步整流器、电感、以及 PC 板电阻。 V_{DROPI} 为充电通道上的阻抗之和，包括高端开关、电感、以及 PC 板电阻； $t_{\text{OFF(MIN)}}$ 参见“电气特性”部分。绝对最小输入电压计算时使用 $h = 1$ 。

如果计算所得的 $V_{\text{IN(MIN)}}$ 大于所要求的最小输入电压，必须降低工作频率或者增加输出电容，以获得可接受的 V_{SAG} 。如果期望工作在压差附近，仔细计算 V_{SAG} ，以保证满意的瞬态响应。

压差设计实例：

$$\begin{aligned} V_{\text{OUT}} &= 5\text{V} \\ f_{\text{SW}} &= 600\text{kHz} \\ t_{\text{OFF(MIN)}} &= 250\text{ns} \\ V_{\text{DROPI}} = V_{\text{DROPI}} &= 100\text{mV} \\ h &= 1.5 \end{aligned}$$

$$V_{\text{IN(MIN)}} = \left[\frac{5\text{V} + 100\text{mV}}{1 - 1.5(600\text{kHz})(250\text{ns})} \right] + 100\text{mV} - 100\text{mV} = 6.58\text{V}$$

使用 $h = 1$ 重新进行计算，得到压差的极限值：

$$V_{\text{IN(MIN)}} = \left[\frac{5\text{V} + 100\text{mV}}{1 - (600\text{kHz})(250\text{ns})} \right] + 100\text{mV} - 100\text{mV} = 6\text{V}$$

因此，即使输出电容非常大， V_{IN} 也必须高于 6V。实际中，使用合理的输出电容，输入电压推荐为 6.58V。

改善抗噪能力

当 MAX1858A/MAX1875A/MAX1876A 工作于噪声环境下时，通常需要调节控制器的补偿，以改善系统的抗噪能力。特别是耦合到反馈环路的高频噪声会导致占空比抖动。解决方法是降低截止频率 (参见“补偿”部分)。

PC板布局准则

精细的 PC 板布局对于实现低开关损耗和正常稳定工作十分重要。尤其对于通道之间互相影响的双通道转换器更是如此。请参考 MAX1858 EV kit 或者 MAX1875 EV kit 数据手册，以获得具体的布局实例。

双通道180°异相降压控制器， 具有顺序控制/预偏置启动和上电复位功能

布局过程

如果可能，应将所有功率器件安装在电路板的顶层，并使它们的接地端子彼此靠近。遵循下列准则将获得良好的布局：

- 使用地屏蔽层将功率元件所在的顶层和模拟元件所在的底层隔开。在OUT1和OUT2侧使用单独的PGND层(称为PGND1和PGND2)。避免AC电流进入PGND1和PGND2地线层。使功率层的地电流仅存在于顶层。
- 在功率层使用星型地线连接，以降低OUT1和OUT2之间的串扰。
- 高电流通路要尽可能短，尤其是接地端子。这对于实现稳定、无抖动的工作十分重要。
- 在距离芯片较近处连接GND和PGND。不要在其他地方连接两者。遵循“布局过程”第4步的接地准则。
- 保持电源线和负载连线尽可能短。这对于提高效率十分重要。采用厚铜膜印制板(2oz对比1oz)可使满载效率提高1%或更多。
- LX_和PGND的同步整流器用于限制电流，必须采用Kelvin检测连接方式，以保证限流的精度。使用8引脚SO MOSFET时，最好的方式是采用顶层铜膜将电源从外部连接至MOSFET，同时在8引脚SO封装下方连接PGND和LX_。
- 当必须对走线长度进行折衷时，宁可使电感的充电电流路径长于放电路径。由于在降压转换器中平均输入电流低于平均输出电流，这样可以降低功率损耗和由于线路板电阻引起的电压降。例如，相对于电感和低端MOSFET或电感和输出滤波电容之间的距离，输入电容和高端MOSFET之间的距离允许更长一些。
- 确保反馈连至C_{OUT}的连线短且无过孔。高频开关节点(BST_、LX_、DH_、和DL_)的布线要远离敏感的模拟区域(REF_、FB_、CSP_、CSN_)。使用PGND1和PGND2作为EMI屏蔽，以使辐射噪声远离芯片、反馈分压器、以及模拟旁路电容。
- 将所有的引脚控制输入(ILIM_、SYNC_、以及EN)连接至模拟地(GND)，而不是功率地(PGND)。

- 1) 首先放置功率元件，使接地端子临近(N_L源极、C_{IN}、C_{OUT})。所有这些连接应该采用电路板顶层的大面积积敷铜完成(推荐2oz的铜膜厚度)。
- 2) 使控制器IC临近同步整流器MOSFET(NL_)，最好安装在背面，以保证LX_、PGND_、以及DL_连线尽可能又短又宽。DL_栅极连线必须又短又宽，如果MOSFET距离控制器芯片1英寸，线宽应为50mils至100mils。
- 3) 使栅极驱动元件(BST_二极管和电容、V_L旁路电容)相互接近并靠近控制器芯片。
- 4) DC-DC控制器地线连接如下：在芯片附近创建一个小的模拟地线层。将此层连接至GND，并使用此层作为基准(REF)、V+旁路电容、补偿元件、反馈分压器、OSC电阻、以及ILIM_电阻(如果存在)的地线连接。在芯片下方连接GND和PGND(这是GND和PGND的唯一连接点)。
- 5) 在电路板的顶层(功率层)，采用星型地线连接，以降低双方的串扰。

芯片信息

TRANSISTOR COUNT: 6688
PROCESS: BiCMOS

MAX1858A/MAX1875A/MAX1876A

双通道180°异相降压控制器， 具有顺序控制/预偏置启动和上电复位功能

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-ic.com/packages。)

MAX1858A/MAX1875A/MAX1876A

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.061	.068	1.55	1.73
A1	.004	.0098	0.102	0.249
A2	.055	.061	1.40	1.55
B	.008	.012	0.20	0.30
C	.0075	.0098	0.191	0.249
D	SEE VARIATIONS			
E	.150	.157	3.81	3.99
e	.025 BSC		0.635 BSC	
H	.230	.244	5.84	6.20
h	.010	.016	0.25	0.41
L	.016	.035	0.41	0.89
N	SEE VARIATIONS			
α	0°	8°	0°	8°

DIM	INCHES		MILLIMETERS		N
	MIN.	MAX.	MIN.	MAX.	
D	.189	.196	4.80	4.98	16 AB
S	.0020	.0070	0.05	0.18	
D	.337	.344	8.56	8.74	20 AD
S	.0500	.0550	1.270	1.397	
D	.337	.344	8.56	8.74	24 AE
S	.0250	.0300	0.635	0.762	
D	.386	.393	9.80	9.98	28 AF
S	.0250	.0300	0.635	0.762	

NOTES:
 1). D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.
 2). MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006" PER SIDE.
 3). CONTROLLING DIMENSIONS: INCHES.
 4). MEETS JEDEC MO137.

VARIATIONS:

DALLAS SEMICONDUCTOR					
MAXIM					
PROPRIETARY INFORMATION					
TITLE					
PACKAGE OUTLINE, QSOP .150", .025" LEAD PITCH					
APPROVAL	DOCUMENT CONTROL NO.	REV.			
	21-0055	E	1/1		

MAXIM北京办事处

北京8328信箱 邮政编码100083
 免费电话: 800 810 0310
 电话: 010-6201 0598
 传真: 010-6201 0298

Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

22 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 2003 Maxim Integrated Products Printed USA
 项目开发 芯片解密 零件配单 TEL:15013652265 QQ:38537442