



7.5Mps、超低功耗 模拟前端

MAX19700

可提供评估板

概述

MAX19700是超低功耗、混合信号模拟前端(AFE)，设计用于TD-SCDMA手机和数据卡。MAX19700经过优化能够以极低的功耗获得较高动态性能，集成了双路10位7.5Mps接收(Rx)ADC、双路10位7.5Mps发送(Tx)DAC、TD-SCDMA基带滤波器和三路用于辅助RF前端控制的快速建立、12位DAC。在Tx-Rx FAST模式、5.12Mps时钟频率下，典型功耗为36.3mW。

Rx ADC在输入1.87MHz信号、采样率为7.5Mps时具有54.9dB SINAD和78dBc SFDR。模拟I/Q输入放大器为全差分结构，可接受1.024V_{P-P}满量程信号。I/Q通道匹配度典型值为：相位±0.22°、增益±0.02dB。

带TD-SCDMA低通滤波器的Tx DAC在f_{IMAGE} = 4.32MHz时，-3dB截止频率为1.27MHz，阻带抑制 >55dB。模拟I/Q满量程输出电压范围可选择为±410mV或±500mV。输出共模电压在0.9V至1.4V之间可选，并且I/Q信道失调可调节。I/Q信道匹配度典型值为：增益±0.05dB和相位±0.16°。

Rx ADC和Tx DAC共享10位并行高速数字总线，在时分复用(TDD)系统中提供半双工工作模式。3线串行接口控制电源管理模式及辅助DAC信道。

MAX19700采用+2.7V至+3.3V模拟电源，+1.8V至+3.3V数字I/O电源。MAX19700适用于扩展工业级温度范围(-40°C至+85°C)，提供48引脚、薄型QFN封装。

应用

TD-SCDMA手机
TD-SCDMA数据卡
便携式通信设备

订购信息

PART*	PIN-PACKAGE	PKG CODE
MAX19700ETM	48 Thin QFN-EP**	T4877-4
MAX19700ETM+	48 Thin QFN-EP**	T4877-4

*所有器件指定工作在-40°C至+85°C范围内。

**EP = 裸露焊盘。

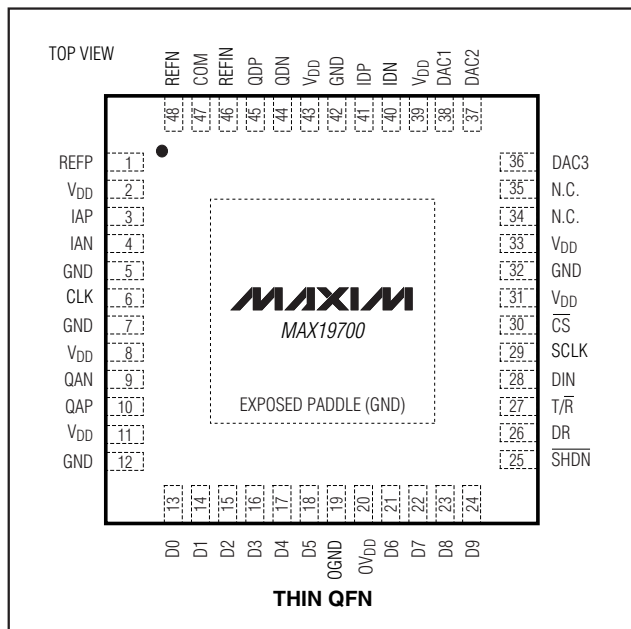
+号表示无铅封装

原理图在数据资料末尾。

特性

- ◆ 双路10位Rx ADC和双路10位Tx DAC
- ◆ 超低功耗
 - f_{CLK} = 5.12Mps快速模式时36.3mW
 - f_{CLK} = 5.12Mps低速模式时19.8mW
 - 低电流待机模式和关断模式
- ◆ 集成TD-SCDMA滤波器，阻带抑制>55dB
- ◆ 优异的动态范围
 - f_{IN} = 1.87MHz (Rx ADC) 时，SINAD = 54.9dB
 - f_{OUT} = 620kHz (Tx ADC) 时，SFDR = 76.5dBc
- ◆ 优异的增益/相位匹配度
 - f_{IN} = 1.87MHz、-0.5dBFS时，匹配度为：相位±0.22°、增益±0.02dB (Rx ADC)
- ◆ 三路12位、1μs辅助DAC
- ◆ 单电源供电
- ◆ 多路复用并行数字I/O
- ◆ 串行接口控制
- ◆ 通用电源控制电路
 - 关断、待机、空闲、Tx-Rx禁用
- ◆ 小尺寸、48引脚、薄型QFN封装 (7mm x 7mm x 0.8mm)

引脚定义



7.5MSPS、超低功耗 模拟前端

MAX19700

ABSOLUTE MAXIMUM RATINGS

V _{DD} to GND, OV _{DD} to OGND	-0.3V to +3.4V	Continuous Power Dissipation (T _A = +70°C)	
GND to OGND	-0.3V to +0.3V	48-Pin Thin QFN (derate 26.3mW/°C above +70°C)	2.1W
IAP, IAN, QAP, QAN, IDP, IDN, QDP, QDN, REFP, REFN, REFIN, COM, DAC1, DAC2, DAC3 to GND	-0.3V to (V _{DD} + 0.3V)	Thermal Resistance θ_{JA}	38°C/W
DO-D9, DR, T/R, SHDN, SCLK, DIN, CS, CLK to OGND	-0.3V to (OV _{DD} + 0.3V)	Operating Temperature Range	-40°C to +85°C
		Junction Temperature	+150°C
		Storage Temperature Range	-60°C to +150°C
		Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = 3V, OV_{DD} = 1.8V, internal reference (1.024V), C_L = 10pF on all digital outputs, f_{CLK} = 7.5MHz (50% duty cycle), ADC input amplitude = -0.5dBFS, DAC output amplitude = 0dBFS, differential ADC input, differential DAC output, C_{REFP} = C_{REFN} = C_{COM} = 0.33μF. Typical values are at T_A = +25°C, unless otherwise noted. C_L < 5pF on all aux-DAC outputs.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER REQUIREMENTS						
Analog Supply Voltage	V _{DD}		2.7	3.0	3.3	V
Output Supply Voltage	OV _{DD}		1.8		V _{DD}	V
V _{DD} Supply Current		Ext1-Tx, Ext3-Tx, and SPI2-Tx states; transmit DAC operating mode (Tx), f _{CLK} = 5.12MHz, f _{OUT} = 620kHz on both channels; aux-DACs ON and at midscale		10.3		mA
		Ext2-Tx, Ext4-Tx, and SPI4-Tx states; transmit DAC operating mode (Tx), f _{CLK} = 5.12MHz, f _{OUT} = 620kHz on both channels; aux-DACs ON and at midscale		12.4		
		Ext1-Rx, Ext4-Rx, and SPI3-Rx states; receive ADC operating mode (Rx), f _{CLK} = 5.12MHz, f _{IN} = 1.87MHz on both channels; aux-DACs ON and at midscale		12.1		
		Ext2-Rx, Ext3-Rx, and SPI1-Rx modes; receive ADC operating mode (Rx), f _{CLK} = 5.12MHz, f _{IN} = 1.87MHz on both channels; aux-DACs ON and at midscale		6.6		
		Ext2-Tx, Ext4-Tx, and SPI4-Tx modes; transmit DAC operating mode (Tx), f _{CLK} = 7.5MHz, f _{OUT} = 620kHz on both channels; aux-DACs ON and at midscale		13.1	16	
		Ext1-Tx, Ext3-Tx, and SPI2-Tx modes; transmit DAC operating mode (Tx), f _{CLK} = 7.5MHz, f _{OUT} = 620kHz on both channels; aux-DACs ON and at midscale		10.4		

7.5Mps、超低功耗
模拟前端

MAX19700

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = 3V, OV_{DD} = 1.8V, internal reference (1.024V), C_L ≈ 10pF on all digital outputs, f_{CLK} = 7.5MHz (50% duty cycle), ADC input amplitude = -0.5dBFS, DAC output amplitude = 0dBFS, differential ADC input, differential DAC output, C_{REFP} = C_{REFN} = C_{COM} = 0.33μF. Typical values are at T_A = +25°C, unless otherwise noted. C_L < 5pF on all aux-DAC outputs.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
V _{DD} Supply Current		Ext1-Rx, Ext4-Rx, and SPI3-Rx modes; receive ADC operating mode (Rx), f _{CLK} = 7.5MHz, f _{IN} = 1.87MHz on both channels; aux-DACs ON and at midscale		12.8	16	mA
		Ext2-Rx, Ext3-Rx, and SPI1-Rx modes; receive ADC operating mode (Rx), f _{CLK} = 7.5MHz, f _{IN} = 1.87MHz on both channels; aux-DACs ON and at midscale		7		
		Standby mode, CLK = 0 or OV _{DD} ; aux-DACs ON and at midscale		2.7	4	
		Idle mode, f _{CLK} = 7.5MHz; aux-DACs ON and at midscale		4.7	6	
		Shutdown mode, CLK = 0 or OV _{DD}		0.7	μA	
OV _{DD} Supply Current		Ext1-Rx, Ext2-Rx, Ext3-Rx, Ext4-Rx, SPI1-Rx, SPI3-Rx modes; receive ADC operating mode (Rx), f _{CLK} = 7.5MHz, f _{IN} = 1.87MHz on both channels; aux-DACs ON and at midscale		1.38		mA
		Ext1-Tx, Ext2-Tx, Ext3-Tx, Ext4-Tx, SPI2-Tx, SPI4-Tx modes; transmit DAC operating mode (Tx), f _{CLK} = 7.5MHz, f _{OUT} = 620kHz; aux-DACs ON and at midscale		72.9	μA	
		Idle mode, f _{CLK} = 7.5MHz; aux-DACs ON and at midscale		10.9		
		Shutdown mode, CLK = 0 or OV _{DD}		0.01		
		Standby mode, CLK = 0 or OV _{DD} ; aux-DACs ON and at midscale		0.03		
Rx ADC DC ACCURACY						
Resolution			10			Bits
Integral Nonlinearity	INL			±0.85		LSB
Differential Nonlinearity	DNL			±0.55		LSB
Offset Error		Residual DC offset error		±0.5	±5	%FS
Gain Error		Include reference error		±1.1	±5	%FS
DC Gain Matching				±0.01	±0.25	dB
Offset Matching				±4.5		LSB
Gain Temperature Coefficient				±15.7		ppm/°C
Power-Supply Rejection	PSRR	Offset error (V _{DD} ±5%)		±0.2		LSB
		Gain error (V _{DD} ±5%)		±0.04		%FS

7.5MSPS、超低功耗 模拟前端

MAX19700

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 7.5MHz$ (50% duty cycle), ADC input amplitude = -0.5dBFS, DAC output amplitude = 0dBFS, differential ADC input, differential DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$. Typical values are at $T_A = +25^\circ C$, unless otherwise noted. $C_L < 5pF$ on all aux-DAC outputs.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Rx ADC ANALOG INPUT						
Input Differential Range	V_{ID}	Differential or single-ended inputs		±0.512		V
Input Common-Mode Voltage Range	V_{CM}			$V_{DD} / 2$		V
Input Impedance	R_{IN}	Switched capacitor load		720		k Ω
	C_{IN}			5		pF
Rx ADC CONVERSION RATE						
Maximum Clock Frequency	f_{CLK}	(Note 2)			7.5	MHz
Data Latency (Figure 3)		Channel I		5		Clock Cycles
		Channel Q		5.5		
Rx ADC DYNAMIC CHARACTERISTICS (Note 3)						
Signal-to-Noise Ratio	SNR	$f_{IN} = 1.875MHz$, $f_{CLK} = 7.5MHz$	53.7	55		dB
		$f_{IN} = 3.5MHz$, $f_{CLK} = 7.5MHz$		54.8		
Signal-to-Noise Plus Distortion	SINAD	$f_{IN} = 1.875MHz$, $f_{CLK} = 7.5MHz$	53.6	54.9		dB
		$f_{IN} = 3.5MHz$, $f_{CLK} = 7.5MHz$		54.7		
Spurious-Free Dynamic Range	SFDR	$f_{IN} = 1.875MHz$, $f_{CLK} = 7.5MHz$	66	78		dBc
		$f_{IN} = 3.5MHz$, $f_{CLK} = 7.5MHz$		70.1		
Third-Harmonic Distortion	HD3	$f_{IN} = 1.875MHz$, $f_{CLK} = 7.5MHz$		-84		dBc
		$f_{IN} = 3.5MHz$, $f_{CLK} = 7.5MHz$		-72.1		
Intermodulation Distortion	IMD	$f_1 = 1.8MHz$, -7dBFS; $f_2 = 1MHz$, -7dBFS		-75.6		dBc
Third-Order Intermodulation Distortion	IM3	$f_1 = 1.8MHz$, -7dBFS; $f_2 = 1MHz$, -7dBFS		-78		dBc
Total Harmonic Distortion	THD	$f_{IN} = 1.875MHz$, $f_{CLK} = 7.5MHz$		-77.9	-64	dBc
		$f_{IN} = 3.5MHz$, $f_{CLK} = 7.5MHz$		-71		
Aperture Delay				3.5		ns
Overdrive Recovery Time		1.5x full-scale input		2		ns
Rx ADC INTERCHANNEL CHARACTERISTICS						
Crosstalk Rejection		$f_{INX,Y} = 1.875MHz$ at -0.5dBFS, $f_{INX,Y} = 1MHz$ at -0.5dBFS (Note 4)		-85		dB
Amplitude Matching		$f_{IN} = 1.875MHz$ at -0.5dBFS (Note 5)		±0.02		dB
Phase Matching		$f_{IN} = 1.875MHz$ at -0.5dBFS (Note 5)		±0.22		Degrees

7.5Mps、超低功耗 模拟前端

MAX19700

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 7.5MHz$ (50% duty cycle), ADC input amplitude = -0.5dBFS, DAC output amplitude = 0dBFS, differential ADC input, differential DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$. Typical values are at $T_A = +25^\circ C$, unless otherwise noted. $C_L < 5pF$ on all aux-DAC outputs.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Tx DAC DC ACCURACY						
Resolution	N		10			Bits
Integral Nonlinearity	INL			±0.45		LSB
Differential Nonlinearity	DNL	Guaranteed monotonic (Note 6)		±0.26		LSB
Residual DC Offset	V_{OS}	$T_A > +25^\circ C$	-4	±1	+4	mV
		$T_A < +25^\circ C$	-6.5	±1	+6.5	
Full-Scale Gain Error		Include reference error (peak-to-peak error)	-50		+50	mV
TRANSMIT-PATH DYNAMIC PERFORMANCE						
Corner Frequency		3dB corner	1.1	1.27	1.5	MHz
Passband Ripple		DC to 640kHz (Note 6)		0.28	0.5	dBp-p
Group Delay Variation in Passband		DC to 640kHz, guaranteed by design		50	100	ns
Error-Vector Magnitude	EVM	DC to 700kHz		2		%
Stopband Rejection		$f_{IMAGE} = 4.32MHz$, $f_{OUT} = 800kHz$, $f_{CLK} = 5.12MHz$	55			dBc
Baseband Attenuation		Spot relative to 100kHz	2MHz	20		dB
			4MHz	46.5		
			5MHz	54.7		
			10MHz	81		
			20MHz	88		
DAC Conversion Rate	f_{CLK}	(Note 2)			7.5	MHz
In-Band Noise Density	N_D	$f_{OUT} = 620kHz$, $f_{CLK} = 5.12MHz$, offset = 500kHz		-121.7		dBc/Hz
Third-Order Intermodulation Distortion	IM3	$f_1 = 620kHz$, $f_2 = 640kHz$		76		dBc
Glitch Impulse				10		pV•s
Spurious-Free Dynamic Range to Nyquist	SFDR	$f_{CLK} = 7.5MHz$, $f_{OUT} = 620kHz$	60	76.5		dBc
Total Harmonic Distortion to Nyquist	THD	$f_{CLK} = 7.5MHz$, $f_{OUT} = 620kHz$		-74.8	-59	dB
Signal-to-Noise Ratio to Nyquist	SNR	$f_{CLK} = 7.5MHz$, $f_{OUT} = 620kHz$		57.1		dB

7.5MSPS、超低功耗 模拟前端

MAX19700

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 7.5MHz$ (50% duty cycle), ADC input amplitude = -0.5dBFS, DAC output amplitude = 0dBFS, differential ADC input, differential DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$. Typical values are at $T_A = +25^\circ C$, unless otherwise noted. $C_L < 5pF$ on all aux-DAC outputs.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TRANSMIT-PATH INTERCHANNEL CHARACTERISTICS						
I-to-Q Output Isolation		$f_{OUTX,Y} = 500kHz$, $f_{OUTX,Y} = 620kHz$		85		dB
Gain Mismatch Between DAC Outputs		Measured at DC	-0.3	± 0.05	+0.3	dB
Phase Mismatch Between DAC Outputs		$f_{OUT} = 620kHz$, $f_{CLK} = 7.5MHz$		± 0.16		Degrees
Differential Output Impedance				800		Ω
TRANSMIT-PATH ANALOG OUTPUT						
Full-Scale Output Voltage (Table 6)	V_{FS}	Bit E7 = 0 (default)		± 410		mV
		Bit E7 = 1		± 500		
Output Common-Mode Voltage (Table 8)		Bits CM1 = 0, CM0 = 0 (default)	1.32	1.4	1.48	V
		Bits CM1 = 0, CM0 = 1		1.25		
		Bits CM1 = 1, CM0 = 0		1.1		
		Bits CM1 = 1, CM0 = 1		0.9		
RECEIVE TRANSMIT-PATH INTERCHANNEL CHARACTERISTICS						
Receive Transmit Isolation		ADC $f_{INI} = f_{INQ} = 1.875MHz$, DAC $f_{OUTI} = f_{OUTQ} = 620kHz$, $f_{CLK} = 7.5MHz$		85		dB
AUXILIARY DACs (DAC1, DAC2, DAC3)						
Resolution		(Note 6)		12		Bits
Integral Nonlinearity	INL			± 1.25		LSB
Differential Nonlinearity	DNL	Guaranteed monotonic over codes 100 to 4000 (Note 6)		± 0.65		LSB
Gain Error	GE	$R_L > 200k\Omega$		± 0.7		%FS
Zero-Code Error				± 0.6		%FS
Output-Voltage Low	V_{OL}	$R_L > 200k\Omega$			0.1	V
Output-Voltage High	V_{OH}	$R_L > 200k\Omega$	2.56			V
DC Output Impedance		DC output at midscale		4		Ω
Settling Time		From 1/4 FS to 3/4 FS		1		μs
Glitch Impulse		From 0 to FS transition		24		nV*s
Rx ADC-Tx DAC TIMING CHARACTERISTICS						
CLK Rise to Channel-I Output Data Valid	t_{DOI}	Figure 3 (Note 6)		6.9	10	ns
CLK Fall to Channel-Q Output Data Valid	t_{DOQ}	Figure 3 (Note 6)		9.3	13	ns
CLK Rise/Fall to DR Rise/Fall Time	t_{DR}	Figure 3 (Note 6)		8.5	12	ns
I-DAC DATA to CLK Fall Setup Time	t_{DSI}	Figure 5 (Note 6)	10			ns

7.5Mps、超低功耗 模拟前端

MAX19700

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = 3V, OV_{DD} = 1.8V, internal reference (1.024V), C_L ≈ 10pF on all digital outputs, f_{CLK} = 7.5MHz (50% duty cycle), ADC input amplitude = -0.5dBFS, DAC output amplitude = 0dBFS, differential ADC input, differential DAC output, C_{REFP} = C_{REFN} = C_{COM} = 0.33μF. Typical values are at T_A = +25°C, unless otherwise noted. C_L < 5pF on all aux-DAC outputs.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Q-DAC DATA to CLK Rise Setup Time	t _{DSQ}	Figure 5 (Note 6)	10			ns
CLK Fall to I-DAC Data Hold Time	t _{DHI}	Figure 5 (Note 6)	0			ns
CLK Rise to Q-DAC Data Hold Time	t _{DHQ}	Figure 5 (Note 6)	0			ns
CLK Duty Cycle				50		%
CLK Duty-Cycle Variation				±15		%
Digital Output Rise/Fall Time		20% to 80%		2.3		ns
SERIAL-INTERFACE TIMING CHARACTERISTICS (Figure 6, Note 6)						
Falling Edge of \overline{CS} to Rising Edge of First SCLK Time	t _{CSS}		10			ns
DIN to SCLK Setup Time	t _{DS}		10			ns
DIN to SCLK Hold Time	t _{DH}		0			ns
SCLK Pulse-Width High	t _{CH}		25			ns
SCLK Pulse-Width Low	t _{CL}		25			ns
SCLK Period	t _{CP}		50			ns
SCLK to \overline{CS} Setup Time	t _{CS}		10			ns
\overline{CS} High Pulse Width	t _{CSW}		80			ns
MODE-RECOVERY TIMING CHARACTERISTICS (Figure 7)						
Shutdown Wake-Up Time	t _{WAKE,SD}	From shutdown to Rx mode, ADC settles to within 1dB SINAD	75			μs
		From shutdown to Tx mode, DAC settles to within 10 LSB error	25			
Idle Wake-Up Time (With CLK)	t _{WAKE,ST0}	From idle to Rx mode with CLK present during idle, ADC settles to within 1dB SINAD	7.3			μs
		From idle to Tx mode with CLK present during idle, DAC settles to 10 LSB error	5			
Standby Wake-Up Time	t _{WAKE,ST1}	From standby to Rx mode, ADC settles to within 1dB SINAD	7.3			μs
		From standby to Tx mode, DAC settles to 10 LSB error	25			
Enable Time from Tx to Rx, (Ext2-Tx to Ext2-Rx, Ext4-Tx to Ext4-Rx, and SPI4-Tx to SPI3-Rx Modes)	t _{ENABLE, RX}	ADC settles to within 1dB SINAD		500		ns
Enable Time from Rx to Tx, (Ext1-Rx to Ext1-Tx, Ext4-Rx to Ext4-Tx, and SPI3-Rx to SPI4-Tx Modes)	t _{ENABLE, TX}	DAC settles to within 10 LSB error		1		μs

7.5Msps、超低功耗 模拟前端

MAX19700

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 7.5MHz$ (50% duty cycle), ADC input amplitude = -0.5dBFS, DAC output amplitude = 0dBFS, differential ADC input, differential DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$. Typical values are at $T_A = +25^\circ C$, unless otherwise noted. $C_L < 5pF$ on all aux-DAC outputs.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Enable Time from Tx to Rx, (Ext1-Tx to Ext1-Rx, Ext3-Tx to Ext3-Rx, and SPI2-Tx to SPI1-Rx Modes)	$t_{ENABLE, RX}$	ADC settles to within 1dB SINAD		7.3		μs
Enable Time from Rx to Tx, (Ext2-Rx to Ext2-Tx, Ext3-Rx to Ext3-Tx, and SPI1-Rx to SPI2-Tx Modes)	$t_{ENABLE, TX}$	DAC settles to within 10 LSB error		5		μs
INTERNAL REFERENCE (REFIN = V_{DD}; V_{REFP}, V_{REFN}, V_{COM} levels are generated internally)						
Positive Reference		$V_{REFP} - V_{COM}$		0.256		V
Negative Reference		$V_{REFN} - V_{COM}$		-0.256		V
Common-Mode Output Voltage	V_{COM}		$V_{DD} / 2 - 0.15$	$V_{DD} / 2$	$V_{DD} / 2 + 0.15$	V
Maximum REFP/REFN/COM Source Current	I_{SOURCE}			2		mA
Maximum REFP/REFN/COM Sink Current	I_{SINK}			2		mA
Differential Reference Output	V_{REF}	$V_{REFP} - V_{REFN}$	+0.490	+0.512	+0.534	V
Differential Reference Temperature Coefficient	$REFTC$			± 10		ppm/ $^\circ C$
BUFFERED EXTERNAL REFERENCE (external REFIN = 1.024V applied; V_{REFP}, V_{REFN}, V_{COM} levels are generated internally)						
Reference Input Voltage	V_{REFIN}			1.024		V
Differential Reference Output	V_{DIFF}	$V_{REFP} - V_{REFN}$		0.512		V
Common-Mode Output Voltage	V_{COM}			$V_{DD} / 2$		V
Maximum REFP/REFN/COM Source Current	I_{SOURCE}			2		mA
Maximum REFP/REFN/COM Sink Current	I_{SINK}			2		mA
REFIN Input Current				-0.7		μA
REFIN Input Resistance				500		k Ω
DIGITAL INPUTS (CLK, SCLK, DIN, \overline{CS}, D0–D9, T/\overline{R}, SHDN)						
Input High Threshold	V_{INH}	D0–D9, CLK, SCLK, DIN, \overline{CS} , T/\overline{R} , \overline{SHDN}	$0.7 \times OV_{DD}$			V
Input Low Threshold	V_{INL}	D0–D9, CLK, SCLK, DIN, \overline{CS} , T/\overline{R} , \overline{SHDN}		$0.3 \times OV_{DD}$		V
Input Leakage	D_{IIN}	D0–D9, CLK, SCLK, DIN, \overline{CS} , T/\overline{R} , $\overline{SHDN} = OGND$ or OV_{DD}	-1		+1	μA
Input Capacitance	DC_{IN}			5		pF

7.5Mps、超低功耗 模拟前端

MAX19700

ELECTRICAL CHARACTERISTICS (continued)

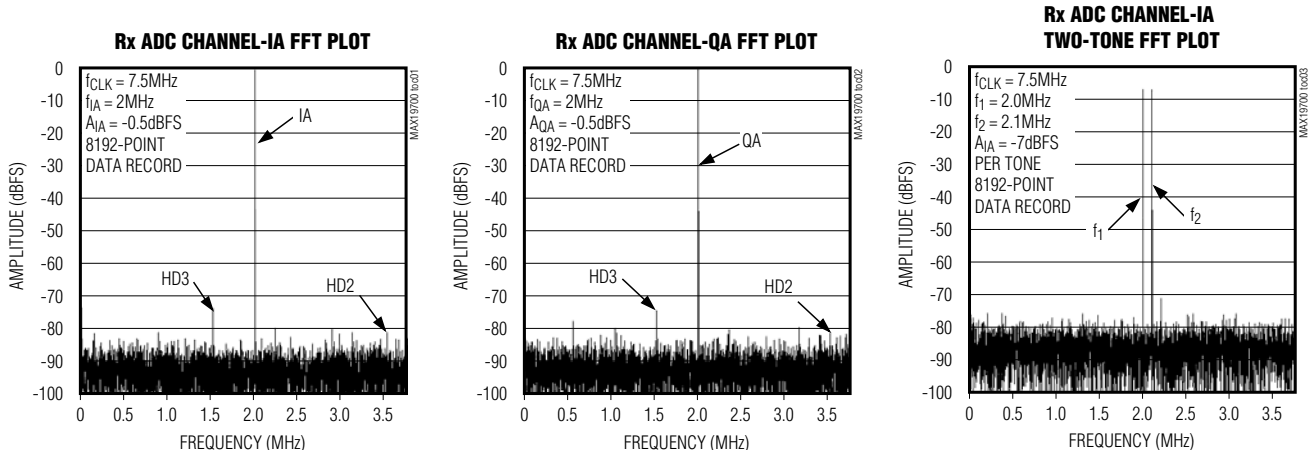
($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 7.5MHz$ (50% duty cycle), ADC input amplitude = -0.5dBFS, DAC output amplitude = 0dBFS, differential ADC input, differential DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$. Typical values are at $T_A = +25^\circ C$, unless otherwise noted. $C_L < 5pF$ on all aux-DAC outputs.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL OUTPUTS (D0–D9, DR)						
Output-Voltage Low	V_{OL}	$I_{SINK} = 200\mu A$			$0.2 \times OV_{DD}$	V
Output-Voltage High	V_{OH}	$I_{SOURCE} = 200\mu A$	$0.8 \times OV_{DD}$			V
Tri-State Leakage Current	I_{LEAK}		-1		+1	μA
Tri-State Output Capacitance	C_{OUT}			5		pF

- Note 1:** Specifications from $T_A = +25^\circ C$ to $+85^\circ C$ are guaranteed by production tests. Specifications from $T_A = +25^\circ C$ to $-40^\circ C$ are guaranteed by design and characterization.
- Note 2:** The minimum clock frequency for the MAX19700 is 2MHz.
- Note 3:** SNR, SINAD, SFDR, HD3, and THD are based on a differential analog input voltage of -0.5dBFS referenced to the amplitude of the digital outputs. SINAD and THD are calculated using HD2 through HD6.
- Note 4:** Crosstalk rejection is measured by applying a high-frequency test tone to one channel and a low-frequency tone to the second channel. FFTs are performed on each channel. The parameter is specified as the power ratio of the first and second channel FFT test tone.
- Note 5:** Amplitude and phase matching is measured by applying the same signal to each channel, and comparing the two output signals using a sine-wave fit.
- Note 6:** Guaranteed by design and characterization.

典型工作特性

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 7.5MHz$ 50% duty cycle, ADC input amplitude = -0.5dBFS, DAC output amplitude = 0dBFS, differential ADC input, differential DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, $T_A = +25^\circ C$, unless otherwise noted.)

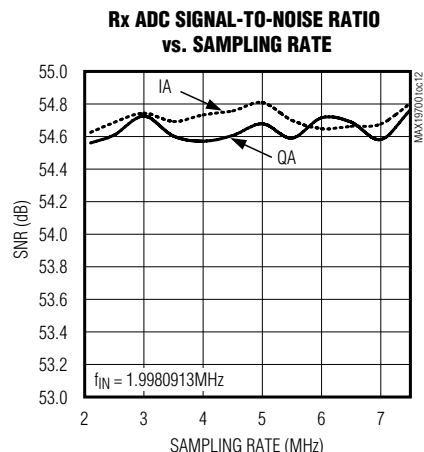
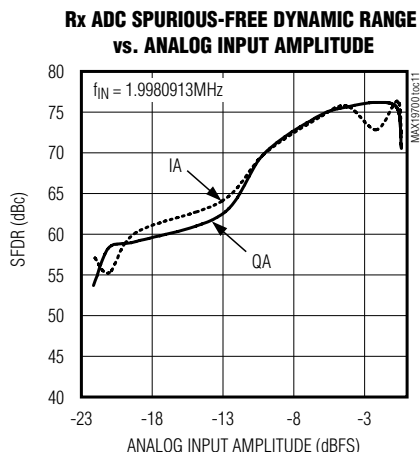
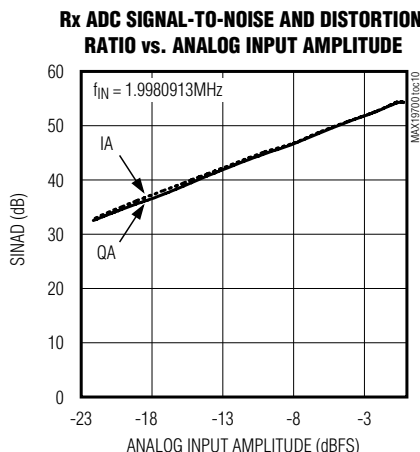
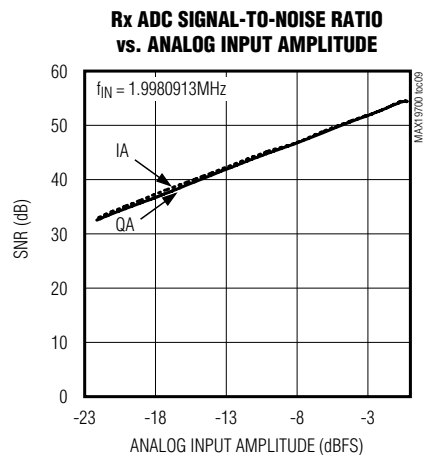
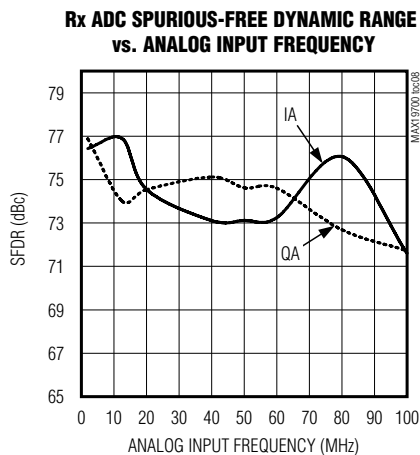
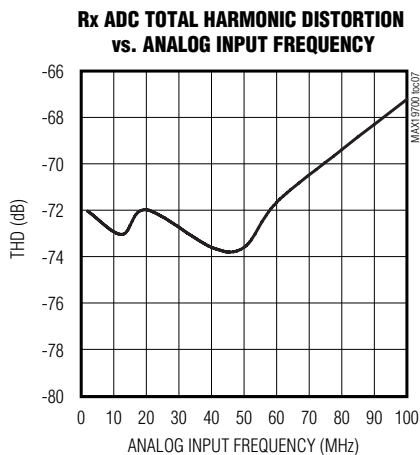
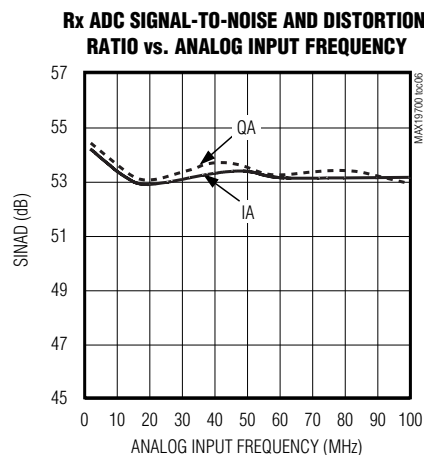
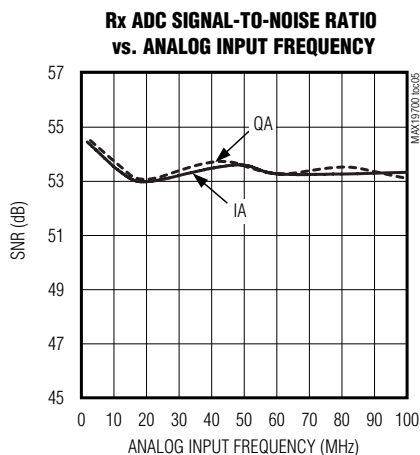
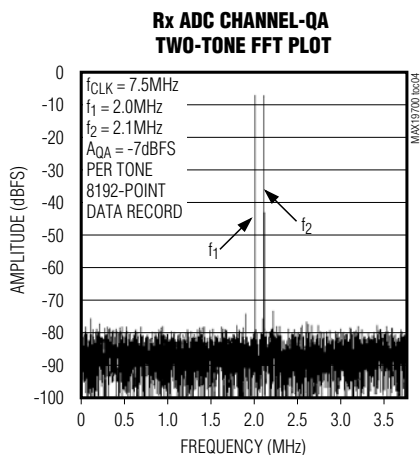


7.5Mpsps、超低功耗 模拟前端

MAX19700

典型工作特性 (续)

(V_{DD} = 3V, OV_{DD} = 1.8V, internal reference (1.024V), C_L ≈ 10pF on all digital outputs, f_{CLK} = 7.5MHz 50% duty cycle, ADC input amplitude = -0.5dBFS, DAC output amplitude = 0dBFS, differential ADC input, differential DAC output, C_{REFP} = C_{REFN} = C_{COM} = 0.33μF, T_A = +25°C, unless otherwise noted.)



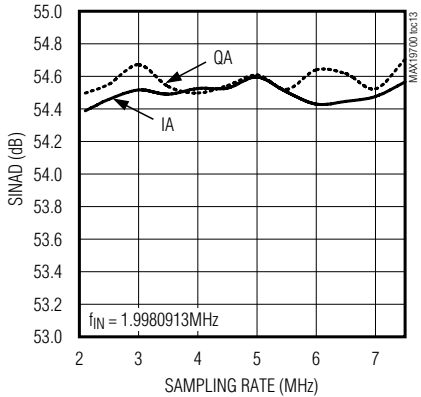
7.5Mps、超低功耗 模拟前端

典型工作特性 (续)

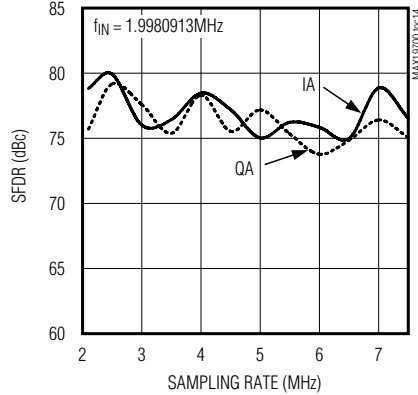
MAX19700

(VDD = 3V, OVDD = 1.8V, internal reference (1.024V), CL ≈ 10pF on all digital outputs, fCLK = 7.5MHz 50% duty cycle, ADC input amplitude = -0.5dBFS, DAC output amplitude = 0dBFS, differential ADC input, differential DAC output, CREFP = CREFN = CCOM = 0.33μF, TA = +25°C, unless otherwise noted.)

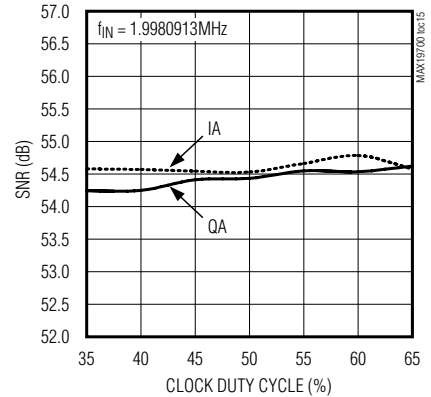
Rx ADC SIGNAL-TO-NOISE AND DISTORTION RATIO vs. SAMPLING RATE



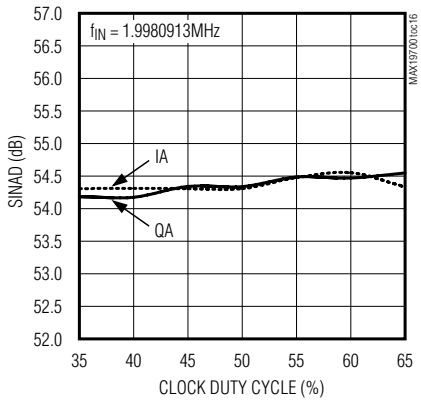
Rx ADC SPURIOUS-FREE DYNAMIC RANGE vs. SAMPLING RATE



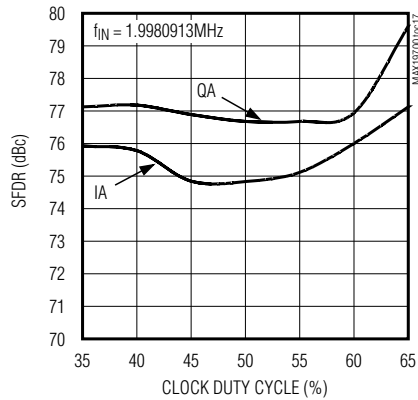
Rx ADC SIGNAL-TO-NOISE RATIO vs. CLOCK DUTY CYCLE



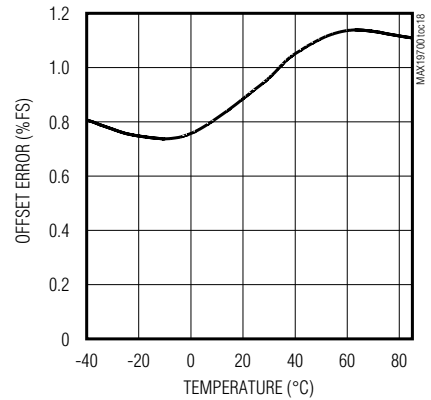
Rx ADC SIGNAL-TO-NOISE AND DISTORTION RATIO vs. CLOCK DUTY CYCLE



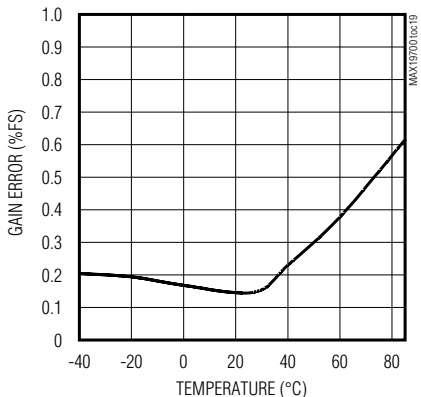
Rx ADC SPURIOUS-FREE DYNAMIC RANGE vs. CLOCK DUTY CYCLE



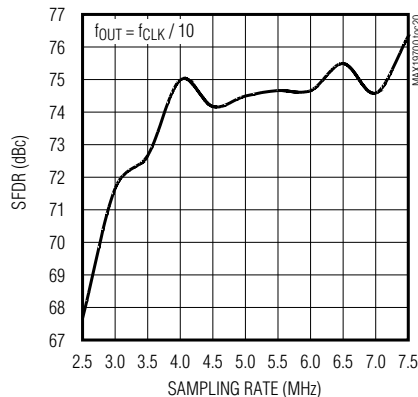
Rx ADC OFFSET ERROR vs. TEMPERATURE



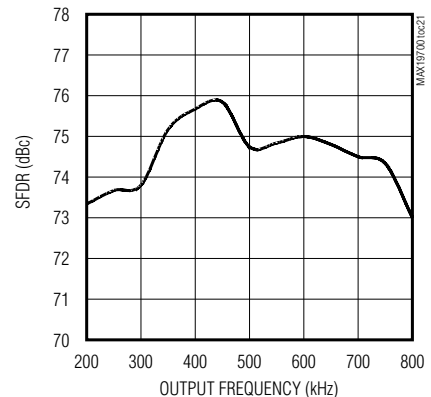
Rx ADC GAIN ERROR vs. TEMPERATURE



Tx PATH SPURIOUS-FREE DYNAMIC RANGE vs. SAMPLING RATE



Tx PATH SPURIOUS-FREE DYNAMIC RANGE vs. OUTPUT FREQUENCY

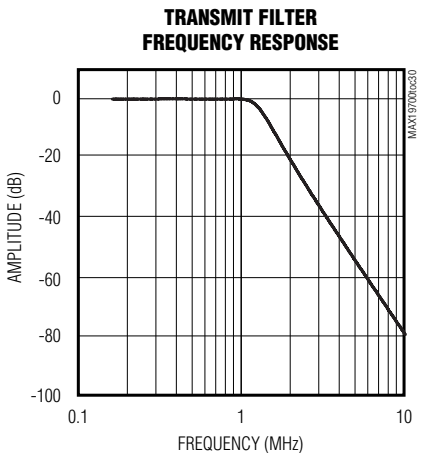
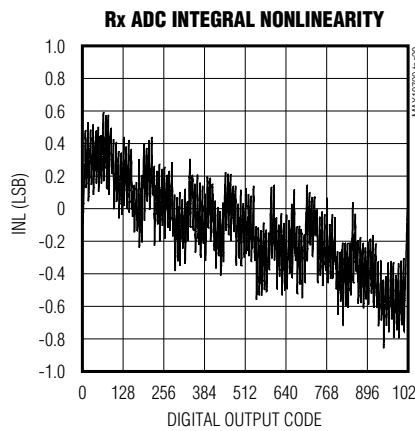
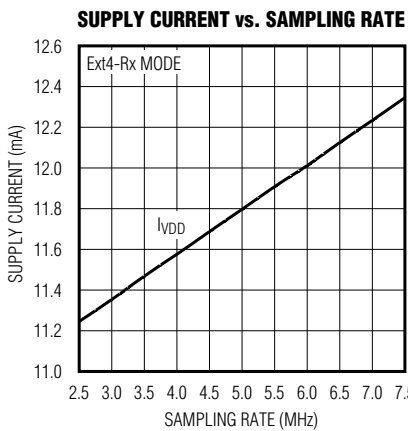
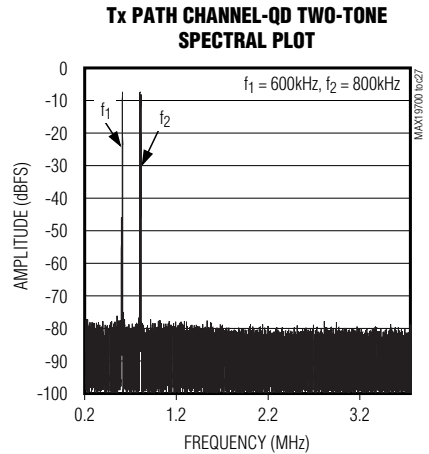
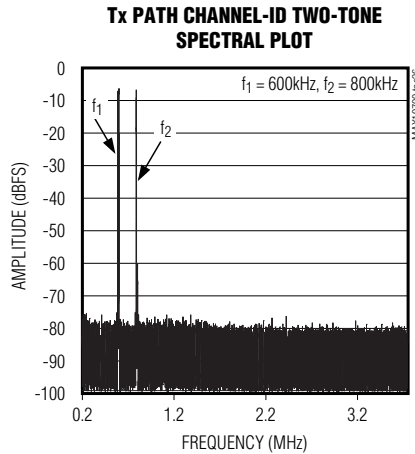
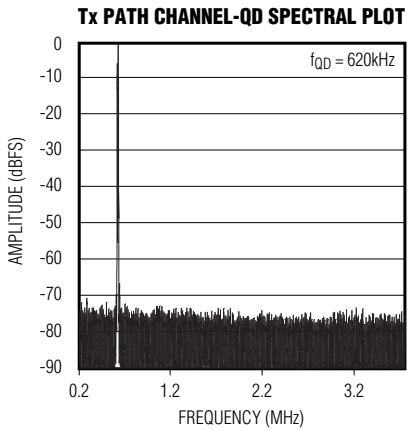
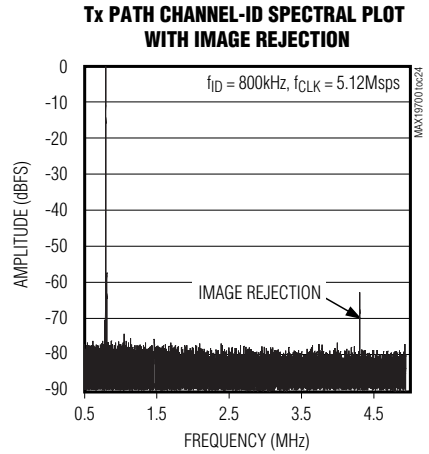
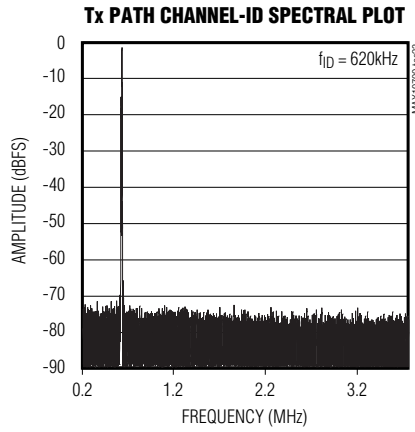
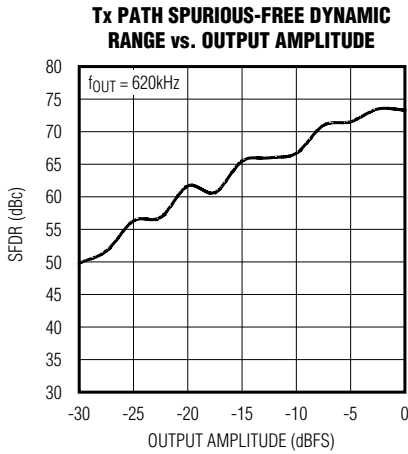


7.5MSPS、超低功耗 模拟前端

MAX19700

典型工作特性 (续)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 7.5MHz$ 50% duty cycle, ADC input amplitude = -0.5dBFS, DAC output amplitude = 0dBFS, differential ADC input, differential DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, $T_A = +25^\circ C$, unless otherwise noted.)

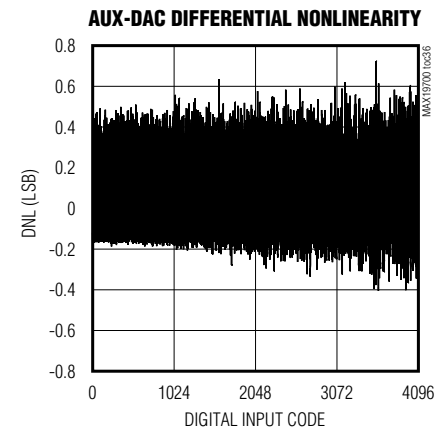
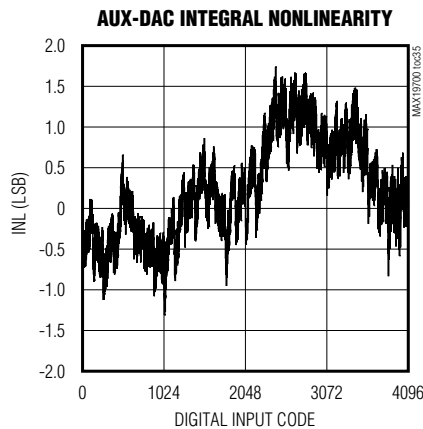
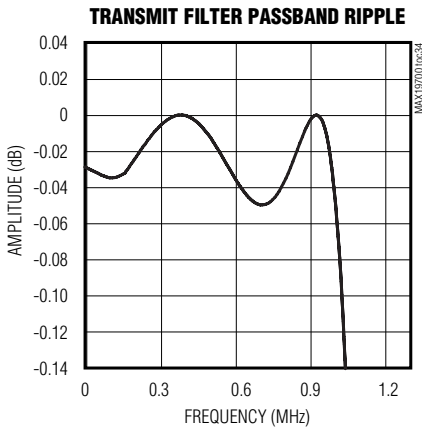
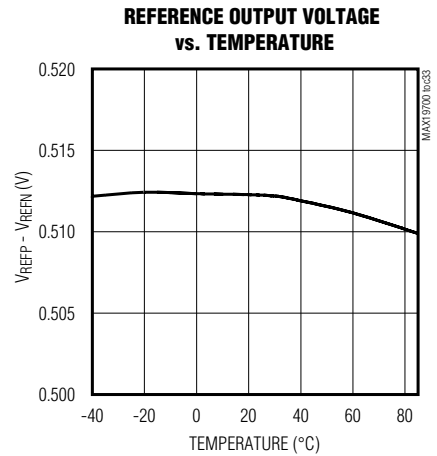
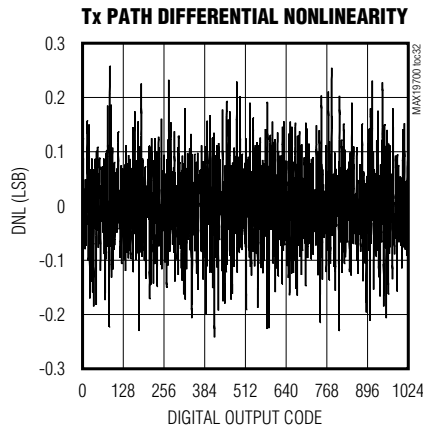
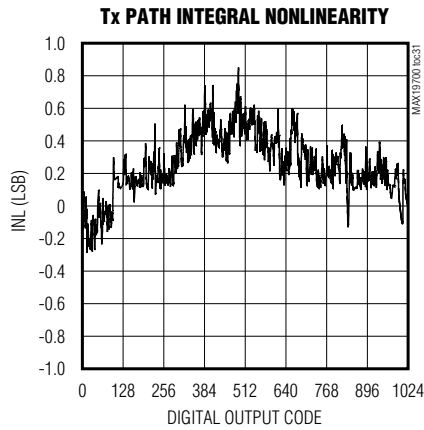


7.5Mps、超低功耗 模拟前端

典型工作特性 (续)

MAX19700

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 7.5MHz$ 50% duty cycle, ADC input amplitude = -0.5dBFS, DAC output amplitude = 0dBFS, differential ADC input, differential DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, $T_A = +25^\circ C$, unless otherwise noted.)



7.5Msps、超低功耗 模拟前端

MAX19700

引脚说明

引脚	名称	功能
1	REFP	高端基准电压。用0.33 μ F电容将其旁路到GND，该电容应尽可能靠近REFP引脚。
2, 8, 11, 31, 33, 39 43	V _{DD}	模拟电源电压。用2.2 μ F和0.1 μ F电容并联，将V _{DD} 旁路至GND。
3	IAP	通道IA同相模拟输入。单端工作模式下，将信号源连至IAP。
4	IAN	通道IA反相模拟输入。单端工作模式下，连接IAN至COM。
5, 7, 12, 32, 42	GND	模拟地。连接所有GND引脚至地平面。
6	CLK	转换时钟输入。接收ADC和发送DAC的时钟信号。
9	QAN	通道QA反相模拟输入。单端工作模式下，连接QAN至COM。
10	QAP	通道QA同相模拟输入。单端工作模式下，将信号源连至QAP。
13-18, 21-24	D0-D9	数字I/O。接收ADC在Rx模式时的输出。发送DAC在Tx模式时的输入。D9为最高有效位 (MSB)，D0为最低有效位 (LSB)。
19	OGND	输出驱动器地
20	OV _{DD}	输出驱动器电源。电压范围为+1.8V至V _{DD} ，支持多种逻辑电平。用2.2 μ F和0.1 μ F电容并联，将OV _{DD} 旁路至OGND。
25	$\overline{\text{SHDN}}$	低电平有效关断输入。逻辑低电平使MAX19700进入关断状态。
26	DR	数据就绪指示。该数字输出指示出现在输出上的是I通道数据 (DR = 1) 还是Q通道数据 (DR = 0)。
27	T/ $\overline{\text{R}}$	发送或接收模式选择输入。T/ $\overline{\text{R}}$ 为逻辑低电平时为接收模式。逻辑高电平时为发送模式。
28	DIN	3线串行接口数据输入。数据在SCLK上升沿锁存。
29	SCLK	3线串行接口时钟输入。
30	$\overline{\text{CS}}$	3线串行接口片选输入。逻辑低电平使能串行接口。
34, 35	N.C.	无连接
36	DAC3	辅助DAC3模拟输出
37	DAC2	辅助DAC2模拟输出
38	DAC1	辅助DAC1模拟输出 (AFC DAC，在上电期间，V _{OUT} = 1.1V)
40, 41	IDN, IDP	DAC通道ID差分电压输出
44, 45	QDN, QDP	DAC通道QD差分电压输出
46	REFIN	基准输入。使用内部基准连至V _{DD} 。
47	COM	共模电压I/O。采用0.33 μ F电容旁路COM至GND。
48	REFN	负基准I/O。转换范围为 $\pm(V_{\text{REFP}} - V_{\text{REFN}})$ 。用0.33 μ F电容旁路REFN至GND。
—	EP	裸露焊盘。裸露焊盘在内部连接至GND。连接EP至GND平面。

详细说明

MAX19700为集成了TD-SCDMA基带滤波器的双路10位Rx ADC和双路10位Tx DAC，在7.5Msps转换速率具有超低功耗和较高的动态性能。Rx ADC模拟输入放大器为全差分结构，可接收1V_{p-p}满量程信号。Tx DAC模拟输出支持 ± 410 mV满量程全差分信号，共模范围可选，失调可调。

MAX19700使用3线串行接口控制工作模式和电源管理。串行接口兼容SPI™和MICROWIRE™。MAX19700可通过串行接口选择关断、空闲、待机、发送 (Tx) 和接收 (Rx) 模式。

SPI是Motorola, Inc.的商标。

MICROWIRE是National Semiconductor Corp.的商标。

7.5Mps、超低功耗 模拟前端

MAX19700

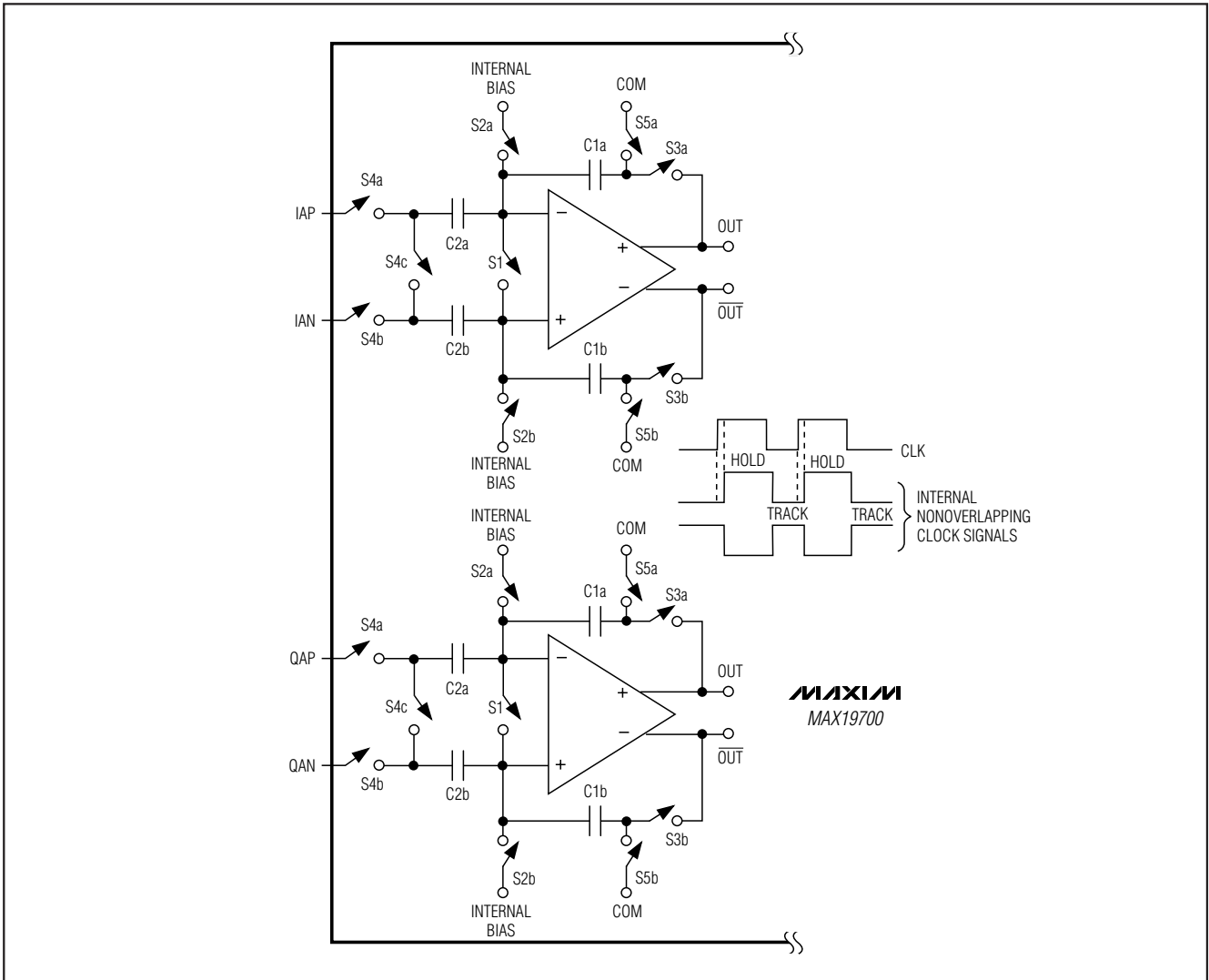


图1. MAX19700 Rx ADC内部T/H电路

采用3线串行接口将MAX19700配置为Tx或Rx模式，使其能在TDD方式下工作。Rx ADC和Tx DAC通过共享公共数字总线，减少了数字I/O口线，仅使用10位并行复用总线。

双路10位Rx ADC

ADC的7级全差分、流水线结构可在极低功耗下进行高速转换。流水线各级每半个时钟周期对输入进行一次采样。包括输出锁存延时在内，通道IA总时延为5个时钟周期、

通道QA为5.5个时钟周期。ADC满量程模拟输入范围为 $\pm V_{REF}$ ，共模输入范围为 $V_{DD} / 2 \pm 0.2V$ 。 V_{REF} 是 V_{REFP} 和 V_{REFN} 之差。详细信息见基准设置一节。

输入采样和保持 (T/H) 电路

图1是Rx ADC输入采样和保持 (T/H) 电路简图。两路ADC输入 (IAP、QAP、IAN和QAN) 可以是差分或单端驱动。对IAP和IAN、QAP和QAN进行阻抗匹配，并将输入信号共模电压设置在ADC的 $V_{DD} / 2 (\pm 200mV)$ 范围内，以实现最佳性能。

7.5Msps、超低功耗 模拟前端

MAX19700

表1. 输出编码和输入电压关系

DIFFERENTIAL INPUT VOLTAGE	DIFFERENTIAL INPUT (LSB)	OFFSET BINARY (D0–D9)	OUTPUT DECIMAL CODE
$V_{REF} \times 512/512$	511 (+Full Scale – 1 LSB)	11 1111 1111	1023
$V_{REF} \times 511/512$	510 (+Full Scale – 2 LSB)	11 1111 1110	1022
$V_{REF} \times 1/512$	+1	10 0000 0001	513
$V_{REF} \times 0/512$	0 (Bipolar Zero)	10 0000 0000	512
$-V_{REF} \times 1/512$	-1	01 1111 1111	511
$-V_{REF} \times 511/512$	-511 (-Full Scale +1 LSB)	00 0000 0001	1
$-V_{REF} \times 512/512$	-512 (-Full Scale)	00 0000 0000	0

ADC系统时序要求

图3是时钟、模拟输入、DR指示和输出数据结果之间的关系。通道I (CHI) 和通道Q (CHQ) 在时钟信号 (CLK) 上升沿采样, 结果复用输出到 D0–D9。CHI数据在CLK上升沿刷新, CHQ数据在CLK下降沿刷新。CLK之后DR指示典型时延为8.5ns, 在CHI数据刷新时保持高电平, 在CHQ数据刷新时保持低电平。包括输出锁存延内在内, CHI总时延时间为5个时钟周期, CHQ为5.5个时钟周期。

数字输入/输出数据 (D0–D9)

MAX19700 在接收模式时, D0–D9是Rx ADC的数字逻辑输出。该总线与Tx DAC的数字逻辑输入共享, 工作在半双工模式。MAX19700 在发送模式时, D0–D9是Tx ADC数字逻辑输入。逻辑电平根据 OV_{DD} 设置为1.8V至 V_{DD} 。数字输出编码为偏移二进制码 (表1)。数字输出D0–D9的容性负载应尽可能小 (<15pF), 以避免较大的数字电流反馈进入MAX19700模拟部分, 导致动态性能下降。数字输出缓冲器将输出与较大的容性负载隔离。在靠近MAX19700的数字输出端串联100Ω电阻, 有助于提高ADC性能。数字输出端通过100Ω串联电阻驱动数字缓冲器的实例请参考MAX19700EVKIT原理图。

在SHDN、IDLE和STBY状态, 引脚D0–D9在内部上拉, 以防止出现浮空的数字输入。为确保没有电流通过D0–D9 I/O, 外部总线应保持三态或上拉至 OV_{DD} , 不应下拉至地。

双路10位Tx DAC和发送通道

双路10位数模转换器 (Tx DAC) 可工作在高达7.5MHz的时钟速率下。Tx DAC数字输入, D0–D9, 复用10位总线。电压基准决定Tx通道的满量程输出电压。参见基准设置一节, 了解基准电压设置的详细方法。每个Tx通道都集成了一个低通滤波器, 可满足TD-SCDMA频谱模板要求。在 $f_{IMAGE} = 4.32\text{MHz}$ 、 $f_{OUT} = 800\text{kHz}$ 和 $f_{CLK} = 5.12\text{MHz}$ 时, TD-SCDMA滤波器可调谐为1.27MHz截止频率和>55dB的镜频抑制。请参考图4的滤波器频率响应。

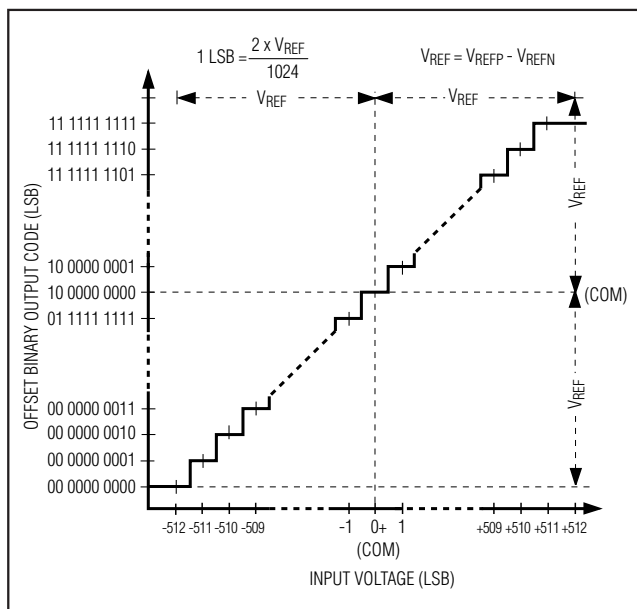


图2. ADC传输函数

7.5Mps、超低功耗 模拟前端

MAX19700

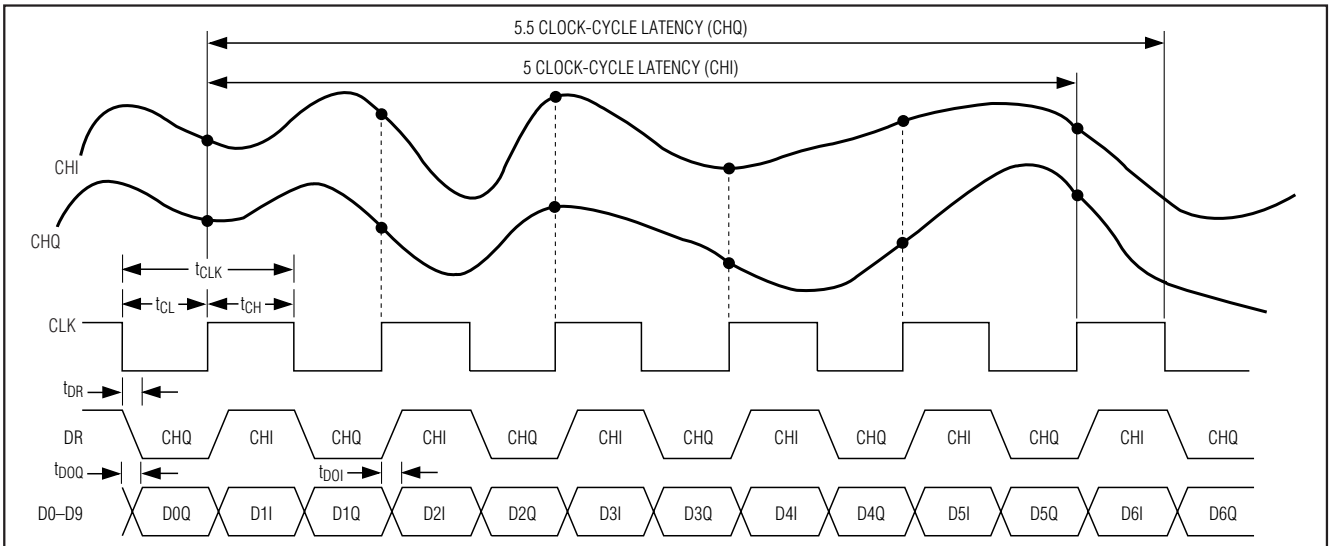


图3. Rx ADC系统时序图

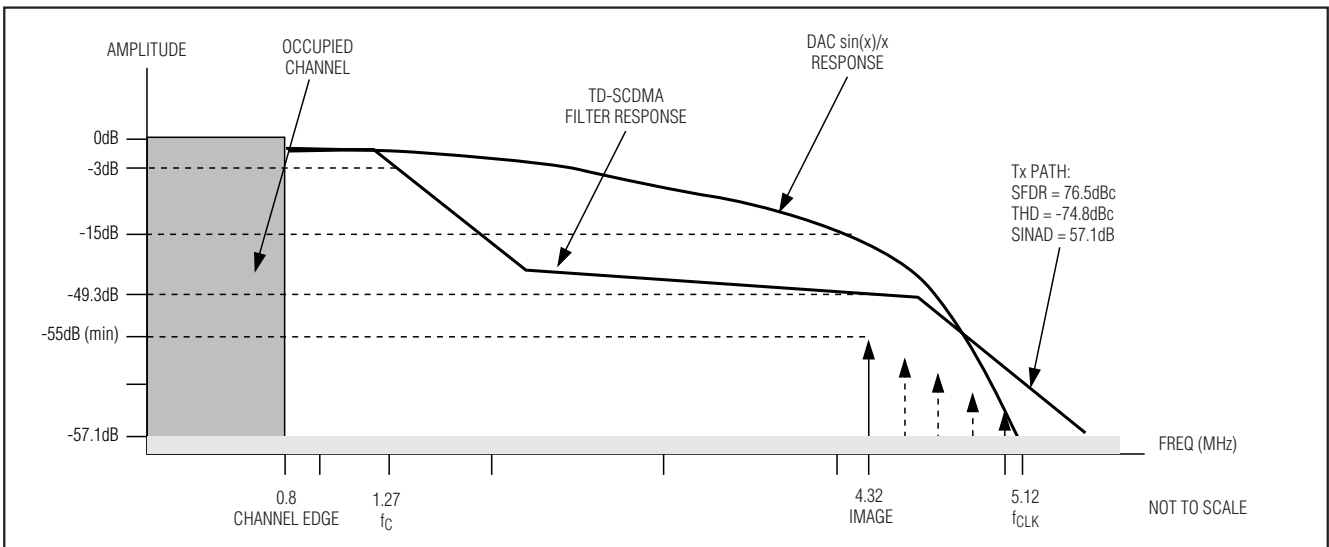


图4. TD-SCDMA滤波器频率响应

TD-SCDMA滤波器之后是缓冲放大器。放大器输出偏置在一个可调共模DC电平上，设计用于驱动输入阻抗 $\geq 70k\Omega$ 的差分输入级。这样可简化RF正交上变频器和MAX19700之间的模拟接口。多数RF上变频器需要0.9V至1.5V的共模偏置。SPI控制的DC共模偏置在保证每个Tx DAC完整动态范围的同时，可省去分立的电平设置电阻，也无需编码产生电平偏移。表2是Tx输出电压和输入编码的关系。表10列出了如何选择DC共模电平。

缓冲放大器可提供 $\pm 410mV$ 或 $\pm 500mV$ 的满量程输出电平，每个I/Q通道具有独立的DC失调校正。这两种功能均由SPI接口设置。DC失调校正用于优化Tx信号通路上的边带和载波抑制（参见表8和表9）。

7.5MSPS、超低功耗 模拟前端

MAX19700

表2. Tx通道输出电压与输入编码关系

(Internal Reference Mode $V_{REFDAC} = 1.024V$, External Reference Mode $V_{REFDAC} = V_{REFIN}$; $V_{FS} = 410mV$ for 820mVp-p Full Scale and $V_{FS} = 500mV$ for 1Vp-p Full Scale)

DIFFERENTIAL OUTPUT VOLTAGE (V)	OFFSET BINARY (D0–D9)	INPUT DECIMAL CODE
$(V_{FS}) \frac{V_{REFDAC}}{1024} \times \frac{1023}{1023}$	11 1111 1111	1023
$(V_{FS}) \frac{V_{REFDAC}}{1024} \times \frac{1021}{1023}$	11 1111 1110	1022
$(V_{FS}) \frac{V_{REFDAC}}{1024} \times \frac{3}{1023}$	10 0000 0001	513
$(V_{FS}) \frac{V_{REFDAC}}{1024} \times \frac{1}{1023}$	10 0000 0000	512
$(V_{FS}) \frac{-V_{REFDAC}}{1024} \times \frac{1}{1023}$	01 1111 1111	511
$(V_{FS}) \frac{-V_{REFDAC}}{1024} \times \frac{1021}{1023}$	00 0000 0001	1
$(V_{FS}) \frac{-V_{REFDAC}}{1024} \times \frac{1023}{1023}$	00 0000 0000	0

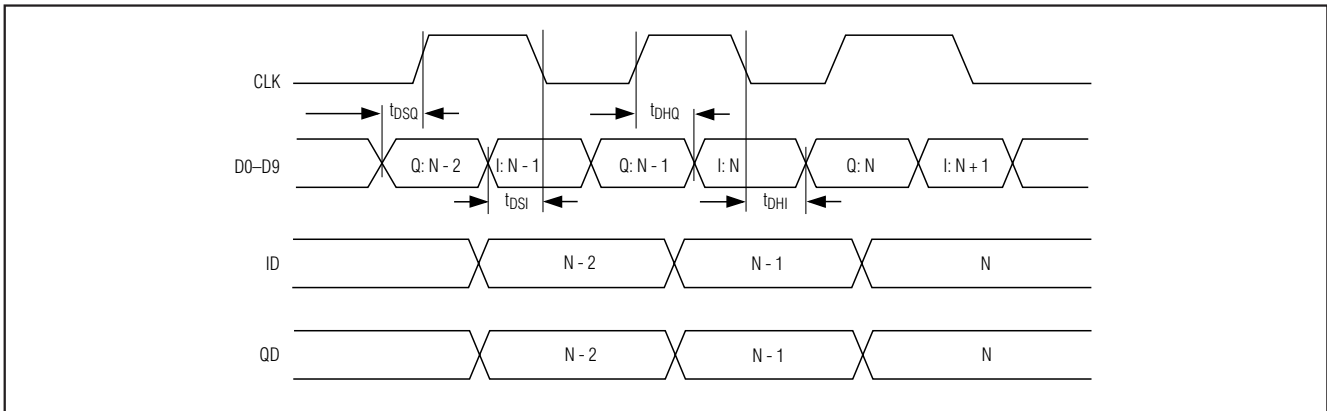


图5. Tx DAC系统时序图

Tx DAC时序

图5是时钟、输入数据和模拟输出之间的关系。I通道(ID)数据在时钟信号下降沿锁存，Q通道(QD)数据在时钟信号上升沿锁存。I和Q输出同时在下一个时钟信号上升沿刷新。

3线串行接口和工作模式

3线串行接口控制MAX19700工作模式和三个12位辅助DAC。上电时，设置MAX19700，使其工作在需要的模式。采用3线串行接口设置器件的关断、空闲、待机、Rx、Tx或者辅助DAC模式。一个16位数据寄存器用于模式控制。该16位字由A3–A0控制位和D11–D0数据位构成。表4、5和6列出了MAX19700的工作模式和SPI命令。串行接口在所有模式下均保持有效。

7.5MSPS、超低功耗 模拟前端

SPI寄存器说明

如表3所示，通过设置寄存器控制位A3-A0可选择不同的工作模式。修改A3-A0位，将在ENABLE-16、Aux-DAC1、Aux-DAC2、Aux-DAC3、IOFFSET、QOFFSET和COMSEL模式中进行选择。ENABLE-16是默认工作模式。此模式支持关断、空闲和待机状态，以及FAST、SLOW、Rx和Tx模式间的切换。表4是MAX19700的电源管理模式。表5是由T/¯引脚控制的外部Tx-Rx切换模式。表6是SPI控制的Tx-Rx切换模式。

在ENABLE-16模式下，辅助DAC具有独立的控制位E6、E5和E4，Tx通道满量程输出可由E7设置。表7是辅助DAC使能编码，表8是满量程输出选择。E11和E10位保留，需要设为逻辑低。E9和E8位没有使用。

Aux-DAC1、Aux-DAC2和Aux-DAC3模式对DAC1、DAC2和DAC3辅助DAC通道进行选择，并为每个DAC保留数据输入。_D11-_D0是每个辅助DAC的数据输入，可通过SPI设置。可分别设置MAX19700的两个6位寄存器，对Tx通路的I和Q通道失调进行修正（参见表9）。利用COMSEL模式的CM1和CM0位，对输出共模电压进行选择（参见表10）。

关断模式将MAX19700所有模拟部分关断，将Rx ADC数字输出置为三态模式，因此能够最有效的降低功耗。当Rx ADC输出由三态恢复工作时，数字输出为上次转换数据。Tx DAC由关断模式唤醒时，以前存储的数据将会丢失。由关断模式唤醒所需时间取决于REFP、REFN和COM电容充电时间。在内部基准模式和带缓冲的外部基准模式，唤醒时间典型值为：进入Rx模式75µs，进入Tx模式25µs。

在空闲模式下，基准和时钟分配电路工作，其它所有功能都停止。Rx ADC输出被强制为三态。唤醒时间为：进入Rx模式7.3µs，进入Tx模式5µs。当Rx ADC输出由三态恢复工作时，数字输出为上次转换数据。

在待机模式下，基准工作，器件其它功能停止。由待机模式唤醒时间为：进入Rx模式7.3µs，进入Tx模式25µs。当Rx ADC输出由三态恢复有效时，数字输出为上次转换数据。

FAST、SLOW Rx和Tx模式

MAX19700不仅具有外部Tx-Rx控制功能，还提供SLOW和FAST模式实现Rx和Tx切换。在FAST Tx模式，Rx ADC内核工作而D0-D9总线上的ADC内核数字输出为三态；同样地，在FAST Rx模式下，发送通道（DAC内核和Tx滤波器）工作而D0-D9总线上的DAC内核数字输入为三态。由于转换器已上电，而不必从关断状态恢复，因此Tx至Rx或Rx至Tx的切换时间很短。在FAST模式下，Rx至Tx和Tx至Rx的切换时间为1µs。但是，由于Tx和Rx内核一直工作，该模式功耗较高。为防止这些状态下出现总线竞争冲突，Rx ADC输出缓冲在Tx期间保持三态，Tx DAC输入总线在Rx期间保持三态。

在SLOW模式下，Rx ADC内核在Tx期间停止工作；同样，在Rx期间，Tx DAC和滤波器关断以保持低功耗。SLOW Tx模式的功耗为31.2mW。Rx期间的功耗为21mW，而FAST模式下的功耗为38.4mW。但不同状态间切换的恢复时间增加。SLOW模式下，Rx至Tx的切换时间为5µs，Tx至Rx为7.3µs。

外部T/¯切换控制与 串行接口控制

ENABLE-16寄存器的E3位决定器件Tx-Rx模式由外部T/¯输入（E3为逻辑低）控制，还是通过SPI命令（E3为逻辑高）控制。MAX19700默认设置为外部控制Tx-Rx模式。在外部控制模式下，利用T/¯输入（引脚27）控制Rx和Tx模式切换，这种切换速度较快。MAX19700可通过串行接口设置禁止外部Tx-Rx控制。在SHDN、IDLE或STBY模式下，T/¯输入无效。将E3置低，并通过串行接口控制退出SHDN、IDLE或STBY模式，恢复外部Tx-Rx控制。

7.5MSPS、超低功耗 模拟前端

SPI时序

串行数字接口是兼容于SPI/QSPI™/MICROWIRE/DSP接口的标准3线连接。 \overline{CS} 置低允许串行数据加载到DIN。 \overline{CS} 由高变低后，数据在串行时钟(SCLK)上升沿以高位在先的方式同步移位。16位数据装入串行输入寄存器后， \overline{CS} 变高时，被送入锁存器。在下一个写周期前， \overline{CS} 需变为高电平，并至少保持80ns。SCLK在转换期间为空闲状态，可以是高电平或低电平。图6是3线串行接口的详细时序。

模式恢复时序

图7是模式恢复时序。 t_{WAKE} 是退出关断、空闲或待机模式，进入Rx或Tx模式时的唤醒时间。 t_{ENABLE} 是Rx和Tx模式之间相互切换的恢复时间。 t_{WAKE} 和 t_{ENABLE} 分别是Rx ADC达到指定SINAD性能指标1dB范围内的建立时间和Tx DAC达到10个LSB误差所需的时间。 t_{WAKE} 和 t_{ENABLE} 在16位串行指令由 \overline{CS} 上升沿(由SPI控制)锁存后或T/R逻辑跳变(外部Tx-Rx控制)后开始计时。在FAST模式下，Tx和Rx模式间切换的恢复时间为1 μ s。

QSPI是Motorola, Inc. 的商标。

表3. MAX19700模式控制

REGISTER NAME	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	A3	A2	A1	A0
	(MSB)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
ENABLE-16	E11 = 0 Reserved	E10 = 0 Reserved	—	—	E7	E6	E5	E4	E3	E2	E1	E0	0	0	0	0
Aux-DAC1	1D11	1D10	1D9	1D8	1D7	1D6	1D5	1D4	1D3	1D2	1D1	1D0	0	0	0	1
Aux-DAC2	2D11	2D10	2D9	2D8	2D7	2D6	2D5	2D4	2D3	2D2	2D1	2D0	0	0	1	0
Aux-DAC3	3D11	3D10	3D9	3D8	3D7	3D6	3D5	3D4	3D3	3D2	3D1	3D0	0	0	1	1
IOFFSET	—	—	—	—	—	—	IO5	IO4	IO3	IO2	IO1	IO0	0	1	0	0
QOFFSET	—	—	—	—	—	—	QO5	QO4	QO3	QO2	QO1	QO0	0	1	0	1
COMSEL	—	—	—	—	—	—	—	—	—	—	CM1	CM0	0	1	1	0

表4. 电源管理模式

ADDRESS				DATA BITS				T/R	MODE	FUNCTION (POWER MANAGEMENT)	DESCRIPTION	COMMENT
A3	A2	A1	A0	E3	E2	E1	E0	PIN 27				
0000				X000				X	SHDN	SHUTDOWN	Rx ADC = OFF Tx DAC = OFF Aux-DAC = OFF REF = OFF	Device is in complete shutdown Overrides T/R pin
				X001				X	IDLE	IDLE	Rx ADC = OFF Tx DAC = OFF Aux-DAC = Last State CLK = ON REF = ON	Fast turn-on time Moderate idle power Overrides T/R pin
				X010				X	STBY	STANDBY	Rx ADC = OFF Tx DAC = OFF Aux-DAC = Last State CLK = OFF REF = ON	Slow turn-on time Low standby power Overrides T/R pin

X = 无关。

7.5Mbps、超低功耗 模拟前端

MAX19700

表5. 采用T/R̄引脚 (T/R̄ = 0 = Rx模式, T/R̄ = 1 = Tx模式) 外部控制Tx-Rx

ADDRESS				DATA BITS				T/R̄	STATE	FUNCTION Rx TO Tx-Tx TO Rx SWITCHING SPEED	DESCRIPTION	COMMENT				
A3	A2	A1	A0	E3	E2	E1	E0	PIN 27								
0000				0011				0	Ext1-Rx	FAST-SLOW	Rx Mode Rx ADC = ON Tx DAC = ON Rx Bus = Enable	Moderate Power Fast Rx to Tx when T/R̄ transitions 0 to 1				
								1	Ext1-Tx		Tx Mode Rx ADC = OFF Tx DAC = ON Tx Bus = Enable	Low Power Slow Tx to Rx when T/R̄ transitions 1 to 0				
				0100				0100				0	Ext2-Rx (Default)	SLOW-FAST	Rx Mode Rx ADC = ON Tx DAC = OFF Rx Bus = Enable	Low Power Slow Rx to Tx when T/R̄ transitions 0 to 1
												1	Ext2-Tx		Tx Mode Rx ADC = ON Tx DAC = ON Tx Bus = Enable	Moderate Power Fast Tx to Rx when T/R̄ transitions 1 to 0
				0101				0101				0	Ext3-Rx	SLOW-SLOW	Rx Mode Rx ADC = ON Tx DAC = OFF Rx Bus = Enable	Low Power Slow Rx to Tx when T/R̄ transitions 0 to 1
												1	Ext3-Tx		Tx Mode Rx ADC = OFF Tx DAC = ON Tx Bus = Enable	Low Power Slow Tx to Rx when T/R̄ transitions 1 to 0
				0110				0110				0	Ext4-Rx	FAST-FAST	Rx Mode Rx ADC = ON Tx DAC = ON Rx Bus = Enable	Moderate Power Fast Rx to Tx when T/R̄ transitions 0 to 1
												1	Ext4-Tx		Tx Mode Rx ADC = ON Tx DAC = ON Tx Bus = Enable	Moderate Power Fast Tx to Rx when T/R̄ transitions 1 to 0

系统时钟输入 (CLK)

Rx ADC和Tx DAC共享CLK输入。CLK输入可接收由OV_{DD}设置的1.8V至V_{DD} CMOS兼容信号电平。由于器件

的级间转换依赖外部时钟上升沿和下降沿的可重复性，因此应采用低抖动、上升和下降时间较快 (<2ns) 的时钟。由于在时钟信号上升沿采样，要求该上升沿抖动应尽可能

7.5MSPS、超低功耗 模拟前端

MAX19700

表6. 采用SPI命令进行Tx-Rx控制

ADDRESS				DATA BITS				T/R	MODE	FUNCTION (Tx-Rx SWITCHING SPEED)	DESCRIPTION	COMMENTS
A3	A2	A1	A0	E3	E2	E1	E0	PIN 27				
0000				1011				X	SPI1-Rx	SLOW	Rx Mode Rx ADC = ON Tx DAC = OFF Rx Bus = Enable	Low Power Slow Rx to Tx through SPI command
				1100				X	SPI2-Tx	SLOW	Tx Mode Rx ADC = OFF Tx DAC = ON Tx Bus = Enable	Low Power Slow Tx to Rx through SPI command
				1101				X	SPI3-Rx	FAST	Rx Mode Rx ADC = ON Tx DAC = ON Rx Bus = Enabled	Moderate Power Fast Rx to Tx through SPI command
				1110				X	SPI4-Tx	FAST	Tx Mode Rx ADC = ON Tx DAC = ON Tx Bus = Enabled	Moderate Power Fast Tx to Rx through SPI command

X = 无关。

表7. 辅助DAC使能表 (ENABLE-16模式)

E6	E5	E4	Aux-DAC3	Aux-DAC2	Aux-DAC1
0	0	0	ON	ON	ON
0	0	1	ON	ON	OFF
0	1	0	ON	OFF	ON
0	1	1	ON	OFF	OFF
1	0	0	OFF	ON	ON
1	0	1	OFF	ON	OFF
1	1	0	OFF	OFF	ON
1	1	1	OFF	OFF	OFF

表8. Tx通路满量程选择 (ENABLE-16模式)

E7	Tx-PATH OUTPUT FULL SCALE
0 (Default)	820mVp-p
1	1Vp-p

能低。任何明显的时钟抖动都会限制片内 Rx ADC的SNR性能，如下式所示：

$$SNR = 20 \times \log \left(\frac{1}{2 \times \pi \times f_{IN} \times t_{AJ}} \right)$$

其中， f_{IN} 代表模拟输入频率， t_{AJ} 为时钟抖动时间。

时钟抖动对于欠采样应用非常关键。可将时钟输入做为模拟输入处理，与其它模拟输入和数字信号线分开布线。MAX19700时钟输入电压阈值为 $OV_{DD} / 2$ ，占空比50% ±15%。

12位辅助控制DAC

MAX19700的三路建立时间为1μs的12位辅助DAC (DAC1、DAC2、DAC3)，用于控制可变增益放大器 (VGA)、自动增益控制 (AGC) 和自动频率控制 (AFC)。辅助DAC输出范围为0.1V至2.56V。在上电期间，VGA和AGC输出 (DAC2和DAC3) 为零。AFC DAC (DAC1) 在上电期间为1.1V。辅助DAC可由SPI总线单独进行控制，但

7.5Mps、超低功耗 模拟前端

MAX19700

表9. 通道 I和Q失调控制位 (IOFFSET或QOFFSET模式)

BITS IO5–IO0 WHEN IN IOFFSET MODE, BITS QO5–QO0 WHEN IN QOFFSET MODE						OFFSET 1 LSB = (VFS _{P-P} /1023)
IO5/QO5	IO4/QO4	IO3/QO3	IO2/QO2	IO1/QO1	IO0/QO0	
1	1	1	1	1	1	-31 LSB
1	1	1	1	1	0	-30 LSB
1	1	1	1	0	1	-29 LSB
⋮	⋮	⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮	⋮	⋮
1	0	0	0	1	0	-2 LSB
1	0	0	0	0	1	-1 LSB
1	0	0	0	0	0	0mV
0	0	0	0	0	0	0mV (Default)
0	0	0	0	0	1	1 LSB
0	0	0	0	1	0	2 LSB
⋮	⋮	⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮	⋮	⋮
0	1	1	1	0	1	29 LSB
0	1	1	1	1	0	30 LSB
0	1	1	1	1	1	31 LSB

注: 对于820mV_{P-P}满量程发送: 1 LSB = (820mV_{P-P}/1023) = 0.8016mV。对于1V_{P-P}满量程发送: 1 LSB = (1V_{P-P}/1023) = 0.9775mV。

表10. 共模选择 (COMSEL模式)

基准设置

CM1	CM0	Tx-PATH OUTPUT COMMON MODE (V)
0	0	1.4 (Default)
0	1	1.25
1	0	1.1
1	1	0.9

在SHDN期间, 辅助DAC完全关断, 输出电压为零。在STBY和IDLE模式下, 辅助DAC维持上次转换结果。由SHDN唤醒时, 辅助DAC恢复上次转换结果。

应仔细处理辅助DAC输出负载, 以获得所需的建立时间和稳定性。容性负载最大不得超过 5pF (含封装和走线电容)。阻性负载必须大于200kΩ。如果容性负载大于5pF, 则需要在输出上串联一个10kΩ电阻。此串联电阻有助于驱动较大的负载电容 (<15pF), 但会增大建立时间。

MAX19700内部高精度1.024V带隙基准可在整个电源范围和温度范围内保持稳定。REFIN输入提供两种基准工作模式。由REFIN (V_{REFIN}) 上的电压设置基准工作模式 (表11)。

在内部基准模式下, 将REFIN连接至V_{DD}。V_{REF}是由内部产生的0.512V ±4%电压基准。COM、REFP和REFN分别为低阻抗输出, V_{COM} = V_{DD} / 2、V_{REFP} = V_{DD} / 2 + V_{REF} / 2、V_{REFN} = V_{DD} / 2 - V_{REF} / 2。采用0.33μF电容分别将REFP、REFN和COM旁路。采用0.1μF电容旁路REFIN至GND

对于带缓冲的外部基准模式, 在REFIN上加载1.024V ±10%电压。此模式下, COM、REFP和REFN分别为低阻抗输出, V_{COM} = V_{DD} / 2、V_{REFP} = V_{DD} / 2 + V_{REFIN} / 4、V_{REFN} = V_{DD} / 2 - V_{REFIN} / 4。采用0.33μF电容分别将REFP、REFN和COM旁路。采用0.1μF电容旁路REFIN至

7.5MSPS、超低功耗 模拟前端

MAX19700

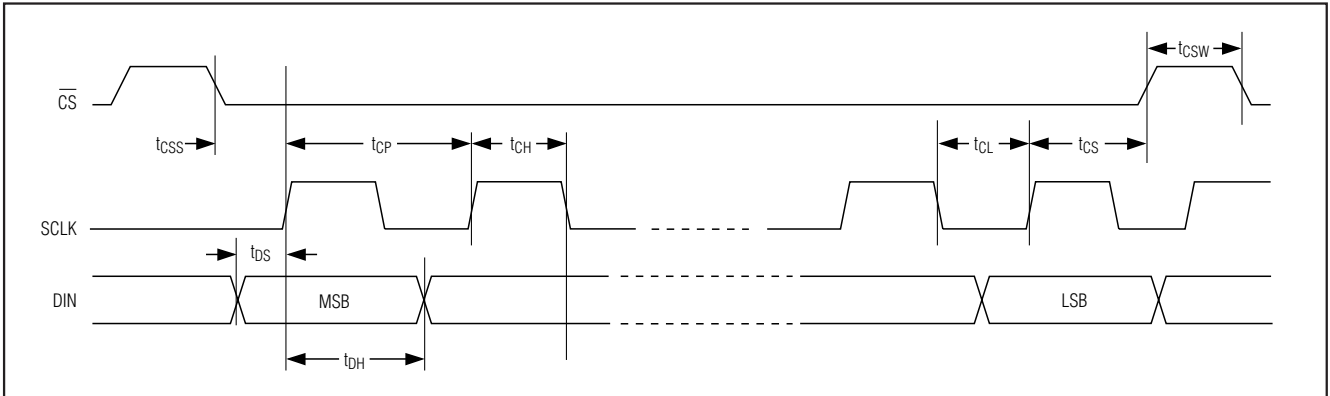


图6. 3线串行接口时序图

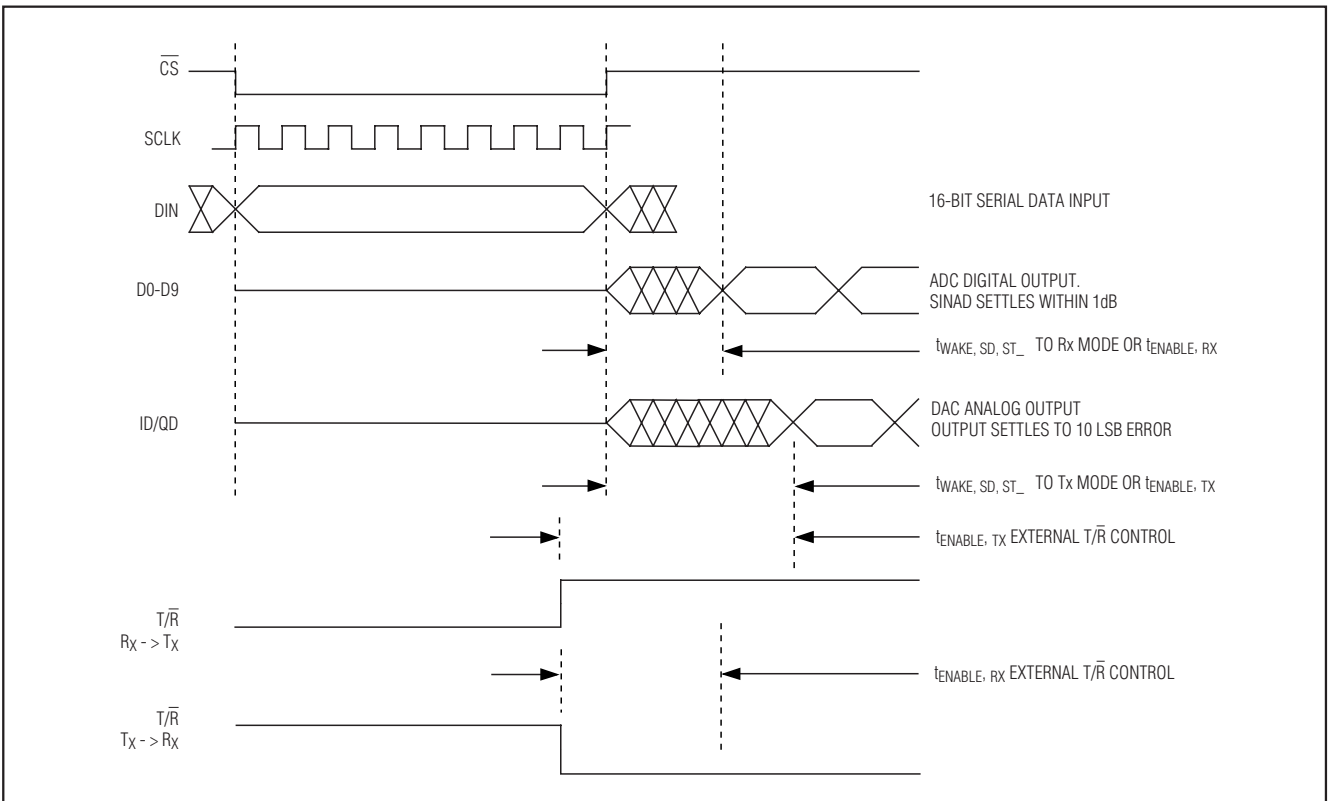


图7. MAX19700模式恢复时序图

GND。此模式下，Tx满量程输出与外部基准成正比。例如，如果 V_{REFIN} 增加10% (最大值)，Tx满量程输出也相应增大10%，达到 $\pm 451\text{mV}$ 。

上电复位

MAX19700 上电复位 (POR) 功能在上电时将器件设置为已知状态。默认状态为 Ext2-Rx。POR电路适合0V升压至

7.5Mps、超低功耗 模拟前端

表11. 基准模式

VREFIN	REFERENCE MODE
>0.8V × VDD	Internal Reference Mode. VREF is internally generated to be 0.512V. Bypass REFP, REFN, and COM each with a 0.33μF capacitor.
1.024V ±10%	Buffered External Reference Mode. An external 1.024V ±10% reference voltage is applied to REFIN. VREF is internally generated to be VREFIN / 2. Bypass REFP, REFN, and COM each with a 0.33μF capacitor. Bypass REFIN to GND with a 0.1μF capacitor.

VDD时间小于等于1ms的电源。对于0V至VDD升压时间超过1ms的电源，可采用SPI接口将MAX19700设置为所需状态。

应用信息

采用非平衡变压器AC耦合

RF 变压器 (图8) 为单端信号至全差分信号转换提供优异的解决方案，可获得最佳ADC性能。将变压器中心抽头连至COM，为输入提供一个 VDD / 2的DC电平偏移。可以使用1:1变压器，为降低对驱动电路的要求，也可使用升压变压器。通常，MAX19700全差分输入提供比单端信号更好的SFDR和THD性能，特别是高频输入时。在差分模式下，由于输入信号 (IAP、IAN、QAP、QAN) 对称，偶次谐波较低，与单端模式相比，每路Rx ADC输入只需单端信号摆幅的一半。图9是将MAX19700 Tx DAC差分模拟输出转换为单端输出的RF变压器电路。

采用运放耦合

在无法使用平衡变压器时，可采用运放驱动MAX19700 Rx ADC。Rx ADC采用运放驱动的单端AC耦合和差分DC耦合分别如图10和11所示。MAX4454和MAX4354等放大器具有高速、宽带、低噪声和低失真特性，能够保持输入信号的完整性。图11的运放电路还可以做为Tx DAC差分模拟输出接口，用来提供增益或缓冲。由于存在内部产生的共模电压，Tx DAC差分模拟输出不能用于单端模式。Tx DAC模拟输出设计用于驱动输入阻抗 ≥70kΩ的差分输入级。如果需要单端输出，可采用放大器提供差分至单端转换，但需要选择输入共模电压范围合适的放大器。

TDD模式

MAX19700针对TD-SCDMA应用进行了优化。当选择FAST模式时，MAX19700通过T/R引脚，可在1μs (典型值)内实现Tx和Rx模式切换。Rx ADC和Tx DAC独立工作。Rx ADC和Tx DAC数字总线通过共享形成10位并行总线。利用3线串行接口或外部T/R引脚在Rx模式 (使能Rx ADC)和Tx模式 (使能Tx DAC)之间选择。Rx模式，Tx DAC总线被禁止；Tx模式，Rx ADC总线为三态，以消除任何

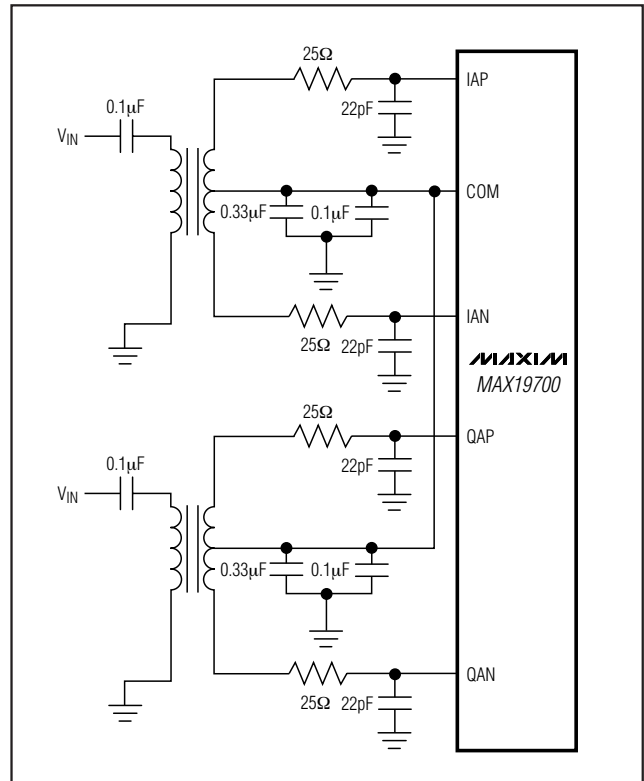


图8. Rx ADC采用平衡变压器耦合的单端至差分输入驱动

7.5MSPS、超低功耗 模拟前端

MAX19700

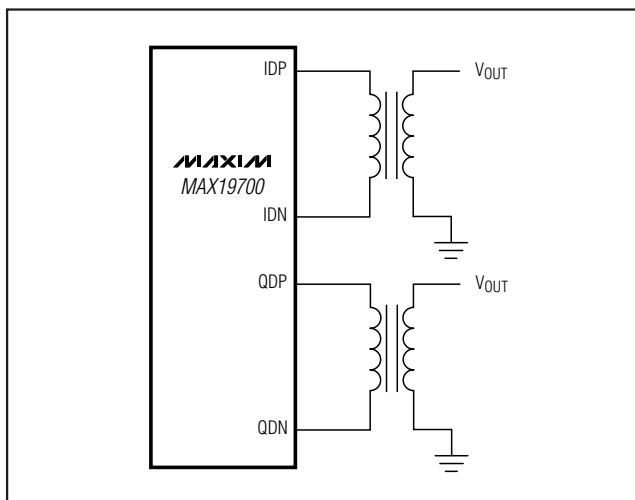


图9. Tx DAC平衡变压器耦合的差分至单端输出驱动

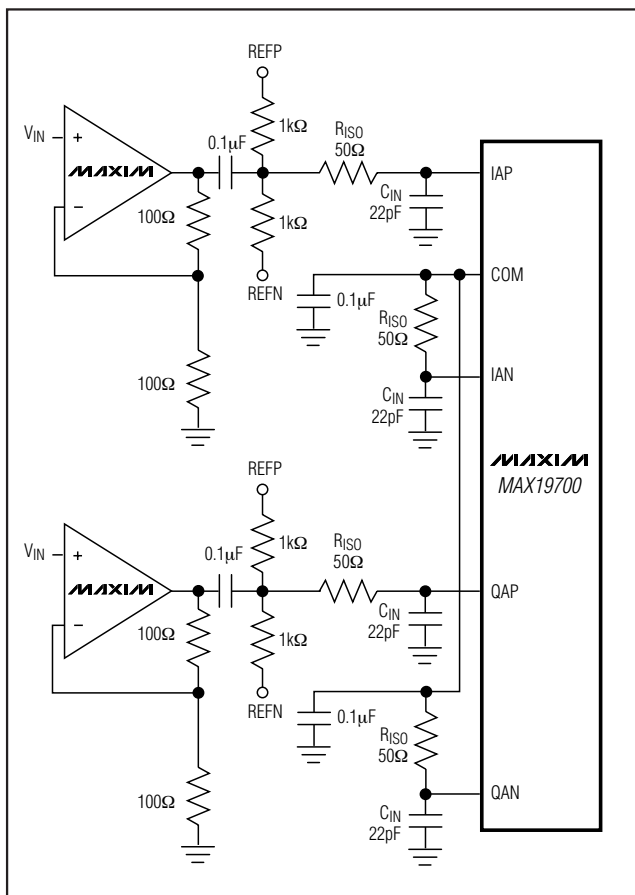


图10. Rx ADC单端驱动

不希望的杂散辐射，并防止出现总线冲突。TDD模式下， $f_{CLK} = 7.5\text{MHz}$ 时，MAX19700在Rx模式功耗为38.4mW，Tx模式功耗为39.3mW。

TD-SCDMA应用

图12是典型的TD-SCDMA应用电路。MAX19700设计用于直接与MAX2507和MAX2392射频前端接口，组成完整的“RF至数字”前端解决方案。MAX19700的多个特性可用于实现与MAX2392和MAX2507的直接接口：

- 集成Tx滤波器减少了元件数量，降低了成本，符合TD-SCDMA频谱模板要求。
- 可调DC共模Tx输出电平，不必使用分立DC电平偏移元件，同时保持Tx DAC全动态范围。
- 经过优化的Tx满量程输出，不必为I/Q增益控制选用分立放大器。
- Tx-I/Q失调校正，无需分立的补偿DAC进行失调补偿来提高高边带/载波抑制能力。
- 建立时间为1微秒的辅助DAC用于VGA和AGC控制，可实现快速、精确的Tx电源和Rx增益控制。

接地、旁路与布线

MAX19700需要高速电路板布线设计，电路板布线可以参考MAX19700评估板数据资料。所有旁路电容应尽可能靠近器件安装，并与器件位于电路板同侧，应该选用表贴器件以减小电感。用 $0.1\mu\text{F}$ 陶瓷电容与 $2.2\mu\text{F}$ 电容并联，将 V_{DD} 旁路到GND。用 $0.1\mu\text{F}$ 陶瓷电容与 $2.2\mu\text{F}$ 电容并联，将 OV_{DD} 旁路到OGND。分别用 $0.33\mu\text{F}$ 陶瓷电容将REFP、REFN与COM旁路到GND。用 $0.1\mu\text{F}$ 电容将REFIN旁路到GND。

具有独立地平面与电源平面层的多层板能够提供最佳信号完整性。模拟地 (GND) 与数字输出地 (OGND) 采用独立的地平面，并分别与器件封装上的物理位置匹配。连接MAX19700裸露的背面焊盘至GND平面。两个地平面单点相连，使噪声较大的数字地电流不会影响模拟地。可以凭经验将两个地平面之间空隙上的一点确定为单点共地的最佳位置。可以用一个低阻值表贴电阻 (1Ω 至 5Ω)、磁珠或直接短路完成该连接。如果该地平面与所有噪声较大的数字系统地平面 (如后续输出缓冲器或DSP地平面) 充分隔离，也可以使所有接地引脚共用同一个地平面。

7.5Mps、超低功耗 模拟前端

MAX19700

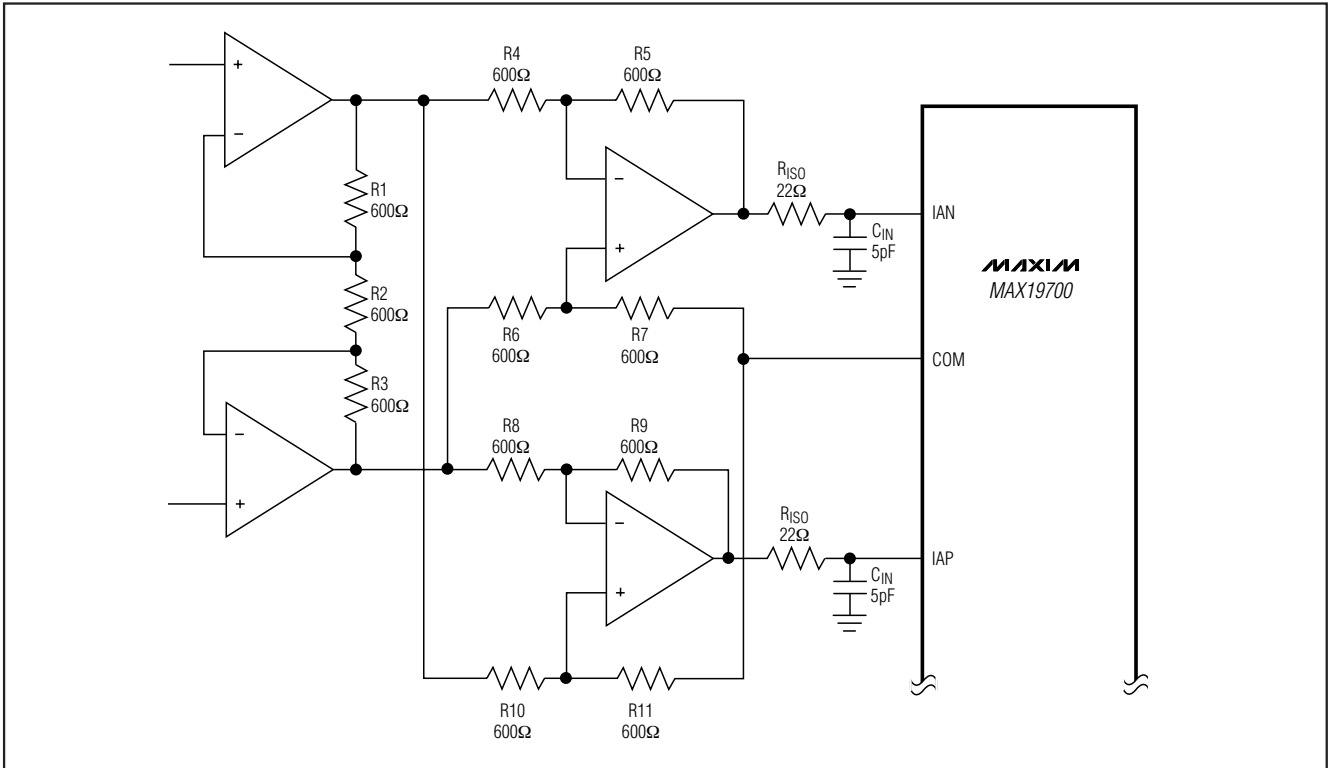


图11. Rx ADC DC耦合差分驱动

高速数字信号线应远离敏感的模拟信号线。确保模拟输入线与其相应的转换器隔离，以减小通道间串扰。确保所有信号线尽可能短，并避免90°转角。

动态参数定义

ADC与DAC的静态参数定义

积分非线性 (INL)

积分非线性是实际传递函数值与直线的偏差。这条直线可以是最佳直线拟合，也可以是消除失调与增益误差后传递函数两个端点间的连线。该器件静态线性参数测量采用最佳直线拟合法 (DAC图13a)。

微分非线性 (DNL)

微分非线性是实际步长宽度与1个LSB理想值之差，小于1 LSB的DNL误差保证不会产生失码 (ADC)，并可确保传递函数单调 (ADC与DAC) (DAC图13b)。

ADC失调误差

理想情况下，中点跳变出现在中点以上0.5个LSB处，失调误差是测试得到的跳变点与理想跳变点间的差值。

DAC失调误差

失调误差 (图13a) 是理想失调点与实际失调点之差。失调点是数字输入为中点时对应的输出值。该误差对所有编码的影响是相等的，通常可通过微调加以补偿。

7.5Mpsps、超低功耗 模拟前端

MAX19700

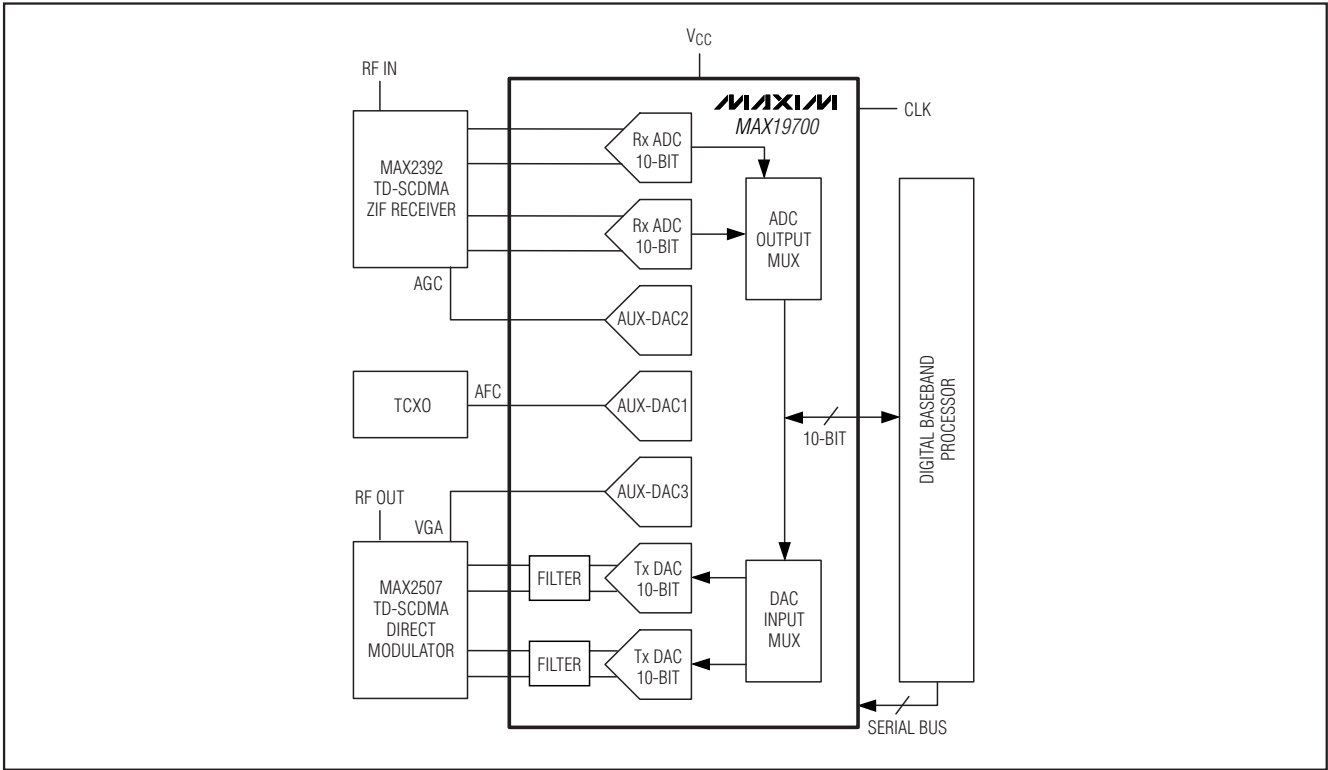


图 12. TD-SCDMA无线装置典型应用电路

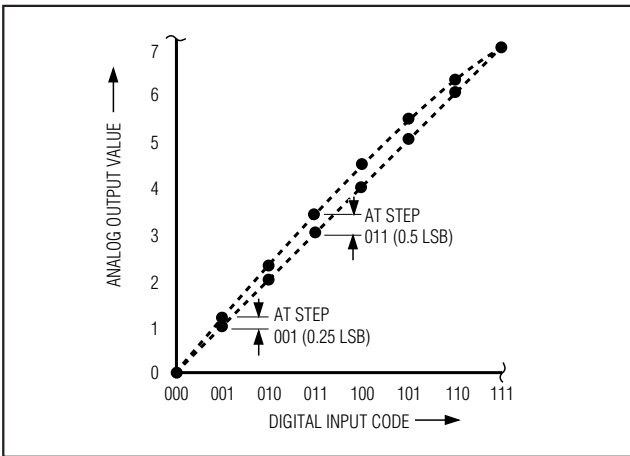


图 13a. 积分非线性

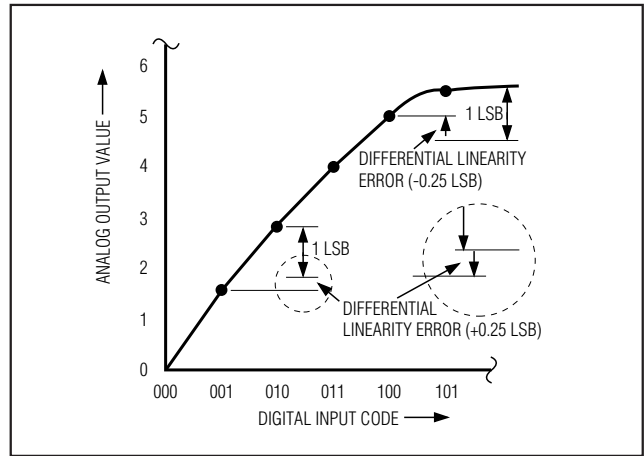


图 13b. 微分非线性

7.5Mps、超低功耗模拟前端

MAX19700

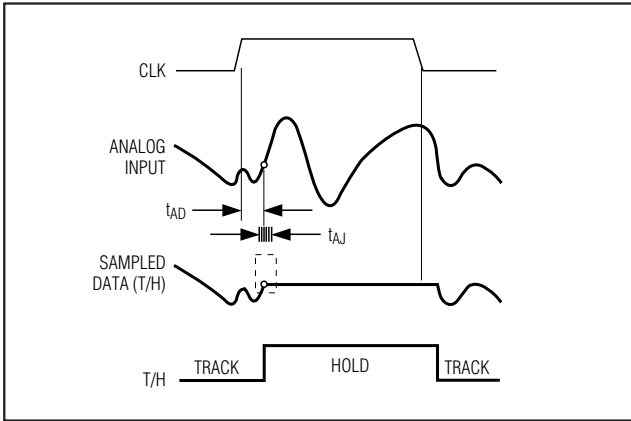


图 14. T/H 孔径延时

ADC 增益误差

理想情况下，ADC 满量程跳变出现在低于满量程 1.5 个 LSB 处。增益误差是在消除失调误差后测试的跳变点与理想跳变点之间的差值。

ADC 动态参数定义

孔径抖动

图 14 给出了孔径抖动 (t_{AJ}) 的说明，它是孔径延时期间采样值的变化。

孔径延时

孔径延时 (t_{AD}) 是指采样时钟上升沿与实际采样瞬间的时间差 (图 14)。

信噪比 (SNR)

从数字采样中重建最佳波形，理论上 SNR 最大值是满量程模拟输入 (RMS 值) 与 RMS 量化误差 (剩余误差) 之比，并直接由 ADC 的分辨率 (N 位) 确定：

$$\text{SNR}(\text{max}) = 6.02\text{dB} \times N + 1.76\text{dB} \text{ (单位为 dB)}$$

实际上，除了量化噪声外还有其它噪声源：热噪声、基准噪声、时钟抖动等。SNR 采用 RMS 信号与 RMS 噪声之比来计算。RMS 噪声包括除基波、前五次谐波与 DC 失调以外所有奈奎斯特频率的频谱成分。

信噪比加失真 (SINAD)

SINAD 采用 RMS 信号与 RMS 噪声之比来计算。RMS 噪声包括除基波与 DC 失调以外奈奎斯特频率的所有频谱成分。

有效位数 (ENOB)

ENOB 规定了在指定输入频率与采样率下 ADC 的动态性能。理想的 ADC 误差仅包括量化误差。满量程正弦输入波形的 ENOB 由下式计算：

$$\text{ENOB} = (\text{SINAD} - 1.76) / 6.02$$

总谐波失真 (THD)

THD 通常是输入信号前 5 次谐波的 RMS 之和与基波之比，可以用下式表示：

$$\text{THD} = 20 \log \left[\frac{\sqrt{(V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2)}}{V_1} \right]$$

其中 V_1 为基波幅值， V_2 – V_6 为 2 次至 6 次谐波幅值。

三次谐波失真 (HD3)

HD3 被定义为 3 次谐波分量的 RMS 值与输入信号基波的比值。

无杂散动态范围 (SFDR)

SFDR 是基波 (信号成分最大值) RMS 幅值与不包括 DC 失调的第二大杂散成分的 RMS 值之比，以分贝为单位。

交调失真 (IMD)

当 f_1 和 f_2 两路信号加在输入端时，IMD 是对应于总输入功率的交调分量总功率，交调分量为 $(f_1 \pm f_2)$ 、 $(2 \times f_1)$ 、 $(2 \times f_2)$ 、 $(2 \times f_1 \pm f_2)$ 、 $(2 \times f_2 \pm f_1)$ 。每路输入信号电平为 -7dBFS。

3 阶交调 (IM3)

当 f_1 和 f_2 两路信号加在输入端时，IM3 是对应于任意一路信号输入功率、最差三阶交调分量的功率。三阶交调分量为 $(2 \times f_1 \pm f_2)$ 、 $(2 \times f_2 \pm f_1)$ 。每路输入信号电平为 -7dBFS。

电源抑制比

电源抑制比定义为电源变化 $\pm 5\%$ 时产生的失调量与增益误差的偏移。

小信号带宽

将 -20dBFS 的模拟输入信号送入 ADC，并且信号摆率不会限制 ADC 性能的条件下，随着输入频率的升高数字转换结果将会下降，下降 3dB 时所对应的频点称为小信号带宽。注意，T/H 性能通常是制约小信号输入带宽的因素。

7.5MSPS、超低功耗 模拟前端

MAX19700

满功率带宽

将-0.5dBFS的模拟输入信号送入ADC，随着输入频率的升高数字转换结果将会下降，下降3dB时所对应的频点称为满功率带宽频率。

DAC动态参数定义

总谐波失真

THD是奈奎斯特频率输出谐波RMS之和与基波的比值：

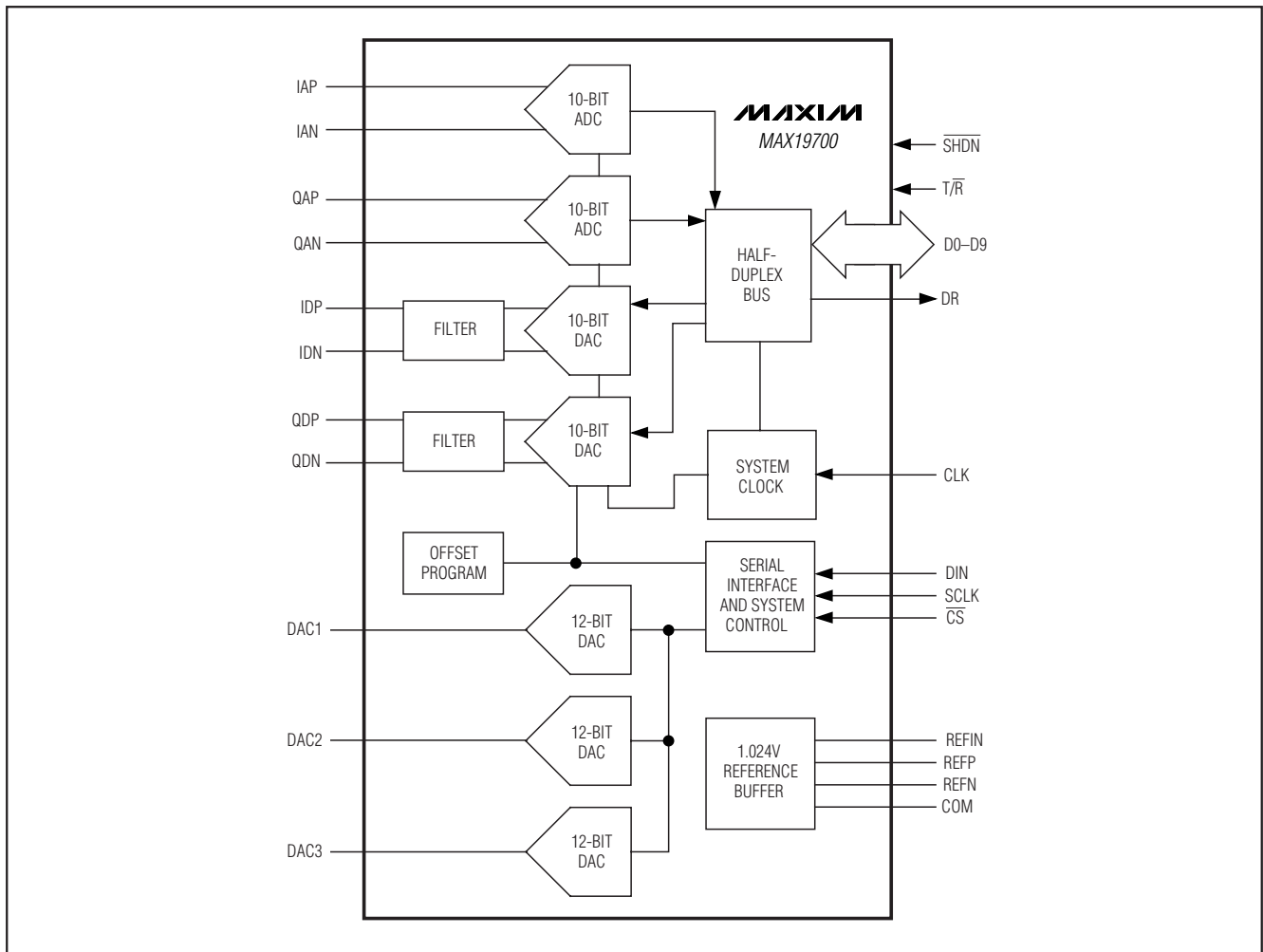
$$THD = 20\log\left[\frac{\sqrt{V_2^2 + V_3^2 + \dots + V_n^2}}{V_1}\right]$$

其中 V_1 为基波幅值， V_2 至 V_n 为奈奎斯特频率的2次至n次谐波幅值。

无杂散动态范围

无杂散动态范围 (SFDR) 是基波 (信号成分最大值) RMS幅值与不包括DC成分的奈奎斯特频率第二大失真成分RMS值之比。

原理图

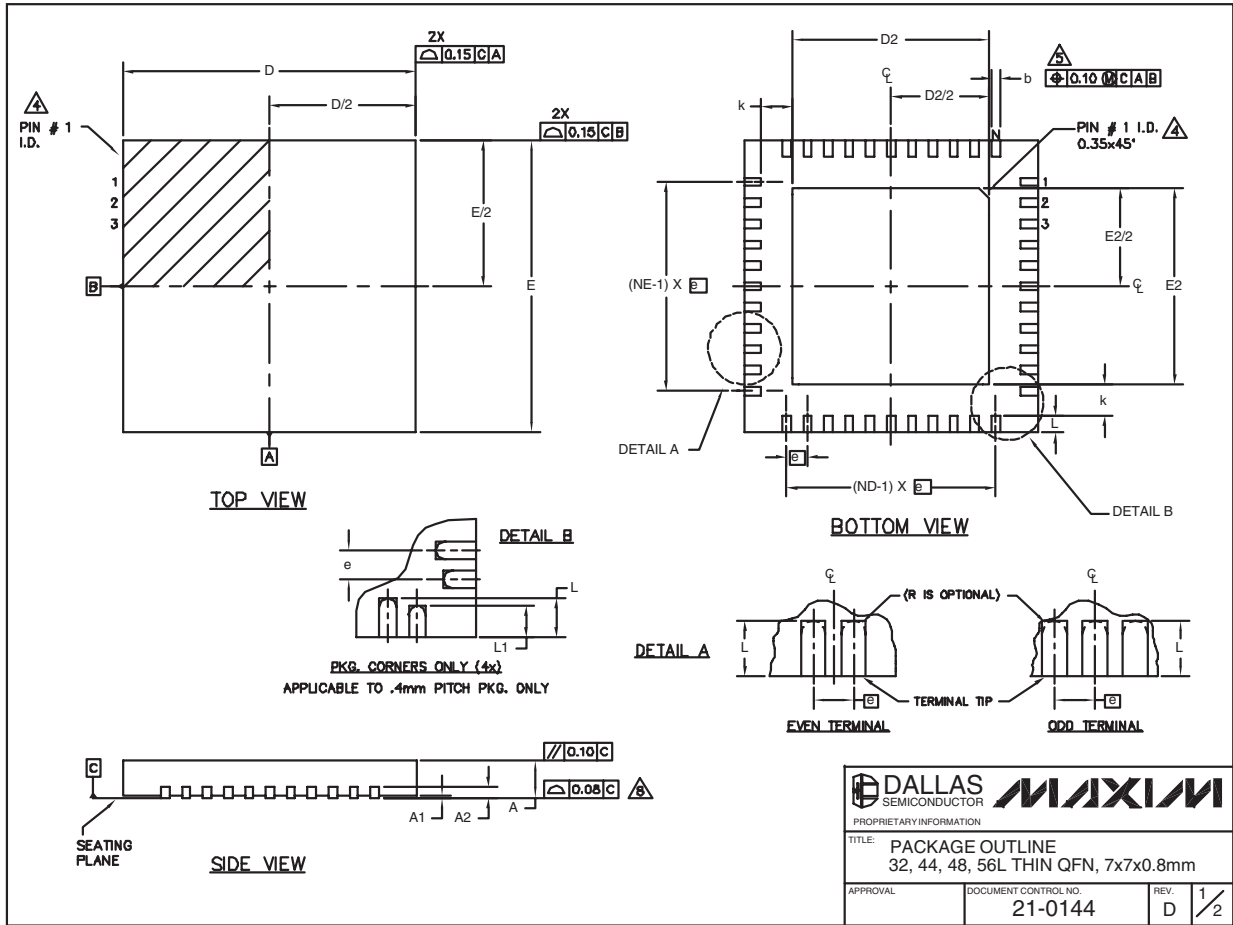


7.5Mps、超低功耗 模拟前端

封装信息

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外型信息, 请查询 www.maxim-ic.com.cn/packages.)

MAX19700



7.5MSPS、超低功耗 模拟前端

MAX19700

封装信息 (续)

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外型信息, 请查询 www.maxim-ic.com.cn/packages.)

COMMON DIMENSIONS														EXPOSED PAD VARIATIONS														
PKG	32L 7x7			44L 7x7			48L 7x7			CUSTOM PKG. (T4877-1)				56L 7x7			PKG. CODES	DEPOPULATED LEADS	D2		E2		JEDEC M0220 REV. C	DOWN BONDS ALLOWED				
	SYMBOL	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.			MIN.	NOM.	MAX.							
A	0.70	0.76	0.80	0.70	0.76	0.80	0.70	0.76	0.80	0.70	0.76	0.80	0.70	0.76	0.80	T3277-1	-	4.35	4.70	4.85	4.55	4.70	4.85	-	NO			
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	T3277-2	-	4.55	4.70	4.85	4.55	4.70	4.85	-	YES			
A2	0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.				0.20 REF.			T4477-1	-	4.55	4.70	4.85	4.55	4.70	4.85	WKKD-1	NO		
b	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25	T4477-2	-	4.55	4.70	4.85	4.55	4.70	4.85	WKKD-1	YES			
D	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	T4477-3	-	4.55	4.70	4.85	4.55	4.70	4.85	WKKD-1	YES			
E	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	T4877-1**	13,24,37,48	4.20	4.30	4.40	4.20	4.30	4.40	-	NO			
e	0.65 BSC.			0.50 BSC.			0.50 BSC.				0.50 BSC.			0.40 BSC.			T4877-2	-	5.45	5.60	5.63	5.45	5.60	5.63	-	NO		
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	0.25	0.35	0.45	T4877-3	-	4.95	5.10	5.25	4.95	5.10	5.25	-	YES			
L	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	0.45	0.55	0.65	0.40	0.50	0.60	T4877-4	-	5.45	5.60	5.63	5.45	5.60	5.63	-	YES			
L1	-	-	-	-	-	-	-	-	-	-	-	-	0.30	0.40	0.50	T4877-5	-	2.40	2.50	2.60	2.40	2.50	2.60	-	NO			
N	32			44			48			44				56			T4877-6	-	5.45	5.60	5.63	5.45	5.60	5.63	-	NO		
ND	8			11			12			10				14			T5677-1	-	5.20	5.30	5.40	5.20	5.30	5.40	-	YES		
NE	8			11			12			12				14														

** NOTE: T4877-1 IS A CUSTOM 48L PKG. WITH 4 LEADS DEPOPULATED. TOTAL NUMBER OF LEADS ARE 44.

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC M0220 EXCEPT THE EXPOSED PAD DIMENSIONS OF T3277-1; T4877-1/-2/-3/-4/-5/-6 & T5677-1.
- WARPAGE SHALL NOT EXCEED 0.10 mm.

PROPRIETARY INFORMATION TITLE: PACKAGE OUTLINE 32, 44, 48, 56L THIN QFN, 7x7x0.8mm	
APPROVAL	DOCUMENT CONTROL NO. 21-0144
REV. D	2/2

MAXIM北京办事处

北京 8328 信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6201 0598

传真: 010-6201 0298

Maxim 不对 Maxim 产品以外的任何电路使用负责, 也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

32 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2005 Maxim Integrated Products

Printed USA

MAXIM 是 Maxim Integrated Products, Inc. 的注册商标。

项目开发 芯片解密 零件配单 TEL: 15013652265 QQ: 38537442