

可提供评估板

MAXIM

低抖动、精密时钟发生器，  
提供三路输出

MAX3625B

## 概述

MAX3625B是一款低抖动、精密时钟发生器，优化用于网络设备。器件内置晶体振荡器和锁相环(PLL)时钟倍频器，以产生高频时钟输出，用于以太网、10G光纤通道及其它网络设备。

Maxim专有的PLL设计提供了超低抖动和优异的电源噪声抑制性能，将网络设备的设计风险降至最低。

MAX3625B具有3路LVPECL输出。可选择的输出分频器和反馈分频器允许在一定范围内设置输出频率。

## 应用

以太网设备

光纤通道存储局域网络

## 特性

- ◆ 晶体振荡器接口：24.8MHz至27MHz
- ◆ CMOS输入：最高320MHz
- ◆ 输出频率
  - 以太网：62.5MHz、125MHz、156.25MHz、312.5MHz
  - 10G光纤通道：159.375MHz、318.75MHz
- ◆ 低抖动
  - 0.14ps<sub>RMS</sub> (1.875MHz至20MHz)
  - 0.36ps<sub>RMS</sub> (12kHz至20MHz)
- ◆ 优异的电源噪声抑制性能
- ◆ 无需外部环路滤波电容

## 订购信息

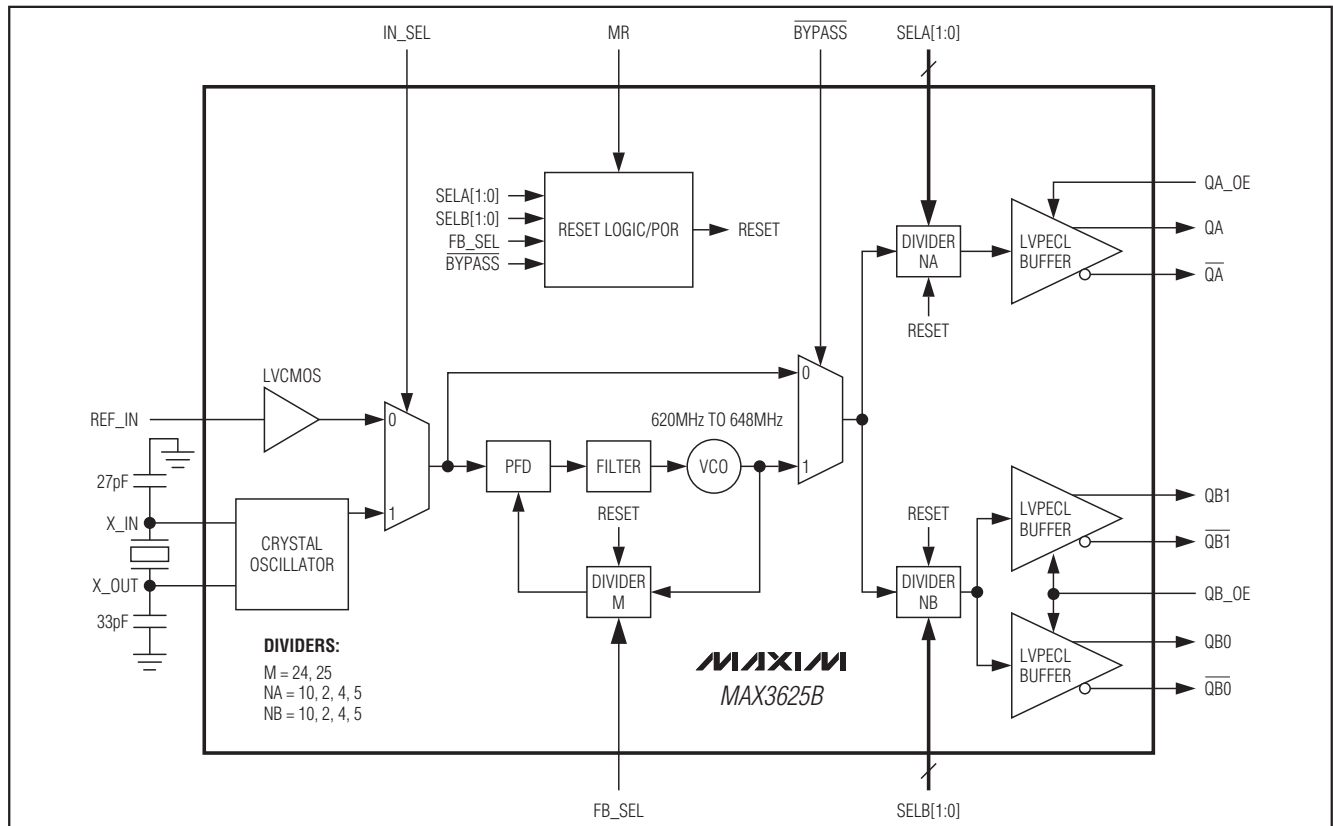
PART	TEMP RANGE	PIN-PACKAGE
MAX3625BEUG+	-40°C to +85°C	24 TSSOP-EP*

+表示无铅(Pb)符合RoHS标准的封装。

\*EP = 裸焊盘。

典型应用电路在数据资料的最后给出。

## 方框图



MAXIM

Maxim Integrated Products 1

本文是英文数据资料的译文，文中可能存在翻译上的不准确或错误。如需进一步确认，请在您的设计中参考英文资料。

有关价格、供货及订购信息，请联络Maxim亚洲销售中心：10800 852 1249 (北中国区)，10800 152 1249 (南中国区)，或访问Maxim的中文网站：china.maxim-ic.com。

# 低抖动、精密时钟发生器， 提供三路输出

MAX3625B

## ABSOLUTE MAXIMUM RATINGS

Supply Voltage Range $V_{CC}$ , $V_{CCA}$ , $V_{CCO\_A}$ , $V_{CCO\_B}$ .....	-0.3V to +4.0V	Voltage Range at $X\_OUT$ .....	-0.3V to ( $V_{CC} - 0.6V$ )
Voltage Range at $REF\_IN$ , $IN\_SEL$ , $FB\_SEL$ , $SELA[1:0]$ , $SELB[1:0]$ , $QA\_OE$ , $QB\_OE$ , $MR$ , $\overline{BYPASS}$ .....	-0.3V to ( $V_{CC} + 0.3V$ )	Current into $QA$ , $\overline{QA}$ , $QB0$ , $\overline{QB0}$ , $QB1$ , $\overline{QB1}$ .....	-56mA
Voltage Range at $X\_IN$ .....	-0.3V to +1.2V	Continuous Power Dissipation ( $T_A = +70^\circ C$ ) 24-Pin TSSOP (derate 26.7mW/ $^\circ C$ above +70 $^\circ C$ ) ..	2133.3mW
		Operating Junction Temperature Range .....	-55 $^\circ C$ to +150 $^\circ C$
		Storage Temperature Range .....	-65 $^\circ C$ to +160 $^\circ C$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

( $V_{CC} = +3.0V$  to +3.6V,  $T_A = -40^\circ C$  to +85 $^\circ C$ , unless otherwise noted. Typical values are at  $V_{CC} = +3.3V$ ,  $T_A = +25^\circ C$ , unless otherwise noted.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Power-Supply Current (Note 3)	$I_{CC}$	$IN\_SEL = high$		72	98	mA
		$IN\_SEL = low$		74		
<b>CONTROL INPUT CHARACTERISTICS (<math>SELA[1:0]</math>, <math>SELB[1:0]</math>, <math>FB\_SEL</math>, <math>IN\_SEL</math>, <math>QA\_OE</math>, <math>QB\_OE</math>, <math>MR</math>, <math>\overline{BYPASS}</math> Pins)</b>						
Input Capacitance	$C_{IN}$			2		pF
Input Pulldown Resistor	$R_{PULLDOWN}$	Pins $MR$ , $FB\_SEL$		75		k $\Omega$
Input Logic Bias Resistor	$R_{BIAS}$	Pins $SELA[1:0]$ , $SELB[1:0]$		50		k $\Omega$
Input Pullup Resistor	$R_{PULLUP}$	Pins $QA\_OE$ , $QB\_OE$ , $IN\_SEL$ , $\overline{BYPASS}$		75		k $\Omega$
<b>LVPECL OUTPUTS (<math>QA</math>, <math>\overline{QA}</math>, <math>QB0</math>, <math>\overline{QB0}</math>, <math>QB1</math>, <math>\overline{QB1}</math> Pins)</b>						
Output High Voltage	$V_{OH}$		$V_{CC} - 1.18$	$V_{CC} - 0.98$	$V_{CC} - 0.83$	V
Output Low Voltage	$V_{OL}$		$V_{CC} - 1.90$	$V_{CC} - 1.7$	$V_{CC} - 1.55$	V
Peak-to-Peak Output-Voltage Swing (Single-Ended)		(Note 2)	0.6	0.72	0.9	$V_{P-P}$
Clock Output Rise/Fall Time		20% to 80% (Note 2)	200	350	600	ps
Output Duty-Cycle Distortion		PLL enabled	48	50	52	%
		PLL bypassed (Note 4)	45	50	55	
<b>LVCMS/LVTTL INPUTS (<math>SELA[1:0]</math>, <math>SELB[1:0]</math>, <math>FB\_SEL</math>, <math>IN\_SEL</math>, <math>QA\_OE</math>, <math>QB\_OE</math>, <math>MR</math>, <math>\overline{BYPASS}</math> Pins)</b>						
Input-Voltage High	$V_{IH}$		2.0			V
Input-Voltage Low	$V_{IL}$				0.8	V
Input High Current	$I_{IH}$	$V_{IN} = V_{CC}$			80	$\mu A$
Input Low Current	$I_{IL}$	$V_{IN} = 0V$	-80			$\mu A$

# 低抖动、精密时钟发生器， 提供三路输出

MAX3625B

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{CC} = +3.0V$  to  $+3.6V$ ,  $T_A = -40^{\circ}C$  to  $+85^{\circ}C$ , unless otherwise noted. Typical values are at  $V_{CC} = +3.3V$ ,  $T_A = +25^{\circ}C$ , unless otherwise noted.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>REF_IN SPECIFICATIONS (Input DC- or AC-Coupled)</b>						
Reference Clock Frequency		PLL enabled	24.8	27.0		MHz
		PLL bypassed			320	
Input-Voltage High	$V_{IH}$		2.0			V
Input-Voltage Low	$V_{IL}$				0.8	V
Input High Current	$I_{IH}$	$V_{IN} = V_{CC}$			240	$\mu A$
Input Low Current	$I_{IL}$	$V_{IN} = 0V$	-240			$\mu A$
Reference Clock Duty Cycle		PLL enabled	30		70	%
Input Capacitance				2.5		pF
<b>CLOCK OUTPUT AC SPECIFICATIONS</b>						
VCO Frequency Range			620		648	MHz
Random Jitter (Note 5)	$R_{JRMS}$	12kHz to 20MHz		0.36	1.0	psRMS
		1.875MHz to 20MHz		0.14		
Spurs Induced by Power-Supply Noise		(Notes 6, 7, 8)		-60		dBc
Deterministic Jitter Induced by Power-Supply Noise		(Note 9)		5.6		psP-P
Nonharmonic and Subharmonic Spurs				-70		dBc
Output Skew		Between any output pair		5		ps
Clock Output SSB Phase Noise at 125MHz (Note 10)		$f = 1kHz$		-124		dBc/Hz
		$f = 10kHz$		-127		
		$f = 100kHz$		-131		
		$f = 1MHz$		-145		
		$f > 10MHz$		-153		

**Note 1:** A series resistor of up to  $10.5\Omega$  is allowed between  $V_{CC}$  and  $V_{CCA}$  for filtering supply noise when system power-supply tolerance is  $V_{CC} = 3.3V \pm 5\%$ . See Figure 1.

**Note 2:** LVPECL outputs guaranteed up to 320MHz.

**Note 3:** All outputs enabled and unloaded.

**Note 4:** Measured with a crystal (see Table 4) or an AC-coupled, 50% duty-cycle signal on REF\_IN.

**Note 5:** Measured with crystal source, see Table 4.

**Note 6:** Measured using setup shown in Figure 1.

**Note 7:** Measured with  $40mV_{P-P}$ , 100kHz sinusoidal signal on the supply.

**Note 8:** Measured at 156.25MHz output.

**Note 9:** Calculated based on measured spurs induced by power-supply noise (refer to Application Note 4461: *HFAN-04.5.5: Characterizing Power-Supply Noise Rejection in PLL Clock Synthesizers*).

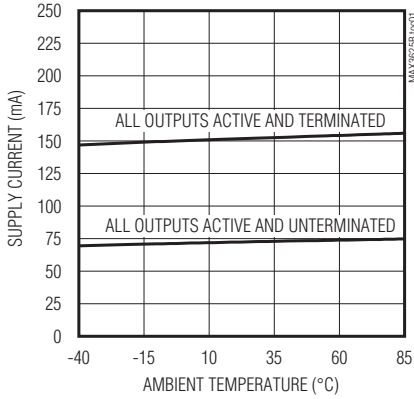
**Note 10:** Measured with 25MHz crystal or 25MHz reference clock at REF\_IN with a slew rate of 0.5V/ns or greater.

# 低抖动、精密时钟发生器， 提供三路输出

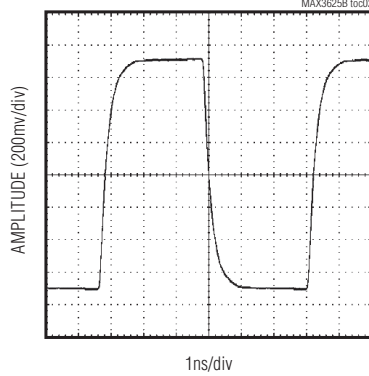
典型工作特性

(Typical values are at  $V_{CC} = +3.3V$ ,  $T_A = +25^\circ C$ , crystal frequency = 25MHz.)

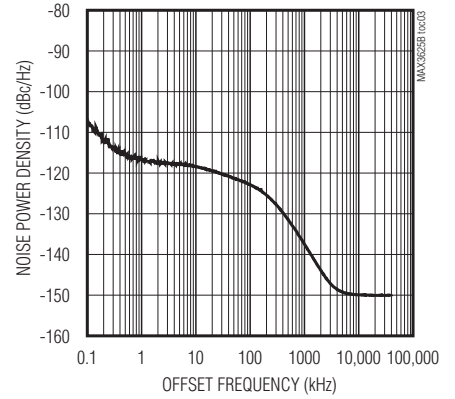
**SUPPLY CURRENT vs. TEMPERATURE**



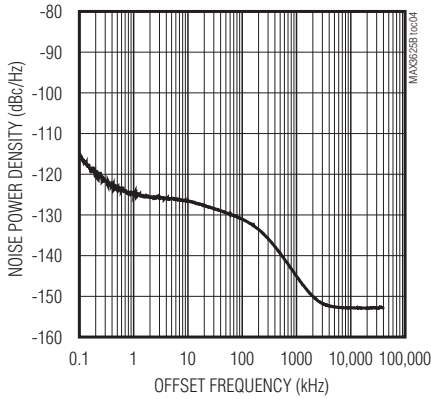
**DIFFERENTIAL OUTPUT WAVEFORM AT 156.25MHz**



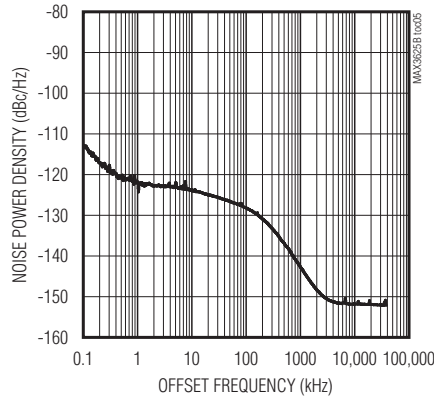
**PHASE NOISE AT 312.5MHz CLOCK FREQUENCY**



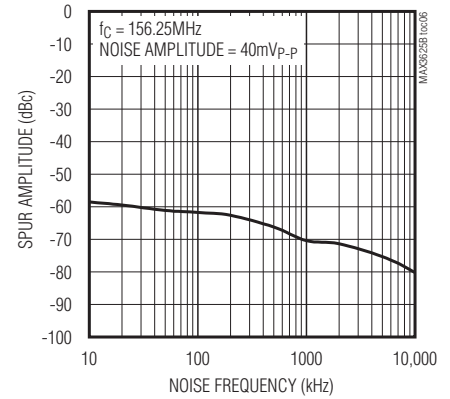
**PHASE NOISE AT 125MHz CLOCK FREQUENCY**



**PHASE NOISE AT 156.25MHz CLOCK FREQUENCY**



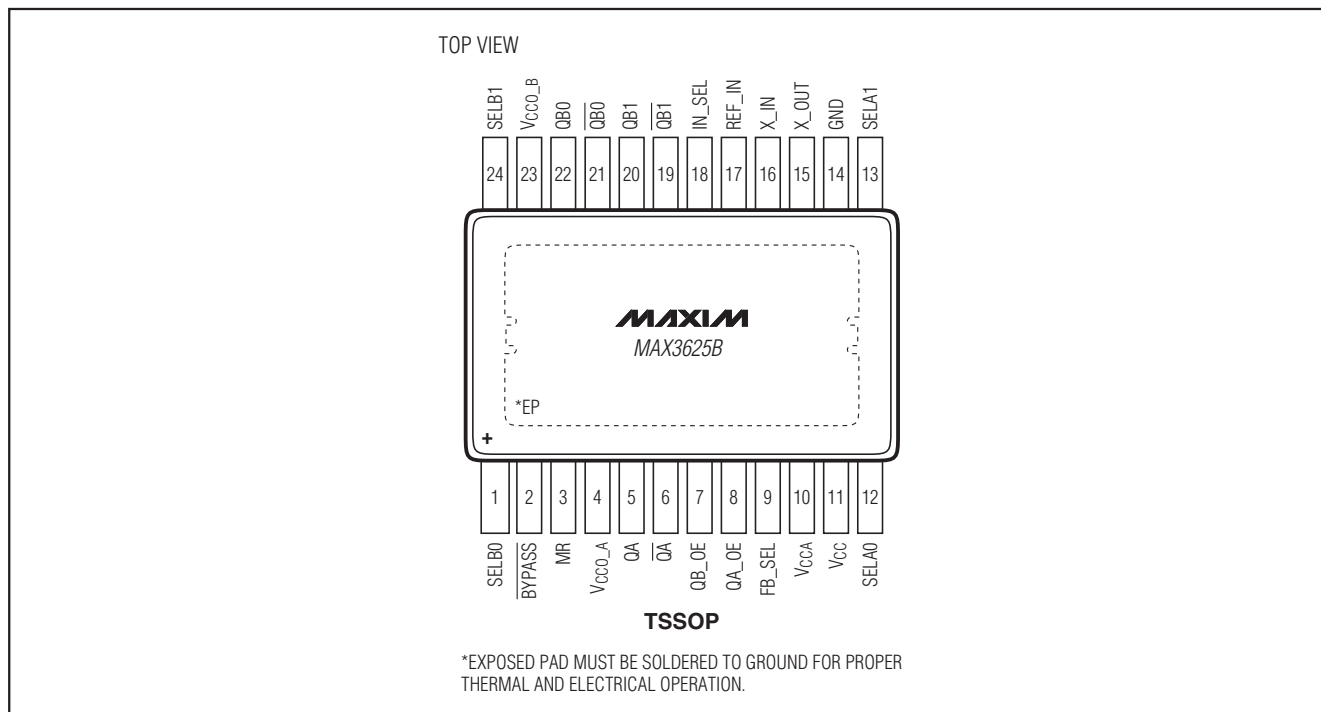
**SPURS INDUCED BY POWER-SUPPLY NOISE vs. NOISE FREQUENCY**



# 低抖动、精密时钟发生器， 提供三路输出

引脚配置

MAX3625B



引脚说明

引脚	名称	功能
1, 24	SELB0, SELB1	LVC MOS/LVTTL 输入。控制 NB 分频器设置，具有 50kΩ 输入阻抗，详细信息请参考表 2。
2	$\overline{\text{BYPASS}}$	LVC MOS/LVTTL 输入(低电平有效)。连接至低电平时旁路内部 PLL，正常工作时将其连接至高电平或悬空。旁路模式下，输出分频器的分频比为 1，内部提供 75kΩ 上拉电阻至 V <sub>CC</sub> 。
3	MR	LVC MOS/LVTTL 输入。主机复位输入，脉冲高电平时间 > 1μs 时复位所有分频器。内部提供 75kΩ 下拉电阻至 GND。正常工作时无需使用。
4	VCC0_A	QA 时钟输出级的供电电源，连接至 +3.3V。
5	QA	同相时钟输出，LVPECL 电平。
6	$\overline{\text{QA}}$	反相时钟输出，LVPECL 电平。
7	QB_OE	LVC MOS/LVTTL 输入。使能/禁止 QB 时钟输出。该引脚接高电平或悬空时，使能 LVPECL 时钟输出 QB0 和 QB1；接低电平时，将 QB0 和 QB1 置为逻辑 0。内部提供 75kΩ 上拉电阻至 V <sub>CC</sub> 。
8	QA_OE	LVC MOS/LVTTL 输入。使能/禁止 QA 时钟输出。该引脚接高电平或悬空时，使能 LVPECL 时钟输出 QA；接低电平时，将 QA 置为逻辑 0。内部提供 75kΩ 上拉电阻至 V <sub>CC</sub> 。
9	FB_SEL	LVC MOS/LVTTL 输入。控制 M 分频器设置，详细信息请参考表 3。内部提供 75kΩ 下拉电阻至 GND。

# 低抖动、精密时钟发生器， 提供三路输出

引脚说明(续)

引脚	名称	功能
10	V <sub>CCA</sub>	VCO模拟供电电源，连接至+3.3V。为了提供额外的电源噪声滤波，该引脚可通过10.5Ω电阻连接到V <sub>CC</sub> ，如图1所示(要求V <sub>CC</sub> = 3.3V ±5%)。
11	V <sub>CC</sub>	核供电电源，连接至+3.3V。
12, 13	SELA0, SELA1	LVCOS/LVTTL输入。控制NA分频器设置，详细信息请参考表2，具有50kΩ输入阻抗。
14	GND	电源地。
15	X_OUT	晶体振荡器输出。
16	X_IN	晶体振荡器输入。
17	REF_IN	LVCOS参考时钟输入，自偏置允许采用交流或直流耦合。
18	IN_SEL	LVCOS/LVTTL输入。使用晶体时将其连接至高电平或悬空；使用REF_IN时将其连接至低电平。内部提供75kΩ上拉电阻至V <sub>CC</sub> 。
19	$\overline{QB1}$	反相时钟输出，LVPECL电平。
20	QB1	同相时钟输出，LVPECL电平。
21	$\overline{QB0}$	反相时钟输出，LVPECL电平。
22	QB0	同相时钟输出，LVPECL电平。
23	V <sub>CCO_B</sub>	QB0和QB1时钟输出级的供电电源，连接至+3.3V。
—	EP	裸焊盘，电源地。连接到PCB地，以获得正确的电气特性和适当的散热。

## 详细说明

MAX3625B是低抖动时钟发生器，设计工作在以太网和光纤通道频率范围。器件内置晶体振荡器、PLL、可编程分频器和LVPECL输出缓冲器。内部PLL利用低频时钟(晶体或CMOS输入)作为参考时钟，产生具有优异的抖动指标的高频输出时钟。

## 晶体振荡器

内置振荡器为PLL提供低频参考时钟。该振荡器要求在X\_IN和X\_OUT之间连接一个外部晶体，晶体频率为24.8MHz至27MHz。

## REF\_IN缓冲器

可以在REF\_IN连接LVCOS兼容的时钟源，作为参考时钟。LVCOS REF\_IN缓冲器内部偏置在门限电压(1.4V，典型值)，允许采用交流或直流耦合，设计工作在高达320MHz频率。

## PLL

PLL从晶振或参考时钟输入获取信号，将其合成为低抖动、高频时钟。PLL包含相频检测器(PFD)、低通滤波器和压

控振荡器(VCO)(620MHz至648MHz工作范围)。VCO通过反馈分频器连接至PFD输入，分频器数值如表3所示。PFD将参考时钟与分频后的VCO输出时钟( $f_{VCO}/M$ )进行比较，产生一个控制信号，以保持VCO锁存到参考时钟。高频VCO输出时钟发送到输出分频器。为降低噪声产生的抖动，VCO电源(V<sub>CCA</sub>)与内核逻辑电路以及输出缓冲器电源相隔离。

## 输出分频器

输出分频器编程到允许的输出频率范围，表2给出了分频器输入设置。当MAX3625B处于旁路模式(BYPASS = 0)时，输出分频器自动将分频比设置为1。

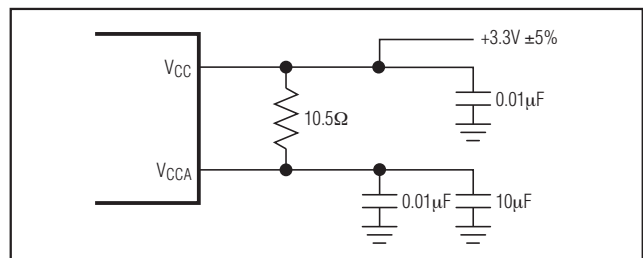


图1. 模拟电源滤波

# 低抖动、精密时钟发生器， 提供三路输出

MAX3625B

表1. 确定输出频率

CRYSTAL OR CMOS INPUT FREQUENCY (MHz)	FEEDBACK DIVIDER, M	VCO FREQUENCY (MHz)	OUTPUT DIVIDER, NA AND NB	OUTPUT FREQUENCY (MHz)	APPLICATIONS
25	25	625	2	312.5	Ethernet
			4	156.25	
			5	125	
			10	62.5	
25.78125	25	644.53125	4	161.132812	10Gbps Ethernet
26.04166	24	625	2	312.5	Ethernet
			4	156.25	
			5	125	
			10	62.5	
26.5625	24	637.5	2	318.75	10G Fibre Channel
			4	159.375	

## LVPECL驱动器

高频输出级—QA、QB0和QB1为差分PECL缓冲器，用于驱动50Ω端接至V<sub>CC</sub> - 2.0V的传输线，最高工作频率为320MHz。不使用时，可以禁止输出。禁止时，输出为逻辑0。

## 复位逻辑/POR

上电期间，产生上电复位(POR)信号以同步所有分频器。无需外部主机复位(MR)信号。

## 应用信息

### 电源滤波

MAX3625B为混合模拟/数字IC。PLL所包含的模拟电路对于随机噪声非常敏感。除了芯片本身优异的电源噪声抑制特性外，MAX3625B为VCO电路提供独立的电源引脚V<sub>CCA</sub>。图1给出了V<sub>CCA</sub>电源滤波的推荐网络。采用这一设计的目的在于为VCO电路提供低噪声电源，改善整体的电源噪声抑制能力。该网络要求采用+3.3V ±5%的电源供电，为获得最佳性能，所有电源引脚应采用去耦电容。

## 输出分频器配置

表2给出了设置输出分频器的输入配置。当MAX3625B处于旁路模式(BYPASS置为低电平)时，输出分频器自动将分频比置为1。

## PLL分频器配置

表3给出了设置PLL反馈分频器的输入配置。

表2. 输出分频器配置

INPUT		NA/NB DIVIDER
SELA1/SELB1	SELA0/SELB0	
0	0	÷10
0	1	÷2
1	0	÷4
1	1	÷5

表3. PLL分频器配置

FB_SEL INPUT	M DIVIDER
0	÷25
1	÷24

# 低抖动、精密时钟发生器， 提供三路输出

## 选择晶体

晶体振荡器设计为驱动基波模式、AT切割晶体谐振器，表4给出了推荐的晶体参数。外部电容的连接如图3所示。

表4. 选择晶体参数

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS
Crystal Oscillation Frequency	$f_{OSC}$	24.8		27	MHz
Shunt Capacitance	$C_O$		2.0	7.0	pF
Load Capacitance	$C_L$		18		pF
Equivalent Series Resistance (ESR)	$R_S$			50	$\Omega$
Maximum Crystal Drive Level				300	$\mu W$

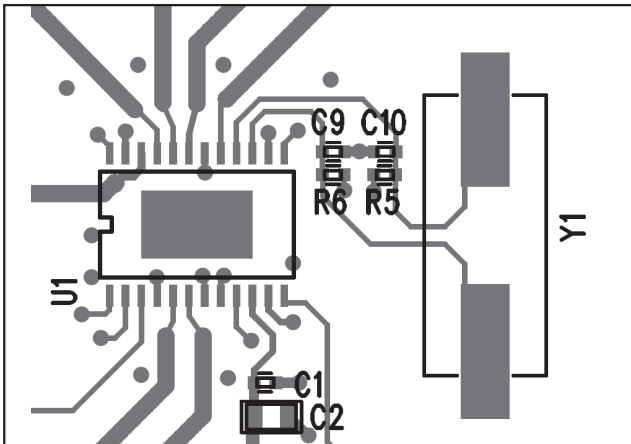


图2. 晶体布局

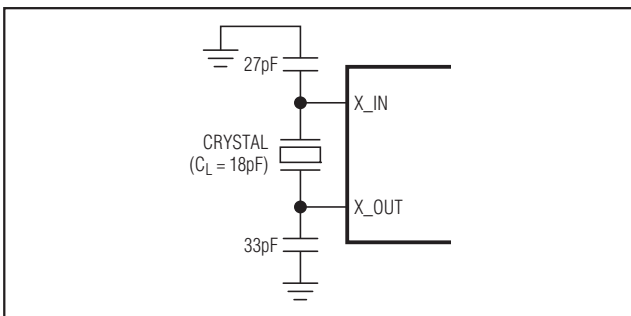


图3. 晶体、电容的连接

## 晶体输入布局

电路板上的晶体、相关引线和两个外部电容应尽可能靠近MAX3625B的X\_IN和X\_OUT引脚放置，以降低串扰到振荡器的有源信号。图2给出了一个布局实例，晶体每侧的引线和引脚产生的寄生电容大约为3pF。电介质材料为FR4，参考设计板的电介质厚度为15mil。采用25MHz晶体和 $C_{10} = 27pF$ 、 $C_9 = 33pF$ 的电容，+25°C环境温度下测试得到的输出频率精度为-14ppm。

## 与LVPECL输出的连接

LVPECL输出等效电路如图7所示，这些输出设计用于驱动采用50 $\Omega$ 电阻端接至 $V_{TT} = V_{CC} - 2V$ 的一对50 $\Omega$ 传输线。如果无法提供独立的端接电压( $V_{TT}$ )，可以采用图4和图5所示的其它端接方法。应禁止没有使用的输出，可以将其悬空。关于LVPECL端接以及如何与其它逻辑接口连接的详细信息，请参考应用笔记291: HFAN-01.0: LVDS、PECL和CML介绍。

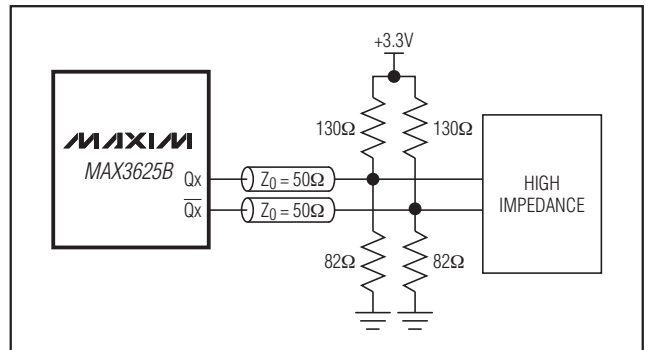


图4. 标准PECL端接的戴维南等效电路

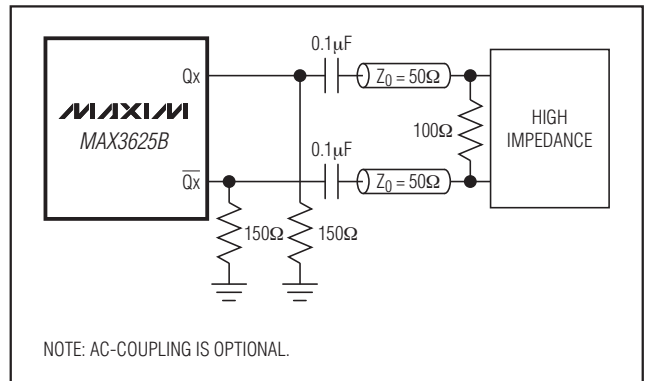


图5. 交流耦合的PECL端接



# 低抖动、精密时钟发生器， 提供三路输出

## 接口模型

## 布局考虑

图6和图7给出了接口模型的范例。

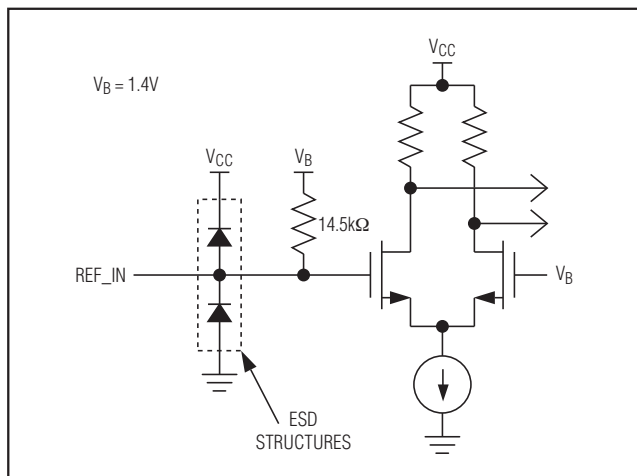


图6. REF\_IN引脚的简化电路图

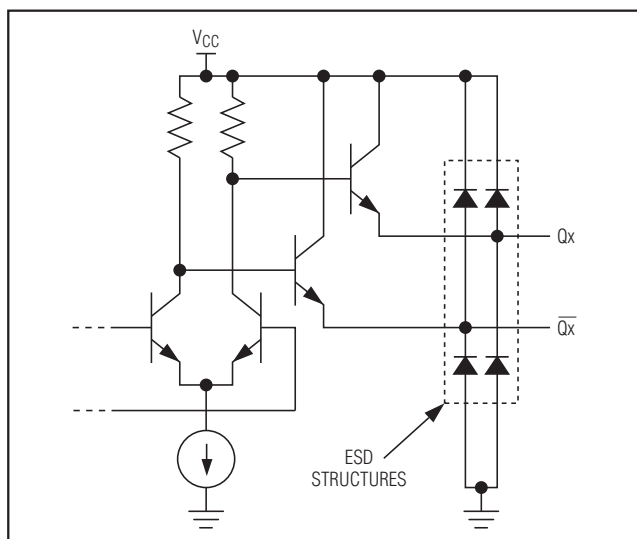


图7. LVPECL输出的简化电路图

输入和输出是MAX3625B的关键通道，应谨慎操作以最大程度地减少这些传输线的不连续性。这里给出了一些建议，用于提高MAX3625B的性能：

- 时钟I/O下方应布设连续的地平面。
- 电源和地引脚的过孔应尽可能靠近IC和输入/输出接口放置，提供MAX3625B和接收器件的电流返回通道。
- 电源去耦电容应尽可能靠近MAX3625B的电源引脚放置。
- 在MAX3625B输出保持100Ω差分(或50Ω单端)传输线阻抗。
- 采用良好的高频布局技术和多层电路板，保持地平面连续以最大程度地降低EMI和串扰。
- 24引脚TSSOP-EP封装带有一个裸焊盘(EP)，为IC提供低热阻散热通道，裸焊盘必须连接到电路板的地平面，以确保正常工作。

详细信息请参考MAX3625B评估板。

## 芯片信息

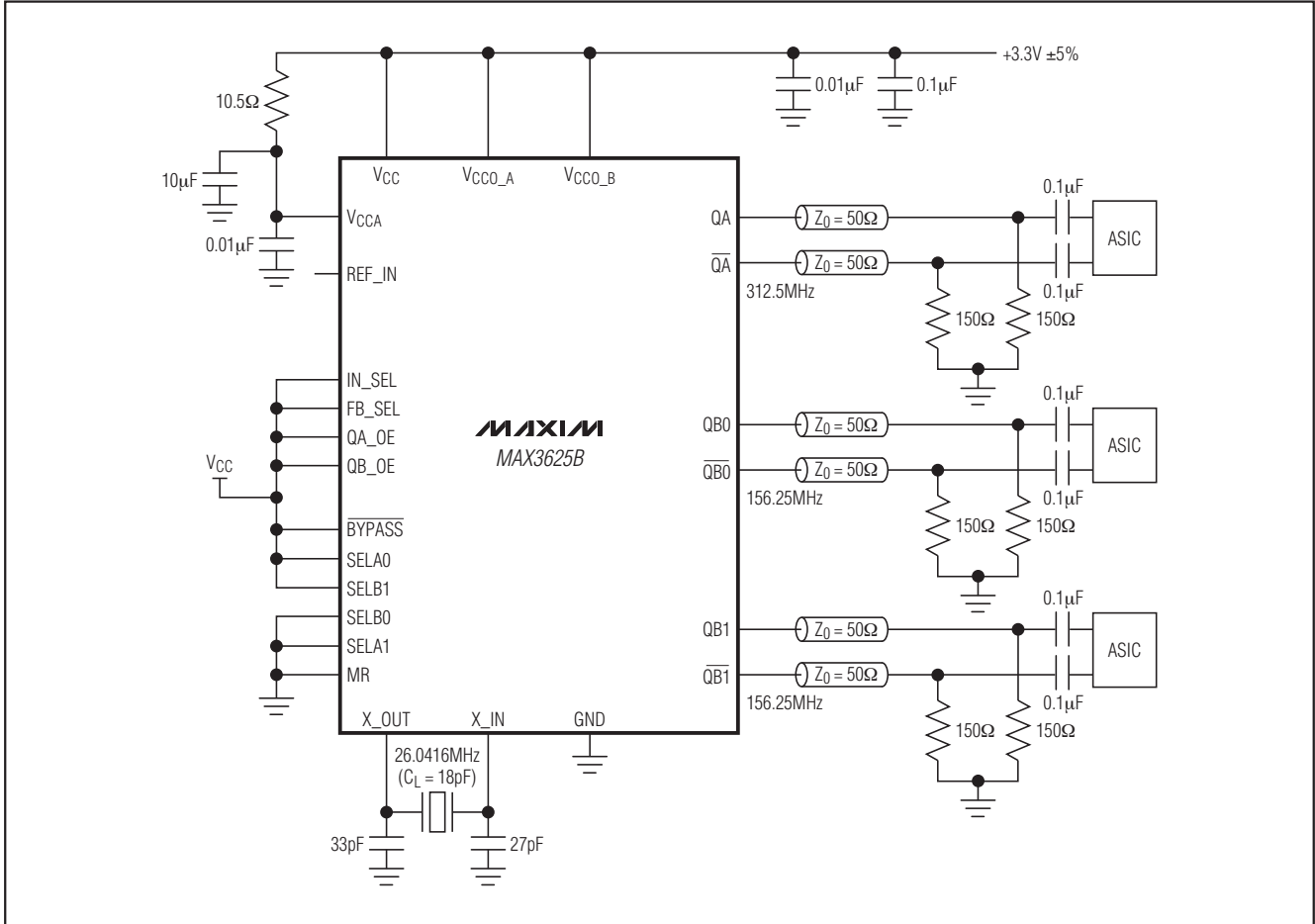
TRANSISTOR COUNT: 10,840

PROCESS: BiCMOS

# 低抖动、精密时钟发生器， 提供三路输出

MAX3625B

典型应用电路



## 封装信息

如需最近的封装外形信息和焊盘布局，请查询 [china.maxim-ic.com/packages](http://china.maxim-ic.com/packages)。请注意，封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符，但封装图只与封装有关，与RoHS状态无关。

封装类型	封装编码	文档编号
24 TSSOP-EP	U24E+1	<a href="#">21-0108</a>

## Maxim北京办事处

北京 8328信箱 邮政编码 100083  
 免费电话：800 810 0310  
 电话：010-6211 5199  
 传真：010-6211 5299

Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

10 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**