

可提供评估板

MAXIM

可编程音频时钟发生器

MAX9485

概述

特性

MAX9485 可编程多路输出时钟发生器为 DVD 播放机、多媒体 PC 的 DVD 驱动器、数字 HDTV 系统、家庭娱乐中心和机顶盒等 MPEG-2 音频系统提供高性价比的解决方案。

MAX9485 从晶振或系统基准时钟接收 27MHz 的输入参考频率。通过 I²C™ 接口或硬件线路控制，提供两路 256、384 或 768 倍采样频率 (f_S) 的时钟缓冲输出。可供选择的采样频率有：12kHz、32kHz、44.1kHz、48kHz、64kHz、88.2kHz 或 96kHz。MAX9485 还提供一个 27MHz 缓冲输出和一个集成压控振荡器 (VCXO)，该 VCXO 由 MPEG 处理器产生的直流电压调谐。可用 VCXO 将音频系统时钟锁定整个系统时钟。

MAX9485 在同类器件中抖动最低，确保与 MPEG-2 音频系统中的 ADC 和 DAC 配合使用时提供卓越的动态性能。该器件采用 3.3V 电源供电，工作在 -40°C 至 +85°C 扩展级温度范围。MAX9485 提供 6.5mm x 4.4mm、20 引脚 TSSOP 封装和 4mm x 4mm、20 引脚薄型 QFN 封装。

- ◆ 27MHz 晶振，±30ppm 参考频率
- ◆ 两路缓冲输出端口，可提供多种音频时钟：256、384 或 768 倍 f_S
- ◆ 支持标准和两倍采样率 (12kHz、32kHz、44.1kHz、48kHz、64kHz、88.2kHz、96kHz)
- ◆ I²C 接口或硬件线路输出时钟选择
- ◆ 独立的时钟输出使能
- ◆ 低抖动，典型值为 21ps (73.728MHz 时的 RMS)
- ◆ 集成 PLL 无需外部元件
- ◆ ±200ppm 调谐范围的集成 VCXO
- ◆ 小尺寸、4mm x 4mm、薄型 QFN 封装

应用

订购信息

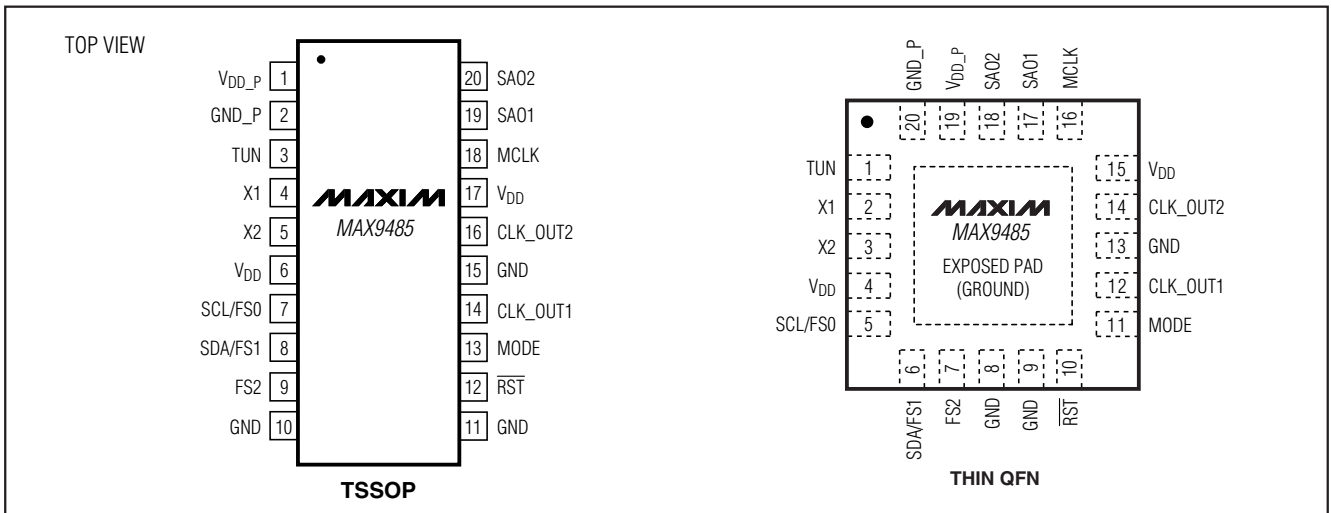
- 数字 TV
- 机顶盒
- 家庭娱乐中心
- DVD 播放器
- HDTV

PART	TEMP RANGE	PIN-PACKAGE
MAX9485ETP	-40°C to +85°C	20 Thin QFN-EP*
MAX9485EUP	-40°C to +85°C	20 TSSOP

*EP = 裸露焊盘。

I²C 是 Philips Corp. 的一个商标。
向 Maxim Integrated Products, Inc. 或其从属许可名义下的相关公司购买 I²C 元件，将传递 Philips I²C 专利许可，允许这些元件用于 I²C 系统，如果该系统符合 Philips 定义的 I²C 标准规范的话。

引脚配置



可编程音频时钟发生器

MAX9485

ABSOLUTE MAXIMUM RATINGS

V _{DD} , V _{DD_P} to GND	-0.3V to +4.0V	Storage Temperature Range	-65°C to +150°C
GND_P to GND	±0.3V	Maximum Junction Temperature	+150°C
All Inputs and Outputs to GND	-0.3V to (V _{DD} + 0.3V)	ESD Protection	
Short-Circuit Duration of Outputs to GND	Continuous	Human Body Model (R _D = 1.5kΩ, C _S = 100pF)	> ±2kV
Continuous Power Dissipation (T _A = +70°C)		Lead Temperature (soldering, 10s)	+300°C
20-Pin TSSOP (derate 11mW/°C above +70°C)	879mW		
20-Lead Thin QFN (derate 16.9mW/°C			
above +70°C)	1349mW		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(V_{DD} = V_{DD_P} = 3.0V to 3.6V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C, V_{DD} = V_{DD_P} = 3.3V.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
LVCMS/LVTTL INPUTS (MODE, RST, X1) (Note 2)						
High Level-Input Voltage	V _{IH1}		2.0		V _{DD}	V
Low Level-Input Voltage	V _{IL1}		0.0		0.8	V
Input Current	I _{IL1}	Input voltage = 0 or V _{DD}	-20		+20	μA
THREE-LEVEL INPUTS (FS0, FS1, FS2, SA01, SA02)						
High Level-Input Voltage	V _{IH2}		2.5		V _{DD}	V
Low Level-Input Voltage	V _{IL2}		0.0		0.8	V
Input Open Level	V _{IO2}	Input open	1.3		2.0	V
Input Current	I _{IN}	Input voltage = 0 or V _{DD}	-10		+10	μA
LVCMS/LVTTL OUTPUTS (CLK_OUT1, CLK_OUT2, MCLK)						
Output High Level	V _{OH1}	I _{OH1} = -4mA	V _{DD} - 0.6			V
Output Low Level	V _{OL1}	I _{OL1} = 4mA			0.4	V
I²C INTERFACE INPUT AND OUTPUT (SCL, SDA)						
Input High Level	V _{IH3}		0.7 x V _{DD}		V _{DD}	V
Input Low Level	V _{IL3}		0		0.3 x V _{DD}	V
Input Current	I _{IN}	Input voltage = 0 or V _{DD}	-1		+1	μA
Low-Level Output	V _{OL3}	I _{OL3} = 4mA			0.4	V
Input Capacitance	C _{IN}			8.4		pF
POWER SUPPLY (V_{DD}, V_{DD_P})						
Power-Supply Ranges	V _{DD} , V _{DD_P}		3.0	3.3	3.6	V
Power-Supply Current	I _{DD} +I _{DD_P}	CLK_OUT1, CLK_OUT2 at 73.728MHz, no load, V _{TUN} = 3.0V		12		mA

可编程音频时钟发生器

MAX9485

AC ELECTRICAL CHARACTERISTICS

($V_{DD} = V_{DD_P} = 3.0V$ to $3.6V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, output frequency is $73.728MHz$, $C_L = 20pF$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$, $V_{DD} = V_{DD_P} = 3.3V$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
VCXO (MCLK)							
Crystal Frequency	f_{XTL}	Nominal frequency			27		MHz
Crystal Accuracy					± 30		ppm
Tuning Voltage Range	V_{TUN}			0		3.0V	V
VCXO Tuning Range		$V_{TUN} = 0$ to $3.0V$		-200		+200	ppm
TUN Input Impedance	R_{TUN}				94		$k\Omega$
Output Clock Frequency	f_{MCLK}	$V_{TUN} = 1.75V$			27		MHz
Output Clock Accuracy		$V_{TUN} = 1.75V$ (Note 4)			± 50		ppm
Output Duty Cycle				45	55	65	%
Output Jitter	t_{MJ}	RMS			28		ps
Output Rise Time	t_{MR}	Figure 8			2		ns
Output Fall Time	t_{MF}	Figure 8			2		ns
Tuning Response Time	t_{TUN}	Figure 9			10		μs
Power-On Settling Time	T_{PO1}	Figure 9			5		ms
CLOCK OUTPUTS (CLK_OUT1, CLK_OUT2)							
Frequency Range (Note 5)	f_{out}	256 x f_S		8.192		24.576	MHz
		384 x f_S		12.288		36.864	
		768 x f_S		24.576		73.728	
Clock Rise Time	t_{R1}	Figure 8			2		ns
Clock Fall Time	t_{F1}	Figure 8			2		ns
Duty Cycle				45	50	55	%
Output Clock Period Jitter	t_{RJ}	RMS	CLK_OUT1, 2 at 73.728MHz (Note 6)		21		ps
			CLK_OUT1, 2 at 36.864MHz		37		
Frequency Settling Time	t_{FST}	Figure 1			10		ms
Power-On Time	T_{PO2}	Figure 9			15		ms

可编程音频时钟发生器

MAX9485

I²C TIMING CHARACTERISTICS

(V_{DD} = V_{DD_P} = 3.0V to 3.6V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C, V_{DD} = V_{DD_P} = 3.3V; Figure 7.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Serial Clock	f _{SCL}				400	kHz
Bus Free Time Between a STOP and a START Condition	t _{BUF}		1.3			μs
Hold Time (Repeated) START Condition	t _{HD, STA}		0.6			μs
Repeated START Condition Setup Time	t _{SU, STA}		0.6			μs
STOP Condition Setup Time	t _{SU, STO}		0.6			μs
Data Hold Time	t _{HD, DAT}	(Note 7)	0.05		0.9	μs
Data Setup Time	t _{SU, DAT}		100			ns
SCL Clock Low Period	t _{LOW}		1.3			μs
SCL Clock High Period	t _{HIGH}		0.6			μs
Rise Time of SDA and SCL, Receiving	t _R	(Notes 3, 8)	20 + 0.1C _b		300	ns
Fall Time of SDA and SCL, Receiving	t _F	(Notes 3, 8)	20 + 0.1C _b		300	ns
Fall Time of SDA, Transmitting	t _F	(Notes 8, 9)	20 + 0.1C _b		250	ns
Pulse Width of Spike Suppressed	t _{SP}	(Notes 3, 10)	0		50	ns
Capacitive Load for Each Bus Line	C _b				400	pF

Note 1: All parameters tested at T_A = +25°C. Specifications over temperature are guaranteed by design and characterization.

Note 2: When X1 is used as an external reference.

Note 3: Guaranteed by design and characterization; limits are set at ±6 sigma.

Note 4: Includes crystal accuracy.

Note 5: F_{XTL} = 27MHz. Nominal frequency.

Note 6: See frequency selection paragraph in the *Applications Information* section.

Note 7: A master device must provide a hold time of at least 300ns for the SDA signal (referred to V_{IL} of the SCL signal) in order to bridge the undefined region of SCL's falling edge.

Note 8: C_b = total capacitance of one bus line in pF. t_R and t_F measured between 0.3 V_{DD} and 0.7 V_{DD}.

Note 9: Bus sink current is less than 6mA. C_b = total capacitance of one bus line in pF. t_R and t_F measured between 0.3 V_{DD} and 0.7 V_{DD}.

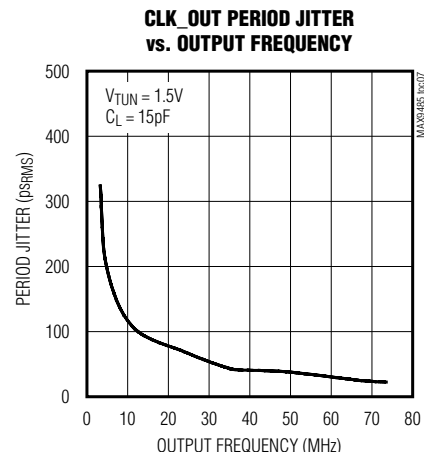
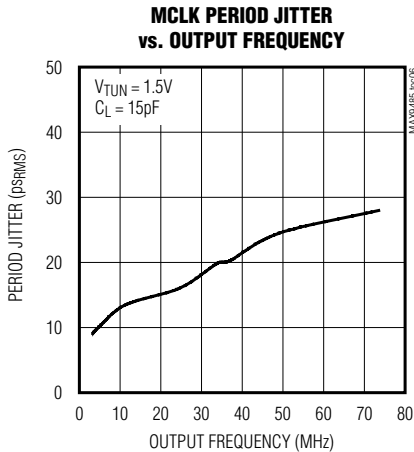
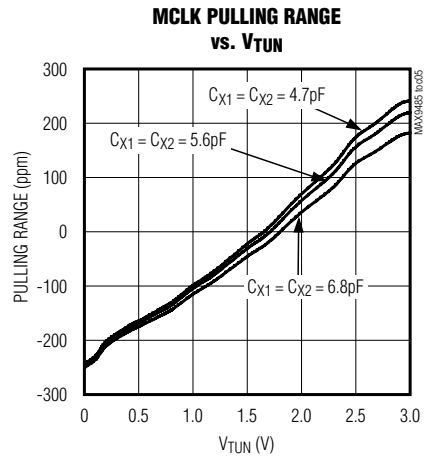
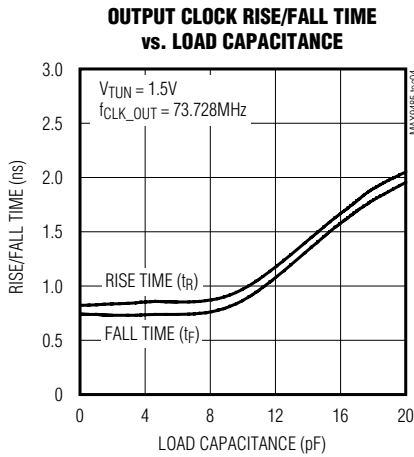
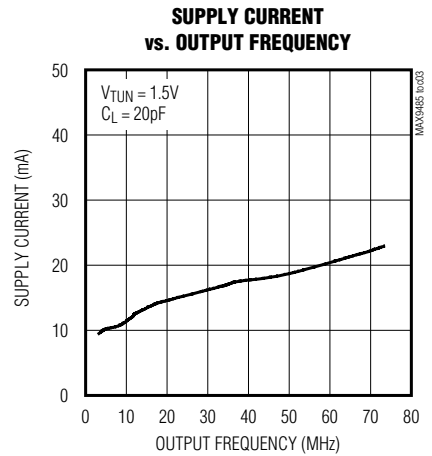
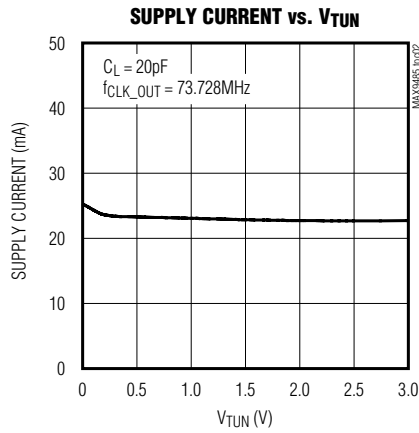
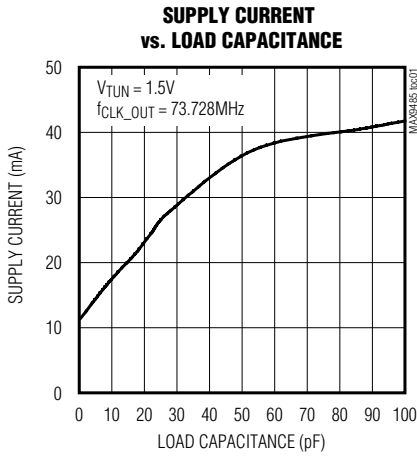
Note 10: Input filters on the SDA and SCL inputs suppress noise spikes less than 50ns.

可编程音频时钟发生器

典型工作特性

($V_{DD} = V_{DD_P} = 3.3V$, $T_A = +25^{\circ}C$.)

MAX9485



可编程音频时钟发生器

引脚说明

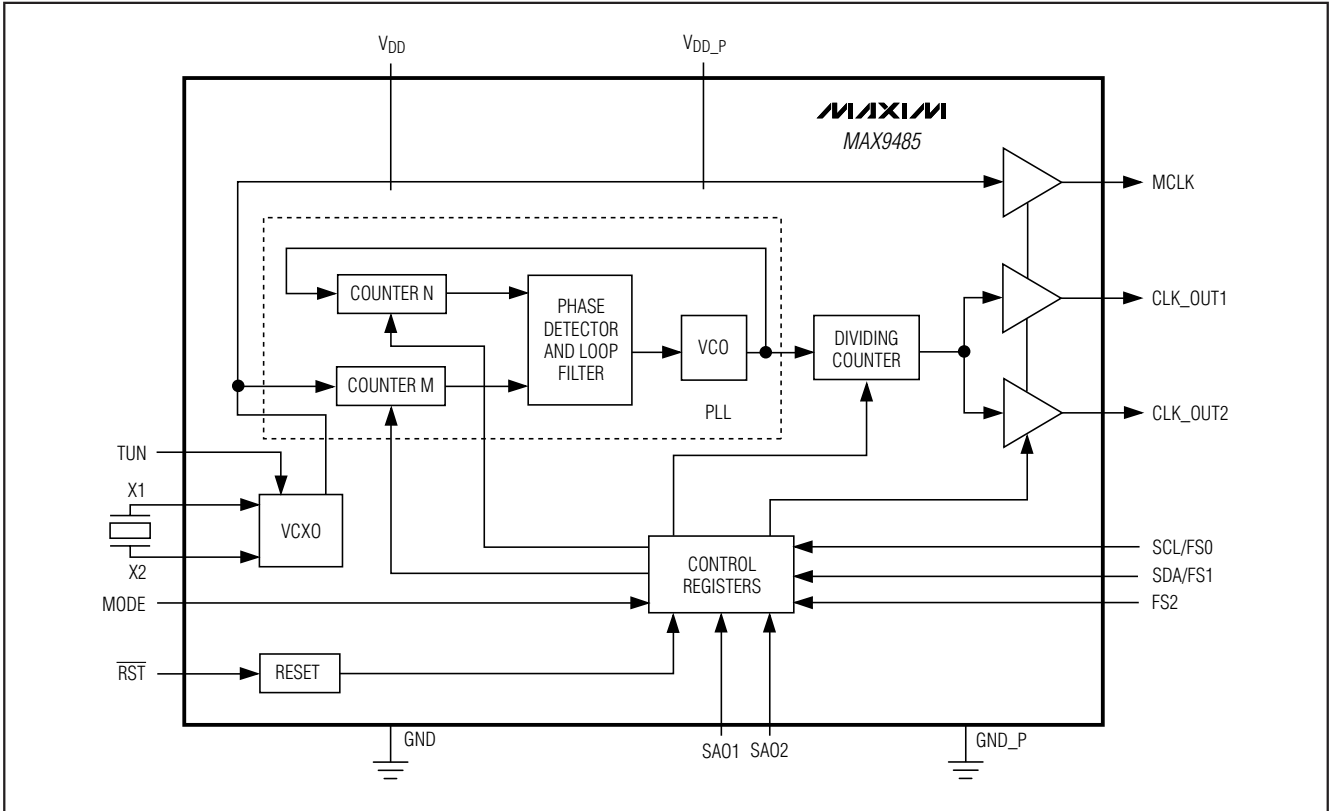
MAX9485

引脚		名称	功能
TSSOP	TQFN		
1	19	VDD_P	PLL 电源。使用 0.1μF 和 0.001μF 电容将 VDD_P 旁路至 GND_P。
2	20	GND_P	PLL 地
3	1	TUN	VCXO 调谐电压输入。在 TUN 端用 0 到 3V 电压调整 VCXO 频率。如使用 27MHz 输入参考时钟直接驱动 X1 时，将 TUN 连至 VDD。
4	2	X1	晶振连接 1。在 X1 和 X2 之间接入一个基本模式晶振作为 VCXO 使用，或用 27MHz 输入参考时钟直接驱动 X1。
5	3	X2	晶振连接 2。在 X1 和 X2 之间接入一个基本模式晶振作为 VCXO 使用，当用 27MHz 系统参考时钟驱动 X1 时，X2 开路。
6, 17	4, 15	VDD	数字电源。用 0.1μF 和 0.001μF 电容将 VDD 旁路至 GND。
7	5	SCL/FS0	串行时钟/功能选择输入 0。MODE = 低时，SCL/FS0 作为 I ² C 串行时钟输入。MODE = 高时，SCL/FS0 作为选择采样频率的三电平输入。
8	6	SDA/FS1	串行时钟/功能选择输入 1。MODE = 低时，SDA/FS1 作为 I ² C 串行数据输入/输出。MODE = 高时，SDA/FS1 作为选择输出频率比例因子的三电平输入。
9	7	FS2	功能选择输入 2。MODE = 高时，FS2 作为选择采样率的三电平输入。MODE = 低时，FS2 的电压不影响器件功能。
10, 11, 15	8, 9, 13	GND	地
12	10	RST	复位输入。RST 变低，I ² C 寄存器复位至缺省状态。RST 在内部被拉至 VDD。
13	11	MODE	模式控制输入。MODE = 低时，I ² C 接口有效。MODE = 高时，硬件线路接口有效，由 SCL/FS0，SDA/FS1 和 FS2 编程实现功能选择。MODE 在内部下拉至 GND。
14	12	CLK_OUT1	输出时钟端口 1。根据不同功能选择，CLK_OUT1 工作在 256/384/768f _S 。禁止时，CLK_OUT1 被拉低。
16	14	CLK_OUT2	输出时钟端口 2。根据不同功能选择，CLK_OUT2 工作在 256/384/768f _S 。禁止时，CLK_OUT2 被拉低。
18	16	MCLK	主系统时钟缓冲输出。MCLK 输出由内部 VCXO 产生的 27MHz 时钟。禁止时，MCLK 被拉低。
19	17	SAO1	I ² C 器件地址选择输入 1 或 MCLK 输出使能控制输入。MODE = 低时，SAO1 为三电平 I ² C 地址编程输入。MODE = 高时，SAO1 控制 MCLK 使能/禁止。
20	18	SAO2	I ² C 器件地址选择输入 2 或 MCLK 输出使能控制输入。MODE = 低时，SAO2 为三电平 I ² C 地址编程输入。MODE = 高时，SAO2 控制 CLK_OUT1 和 CLK_OUT2 使能/禁止。
—	Exposed Pad	EP	裸露焊盘。将 EP 接地。

可编程音频时钟发生器

原理图

MAX9485



详细说明

MAX9485的27MHz输入参考频率由晶体或者系统基准时钟产生。该器件提供两路缓冲时钟输出，频率受I²C接口或硬件线路输入控制，为采样频率(f_S)的256, 384或768倍。可供选择的采样频率为12kHz、32kHz、44.1kHz、48kHz、64kHz、88.2kHz或96kHz。MAX9485提供一个27MHz缓冲输出和一个集成VCXO，该VCXO由MPEG系统产生的DC电压调谐。MAX9485工作电压为3.3V。

参考时钟和输出时钟

MAX9485使用27MHz晶体或音频系统的基准时钟(主时钟)，产生一个256、384或768倍音频系统采样频率(f_S)的输出。在X1和X2之间连接一个基本模式晶振或用

27MHz系统时钟驱动X1。可供选择的采样频率为12kHz、32kHz、44.1kHz、48kHz、64kHz、88.2kHz或96kHz。MAX9485提供两路相同的输出：CLK_OUT1和CLK_OUT2。在以下的说明中，CLK_OUT统指这两路输出。表1是 f_S 和输出频率的关系。通过对I²C寄存器或者硬件线路输入FS0、FS1和FS2编程选择输出频率。CLK_OUT在上电或时钟引入X1后，典型建立时间为15ms。采样频率变化时，CLK_OUT建立延时为10ms(典型值)。图1为CLK_OUT在I²C编程时的瞬时时序。I²C寄存器可通过主机写数据传输进行设置。频率建立时间 t_{FST} 是指自SDA写入字节后的ACK脉冲结束后到CLK_OUT稳定前的时间。

可编程音频时钟发生器

MAX9485

表 1. 采样频率和输出时钟

SAMPLING FREQUENCY	CLK_OUT			SAMPLING RATE
	f_s (kHz)	$256 \times f_s$ (MHz)	$384 \times f_s$ (MHz)	
12	3.072	4.608	9.126	Standard
32	8.1920	12.2880	24.5760	Standard
44.1	11.2896	16.9344	33.8688	Standard
48	12.2880	18.4320	36.8640	Standard
64	16.3840	24.5760	49.1520	Double
88.2	22.5792	33.8688	67.7376	Double
96	24.5760	36.8640	73.7280	Double

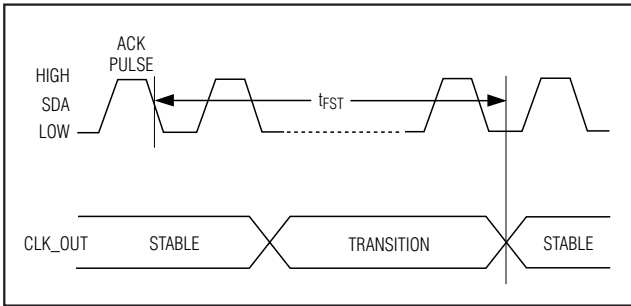


图 1. CLK_OUT 瞬时时序

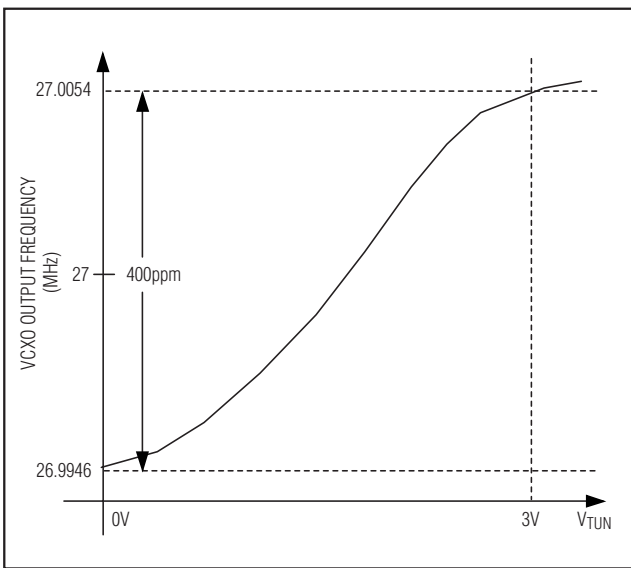


图 2. VCXO 调谐范围

压控晶体振荡器 (VCXO)

MAX9485 内部 VCXO 为 PLL 提供一个 27MHz 的参考时钟，用来产生 CLK_OUT1 和 CLK_OUT2。振荡器以 27MHz 的晶振作为基频参考，用压控调谐输入实现 $\pm 200\text{ppm}$ 范围内的微调。如图 2 所示，调谐电压 V_{TUN} 在 0 到 3V 内变化。VCXO 使用基模振荡频率为 27MHz， $\pm 30\text{ppm}$ 的 AT 切型晶体。使用一个小于 12pF (含板上寄生电容) 的晶体并联电容。选择的振荡器负载电容小于 14pF 以获得 $\pm 200\text{ppm}$ 的牵引能力。VCXO，自激振荡器和缓冲输出 MCLK 不受上电复位和外部复位的影响。VCXO 上电建立时间为 5ms，在 V_{TUN} 电压变化时，建立时间为 10 μs 。

MAX9485 可作为具有 27MHz 输入参考时钟的合成器使用。对于这种模式，将 27MHz 输入时钟连接至 X1，TUN 连接至 V_{DD} ，X2 开路。这种配置用于不需微调，并且已有 27MHz 系统主时钟的应用。

芯片复位功能

MAX9485 具有内部复位功能。器件上电时复位，或将 RST 拉低进行外部复位。复位功能将寄存器设置为默认值。上电时通过 MODE 设置器件的编程模式。MODE = 低，器件设为软件编程模式。MODE = 高为硬件线路模式。如果 MODE = 低，复位功能将 CLK_OUT1 和 CLK_OUT2 设置为默认的 $256 \times f_s$ ($f_s = 32\text{kHz}$)。如果 MODE = 高，复位功能根据硬件线路输入设置 CLK_OUT1 和 CLK_OUT2。

可编程音频时钟发生器

MAX9485

当 V_{DD} 超过 2.2V (容差 $\pm 0.4V$)，1024 个参考时钟周期后，内部上电复位结束。采用内部上电复位时， \overline{RST} 必须为高电平。图 3 为上电复位时序图。也可以通过驱动 $\overline{RST} = \text{低}$ ，由外部强迫实现内部复位功能。当 $\overline{RST} = \text{低}$ 时触发复位，1024 个参考时钟周期后完成复位。在复位开始后的 1024 个参考时钟周期内， \overline{RST} 上的任何脉冲均被忽略。复位周期结束后，如果为低，则直到 \overline{RST} 上出现一个由高到低的电平跳变时，复位才重新开始初始化。图 4 是外部复位时序图。

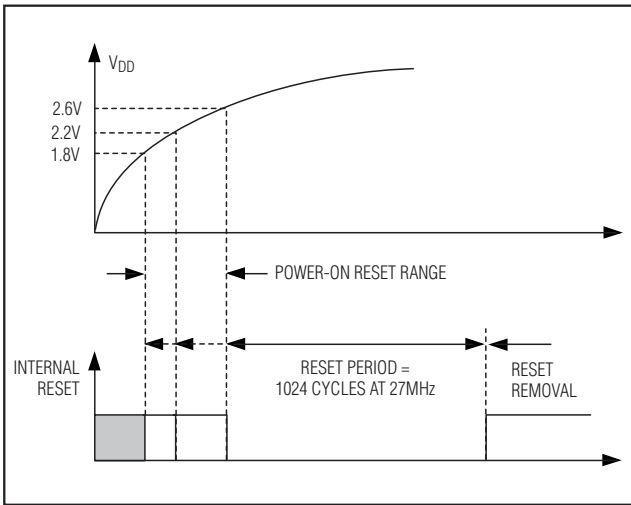


图 3. 上电复位时序

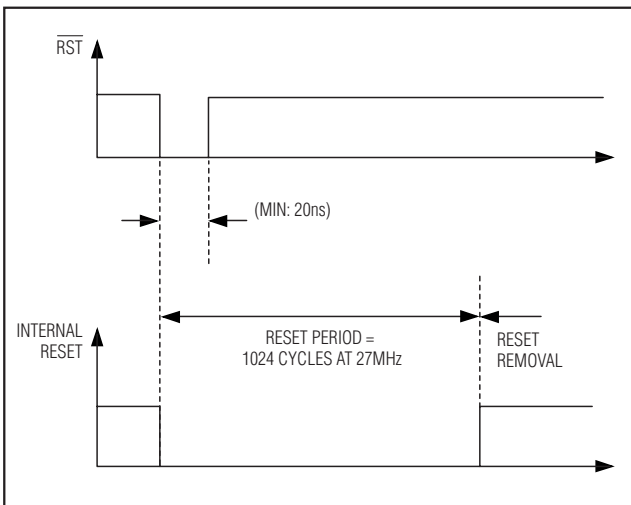


图 4. 外部复位时序

软件和硬件线路控制模式

MAX9485 的采样频率，采样率和时钟输出可以通过 I²C 两线接口（软件模式，MODE = 低）编程设置或直接通过三电平输入（硬件线路模式，MODE = 高）硬件线路设置实现。表 2 是每种模式所提供的功能。CLK_OUT 和 MCLK 被禁止时被拉低。

硬件线路模式编程 (MODE = 高)

在硬件线路模式下，FS2 设置采样率 (表 3)。FS2 = 低，设置为标准采样率。FS2 = 高，为两倍采样率。FS2 = 开路时，不论 FS0 如何设置，均为 12kHz 的标准采样率。FS1 设置比例因子：256、384 和 768 (表 4)。FS0 设置采样频率：32kHz、44.1kHz 和 48kHz (表 5)。

MODE = 高时，SAO1 和 SAO2 使能或禁止时钟输出 (表 6 和 7)。CLK_OUT 和 MCLK 被禁止时被拉低。

表 2. 可选功能

功能	硬件线路模式 MODE = 高	软件模式 MODE = 低
标准采样频率： 12kHz、32kHz、 44.1kHz、48kHz	✓	✓
两倍采样频率： 64kHz、88.2kHz、 96kHz	✓	✓
CLK_OUT1、 CLK_OUT2、 MCLK：使能/禁止	✓	✓

表 3. 采样率选择

FS2	SAMPLING RATE
Low	Standard (32kHz, 44.1kHz, 48kHz)
High	Doubled (64kHz, 88.2kHz, 96kHz)
Open	Standard (12kHz)

表 4. 频率比例因子

FS1	OUTPUT SCALING FACTOR
Low	256
High	384
Open	768

可编程音频时钟发生器

MAX9485

表 5. 采样频率选择

FS0	SAMPLING FREQUENCY (kHz)
Low	32
High	44.1
Open	48

表 6. MCLK 使能/禁止控制

SAO1	MCLK
Low	Disabled
High	Enabled
Open	Reserved

表 7. CLK_OUT 使能/禁止控制

SAO1	SAO2	CLK_OUT1	CLK_OUT2
High/low	Open	Enabled	Enabled
High/low	Low	Enabled	Disabled
High/low	High	Disabled	Enabled

软件模式编程 (MODE = 低电平)

在软件模式下，I²C 接口读写 MAX9485 的 8 位控制寄存器。控制寄存器控制速率设置和时钟输出。由于 MAX9485 仅有一个寄存器，因此不需指定寄存器地址。器件具有可编程 7 位 I²C 总线地址，由 SAO1 和 SAO2 选择(表 8)。MODE = 低电平，上电时，MAX9485 读取 SAO1 和 SAO2 的状态，然后锁存 I²C 器件地址。表 9 是控制寄存器位映射。C7 位使能 MCLK 输出。C5 和 C6 位分别使能时钟输出 CLK_OUT1 和 CLK_OUT2。C4 位设置采样率。C3 和 C2 位选择输出频率比例因子。C1 和 C0 位决定采样频率。详见表 10 至 14。

串行接口

MAX9485 控制接口采用 2 线 I²C 串行接口。器件工作在从机模式，通过时钟线 SCL 和数据线 SDA 发送和接收数据，实现与主机的双向通信。主机(通常是一个微控制器)初始化所有对 MAX9485 数据传输，并产生同步数据传输的 SCL 时钟。SDA 线既是输入又是漏极开路输出。

表 8. 寄存器地址选择

SAO1	SAO2	I ² C DEVICE ADDRESS
Open	Open	110 0000
Low	Open	110 0011
High	Open	110 0010
Open	Low	110 0100
Low	Low	110 1000
High	Low	111 0000
Open	High	111 0001
Low	High	111 0010
High	High	111 0100

表 9. 控制寄存器位映射

BIT	FUNCTION
C7	MCLK enable/disable
C6, C5	CLK_OUT2, CLK_OUT1 enable/disable
C4	Sampling-rate selection
C3, C2	Frequency-scaling factors
C1, C0	Sampling-frequency selection

表 10. MCLK 使能/禁止控制

C7	MCLK
0	Disabled
1	Enabled

表 11. CLK_OUT1, 2 使能/禁止控制

C6	C5	CLK_OUT2	CLK_OUT1
1	1	Enabled	Enabled
1	0	Enabled	Disabled
0	1	Disabled	Enabled
0	0	Disabled	Disabled

表 12. 采样率选择

C4	SAMPLING RATE
0	Standard
1	Doubled

可编程音频时钟发生器

MAX9485

表 13. 频率比例因子

C3	C2	OUTPUT SCALING FACTOR
0	0	256
0	1	384
1	0	768
1	1	Reserved

表 14. 采样频率选择

C1	C0	SAMPLING FREQUENCY (kHz)
0	0	12
0	1	32
1	0	44.1
1	1	48

注意: (C1, C0) = (0, 0) 和 C4 = 1 (加倍) 不是合适的选择。如果这样设置, 会将采样频率设为 12kHz。

SDA 需要一个典型值为 4.7kΩ 的上拉电阻。SCL 线仅作为输入使用。如果两线总线上有多个主机, 或单主机系统中主机 SCL 为漏极开路输出, 则 SCL 需要一个典型值为 4.7kΩ 的上拉电阻。

开始和结束条件

接口空闲时, SCL 和 SDA 均为高电平。主机通过将 SDA 由高变低, 同时保持 SCL 高电平, 产生 START (S) 条件, 标志一次传输的开始。通信结束时, MAX9485 通过将 SDA 由低变高, 同时保持 SCL 高电平, 来产生 STOP (P) 条件, 释放总线, 准备下一次传输 (图 5)。如果 START 或 STOP 出现时, 总线上已有数据传输, 则终止该传输。

数据传输和确认

在 START 后, 每个 SCL 时钟脉冲传输 1 位。对于 MAX9485 接口, 在 START 和 STOP 之间, 2 线总线上共传输 18 位数据。前 7 位为器件地址。第 8 位用来指示写 (低) 或读 (高) 操作 (R/W)。第 9 位为地址和操作的 ACK。第 10 至 17 位为数据字节。第 18 位是数据字节的 ACK。主机始终发送前 8 位 (地址 + R/W)。从机 (MAX9485) 可以在总线上接收数据字节或将数据字节从内部寄存器发送到总线上。

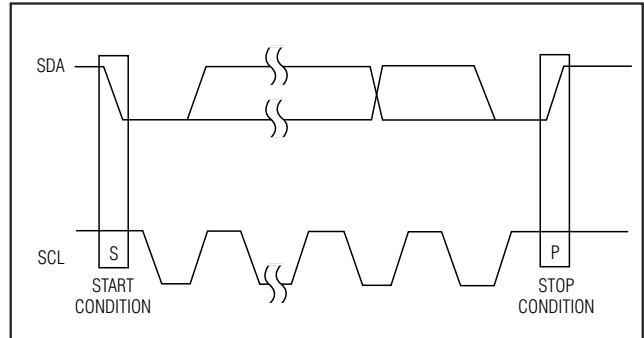


图 5. 开始和结束条件

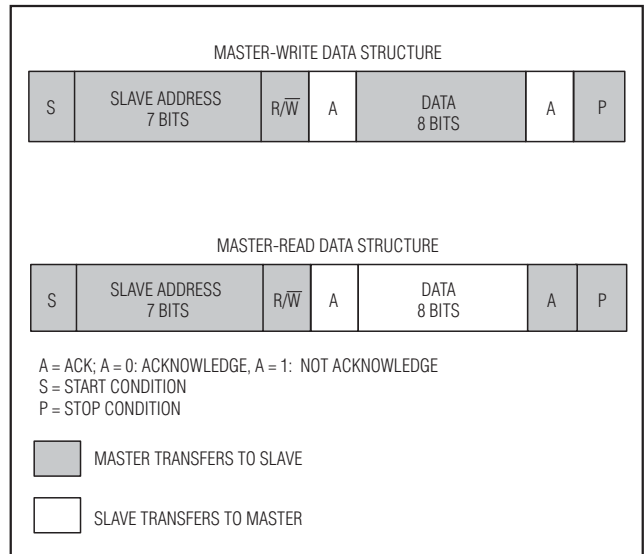


图 6. 串行接口数据结构

ACK 位由地址或数据接收方发送。ACK 位为低表示传输成功 (确认), ACK 位为高表示传输失败 (未确认)。图 6 为传输的数据结构。在一次写操作中, 如果发送更多的同步数据, 则会覆盖寄存器中的数据。在一次读操作中, 如果 SCL 上更多的时钟被复位, SDA 会持续响应寄存器数据。

可编程音频时钟发生器

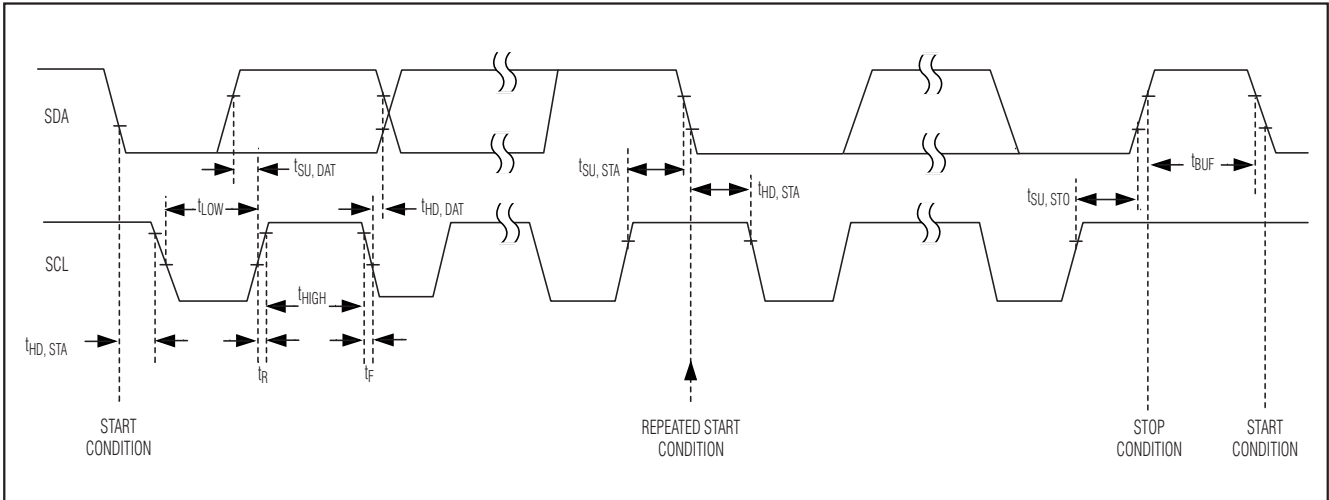


图 7. 两线串行接口

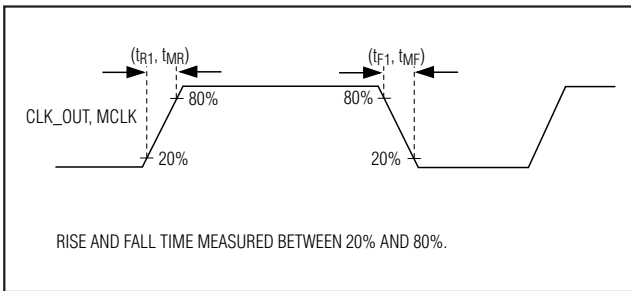


图 8. CLK_OUT, MCLK 上升和下降时间

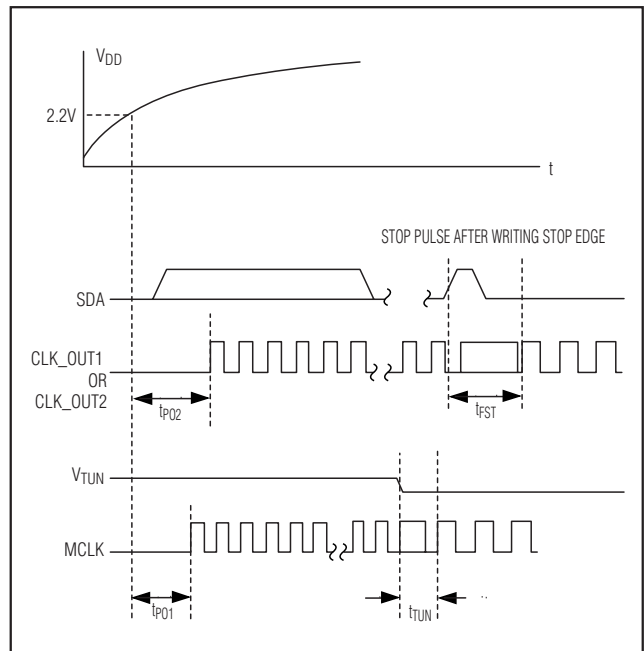


图 9. VCXO 和 PLL 建立时间

应用信息

晶体选择

当使用外接晶体的 MAX9485 内部 VCXO 时，在 X1 和 X2 之间接晶体。选择 $\pm 30\text{ppm}$ ，27MHz 基模振荡频率的 AT 切型晶体。选择小于 12pF 的晶体并联电容 (含板上寄生电容)。选择小于 14pF 负载电容的振荡器可获得 $\pm 200\text{ppm}$ 的牵引能力。注意：牵引范围与所采用晶体有关。详细信息参见 MAX9485 评估板。

可编程音频时钟发生器

MAX9485

输出低抖动的 CLK 频率设置

指定频率可以通过多种设置产生(表 1)，如设置不同的采样率和乘积因子(256、384 和 768)。但是，由于内部结构不同，每种设置的 CLK 输出抖动不同。表 15 列出了不同设置下，CLK 输出频率和抖动情况。使用者应该选择具有最低抖动的频率设置以获得最佳性能。

电源旁路和接地处理

MAX9485 的高振荡频率要求合理的布线以保证系统稳定。为得到最佳性能，外围元件的放置离器件要尽可能近。

GND 端的数字和 AC 瞬变信号会在时钟输出端产生噪声。将 GND 接至最高质量的地平面。用 0.1 μ F 和 0.001 μ F 电容将 V_{DD} 和 V_{DD_P} 旁路，这两个电容距器件越近越好。仔细进行 PC 板地的布线以减小输出和数字输入之间的串扰。

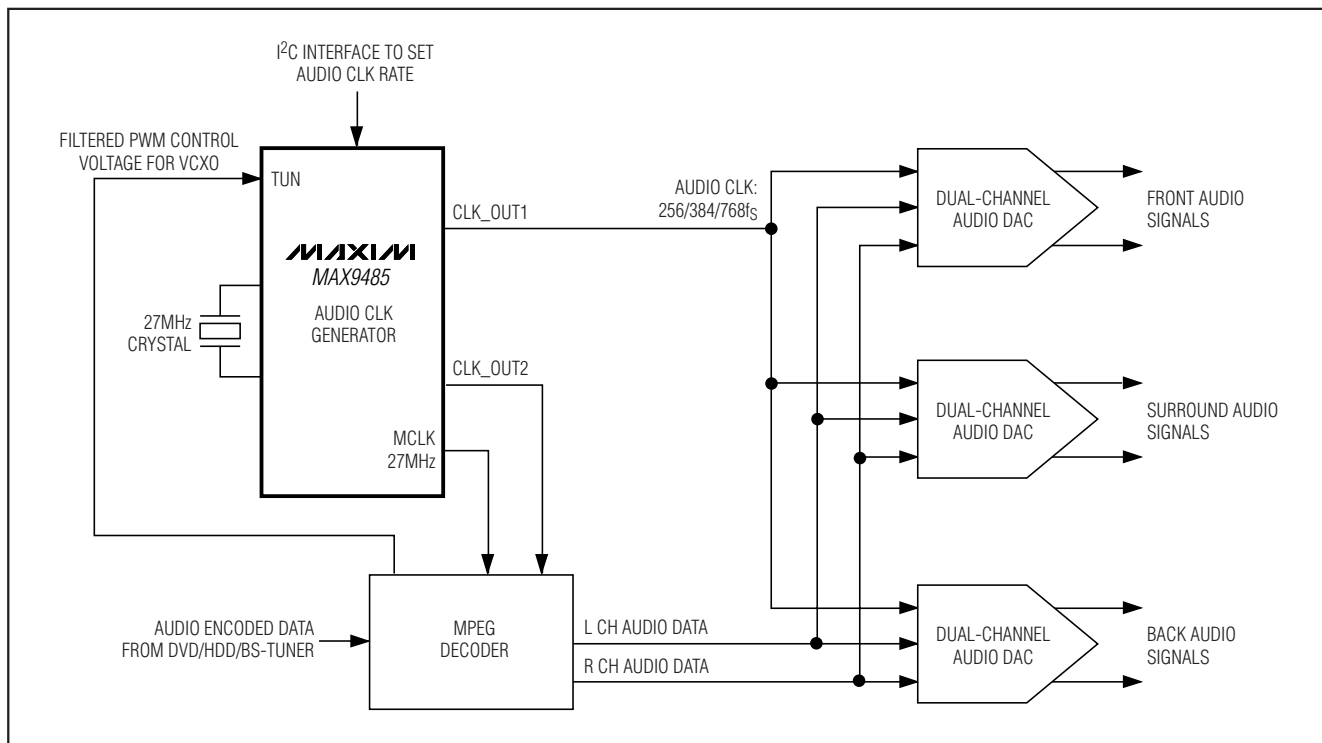
表 15. 输出 CLK 的抖动测量

FOUT (MHz)	SCALING FACTOR	fs (kHz)	TRJ(RMS) (ps)
73.728	768	96	21
67.7376	768	88.2	23.2
49.152	768	64	42.6
36.864	768	48	40
36.864	384	96	37
33.8688	768	44.1	44
33.8688	384	88.2	41.3
24.5760	768	32	66
24.5760	384	64	92
24.5760	256	96	50
22.5792	256	88.2	55.1
18.4320	384	48	59
16.9344	384	44.1	69
16.3840	256	64	134
12.2880	256	48	84.8
12.2880	384	32	170
11.2896	256	44.1	100
9.126	768	12	106
8.1920	256	32	250
4.608	384	12	198
3.072	256	12	324

可编程音频时钟发生器

MAX9485

典型应用电路



芯片信息

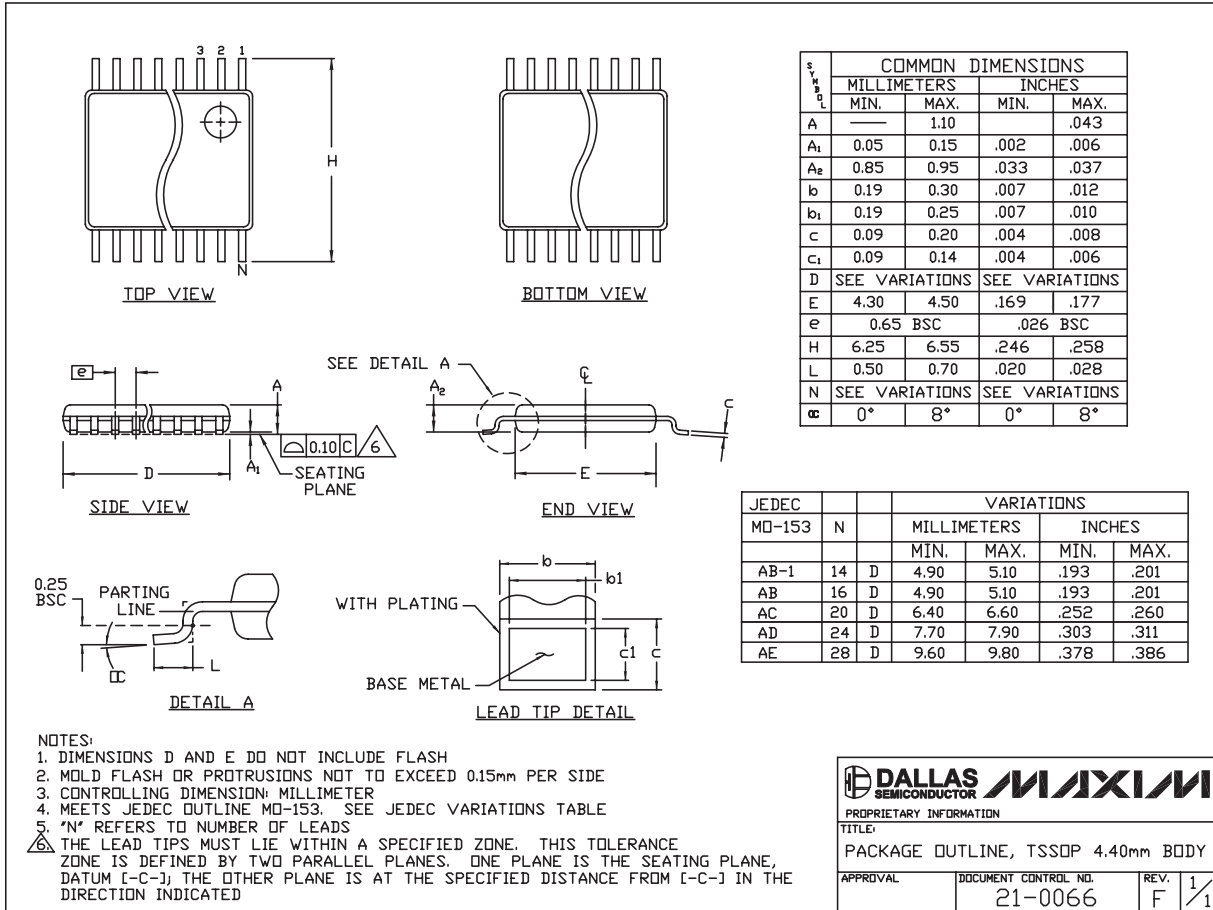
TRANSISTOR COUNT: 9817

PROCESS: CMOS

可编程音频时钟发生器

封装信息

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外型信息, 请查询 www.maxim-ic.com.cn/packages.)



TSSOP4, 4.0mm, EPS

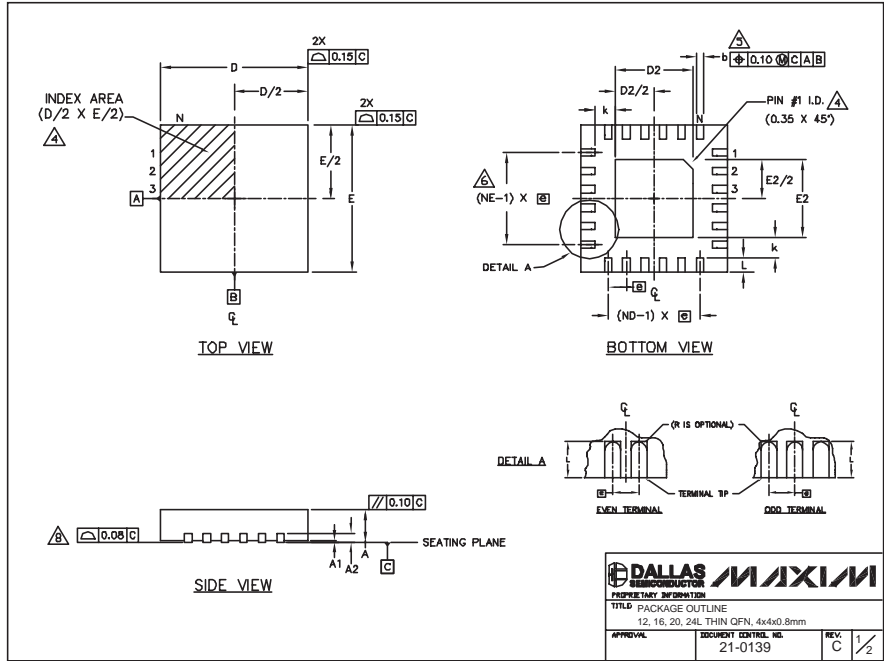
MAX9485

可编程音频时钟发生器

MAX9485

封装信息 (续)

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外型信息, 请查询 www.maxim-integrated.com/cn/packages.)



COMMON DIMENSIONS												
PKG REF.	12L 4x4			16L 4x4			20L 4x4			24L 4x4		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
AL	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.		
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.18	0.23	0.30
D	3.90	4.00	4.30	3.90	4.00	4.10	3.90	4.00	4.30	3.90	4.00	4.10
E	3.90	4.00	4.30	3.90	4.00	4.10	3.90	4.00	4.30	3.90	4.00	4.10
e	0.80 BSC.			0.65 BSC.			0.50 BSC.			0.50 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-
L	0.45	0.55	0.65	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50
N	12			16			20			24		
ND	3			4			5			6		
NE	3			4			5			6		
JeDEC Ver.	WGG8			WGGC			WGGD-1			WGGD-2		

EXPOSED PAD VARIATIONS									
PKG CODES	DE			EE			DOWN BONDS ALLOWED		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.			
T1244-2	1.95	2.10	2.25	1.95	2.10	2.25	NO		
T1244-3	1.95	2.10	2.25	1.95	2.10	2.25	YES		
T1244-4	1.95	2.10	2.25	1.95	2.10	2.25	NO		
T1644-2	1.95	2.10	2.25	1.95	2.10	2.25	NO		
T1644-3	1.95	2.10	2.25	1.95	2.10	2.25	YES		
T1644-4	1.95	2.10	2.25	1.95	2.10	2.25	NO		
T2044-1	1.95	2.10	2.25	1.95	2.10	2.25	NO		
T2044-2	1.95	2.10	2.25	1.95	2.10	2.25	YES		
T2044-3	1.95	2.10	2.25	1.95	2.10	2.25	NO		
T2444-1	2.45	2.60	2.63	2.45	2.60	2.63	NO		
T2444-2	1.95	2.10	2.25	1.95	2.10	2.25	YES		
T2444-3	2.45	2.60	2.63	2.45	2.60	2.63	YES		
T2444-4	2.45	2.60	2.63	2.45	2.60	2.63	NO		

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JE50 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MQ220, EXCEPT FOR T2444-1, T2444-3 AND T2444-4.

Maxim 不对 Maxim 产品以外的任何电路使用负责, 也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

16 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600

© 2004 Maxim Integrated Products

Printed USA

MAXIM 是 Maxim Integrated Products, Inc. 的注册商标。

项目开发 芯片解密 零件配单 TEL: 15013652265 QQ: 38537442