



16位混合信号微控制器，提供LCD接口

MAXQ2010

概述

MAXQ2010微控制器是一款低功耗、16位器件，包含高性能12位多路ADC和液晶显示器(LCD)接口。配合高性能、低功耗、混合信号集成电路，MAXQ2010可理想用于各种系统。

MAXQ2010具有64KB闪存、2KB RAM、3个16位定时器和2个通用同步/异步接收器/发送器(USART)。闪存有助于原型开发和量产，对于成本要求严格的大批量生产的产品，可以选择掩模ROM版本。微控制器工作于2.7V至3.6V电源。为实现低功耗性能，MAXQ2010包含低功耗睡眠模式，可以有选择地关闭外围器件，并有多种省电模式。

应用

电池供电和便携式设备	家用产品
便携式医疗设备	消费类电子
血糖仪	温度监控器/湿度传感器
电化学与光传感器	安全检测
工业控制	气体及化学传感器
数据采集系统和数据记录仪	HVAC
	智能发送器
	医疗仪表

订购信息

PART	TEMP RANGE	PIN-PACKAGE
MAXQ2010-RFX+	-40°C to +85°C	100 LQFP

+表示无铅(Pb)/符合RoHS标准的封装。

典型应用电路、引脚配置和选型指南在数据资料的最后给出。

MAXQ是Maxim Integrated Products, Inc.的注册商标。

SPI是Motorola, Inc.的商标。

注：该器件的某些修订版本的规范指标可能与发布的指标不尽相同，这种情况会以勘误表的形式告知。用户通过不同的销售渠道可能会同时获得不同版本的器件。关于器件勘误表的信息，请访问：china.maxim-ic.com/errata。



Maxim Integrated Products 1

本文是英文数据资料的译文，文中可能存在翻译上的不准确或错误。如需进一步确认，请在您的设计中参考英文资料。

有关价格、供货及订购信息，请联系Maxim亚洲销售中心：10000 892 1249 (北中国区)，10000 432 1249 (南中国区)，或访问Maxim的中文网站：china.maxim-ic.com。

- ## 特性
- ◆ 高性能、低功耗、16位MAXQ® RISC内核
 - ◆ 直流至10MHz工作频率，每MHz近1MIPS
 - ◆ 2.7V至3.6V工作电压
 - ◆ 33条指令，绝大多数为单周期指令
 - ◆ 3个独立的数据指针，加速数据转移，具有自动递增/递减功能
 - ◆ 16层硬件堆栈
 - ◆ 16位指令字、16位数据总线
 - ◆ 16 x 16位通用寄存器
 - ◆ 为C编译器优化(高速/高密度代码)
 - ◆ 片内FLL降低了外部时钟频率
 - ◆ 存储器性能
 - 64KB闪存(在应用和在系统可编程)
 - 2KB内部数据RAM
 - 用于编程和调试的JTAG引导装载机
 - ◆ 外部特性
 - 12位SAR ADC，具有内部基准和自动扫描功能
 - 8通道单端或4通道差分输入
 - 高达312.5ksps采样速率
 - 具有可调门限的电源电压监测器
 - 带48位累加器的单周期、16 x 16硬件乘法/累加
 - 3个16位可编程定时器/计数器，具有PWM输出
 - 32位二进制实时时钟，具有数字调整功能
 - 集成LCD
 - 160段
 - 无需外部电阻
 - 2个USART、I²C主/从和SPI™主/从通信端口
 - 片内上电复位/欠压复位
 - 可编程看门狗定时器
 - ◆ 低功耗
 - 2.7V、1MHz闪存工作时电流为1mA (典型值)
 - 停止模式下电流为370nA (典型值)
 - 低功耗电源管理模式(PMM)

16位混合信号微控制器，提供LCD接口

MAXQ2010

目录

Absolute Maximum Ratings	4
Recommended DC Operating Conditions	4
I ² C Electrical Characteristics	10
I ² C Bus Controller Timing	11
I ² C Bus Controller Timing (Acting as I ² C Master)	12
I ² C Bus Controller Timing (Acting as I ² C Slave)	13
典型工作特性	14
方框图	15
引脚说明	16
详细说明	21
MAXQ核心架构	21
指令集	21
存储器结构	21
堆栈存储器	21
固定用途ROM	22
编程	23
(引导加载程序)在系统编程	23
在应用编程	23
寄存器组	23
系统时序	23
中断	24
I/O端口	24
电源电压监视器	25
串行外设	25
USART串行端口	25
I ² C总线	26
串行外设接口(SPI)	26
实时时钟	26
可编程定时器	26
看门狗定时器	27
硬件乘法器	27
模数转换器	27
LCD控制器	28
在线调试	29
应用信息	30
接地和旁路	30
引脚配置	31

16位混合信号微控制器，提供LCD接口

MAXQ2010

目录(续)

典型应用电路	32
补充文档	33
开发和技术支持	33
选型指南	33
封装信息	33
修订历史	34

图目录

图1. SPI主机时序	9
图2. SPI从机时序	9
图3. 串联电阻(R_S)用于抑制高压尖峰脉冲	10
图4. I ² C总线控制器时序图	13
图5. MAXQ2010默认存储器	22
图6. C/D类端口引脚原理图	25
图7. ADC方框图	28
图8. 双字符、1/2占空比LCD接口实例	29
图9. 在线调试器	30

表目录

表1. 串行端口工作特性	26
--------------------	----

16位混合信号微控制器，提供LCD接口

MAXQ2010

ABSOLUTE MAXIMUM RATINGS

Voltage Range on All Pins (including AVDD, DVDD) Relative to Ground	-0.5V to +3.6V	Continuous Output Current	Any Single I/O Pin	20mA
Voltage Range on Any Pin Relative to Ground Except AVDD, DVDD	-0.5V to (V _{DVDD} + 0.5V)		All I/O Pins Combined	100mA
Operating Temperature Range	-40°C to +85°C	Storage Temperature Range		-65°C to +150°C
		Soldering Temperature		Refer to the IPC/JEDEC J-STD-020 Specification.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

RECOMMENDED DC OPERATING CONDITIONS

(V_{DVDD} = V_{AVDD} = 2.7V to 3.6V, T_A = -40°C to +85°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Digital Supply Voltage	V _{DVDD}		2.7		3.6	V
Digital Supply Voltage Output	V _{REGOUT}	(Note 2)		1.8		V
Analog Supply Voltage	V _{AVDD}	V _{AVDD} = V _{DVDD}	2.7		3.6	V
Ground	GND	AGND = DGND	0		0	V
Digital Power-Fail Reset Voltage	V _{RST}	Monitors V _{DVDD}	2.55	2.6	2.65	V
Active Current, FLL Disabled (Note 3)	I _{DD_HFX1}	f _{CK} = 10MHz, V _{DVDD} = V _{AVDD} = 2.7V, FREQMD = 0		3.1	3.75	mA
	I _{DD_HFX2}	f _{CK} = 10MHz, V _{DVDD} = V _{AVDD} = 3.6V, FREQMD = 0 (Note 4)		3.2	4.0	
Active Current, FLL Enabled (Note 5)	I _{DD1_FLL}	Divide-by-1 mode, FREQMD = 0		3.15	4	mA
	I _{DD2_FLL}	Divide-by-2 mode, FREQMD = 0 (Note 4)		2.9	3.6	
	I _{DD3_FLL}	Divide-by-4 mode, FREQMD = 1 (Note 4)		2.25	3	
	I _{DD4_FLL}	Divide-by-8 mode, FREQMD = 1 (Note 4)		1.4	2	
	I _{DD5_FLL}	PMM mode, FREQMD = 1 (Note 4)		0.5	0.7	
Stop-Mode Current (Note 6)	I _{STOP_1} (Note 7)	T _A = +25°C		0.37	4	μA
		T _A = +85°C		0.68	6.5	
	I _{STOP_2} (Note 8)	T _A = +25°C		0.94	5	
		T _A = +85°C		1.3	6.5	
I _{STOP_3} (Note 9)	T _A = +25°C		195	295		
	T _A = +85°C		225	335		
Stop-Mode Resume Time (Note 4)	t _{STOP_1}	Internal regulator on		4t _{CLCL}		μs
	t _{STOP_2}	Internal regulator off, brownout or SVM on, SVMSTOP = 1		30	160	
	t _{STOP_3}	Internal regulator, brownout, and SVM off		30	320	
Input Low Voltage on HFXIN and 32KIN	V _{IL1}		DGND		0.20 x V _{DVDD}	V
Input Low Voltage on All Other Pins	V _{IL2}		DGND		0.30 x V _{DVDD}	V

16位混合信号微控制器，提供LCD接口

MAXQ2010

RECOMMENDED DC OPERATING CONDITIONS (continued)

($V_{DVDD} = V_{AVDD} = 2.7V$ to $3.6V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input High Voltage on HFXIN and 32KIN	V_{IH1}		$0.75 \times V_{DVDD}$		V_{DVDD}	V
Input High Voltage on All Other Pins	V_{IH2}		$0.70 V_{DVDD}$		V_{DVDD}	V
Input Hysteresis (Schmitt)	V_{IHYS}			0.18		V
Output Low Voltage for All Port Pins (Note 10)	V_{OL}	$I_{OL} = +4mA$	DGND		0.4	V
Output High Voltage for All Port Pins (Note 10)	V_{OH}	$I_{OH} = -4mA$	$V_{DVDD} - 0.4$			V
I/O Pin Capacitance	C_{IO}	Guaranteed by design			15	pF
I/O Pin Capacitance SCL, SDA (Note 11)	C_{IO_I2C}	Guaranteed by design			10	pF
\overline{RST} Pullup Resistance	R_{RST}		30		85	k Ω
Input Low Current for \overline{RST} Pin	I_{IL1}	$V_{IN} = 0.4V$	-85		-30	μA
Input Low Current for All Other Pins	I_{IL2}	$V_{IN} = 0.4V$	-85		-30	μA
Input Leakage Current	I_L	Internal pullup disabled	-150		+150	nA
Input Pullup Resistor	R_{PU}		30		85	k Ω
CLOCK SOURCE						
External Clock Frequency	f_{HFIN}		DC		10	MHz
External Clock Period	t_{CLCL}		100			ns
External Clock Duty Cycle	t_{XCLK_DUTY}		40		60	%
System Clock Frequency	f_{CK}		DC		10	MHz
FREQUENCY-LOCKED LOOP (FLL)						
FLL Output Frequency	f_{FLL}	$f_{32KIN} = 32.768kHz$		8.4		MHz
FLL Output Frequency Delta	Δf_{FLL}	$f_{32KIN} = 32.768kHz$		1.5	± 5	%

Note 1: Specifications to $-40^{\circ}C$ are guaranteed by design and are not production tested.

Note 2: Typical value presented for reference only. Do not draw current from this pin.

Note 3: FLL disabled. Crystal connected across HFXIN and HFXOUT. Operating in divide-by-1 mode. Measured on the DVDD pin and part executing program code from flash. All inputs are connected to GND or DVDD. Outputs do not source/sink any current. Timer B enabled.

Note 4: This parameter is guaranteed by design and is not production tested.

Note 5: FLL enabled. $f_{32KIN} = 32.768kHz$, HFXIN = disconnected, FLL = 8.39MHz, measured on the DVDD pin, part executing program code from flash. All inputs are connected to GND or DVDD. Outputs do not source/sink any current. Timer B enabled.

Note 6: I_{STOP} is the total current into the device when the device is in stop mode. This includes both the digital and analog current (current into DVDD and AVDD).

Note 7: Regulator, brownout monitor, LCD, and RTC disabled.

Note 8: Regulator, brownout monitor, and LCD disabled; RTC enabled.

Note 9: Regulator enabled, brownout monitor enabled, and LCD and RTC disabled.

Note 10: $I_{OH(MAX)} + I_{OL(MAX)}$ for all outputs combined should not exceed 35mA to meet the specification.

Note 11: When DVDD is switched off, SDA and SCL may obstruct the line.

16位混合信号微控制器，提供LCD接口

MAXQ2010

RECOMMENDED DC OPERATING CONDITIONS (continued)

($V_{DVDD} = V_{AVDD} = 2.7V$ to $3.6V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
FLASH PROGRAMMING						
System Clock During Flash Programming/Erase			2			MHz
Flash Erase Time		Mass erase		24		ms
		Page erase		24		
Flash Programming Time per Word (Note 12)				66		μs
Write/Erase Cycles			20,000			Cycles
Data Retention		$T_A = +25^{\circ}C$	100			Years
ANALOG-TO-DIGITAL CONVERTER (Note 13)						
Serial Clock Frequency	fSCLK		0.1		5	MHz
Input Voltage Range	VAIN	Unipolar (single-ended)	0		VREF	V
		Bipolar (differential) (Note 14)	-VREF/2		+VREF/2	
Analog Input Capacitance	CAIN			16		pF
Current Consumption (Note 4)	I _{AVDD1}	fSCLK = 5MHz, internal reference		1.9	2.5	mA
	I _{AVDD2}	fSCLK = 5MHz, external reference (internal reference disabled)		1.1	1.3	
ANALOG-TO-DIGITAL CONVERTER PERFORMANCE (VREF = VAVDD, 0.1μF capacitor on VREF, fSCLK = 5MHz)						
Resolution			12			Bits
Integral Nonlinearity	INL			± 1	± 2	LSB
Differential Nonlinearity	DNL	No missing codes over temperature			± 1	LSB
Offset Error	VOS				± 2	LSB
Offset Temperature Coefficient				± 0.5		ppm/ $^{\circ}C$
Gain Error					± 1	%
Gain Temperature Coefficient				± 0.5		ppm/ $^{\circ}C$
Signal-to-Noise Plus Distortion	SINAD	f _{IN} = 1kHz	65			dB
Spurious-Free Dynamic Range	SFDR	f _{IN} = 1kHz	68			dB
Throughput		16 SCLK samples			312.5	ksps
Conversion Time	t _{CONV}	Not including t _{ACQ}	2.6			μs
ADC Setup Time	t _{ADC_SETUP} (Note 15)				4	μs
Input Leakage Current	I _{ILA}	Shutdown or conversion stopped, ANx and VA _{REF}			± 1	μA
Autoscan Throughput		All channels active			39	ksps per channel
ANALOG-TO-DIGITAL CONVERTER REFERENCE						
Internal Reference Voltage	VA _{REF}		1.47	1.5	1.53	V
Internal Reference Voltage Startup Time	t _{A_{REF}}				50	μs

16位混合信号微控制器，提供LCD接口

MAXQ2010

RECOMMENDED DC OPERATING CONDITIONS (continued)

(VDVDD = VAVDD = 2.7V to 3.6V, TA = -40°C to +85°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
External Reference Voltage Input	VAEREF		0.9		VAVDD + 0.05	V
Internal Reference Voltage Drift	VADRIFT	Guaranteed by design			±50	ppm/°C
Reference Settle Time (Switching ADC Reference from Either Internal or External Reference to AVDD) (Note 16)	tAAVDD_SETUP (Note 17)				4	Samples
SUPPLY VOLTAGE MONITOR						
Supply Voltage Set Point	VSVM		2.7		3.5	V
Supply Voltage Increment Resolution (Note 18)	SVINC		0.08	0.1	0.12	V
Supply Voltage Default Set Point				2.7		µA
Supply Voltage Monitor Current Consumption	ISVM			20		µs
Supply Voltage Monitor Setup Time (Time from Supply Voltage Monitor Enabled to SVMRDY Is Set to 1) (Note 18)	tSVM_SU			15	25	µs
REAL-TIME CLOCK						
RTC Input Frequency	f32KIN	32kHz watch crystal		32,768		Hz
RTC Operating Current	IRTC	VDVDD = 2.7V, guaranteed by design		0.45	0.7	µA
		VDVDD = 3.6V		0.5	0.8	
LCD						
LCD Reference Voltage	VLCD		VDVDD		3.6	V
LCD Bias Voltage 1	VLCD1	1/3 bias		$V_{ADJ} + \frac{2}{3}(V_{LCD} - V_{ADJ})$		V
LCD Bias Voltage 2	VLCD2	1/3 bias		$V_{ADJ} + \frac{2}{3}(V_{LCD} - V_{ADJ})$		V
LCD Adjustment Voltage	VADJ	Guaranteed by design	0		0.4 × VLCD	V
LCD Bias Resistor	RLCD			40		kΩ
LCD Adjustment Resistor	RLADJ	LRA[3:0] = 15		80		kΩ
LCD Segment and COM Voltage (Note 18)	VSEGxx	Pin is driven at VLCD = 3V, ISEGxx = -3µA	$V_{LCD} - 0.02$		VLCD	V
		Pin is driven at VLCD1 = 2V, ISEGxx = -3µA	$V_{LCD1} - 0.02$		VLCD1 + 0.02	
		Pin is driven at VLCD2 = 1V, ISEGxx = -3µA	$V_{LCD2} - 0.02$		VLCD2 + 0.02	
		Pin is driven at VADJ = 0V, ISEGxx = -3µA	-0.1		+0.1	
LCD Output Rise Time	tLCD_RISE	COM output load = 5000pF, SEG output load = 200pF, VLCD = 3.3V			200	µs

16位混合信号微控制器，提供LCD接口

MAXQ2010

RECOMMENDED DC OPERATING CONDITIONS (continued)

($V_{DVDD} = V_{AVDD} = 2.7V$ to $3.6V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SPI (See Figures 1 and 2)						
SPI Master Operating Frequency	$1/t_{MCK}$				$f_{CK}/2$	MHz
SPI Slave Operating Frequency	$1/t_{SCK}$				$f_{CK}/8$	MHz
SCLK Output Pulse-Width High/Low	t_{MCH} , t_{MCL}		$(t_{MCK}/2)$ - 25			ns
SCLK Input Pulse-Width High/Low	t_{SCH} , t_{SCL}			$t_{SCK}/2$		ns
MOSI Output Hold Time After SCLK Sample Edge	t_{MOH}	$C_L = 50pF$	$(t_{MCK}/2)$ - 25			ns
MOSI Output Valid to Sample Edge	t_{MOV}		$(t_{MCK}/2)$ - 25			ns
MISO Input Valid to SCLK Sample Edge Rise/Fall Setup	t_{MIS}		25			ns
MISO Input to SCLK Sample Edge Rise/Fall Hold	t_{MIH}		0			ns
SCLK Inactive to MOSI Inactive	t_{MLH}		$(t_{MCK}/2)$ - 25			ns
\overline{SSEL} Active to First Shift Edge	t_{SSE}		$4t_{CK}$			ns
MOSI Input to SCLK Sample Edge Rise/Fall Setup	t_{SIS}		20			ns
MOSI Input from SCLK Sample Edge Transition Hold	t_{SIH}		$t_{CK} +$ 25			ns
MISO Output Valid After SCLK Shift Edge Transition	t_{SOV}				$3t_{CK} +$ 25	ns
\overline{SSEL} Inactive	t_{SSH}		$t_{CK} +$ 25			ns
SCLK Inactive to \overline{SSEL} Rising	t_{SD}		$t_{CK} +$ 25			ns
MISO Output Disabled After \overline{SSEL} Edge Rise	t_{SLH}				$2t_{CK} +$ 50	ns

Note 12: Programming time does not include overhead associated with the utility ROM interface.

Note 13: $V_{REF} = V_{AVDD}$.

Note 14: The operational input voltage range for each individual input of a differentially configured pair is from GND to AVDD. The operational input voltage difference is from $-V_{REF}/2$ to $+V_{REF}/2$.

Note 15: The typical value is applied when a conversion is requested with ADPMO = 0. Under these conditions, the minimum delay is met. If ADPMO = 1, the user is responsible for ensuring the 4 μ s delay time is met.

Note 16: Switching ADC reference from either internal or external reference to AVDD. Sample accuracy is not guaranteed prior to ADC reference settlement.

Note 17: Total on-board decoupling capacitance on the AVDD pin < 100nF. The output impedance of the regulator driving the AVDD pin < 10 Ω .

Note 18: This parameter is guaranteed by design and is not production tested.

16位混合信号微控制器，提供LCD接口

MAXQ2010

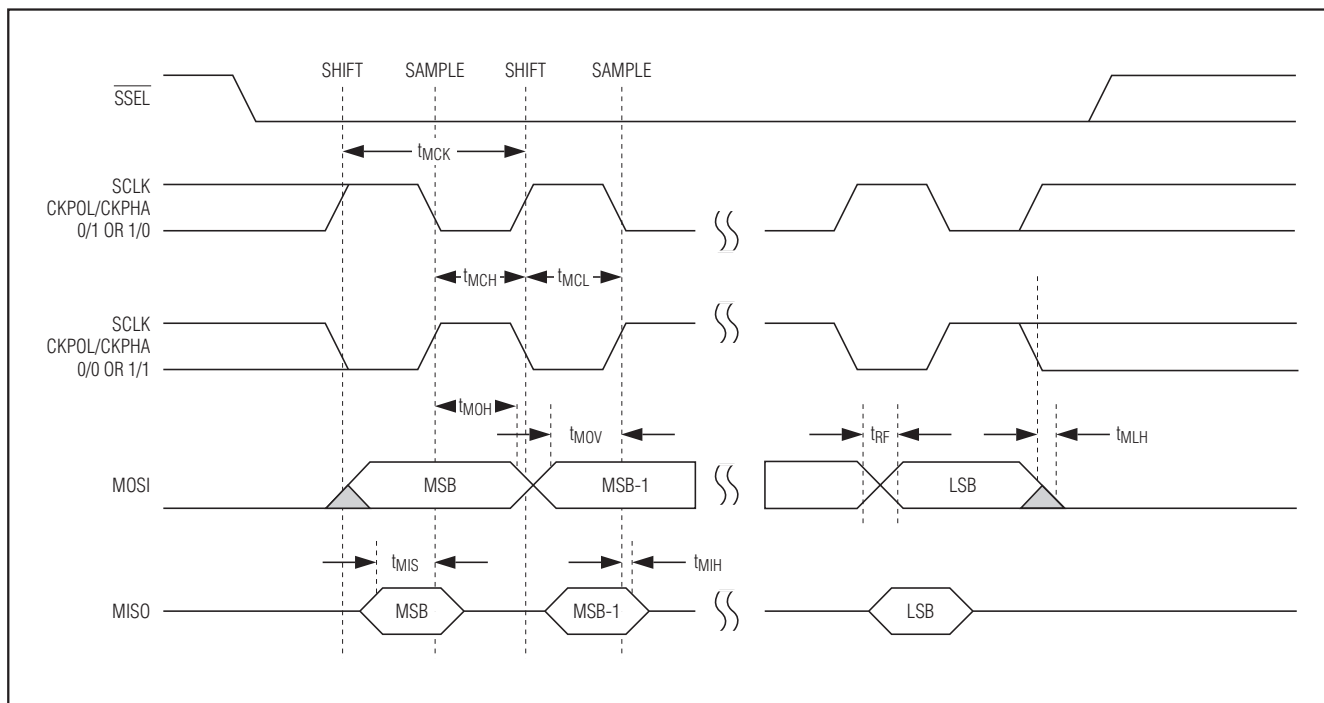


图1. SPI主机时序

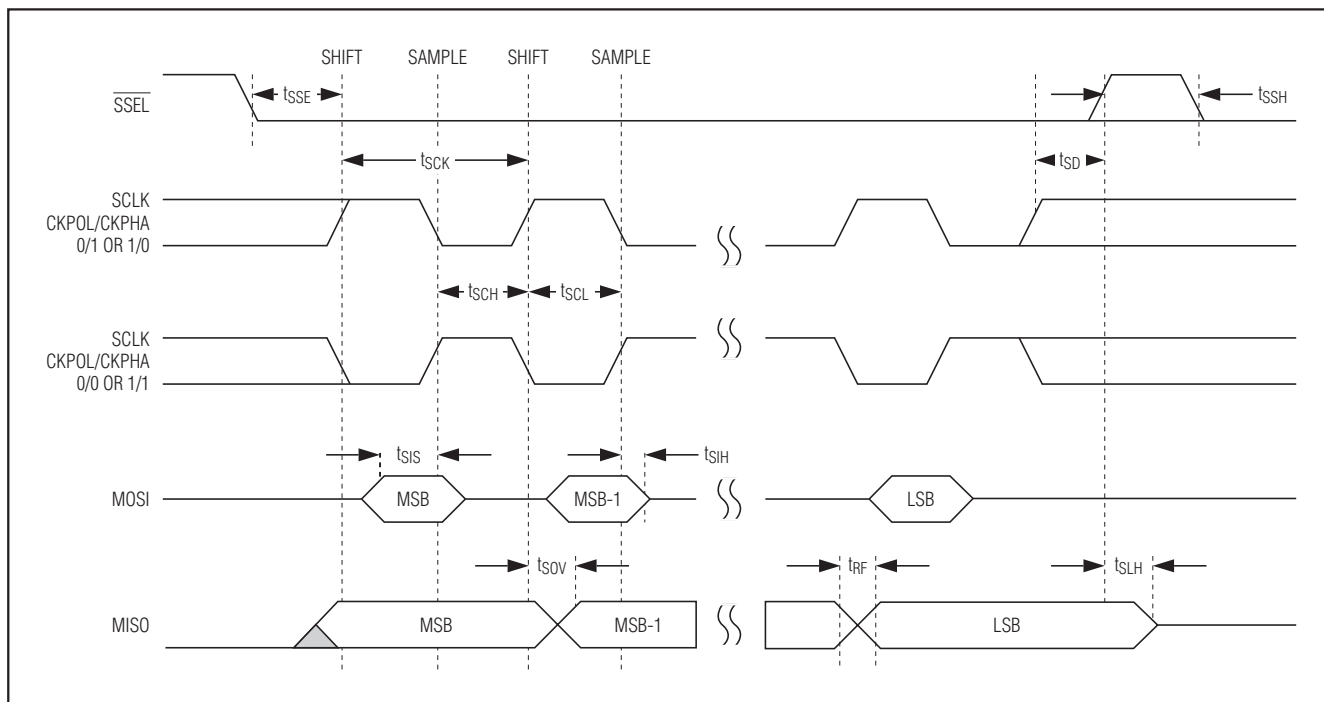


图2. SPI从机时序

16位混合信号微控制器，提供LCD接口

MAXQ2010

I²C ELECTRICAL CHARACTERISTICS

(V_{DVDD} = V_{AVDD} = 2.7V to 3.6V, T_A = -40°C to +85°C.)

PARAMETER	SYMBOL	TEST CONDITIONS	STANDARD MODE		FAST MODE		UNITS
			MIN	MAX	MIN	MAX	
Input Low Voltage (Note 19)	V _{IL_I2C}		-0.5	0.3 × V _{DVDD}	-0.5	0.3 × V _{DVDD}	V
Input High Voltage (Note 19)	V _{IH_I2C}		0.7 × V _{DVDD}		0.7 × V _{DVDD}	V _{DVDD} + 0.5V	V
Input Hysteresis (Schmitt)	V _{IHYS_I2C}	V _{DVDD} > 2V			0.05 × V _{DVDD}		V
Output Logic-Low (Open Drain or Open Collector)	V _{OL_I2C}	V _{DVDD} > 2V, 3mA sink current	0	0.4	0	0.4	V
Output Fall Time from V _{IH_MIN} to V _{IL_MAX} with Bus Capacitance from 10pF to 400pF (Notes 20, 21)	t _{OF_I2C}			250	20 + 0.1C _B	250	ns
Pulse Width of Spike Filtering That Must Be Suppressed by Input Filter	t _{SP_I2C}				0	50	ns
Input Current on I/O	I _{IN_I2C}	Input voltage from 0.1 × V _{DVDD} to 0.9 × V _{DVDD}	-10	+10	-10	+10	μA
I/O Capacitance	C _{IO_I2C}			10		10	pF

Note 19: Devices that use nonstandard supply voltages that do not conform to the intended I²C bus system levels must relate their input levels to the voltage to which the pullup resistors R_p are connected. See Figure 3.

Note 20: C_B—Capacitance of one bus line in pF.

Note 21: The maximum fall time of 300ns for the SDA and SCL bus lines shown in the I²C Bus Controller Timing table is longer than the specified maximum t_{OF_I2C} of 250ns for the output stages. This allows series protection resistors (R_S) to be connected between the SDA/SCL pins and the SDA/SCL bus lines as shown in the I²C Bus Controller Timing (Acting as I²C Slave) table without exceeding the maximum specified fall time. See Figure 3.

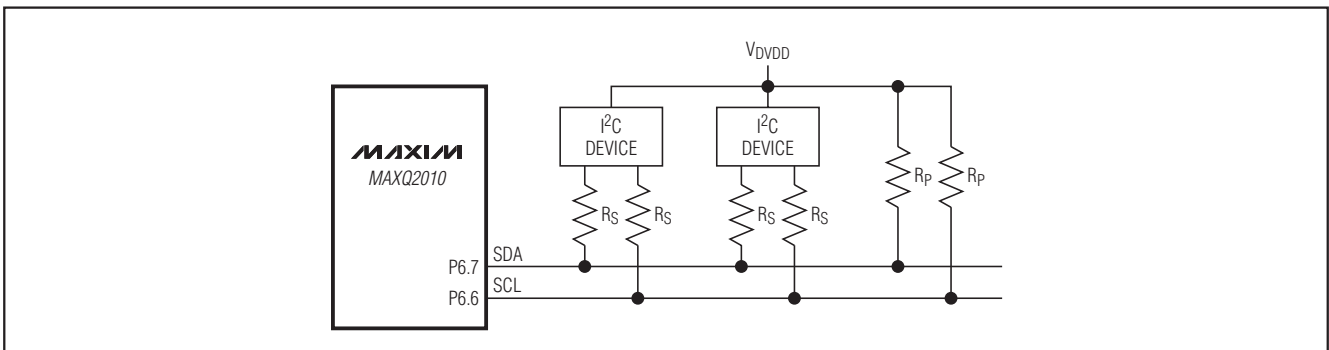


图3. 串联电阻(R_S)用于抑制高压尖峰脉冲

16位混合信号微控制器，提供LCD接口

I²C BUS CONTROLLER TIMING

(V_{DVDD} = V_{AVDD} = 2.7V to 3.6V, T_A = -40°C to +85°C.) (Note 22) (Figure 4)

PARAMETER	SYMBOL	STANDARD MODE		FAST MODE		UNITS
		MIN	MAX	MIN	MAX	
Operating Frequency	f _{I2C}	0	100	0	400	kHz
Hold Time After (Repeated) START	t _{HD:STA}	4.0		0.6		μs
Clock Low Period	t _{LOW_I2C}	4.7		1.3		μs
Clock High Period	t _{HIGH_I2C}	4.0		0.6		μs
Setup Time for Repeated START	t _{SU:STA}	4.7		0.6		μs
Hold Time for Data	t _{HD:DAT}	0 (Note 23)	3.45 (Note 24)	0 (Note 23)	0.9 (Note 24)	μs
Setup Time for Data	t _{SU:DAT}	250		100 (Note 25)		ns
SDA/SCL Fall Time	t _{F_I2C}		300	20 + 0.1C _B (Note 26)	300	ns
SDA/SCL Rise Time	t _{R_I2C}		1000	20 + 0.1C _B (Note 26)	300	ns
Setup Time for STOP	t _{SU:STO}	4.0		0.6		μs
Bus-Free Time Between STOP and START	t _{BUF}	4.7		1.3		μs
Capacitive Load for Each Bus Line	C _B		400		400	pF
Noise Margin at the Low Level for Each Connected Device (Including Hysteresis)	V _{NL_I2C}	0.1 × V _{DVDD}		0.1 × V _{DVDD}		V
Noise Margin at the High Level for Each Connected Device (Including Hysteresis)	V _{NH_I2C}	0.2 × V _{DVDD}		0.2 × V _{DVDD}		V

Note 22: All values referenced to V_{IH_I2C(MIN)} and V_{IL_I2C(MAX)}.

Note 23: A device must internally provide a hold time of at least 300ns for the SDA signal (referred to as the V_{IH_I2C(MIN)} of the SCL signal) to bridge the undefined region of the falling edge of SCL.

Note 24: The maximum t_{HD:DAT} need only be met if the device does not stretch the low period (t_{LOW_I2C}) of the SCL signal.

Note 25: A fast-mode I²C bus device can be used in a standard-mode I²C bus system, but the requirement t_{SU:DAT} ≥ 250ns must be met. This is automatically the case if the device does not stretch the low period of the SCL signal. If such a device does stretch the low period of the SCL signal, it must output the next data bit to the SDA line t_{R_I2C(MAX)} + t_{SU:DAT} = 1000 + 250 = 1250ns (according to the standard-mode I²C specification) before the SCL line is released.

Note 26: C_B—Total capacitance of one bus line in pF.

16位混合信号微控制器，提供LCD接口

MAXQ2010

I²C BUS CONTROLLER TIMING (ACTING AS I²C MASTER)

(V_{DVDD} = V_{AVDD} = 2.7V to 3.6V, T_A = -40°C to +85°C.) (Figure 4)

PARAMETER	SYMBOL	STANDARD MODE		FAST MODE		UNITS
		MIN	MAX	MIN	MAX	
System Frequency	f _{SYS}	0.90		3.60		MHz
Operating Frequency	f _{I2C}	f _{SYS} /8		f _{SYS} /8		Hz
Hold Time After (Repeated) START	t _{HD:STA}	t _{HIGH_I2C}		t _{HIGH_I2C}		μs
Clock Low Period	t _{LOW_I2C}	5t _{SYS}		5t _{SYS}		μs
Clock High Period	t _{HIGH_I2C}	3t _{SYS}		3t _{SYS}		μs
Setup Time for Repeated START	t _{SU:STA}	t _{LOW_I2C}		t _{LOW_I2C}		μs
Hold Time for Data	t _{HD:DAT}	0	3.45	0	0.9	μs
Setup Time for Data	t _{SU:DAT}	250		100		ns
SDA/SCL Fall Time	t _{F_I2C}	300		20+ 0.1C _B	300	ns
SDA/SCL Rise Time	t _{R_I2C}	1000		20+ 0.1C _B	300	ns
Setup Time for STOP	t _{SU:STO}	t _{HIGH_I2C}		t _{HIGH_I2C}		μs
Bus-Free Time Between STOP and START	t _{BUF}	t _{LOW_I2C}		t _{LOW_I2C}		μs
Capacitive Load for Each Bus Line	C _B	400		400		pF
Noise Margin at the Low Level for Each Connected Device (Including Hysteresis)	V _{NL_I2C}	0.1 × V _{DVDD}		0.1 × V _{DVDD}		V
Noise Margin at the High Level for Each Connected Device (Including Hysteresis)	V _{NH_I2C}	0.2 × V _{DVDD}		0.2 × V _{DVDD}		V

16位混合信号微控制器，提供LCD接口

MAXQ2010

I²C BUS CONTROLLER TIMING (ACTING AS I²C SLAVE)

(V_{DVDD} = V_{AVDD} = 2.7V to 3.6V, T_A = -40°C to +85°C.) (Figure 4)

PARAMETER	SYMBOL	STANDARD MODE		FAST MODE		UNITS
		MIN	MAX	MIN	MAX	
System Frequency	f _{SYS}	0.9		3.60		MHz
Operating Frequency	f _{I2C}		f _{SYS} /8		f _{SYS} /8	Hz
System Clock Period	t _{SYS}	1/f _{I2C}			1/f _{I2C}	μs
Hold Time After (Repeated) START	t _{HD:STA}	3t _{SYS}		3t _{SYS}		μs
Clock Low Period	t _{LOW_I2C}	5t _{SYS}		5t _{SYS}		μs
Clock High Period	t _{HIGH_I2C}	3t _{SYS}		3t _{SYS}		μs
Setup Time for Repeated START	t _{SU:STA}	5t _{SYS}		5t _{SYS}		μs
Hold Time for Data	t _{HD:DAT}	0	3.45	0	0.9	μs
Setup Time for Data	t _{SU:DAT}	250		100		ns
SDA/SCL Fall Time	t _{F_I2C}		300	20 + 0.1C _B	300	ns
SDA/SCL Rise Time	t _{R_I2C}		1000	20 + 0.1C _B	300	ns
Setup Time for STOP	t _{SU:STO}	3t _{SYS}		3t _{SYS}		μs
Bus-Free Time Between STOP and START	t _{BUF}	5t _{SYS}		5t _{SYS}		μs
Capacitive Load for Each Bus Line	C _B		400		400	pF
Noise Margin at the Low Level for Each Connected Device (Including Hysteresis)	V _{NL_I2C}	0.1 × V _{DVDD}		0.1 × V _{DVDD}		V
Noise Margin at the High Level for Each Connected Device (Including Hysteresis)	V _{NH_I2C}	0.2 × V _{DVDD}		0.2 × V _{DVDD}		V

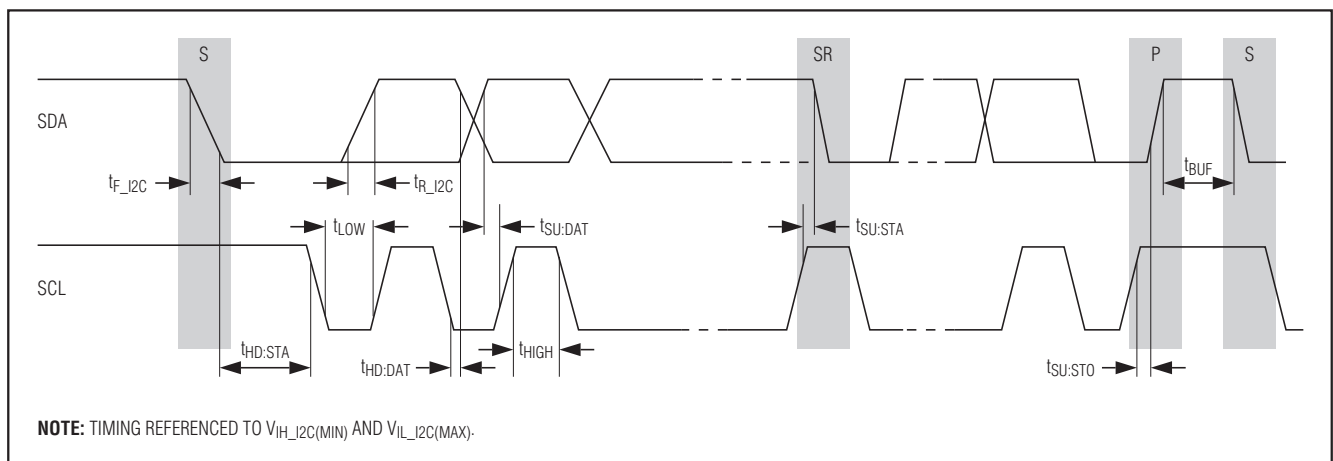


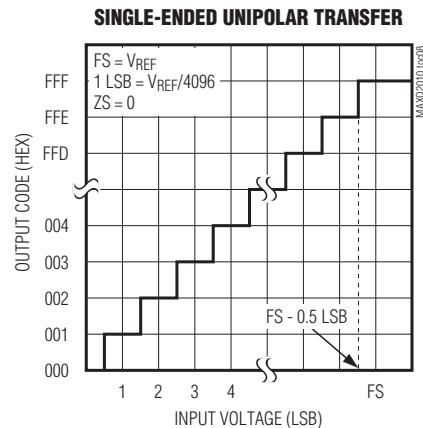
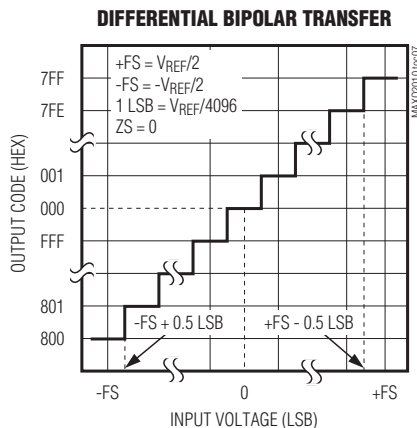
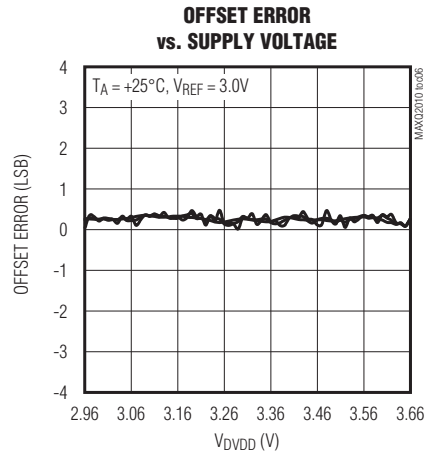
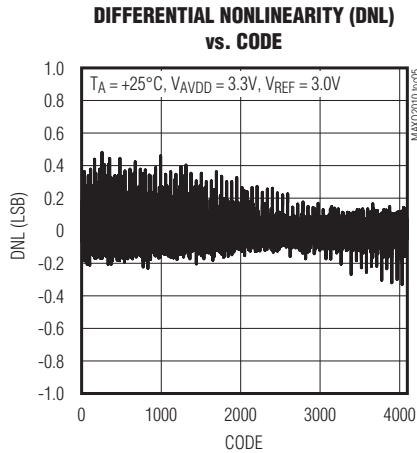
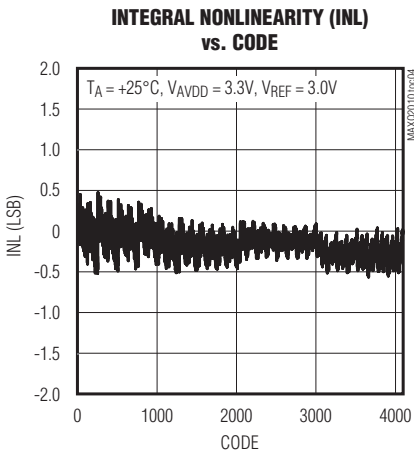
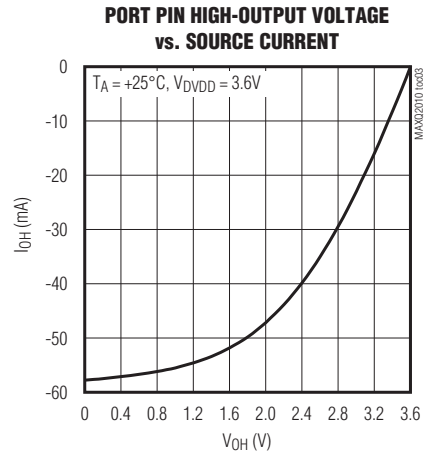
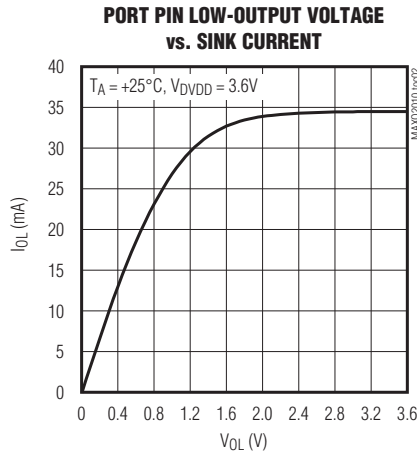
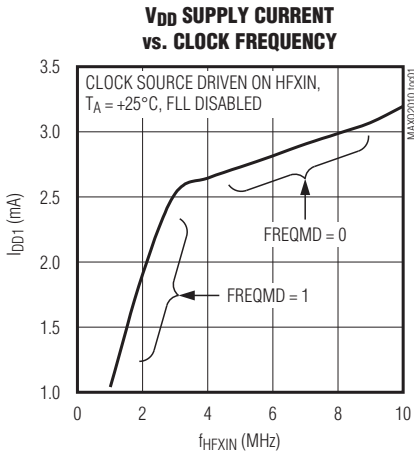
图4. I²C总线控制器时序图

16位混合信号微控制器，提供LCD接口

MAXQ2010

典型工作特性

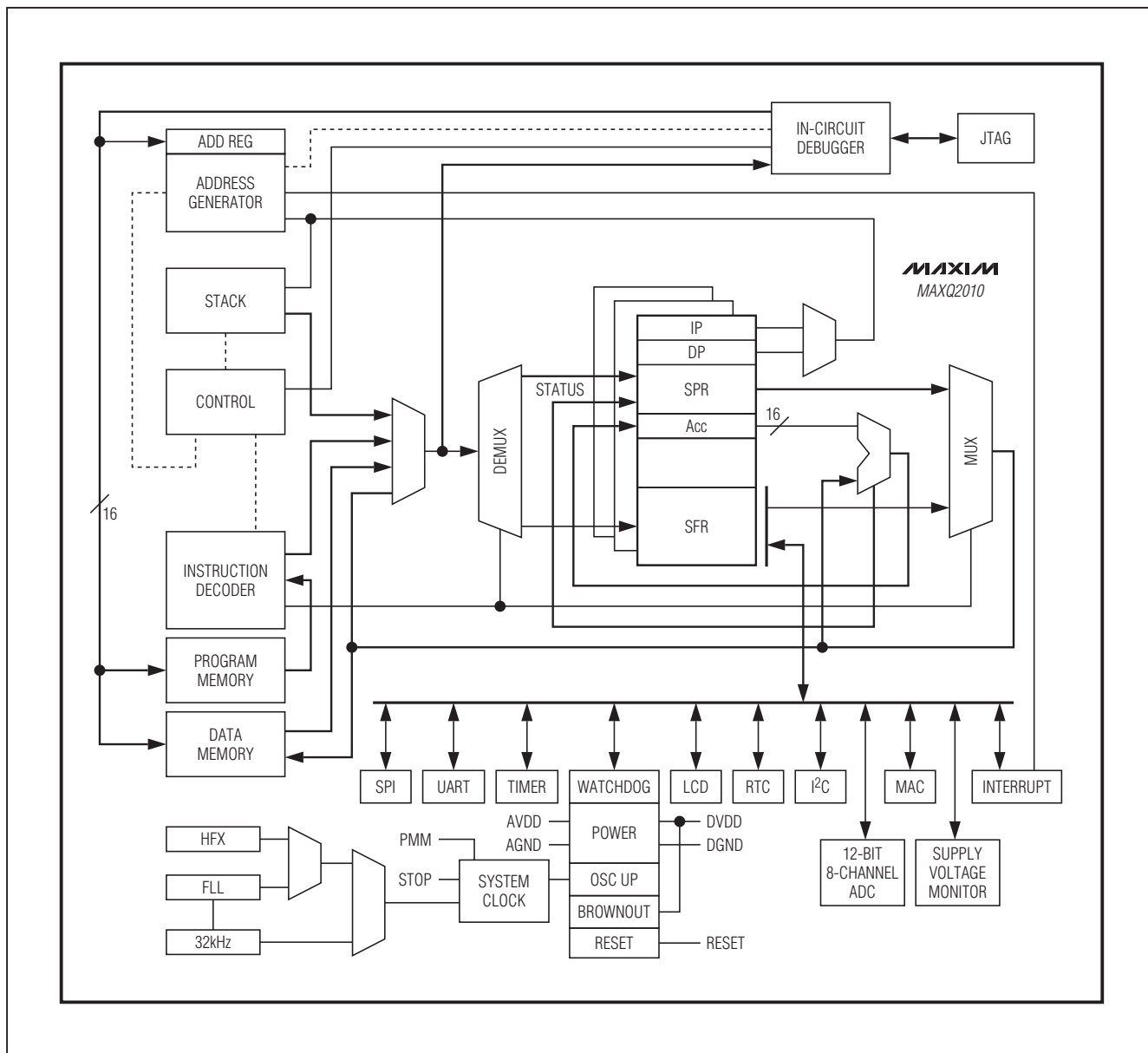
($T_A = +25^\circ\text{C}$, unless otherwise noted.)



16位混合信号微控制器，提供LCD接口

方框图

MAXQ2010



16位混合信号微控制器，提供LCD接口

引脚说明

引脚	名称	功能
电源引脚		
40, 63, 96	DVDD	数字电源。
41, 66, 95	DGND	数字地。
98, 99	REGOUT	稳压器电容。必须将这些引脚短接在一起，接着用一只1.0 μ F陶瓷电容将其连接至地。
82	AVDD	模拟电源电压。
79	AGND	模拟地。
模拟测量引脚		
70	AVREF	模拟电压基准。当采用外部基准源时，该引脚必须接至1 μ F和0.01 μ F并联的滤波电容。当采用内部基准源时，该引脚必须接至0.01 μ F电容。
78, 77	AN0, AN1	模拟输入0:1。该模拟输入对可用作两路单端输入或一路差分输入对。工作于差分模式中时，AN0为正输入，AN1为负输入。
76, 75	AN2, AN3	模拟输入2:3。该模拟输入对可用作两路单端输入或一路差分输入对。工作于差分模式中时，AN2为正输入，AN3为负输入。
74, 73	AN4, AN5	模拟输入4:5。该模拟输入对可用作两路单端输入或一路差分输入对。工作于差分模式中时，AN4为正输入，AN5为负输入。
72, 71	AN6, AN7	模拟输入6:7。该模拟输入对可用作两路单端输入或一路差分输入对。工作于差分模式中时，AN6为正输入，AN7为负输入。
复位引脚		
92	$\overline{\text{RST}}$	数字、低电平有效、复位输入/输出。当该引脚为低电平时CPU保持在复位状态，并在释放后从复位向量开始执行。此引脚包含上拉电流源，应由一个漏极开路，并能吸收超过4mA电流的外部复位源来驱动。当产生内部复位条件时，此引脚作为输出被拉低。
时钟引脚		
81	32KIN	32kHz晶体输入/输出。在32KIN和32KOUT之间接一个外部6pF、32kHz时钟晶体作为系统时钟。或者，当32KOUT悬空时，32KIN作为外部时钟源的输入。
80	32KOUT	
64	HFXIN	高频晶体输入。在HFXIN和HFXOUT之间连接一个外部晶体或谐振器作为高频系统时钟。或者，当HFXOUT悬空时，HFXIN作为外部高频时钟源的输入。
65	HFXOUT	
LCD引脚		
45	V _{LCD}	LCD偏置控制电压。静态偏置使用的最高LCD驱动电压。接外部电源。
44	V _{LCD1}	LCD偏置，电压1。1/2和1/3 LCD偏置使用的LCD驱动电压。由一个内部电阻分压器来设定此电压。可以使用外部电阻和电容来改变此引脚的LCD电压或驱动能力。

16位混合信号微控制器，提供LCD接口

引脚说明(续)

MAXQ2010

引脚	名称	功能			
43	V _{LCD2}	LCD偏置，电压2。1/3 LCD偏置使用的LCD驱动电压。由一个内部电阻分压器来设定此电压。可以使用外部电阻和电容来改变此引脚的LCD电压或驱动能力。			
42	V _{ADJ}	LCD调整电压。外接一个电阻，可从外部控制LCD的对比度。若在内部进行对比度调节，则该引脚悬空。			
通用I/O、特殊功能以及LCD接口引脚					
6-1, 94, 93	P0.0-P0.7; SEG0-SEG7; INT0-INT7	数字I/O、D类端口0；LCD段驱动器输出；可选择的外部边沿触发中断。该端口既可用于双向I/O引脚，也可用作LCD段驱动输出。该端口复位条件是所有位均为逻辑1。在该状态下，弱上拉保持端口为高电平。该条件用做输入模式。每个端口引脚可独立配置为外部中断。将PCF0位设为高，将切换端口所有引脚至LCD段驱动输出功能。 同一端口内LCD和中断功能可以混合使用。混合使用时，必须在设定PCF0位之前先设置中断使能。一定要注意，当LCD处于正常工作模式时不要使能外部中断，因为这样可能会导致LCD控制器输出和接在中断输入上的外部中断源之间产生潜在的冲突。			
		引脚	端口	特殊/第二功能	
		6	P0.0	SEG0	INT0
		5	P0.1	SEG1	INT1
		4	P0.2	SEG2	INT2
		3	P0.3	SEG3	INT3
		2	P0.4	SEG4	INT4
		1	P0.5	SEG5	INT5
		94	P0.6	SEG6	INT6
		93	P0.7	SEG7	INT7
91-84	P1.0-P1.7; SEG8-SEG15	数字I/O、C类端口1；LCD段驱动器输出。这些端口引脚既可用于双向I/O引脚，也可用作LCD段驱动输出。该端口复位条件是所有位均为逻辑1。在该状态下，弱上拉保持端口为高电平。该条件用做输入模式。该端口引脚具有施密特电压输入。将PCF1位设为高，将切换端口所有引脚至LCD段驱动输出功能。			
		引脚	端口	特殊/第二功能	
		91	P1.0	SEG8	
		90	P1.1	SEG9	
		89	P1.2	SEG10	
		88	P1.3	SEG11	
		87	P1.4	SEG12	
		86	P1.5	SEG13	
		85	P1.6	SEG14	
84	P1.7	SEG15			

16位混合信号微控制器，提供LCD接口

引脚说明(续)

引脚	名称	功能		
56-52, 48-46	P2.0-P2.7; SEG16-SEG23	数字I/O、C类端口2；LCD段驱动器输出。这些端口引脚既可用于双向I/O引脚，也可用作LCD段驱动器输出。该端口复位条件是所有位均为逻辑1。在该状态下，弱上拉保持端口为高电平。该条件用做输入模式。该端口引脚具有施密特电压输入。将PCF2位设为高，将切换端口所有引脚至LCD段驱动器输出功能。		
		引脚	端口	特殊/第二功能
		56	P2.0	SEG16
		55	P2.1	SEG17
		54	P2.2	SEG18
		53	P2.3	SEG19
		52	P2.4	SEG20
		48	P2.5	SEG21
		47	P2.6	SEG22
46	P2.7	SEG23		
36-33, 22-19	P3.0-P3.7; SEG24-SEG31	数字I/O、C类端口3；LCD段驱动器输出。这些端口引脚既可用于双向I/O引脚，也可用作LCD段驱动器输出。该端口复位条件是所有位均为逻辑1。在该状态下，弱上拉保持端口为高电平。该条件用做输入模式。该端口引脚具有施密特电压输入。将PCF3位设为高，将切换端口所有引脚至LCD段驱动器输出功能。		
		引脚	端口	特殊/第二功能
		36	P3.0	SEG24
		35	P3.1	SEG25
		34	P3.2	SEG26
		33	P3.3	SEG27
		22	P3.4	SEG28
		21	P3.5	SEG29
		20	P3.6	SEG30
19	P3.7	SEG31		
18-11	P4.0-P4.7; SEG32-SEG39	数字I/O、C类端口4；LCD段驱动器输出。这些端口引脚既可用于双向I/O引脚，也可用作LCD段驱动器输出。该端口复位条件是所有位均为逻辑1。在该状态下，弱上拉保持端口为高电平。该条件用做输入模式。该端口引脚具有施密特电压输入。将PCF4位设为高，将切换端口所有引脚至LCD段驱动器输出功能。		
		引脚	端口	特殊/第二功能
		18	P4.0	SEG32
		17	P4.1	SEG33
		16	P4.2	SEG34
		15	P4.3	SEG35
		14	P4.4	SEG36
		13	P4.5	SEG37
		12	P4.6	SEG38
11	P4.7	SEG39		

16位混合信号微控制器，提供LCD接口

引脚说明(续)

MAXQ2010

引脚	名称	功能												
10, 9, 8	COM3, COM2, COM1; SEG40, SEG41, SEG42	LCD段驱动输出；LCD公共端驱动输出。这些引脚作为LCD段或公共端驱动输出。将引脚配置为公共端驱动输出将禁止该引脚的段功能。												
		<table border="1"> <thead> <tr> <th>引脚</th> <th colspan="2">特殊/第二功能</th> </tr> </thead> <tbody> <tr> <td>10</td> <td>COM3</td> <td>SEG40</td> </tr> <tr> <td>9</td> <td>COM2</td> <td>SEG41</td> </tr> <tr> <td>8</td> <td>COM1</td> <td>SEG42</td> </tr> </tbody> </table>	引脚	特殊/第二功能		10	COM3	SEG40	9	COM2	SEG41	8	COM1	SEG42
		引脚	特殊/第二功能											
		10	COM3	SEG40										
9	COM2	SEG41												
8	COM1	SEG42												
7	COM0	LCD公共端驱动0，输出。该引脚功能用作LCD公共端驱动输出。												
68	P5.0/INT8/ TB0B/RX0	数字I/O、D类端口5.0；定时器B0引脚B；串行端口0接收；可选择的外部边沿触发中断8。复位之后，该引脚默认状态为带弱上拉的输入，用作通用I/O。该端口焊盘具有施密特电压输入并且可配置为外部中断。使其特殊功能时，将禁止该引脚用作通用I/O。												
67	P5.1/INT9/ TB0A/TX0	数字I/O、D类端口5.1；定时器B0引脚A；串行端口0发送；可选择的外部边沿触发中断9。该引脚在复位之后默认状态为带弱上拉的输入，用作通用I/O。该端口焊盘具有施密特电压输入并且可配置为外部中断。使其特殊功能时，将禁止该引脚用作通用I/O。												
61	P5.2/INT10/ SQW	数字I/O、D类端口5.2；可选择的外部边沿触发中断10；RTC方波输出。复位之后，该引脚默认状态为带弱上拉的输入，用作通用I/O。该端口焊盘具有施密特电压输入并且可配置为外部中断。使其特殊功能时，将禁止该引脚用作通用I/O。												
60	P5.3/INT11/ SSEL	数字I/O、D类端口5.3；可选择的外部边沿触发中断11；低电平有效SPI从机选择输入。复位之后，该引脚默认状态为带弱上拉的输入，用作通用I/O。该端口焊盘具有施密特电压输入并且可配置为外部中断。使其特殊功能时，将禁止该引脚用作通用I/O。												
59	P5.4/INT12/ MOSI	数字I/O、D类端口5.4；可选择的外部边沿触发中断12；SPI主机输出、从机输入。复位之后，该引脚默认状态为带弱上拉的输入，用作通用I/O。该端口焊盘具有施密特电压输入并且可配置为外部中断。使其特殊功能时，将禁止该引脚用作通用I/O。												
58	P5.5/INT13/ SCLK	数字I/O、D类端口5.5；可选择的外部边沿触发中断13；SPI时钟输出。复位之后，该引脚默认状态为带弱上拉的输入，用作通用I/O。该端口焊盘具有施密特电压输入并且可配置为外部中断。使其特殊功能时，将禁止该引脚用作通用I/O。												
57	P5.6/INT14/ MISO	数字I/O、D类端口5.6；可选择的外部边沿触发中断14；SPI主机输入、从机输出。复位之后，该引脚默认状态为带弱上拉的输入，用作通用I/O。该端口焊盘具有施密特电压输入并且可配置为外部中断。使其特殊功能时，将禁止该引脚用作通用I/O。												
32	P6.0/INT15/ TCK	数字I/O、D类端口6.0；可选择的外部边沿触发中断15；JTAG测试时钟输入。复位之后，该引脚默认状态为带弱上拉的输入，用作通用I/O。该端口焊盘具有施密特电压输入并且可配置为外部中断。使其特殊功能时，将禁止该引脚用作通用I/O。												
31	P6.1/INT16/ TDI	数字I/O、D类端口6.1；可选择的外部边沿触发中断16；JTAG测试数据输入。复位之后，该引脚默认状态为带弱上拉的输入，用作通用I/O。该端口焊盘具有施密特电压输入并且可配置为外部中断。使其特殊功能时，将禁止该引脚用作通用I/O。												

16位混合信号微控制器，提供LCD接口

引脚说明(续)

引脚	名称	功能
30	P6.2//INT17/ TMS	数字I/O、D类端口6.2；可选择的外部边沿触发中断17；JTAG测试模式选择输入。复位之后，该引脚默认状态为带弱上拉的输入，用作通用I/O。该端口焊盘具有施密特电压输入并且可配置为外部中断。使其特殊功能时，将禁止该引脚用作通用I/O。
29	P6.3//INT18/ TDO	数字I/O、D类端口6.3；可选择的外部边沿触发中断18；JTAG测试数据输出。复位之后，该引脚默认状态为带弱上拉的输入，用作通用I/O。该端口焊盘具有施密特电压输入并且可配置为外部中断。使其特殊功能时，将禁止该引脚用作通用I/O。
28	P6.4//INT19/ TB1B/RX1	数字I/O、D类端口6.4；可选择的外部边沿触发中断19；定时器B1引脚B；串行端口1接收。该引脚在复位之后默认状态为带弱上拉的输入，用作通用I/O。该端口焊盘具有施密特电压输入并且可配置为外部中断。使其特殊功能时，将禁止该引脚用作通用I/O。
25	P6.5//INT20/ TB1A/TX1	数字I/O、D类端口6.5；可选择的外部边沿触发中断20；定时器B1引脚A；串行端口1发送。复位之后，该引脚默认状态为带弱上拉的输入，用作通用I/O。该端口焊盘具有施密特电压输入并且可配置为外部中断。使其特殊功能时，将禁止该引脚用作通用I/O。
24	P6.6//INT21/ TB2B/SCL	数字I/O、D类端口6.6；可选择的外部边沿触发中断21；定时器B2引脚B；I ² C时钟I/O。复位之后，该引脚默认状态为带弱上拉的输入，用作通用I/O。该端口焊盘具有施密特电压输入并且可配置为外部中断。使其特殊功能时，将禁止该引脚用作通用I/O。
23	P6.7//INT22/ TB2A/SDA	数字I/O、D类端口6.7；可选择的外部边沿触发中断22；定时器B2引脚A；I ² C数据I/O。复位之后，该引脚默认状态为带弱上拉的输入，用作通用I/O。该端口焊盘具有施密特电压输入并且可配置为外部中断。使其特殊功能时，将禁止该引脚用作通用I/O。
无连接引脚		
26, 27, 37, 38, 39, 49, 50, 51, 62, 69, 83, 97, 100	N.C.	无连接。预留以备其它用途。保持这些引脚悬空。

16位混合信号微控制器，提供LCD接口

详细说明

下面是这款微控制器的基本特性介绍。器件特性的详细说明可以在后面补充文档部分中提到的勘误表以及用户指南中找到。

MAXQ核心架构

MAXQ2010是低成本、高性能、CMOS、全静态、16位RISC微控制器，带有闪存和集成的LCD控制器。MAXQ2010可支持多达160段LCD控制器，并且可通过带内部基准的12位逐次逼近寄存器(SAR) ADC来支持8路通道的高性能测量。MAXQ2010构建于一个高度先进的、基于累加器的16位RISC架构上。指令读取和执行操作在一个周期内完成，而没有流水线操作，这是因为指令既包含了操作码也包括了数据。这样改进后的微控制器就可在系统工作频率下实现每MHz高达每秒百万条指令(MIPS)的性能。

高效内核由一个16级的硬件堆栈支持，可实现快速子程序调用和任务切换。通过三个内部数据指针可以快速有效地处理数据。多数据指针允许多个函数来访问数据存储，而不必每次都保存和恢复数据指针。数据指针可以随着操作自动递增或递减，无需软件干预。因此，应用程序的执行速度大大提高。

指令集

指令集由对寄存器和存储器进行操作的固定长度、16位指令组成。指令集高度正交，允许算术和逻辑操作使用累加器和任何寄存器。特殊功能寄存器控制外围设备，并细分成寄存器模块。产品系列的结构是模块化的，因此新的器件和模块能够继续使用为现有产品开发的代码。

该结构是基于传送触发的，这意味着对某一寄存器位置的读或写还会产生副作用。这些副作用构成了由汇编器定义的高级操作码的基础，如ADDC、OR和JUMP等。这些操作码实际上是通过某些寄存器间的MOVE指令实现的，而由汇编器进行编码处理，编程者不需要关心这些。

16位的指令字为高效运行而设计。第15位指示指令源的格式。指令的第0到7位代表传送的源。根据格式域的不同值，源可能是一个立即数或一个源寄存器。如果这个区域代表一个寄存器，那么其中低四位包含模块标识符，而高四位包含模块中的寄存器索引值。第8到14位代表传送的目的。这个值总是代表一个目的寄存器，其中低四位包含模块标识符，而高三位包含模块中的寄存器索引值。一旦要从最高的24个寄存器中直接选择一个作为目的寄存器，就需要前缀寄存器(PFX)来提供额外的目的标识位。写前缀寄存器操作由汇编器自动插入，并且只需一个额外的执行周期。

存储器结构

器件包括几个存储器区域：

- 4KB固定用途ROM
- 用于程序存储的64KB闪存
- 用于存储临时变量的2KB SRAM
- 用于存储程序返回地址和常规数据的16级堆栈

闪存的引入允许对器件进行多次的重新编程，允许生产之后根据用户应用进行更改。此外，闪存可用来存储配置数据和日志文件。

存储器缺省配置成哈佛结构，程序和数据存储器具有独立的地址空间。通过固定用途ROM可支持伪冯诺依曼存储器配置，这适合于需要进行动态程序修改以及从RAM执行的应用。伪冯诺依曼存储器将代码、数据和固定用途ROM存储器放置到一个连续的存储器映射中。存储器图参见图5。

堆栈存储器

一个16位宽的内部堆栈为程序返回地址和常规数据提供存储。当执行CALL、RET和RETI指令以及进行中断服务时，处理器自动使用堆栈。也可以通过使用PUSH、POP和POPI指令来直接使用堆栈，进行数据存储。

16位混合信号微控制器，提供LCD接口

MAXQ2010

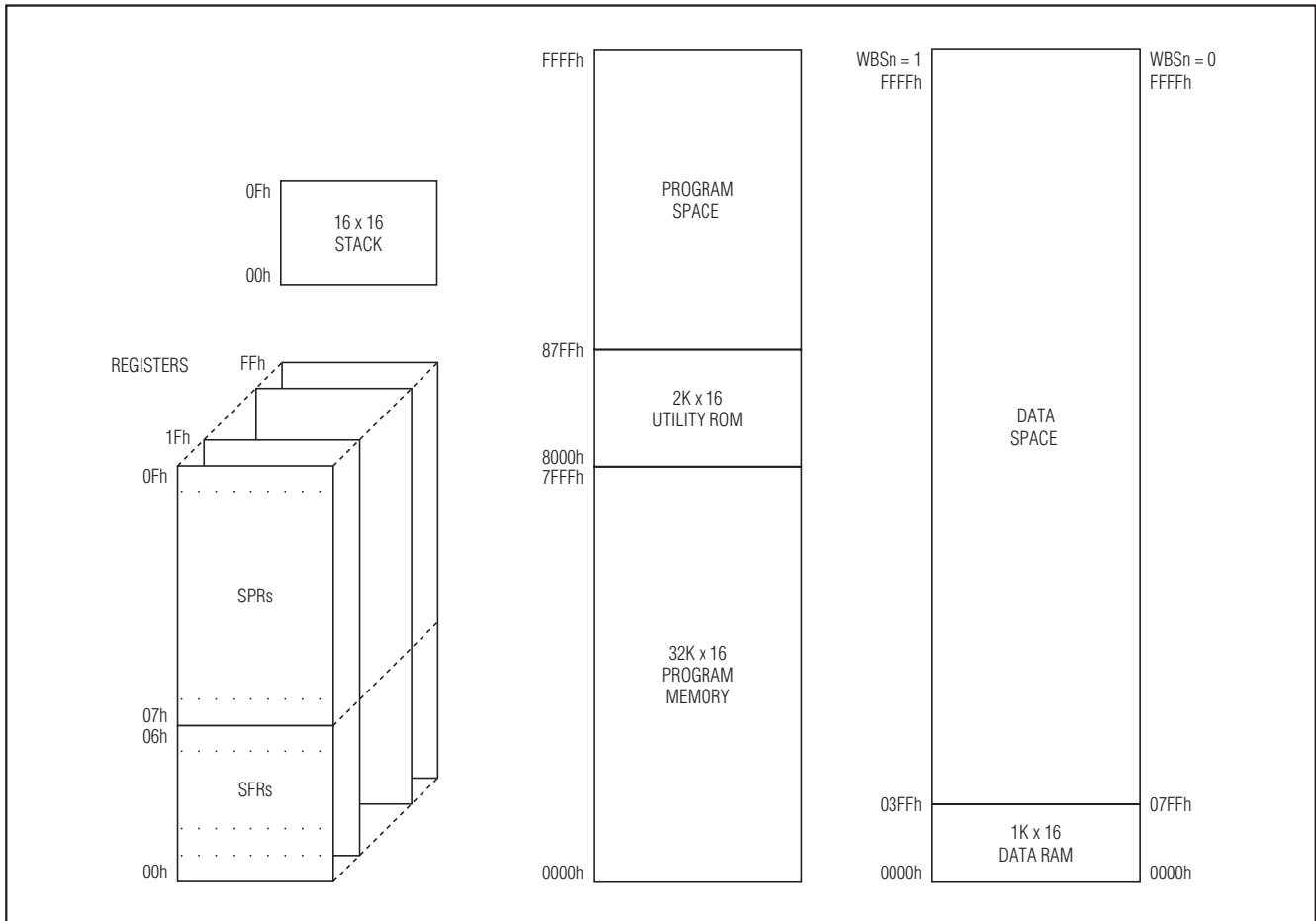


图5. MAXQ2010默认存储器

复位后，堆栈指针SP初始化至栈顶(0Fh)。执行CALL、PUSH和中断向量操作时递增SP，然后在SP指向的位置存储一个数值。执行RET、RETI、POP以及POPI操作时取回SP上的数值并递减SP。

固定用途ROM

固定用途ROM是一个4KB的内部ROM存储器块，缺省起始地址为8000h。固定用途ROM由可以在应用软件中进行调用的子程序组成。其中包括：

- 通过JTAG接口进行在系统编程(引导加载程序)
- 在线调试程序

- 测试程序(内部存储器测试，存储器加载等)
 - 用于在应用闪存编程和快速查找表的用户可调用程序
- 无论以任何方式复位，都从固定用途ROM开始运行程序。ROM软件决定程序是否立刻跳转到0000h位置、用户应用代码的起始位置、还是上面提到的某特定程序。用户可访问固定用途ROM中的程序，并且可以由应用软件调用这些程序。有关固定用途ROM内容的更多信息参见MAXQ系列用户指南：MAXQ2010补充资料(English only)。
- 一些应用要求保护程序代码存储器，以防止未经许可查看程序。对于这些应用，除非提供密码，否则禁止进行在系统编程、在应用编程或者在线调试功能。密码定义为16字长，位于物理程序存储器的0010h到001Fh位置。

16位混合信号微控制器，提供LCD接口

在SC寄存器中有一个密码锁定控制(PWL)位。当PWL设置为1时(上电复位的缺省值)，存储器中地址为0010h至001Fh的内容为除FFh或00h以外的任意值时，需要密码才能访问固定用途ROM，包括允许对内部存储器进行读写操作的在线调试和在系统编程程序。当PWL清零时，无需密码即可完全访问这些功能程序。批量擦除后密码自动设成全1。

编程

可以通过两种不同的方法对微控制器的闪存编程：在系统编程和在应用编程。两种方法都在系统设计中提供了极大的灵活性，并减少了嵌入式系统的寿命周期成本。这些特性能够通过密码进行保护，以防止未经授权访问代码存储器。

(引导加载程序)在系统编程

一个内部引导加载程序允许通过简单的JTAG接口对器件重新装载。这样，需要升级时可以在系统升级软件，而不必进行昂贵的硬件改进。可以进行远程软件升级，从而允许对现实中难以接近的应用进行升级。接口硬件可以通过JTAG与另一个微控制器连接，或者是使用串口至JTAG转换器(例如Maxim提供的MAXQJTAG-001)和PC串口连接。如果不需要在系统编程功能，可以使用商用编程器进行大批量编程。

用系统编程指令激活JTAG接口并加载测试访问端口(TAP)时，会调用引导加载程序。复位期间，通过JTAG接口将SPE位置1会执行驻留在固定用途ROM中的引导加载模式程序。当编程结束时，引导加载程序会清除SPE位并复位器件，从而允许器件跳过固定用途ROM并开始执行应用软件。

支持以下引导加载功能：

- 加载
- 校验
- 转储
- 擦除
- CRC

在应用编程

在应用编程功能允许微控制器在执行其应用软件的同时更改自身的闪存程序存储器。这样就能够对不允许停机的重要应用实现在线软件升级。同样，它允许开发能够在应用软件控制下工作的定制加载软件。固定用途ROM包含用户可访问的闪存编程功能，可以擦除闪存并对闪存编程。这些功能在MAXQ系列用户指南：MAXQ2010补充资料(English only)中进行了详细说明。

寄存器组

器件的大多数功能是由寄存器组来控制的。这些寄存器为存储器操作提供工作空间，并配置和寻址器件上的外设寄存器。寄存器分成两大类：系统寄存器和外设寄存器。公共寄存器组也称作系统寄存器，包括ALU、累加器寄存器、数据指针、中断向量和控制，以及堆栈指针。外设寄存器定义了可能包含在基于MAXQ架构的不同产品中的附加功能。该功能分成分立的模块，每个模块只需要包括特定产品所需的功能。

模块以及寄存器功能的文档在MAXQ系列用户指南(English only)和MAXQ系列用户指南：MAXQ2010补充资料(English only)中进行了详细说明。该信息包括状态和控制位的位置以及其功能和复位值的详细说明。为完全理解这些特性及微控制器的工作，请参考这些文档。

系统时序

为了提供最大的灵活性，MAXQ2010能从多个时钟源中生成它的内部系统时钟：

- 外部时钟源
- 使用外部晶体或谐振器的内部振荡器
- 采用32kHz时钟源的FLL (近8MHz)
- FLL无外部晶体(近5MHz)

工作于外部时钟源或采用外部晶体或谐振器的内部振荡器时，类似于其它微控制器。设计人员必须牢记工作的额定最大速率与微控制器核的速率有关，而与外部时钟源无关。器件包含FLL，其本身可作为时钟源(FLLLEN = 0)或作为32kHz晶体的倍频器(FLLLEN = 1)。基于32kHz晶体的时序更加稳定，因为该模式以晶体为时基。

16位混合信号微控制器，提供LCD接口

晶体建立时间计数器可增强工作的可靠性。如果用户选择采用外部晶体或时钟源，则每次必须要重新启动外部晶体振荡器时，例如退出停止模式后，器件都会启动一个振荡65,536次的晶体建立时间。以便在使用晶体作为时钟源之前，让其幅度和频率稳定下来。在晶体建立时间段内，器件能够以内部FLL作为时钟源开始工作，并在晶体工作稳定后自动切换到晶体振荡器。

可编程的时钟分频控制位(CD1和CD0)以及PMME为处理器降低系统时钟，从而获得较低的功耗。CD[1:0]位默认值为00b，选择的是1分频系统时钟；可提供5种时钟分频选项，允许不同的晶体选择以适应特定的系统需求。在电源管理模式(PMM)下，一个系统时钟为256个振荡器周期，此时微控制器运行速度降低，并可极大地降低功耗。返回功能允许系统退出PMM模式，响应外部中断或串行端口活动，快速地从低速、节省功耗模式切换回全速率工作模式。此外，功耗最低的停止模式允许微控制器停止内部振荡器，暂停系统时钟。

中断

提供多个中断源，可对内部和外部事件快速响应。MAXQ结构采用了单一中断向量(IV)、单一中断服务程序(ISR)设计。为提高灵活性，中断可以在全局、单独或者模块级别使能。当产生一个中断条件时，即使中断源在本地、模块或全局级别上是被禁止的，其自身的标志都会置位。必须在用户中断程序内清除中断标志，以避免由同一中断源引发重复中断。应用软件必须确保在清除标志和RETI指令间有一个延时，以使中断硬件有时间去除内部中断条件。异步中断标志要求单个指令延时，而同步中断标志需要双指令延时。

当检测到使能的中断时，软件跳转到一个用户可编程的中断向量位置。复位或上电后，IV寄存器的缺省值为0000h，因此如果它不改成不同的地址，用户程序必须判断出向0000h跳转是由复位引起的还是由中断源引起的。

一旦软件控制权转移到ISR，可以使用中断识别寄存器(IIR)来判定中断源是系统寄存器还是外设寄存器。然后就可以

查询特定模块以确定具体中断源，并且软件采取相应的操作。由于中断是由用户软件鉴别的，因此用户可以为每种应用确立一个独特的中断优先级方案。

提供以下中断源：

- 电源电压监视器
- 外部中断22到0
- 定时器2、1、0
- 串口1、0
- 看门狗定时器
- RTC定时和亚秒闹钟
- SPI
- I²C
- ADC

当检测到使能的中断时，软件跳至指定的中断向量地址，该地址为该中断预留。接着该地址上的用户应用代码将运行程序送至用户定义的中断程序。

I/O端口

微控制器使用C类和D类双向I/O端口，端口类型在MAXQ系列用户指南(English only)中进行了说明。每个端口都有八个独立的、通用I/O引脚和三个配置/控制寄存器。许多引脚支持如定时器或中断等的复用功能，并且由专门的外设寄存器使能、控制和监视。使用第二功能时相应引脚会自动将引脚转换至该功能，并取代通用I/O功能。

C类端口引脚具有施密特触发器接收器和全CMOS输出驱动器，并能够支持第二功能。当定义为输入时，引脚为高阻或弱上拉，这取决于输出寄存器中相应位的状态。

D类端口引脚具有施密特触发器接收器和全CMOS输出驱动器，并能够支持第二功能。当定义为输入时，引脚为高阻或弱上拉，这取决于输出寄存器中相应位的状态。所有D类端口引脚都具有中断能力。C/D类端口引脚原理图参见图6。

16位混合信号微控制器，提供LCD接口

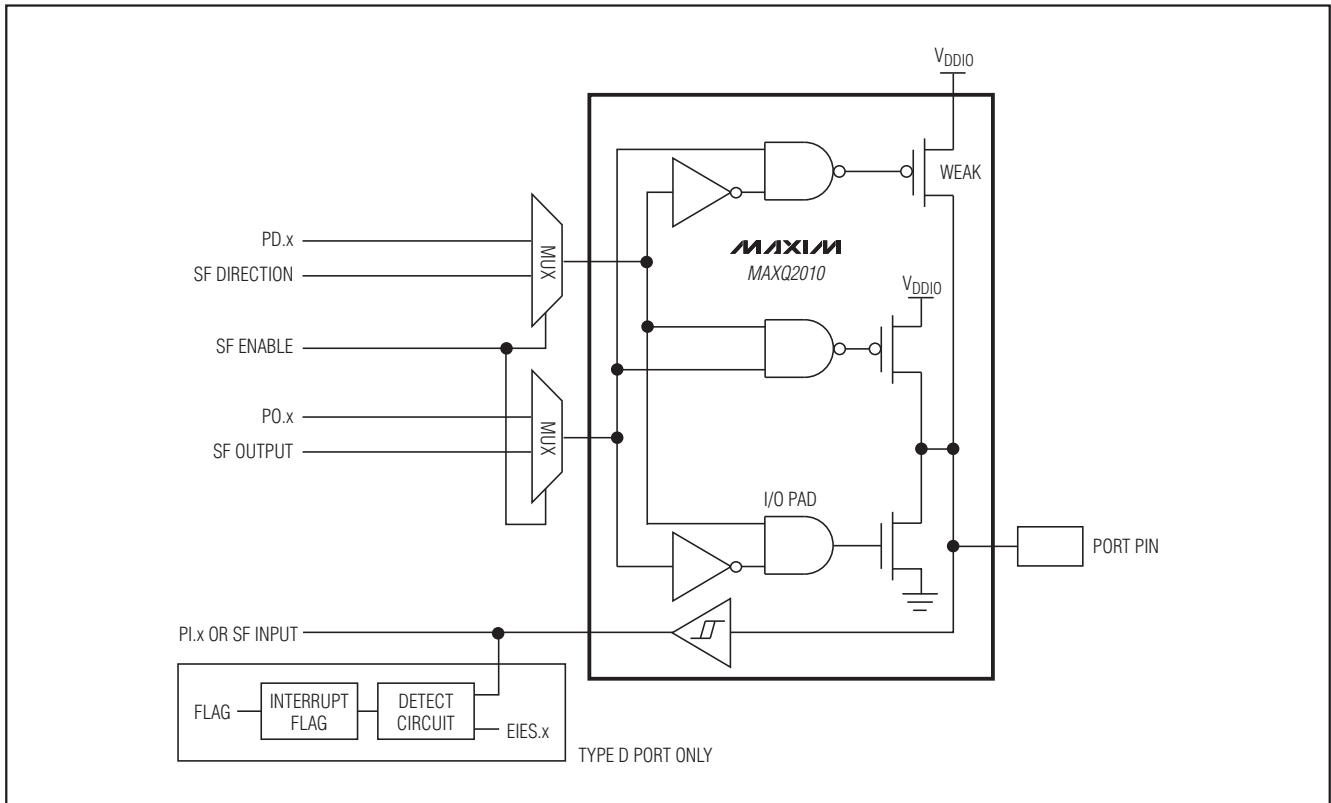


图6. C/D类端口引脚原理图

电源电压监视器

电源电压监视器可检测到电源电压是否低于用户选定的电平。可对微控制器进行编程，以便在出现该情况下产生中断通知系统。通过电源电压门限值(SVTH)来设置检测电平，门限电平范围为2.7V至3.5V，步长为0.1V。设置SVMEN位为1，使能电源电压监视器。一旦监测电路稳定并准备就绪，电源电压监视器就绪(SVMRDY)标志位置为1。默认的设置点为2.7V (SVTH[3:0] = 07h)。必须注意，勿将设置点电压设置到低于2.7V，那样的话SVM中断可能不会发生，原因是欠压监视器可能先被激活。

电源电压降至低于门限电压且电源电压监视器中断使能(SVMIE = 1)时，电源电压监视器产生一个返回信号。

如果电源电压监视器停止模式使能位(SVMSTOP)设置为1，电源电压监视器在停止模式下继续保持工作。如果SVM外设已使能，清零SVMSTOP位将禁止电源电压监视器进入停止模式。如果停止模式期间电源电压监视器被使能，则SVM中断使能(SVMIE = 1)可使处理器退出停止模式。

串行外设

微控制器包含了两路独立的USART以及I²C主机/从机和SPI主机通讯端口。

USART串行端口

独立的USART提供发送和接收信号，配合外部RS-232线驱动器/接收器使用时，能方便地和其它支持RS-232接口的设备、PC以及串行调制解调器进行通讯。双路独立的USART能够同时和两个单独的外围设备以不同的波特率通讯。USART能够检测到帧错误，并通过一个用户可访问的软件位来指示该情况。

串行端口的时基来自于系统时钟分频或是专用的波特率时钟发生器。表1总结了每种模式的工作特性。

16位混合信号微控制器，提供LCD接口

I²C总线

微控制器内置一路I²C总线主机/从机，用于同其它具有I²C接口的外设进行通信。I²C总线为2线双向总线，具有串行数据线(SDA)和串行时钟线(SCL)两条总线，以及一条地线。SDA和SCL线必须采用集电极/漏极开路输出，需要如图3所示的外部电阻将其上拉至逻辑高电平。

MAXQ2010应用十分灵活，同时支持主机和从机协议。主机模式下，器件拥有I²C总线的控制权，产生时钟信号以及START和STOP信号，允许向从机发送数据或者从从机接收数据。从机模式下，MAXQ2010依靠外部产生的时钟驱动SCL，仅响应I²C主机要求的数据和命令。

串行外设接口(SPI)

集成的SPI提供一个独立的串行通信通道，用于在多主机或多从机系统中与外设同步通信。该接口通过4线、全双工串行总线访问，可以工作在主机模式或从机模式。当两个或多个主机同时尝试数据传输时，该接口还具有冲突检测功能。

SPI主机的最大传输速率是Sysclk/2。作为SPI从机工作时，MAXQ2010的传输速率最高可达Sysclk/4。数据以8位或16位进行传输，MSB在前。此外，SPI模块允许通过从机选择输入配置SSEL的状态。

表1. 串行端口工作特性

MODE	TYPE	START BITS	DATA BITS	STOP BIT
Mode 0	Synchronous	—	8	—
Mode 1	Asynchronous	1	8	1
Mode 2	Asynchronous	1	8 + 1	1
Mode 3	Asynchronous	1	8 + 1	1

实时时钟

一个二进制的实时时钟(RTC)以秒为单位及1/256秒的分辨率进行计时。32位秒计数器可以计时约136年，并能够通过应用软件转换成日历格式。定时闹钟和独立的亚秒闹钟能产生中断，或从停止模式唤醒器件。

独立的亚秒闹钟运行于同一个RTC，并允许应用产生周期性的中断，中断的最小时间间隔约3.9ms。这样就在不降低性能的情况下构建了一个可用于长周期测量的附加定时器。传统上，长时间周期的测量要使用较短的多重中断来实现。每一个定时器中断都需要服务，而伴随每一次中断都会减慢系统运行。通过使用RTC亚秒定时器作为长周期定时器，只需要一次中断，从而消除了使用短定时器对性能造成的影响。

一个内部晶体振荡器通过集成的6pF负载电容为RTC提供时钟，当与额定负载电容为6pF的32.768kHz晶体一起工作时能够实现最佳性能。无需外接负载电容。通过为RTC提供一个外部时钟源可以获得更高的精度。

可编程定时器

微控制器包含了三个16位可编程定时器/计数器B外设，表示为TB0、TB1和TB2。可以实现计数器/定时器/捕获/比较/PWM等功能，从而可对内部和外部事件精确控制。定时器/计数器支持时钟输入预分频、设置/复位/触发PWM/输出控制功能，这些操作是其它MAXQ定时器所不具备的。新的寄存器TBC在特定执行过程中支持特定的PWM/输出

16位混合信号微控制器，提供LCD接口

控制功能。定时器/计数器B极佳特性之一是其计数范围从0000h至存储在16位捕获/重装寄存器(TBR)中的值；其它执行过程中(如定时器1)，计数范围从重装寄存器中的值到FFFFh。这些定时器的详细说明参见MAXQ系列用户指南(English only)。

定时器B工作模式如下所示：

- 自动重装
- 通过外部引脚自动重装
- 通过外部引脚捕获
- 通过外部引脚上/下计数
- 向上计数PWM/输出
- 上/下PWM/输出
- TBB引脚上时钟输出

看门狗定时器

内部的看门狗定时器大大地提高了系统的可靠性。如果软件执行受到扰乱，定时器会复位器件。看门狗定时器是一个自由运行的计数器，并可由应用软件进行周期性复位。如果软件工作正常，那么此计数器会被周期性复位，并且永远不会达到最大计数值。然而，如果软件工作中断，那么定时器不再复位，从而触发系统复位和可选的看门狗定时器中断。这就保护系统不受那些会引起不可控处理器操作的电气噪声或静电放电(ESD)干扰的损害。早期设计带有外部看门狗器件，内部看门狗定时器是对这些设计的改进升级，在降低系统成本的同时也提高了可靠性。

看门狗定时器通过WDCN寄存器中的位来控制。在缺省模式下，它的超时周期可以设置成四个可编程时间间隔之一，范围在 2^{12} 至 2^{21} 个系统时钟周期之间，这为支持不同类型的应用提供了灵活性。中断发生在复位前的512个系统时钟，这就允许系统在器件进行全面系统复位前执行中断程序并将系统置于一个已知的安全状态。在8MHz时钟频率时，依据系统时钟模式的不同，看门狗超时周期可以编程为512 μ s至67s之间。

硬件乘法器

内部硬件乘法器模块支持高速乘法。乘法器配合48位累加器能在一个周期内完成一个16位 x 16位乘法和累加/减法操作。乘法器为定点算术单元。操作数可以是有符号数也可以是无符号数，但必须要在装载操作数寄存器之前通过应用软件定义数据类型。

可执行7种不同的乘法操作，而无需微控制器核的直接干预。硬件乘法器支持以下操作：

- 无符号数16位乘法
- 无符号数16位乘法及累加
- 无符号数16位乘法及减法
- 有符号数16位乘法
- 有符号数16位乘法及取反
- 有符号数16位乘法及累加
- 有符号数16位乘法及减法

每一个上述这些操作均由6个SFR寄存器控制和访问。8位乘法器控制寄存器(MCNT)选择工作、数据类型、操作数计数、可选的基于硬件的平方功能、MC寄存器上的写选项、溢出标志以及操作数寄存器和累加器的清零控制。数据的装载和卸载通过5个16位SFR寄存器实现。

计算时仅需一个时钟周期。这意味着运算的结果将在操作数装载完的下一个时钟周期准备就绪。背靠背操作可以不用等待操作之间的状态，与数据类型和操作数计数无关。

模数转换器

MAXQ2010包含一个12位逐次逼近式模数转换器(ADC)，带有模拟复用器(图7)。该复用器从8路单端通道或4路差分通道选择ADC输入。内部精密带隙基准可用作ADC基准电压，或者外接基准电压。另外，模拟电源电压(AVDD)也可用作电压基准。ADC工作于2.7V至3.6V电源电压范围，转换速率高达300ksps。

ADC模块包括12位SAR核、ADC控制、基准发生器以及16个12位数据缓冲区组成的循环模块。ADC由SFR寄存器控制。自动扫描功能允许用户选择多达8路采样通道，用于在16个存储器位置存储。

提供两种转换模式：单序列模式和连续序列模式。

当转换完成时(ADCONV = 0)，ADC的内部电源管理系统自动断电。开始转换位ADCONV用来启动所有转换过程。如果ADC电源管理控制位清零(ADPMO = 0)，ADC在开始第一个转换前等待20个ADCCLK时钟。这样允许ADC有足够的建立时间。

如果ADPMO = 1，ADC转换在ADCONV置为1时立即启动。器件进入PMM或停止模式时，ADC工作中止。

16位混合信号微控制器，提供LCD接口

ADCONV位在转换过程的开始时被置位，并且保持该设置直到转换过程完成为止。在单序列时序中，该位保持设置，直到ADC完成序列中最后一个通道的转换。在连续序列模式中，ADCONV位保持置位，直到连续序列模式停止为止。将ADCONV位置0时，在当前ADC转换完成后停止ADC操作。新数据写入数据缓冲器。

A/D转换完成需要16个ADCCLK周期。16个ADCCLK周期的3个用于采样捕捉。ADCCLK从带分频比的系统时钟获得，分频比由ADC时钟分频位(ADCCLK)决定。因此，用16个ADCCLK采样一个数据，最快的ADC速率 = 系统时钟/16 (ADCCLK = 0h, ADACQEN = 0h)。采用10MHz系统时钟时，该理论值等效为10MHz/16Msps。注意，实际上ADC转换速率限制为300ksps。

如果使能ADC的有效数据中断(ADDAIE = 1)，则当ADDAI = 1时，器件向CPU发出中断。一旦置位，通过软件写0或在ADCONV置1开始转换过程时，可将ADDAI清零。数据有效中断标志(ADDAI)可用ADC数据有效中断间隔位(ADDAINV)来进行选择性地设置。ADDAI可设置为1、2、3、4、5、6、7、8、12或16个采样间隔。对于采用单个

配置寄存器的序列，ADDAINV = 00的配置产生一个与ADDAINV = 01同样的间隔。这两种配置在每个ADC采样时设置ADDAI。当ADDAI被设置后，由ADC写入的最后一个存储器位置将也会写到ADDADDR。

LCD控制器

MAXQ2010微控制器包含了一个LCD控制器，可与常见的低压显示器连接。由于在微控制器中集成了LCD控制器，设计仅仅需要一个LCD屏而不是昂贵的LCD模块。LCD屏上的每一个字符都是由一个或多个段组成的，其中每一段都是通过选择适当的段和公共信号激活的。微控制器能够复用最多43段(SEG0–SEG42)输出和四个公共信号输出(COM0–COM3)。未使用的段输出可以用作通用端口引脚。

通过写专用的显示存储器可以方便地进行段寻址。一旦完成了LCD控制器设置和显示存储器初始化，就会周期性地扫描21字节的显示存储器，并以选定的显示频率自动生成段和公共信号。当LCD控制器工作时，不需要额外的处理器开销。未使用的显示存储器可以用作通用存储器。

无论采用V_{DDIO}或外部电压供电，由于包含了软件可调的

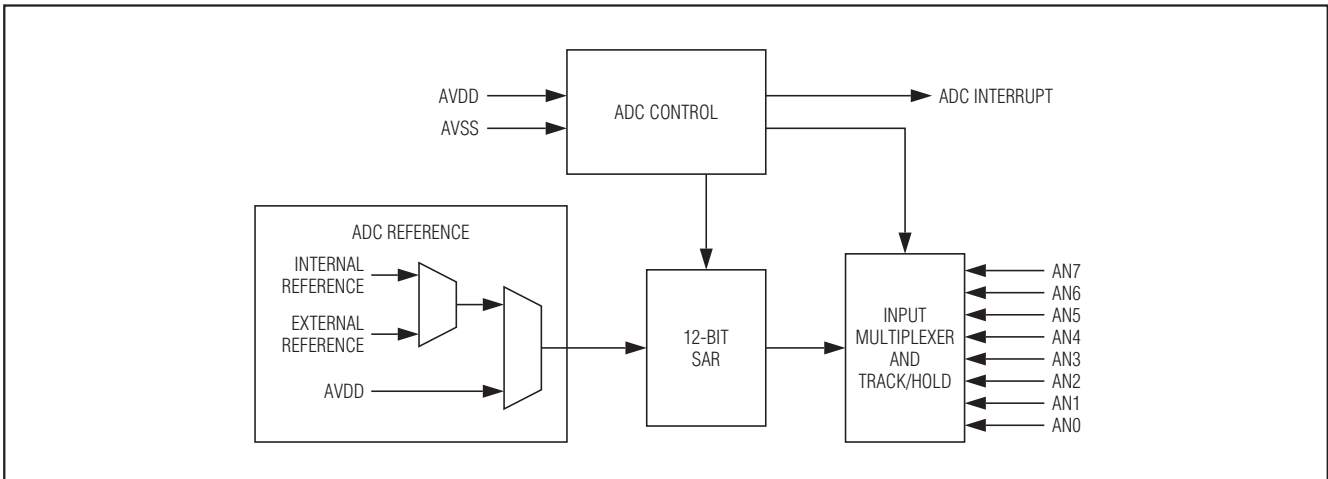


图7. ADC方框图

16位混合信号微控制器，提供LCD接口

内部分压器来控制显示对比度，从而进一步简化设计并且降低成本。如果需要，也可以通过一个外部电阻来控制对比度。LCD控制器的特性包括以下方面：

- 自动产生LCD段和公共驱动信号
- 支持四种显示模式：
 - 静态(COM0)
 - 使用1/2偏置电压的1/2占空比复用(COM[0:1])
 - 使用1/3偏置电压的1/3占空比复用(COM[0:2])
 - 使用1/3偏置电压的1/4占空比复用(COM[0:3])
- 最多43个段输出以及四个公共信号输出
- 21字节(168位)显示存储器
- 灵活的LCD时钟源，可选32kHz或HFC1k/512
- 可调帧频率
- 内部分压电阻可省去外部元件
- 通过内部可调电阻进行对比度调节，无需外部元件

给出的简单段式LCD显示屏接口示例，表明和MAXQ2010微控制器接口只需要极少硬件。控制一个两字符的LCD，每个字符包括七段和一个小数点。LCD控制器配置为1/2占空比的操作模式，这意味着通过使用段信号组合来控制

有效段，并使用COM0或COM1信号来选择有效显示。参见图8。

在线调试

通过JTAG兼容的TAP可提供嵌入式调试功能。嵌入式调试硬件和嵌入式ROM固件为用户应用提供了在线调试的功能，省去了昂贵的在线仿真器。图9给出了在线调试器的方框图。在线调试特性包括：

- 一个硬件调试引擎。
- 一组能够为寄存器、代码或数据访问设置断点的寄存器。
- 一套存储在固定用途ROM中的调试服务程序。

嵌入式硬件调试引擎是微控制器中的一个独立硬件模块。调试引擎能够在CPU执行用户代码时监视内部活动并和所选择的内部寄存器进行交互。硬件和软件功能共同决定了两种基本的在线调试模式：

- 后台模式允许主控器在CPU继续全速执行应用软件的同时来配置和设定在线调试器。可以从后台模式唤醒调试模式。
- 调试模式允许调试引擎接管对CPU的控制，提供对内部寄存器和存储器的读写访问，以及单步跟踪操作。

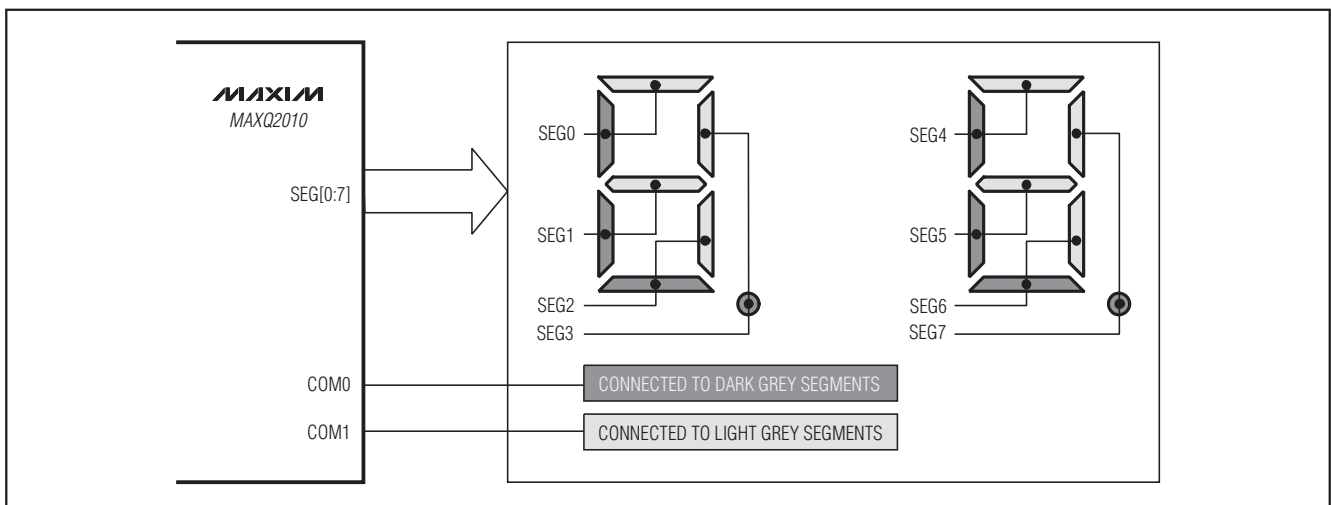


图8. 双字符、1/2占空比LCD接口实例

16位混合信号微控制器，提供LCD接口

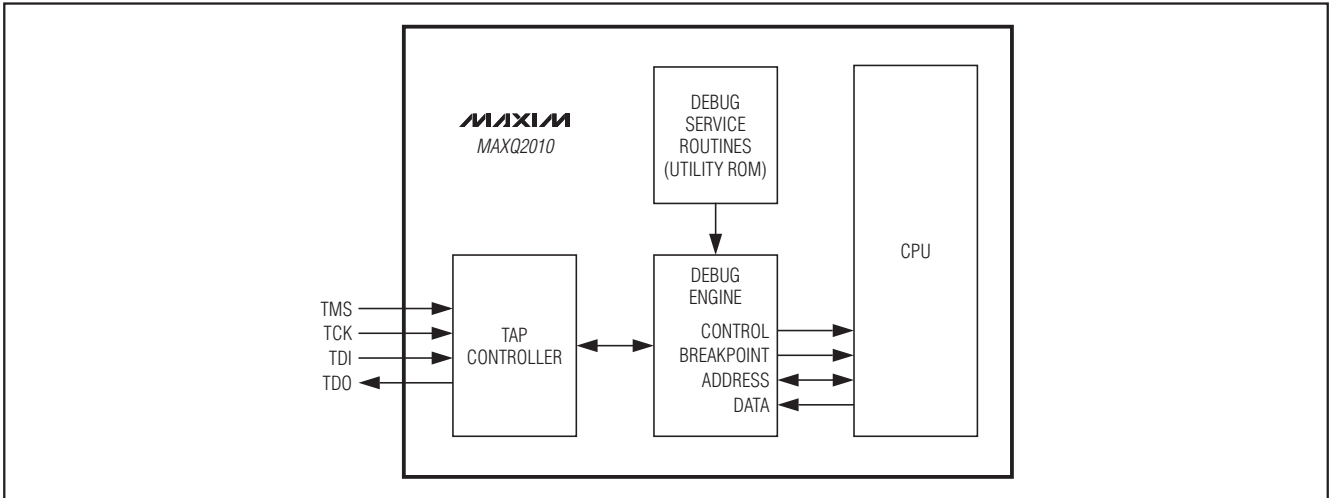


图9. 在线调试器

应用信息

该器件的低功耗、高性能RISC结构使其非常适合很多需要高效计算的便携式或电池供电的应用。高吞吐量的内核再加上一个16位硬件乘法器-累加器，能够实现复杂运算。多种外围接口对应用非常有益，使得微控制器可以和许多外部设备进行通讯。集成的LCD控制功能支持最多160段，可以支持复杂的用户接口。可直接驱动显示器而无需额外的外部硬件。可以使用内置的可调电阻调节对比度。简单的结构减少了元件数量和电路板空间，这些都是便携式系统设计中的关键因素。

MAXQ2010非常适合包括医疗仪器、便携式血糖设备和数据采集设备在内的应用。对于血糖测量，微控制器集成的SPI接口能够直接和用于测量试纸的模拟前端相连。

接地和旁路

仔细的PCB布局将显著降低模拟输入上的噪声，从而降低可能导致错误操作的数字I/O噪声。很有必要采用多层板，

以便使用专用的电源层。如果可能，数字元件下的区域应为连续的接地层。保证旁路电容走线尽量短，以实现最佳噪声抑制；并且将电容尽可能地靠近器件放置。

必须为模拟(AGND)信号和数字(DGND)信号提供独立的接地层，并用单点连接在一起。

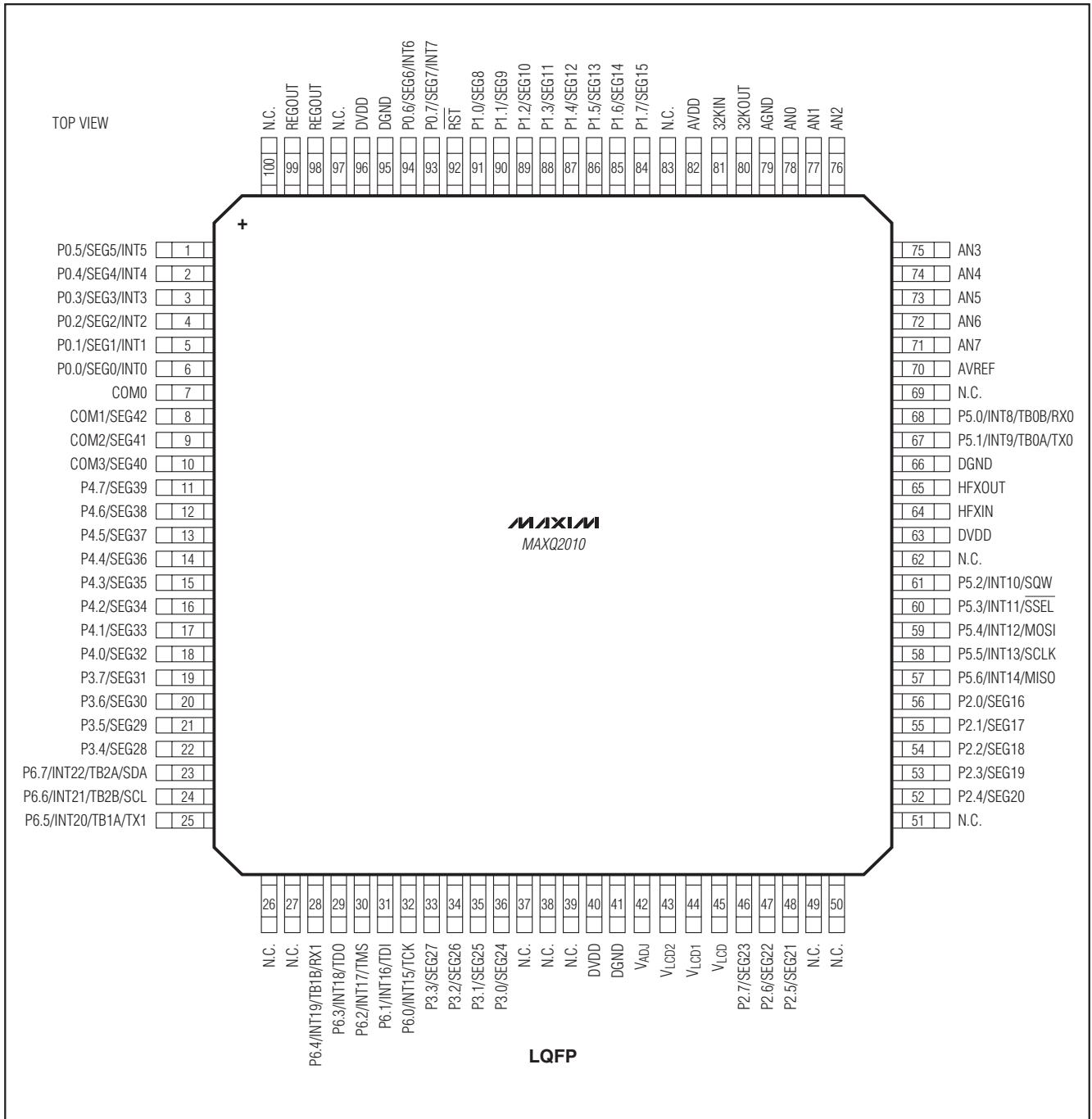
所有半导体的CMOS设计准则要求引脚上电压不超过 V_{DVDD} 或低于DGND。违反该规则将导致硬件失效(损坏器件内部的硅片)或软件故障(改写存储器内容)。电压尖峰脉冲超出或低于器件的极限参数时可能会导致破坏性的IC闭锁。

微处理器通常会在其电源引脚或通用I/O引脚处出现负压尖峰脉冲。电源引脚上的负压尖峰脉冲将是非常严重的问题，因为它们会直接耦合进入内部电源总线。例如键盘这样的设备，会产生静电放电直接进入微控制器，从而严重损坏器件。系统设计人员必须保护元件不受这些会导致损坏系统存储器的瞬态干扰影响。

16位混合信号微控制器，提供LCD接口

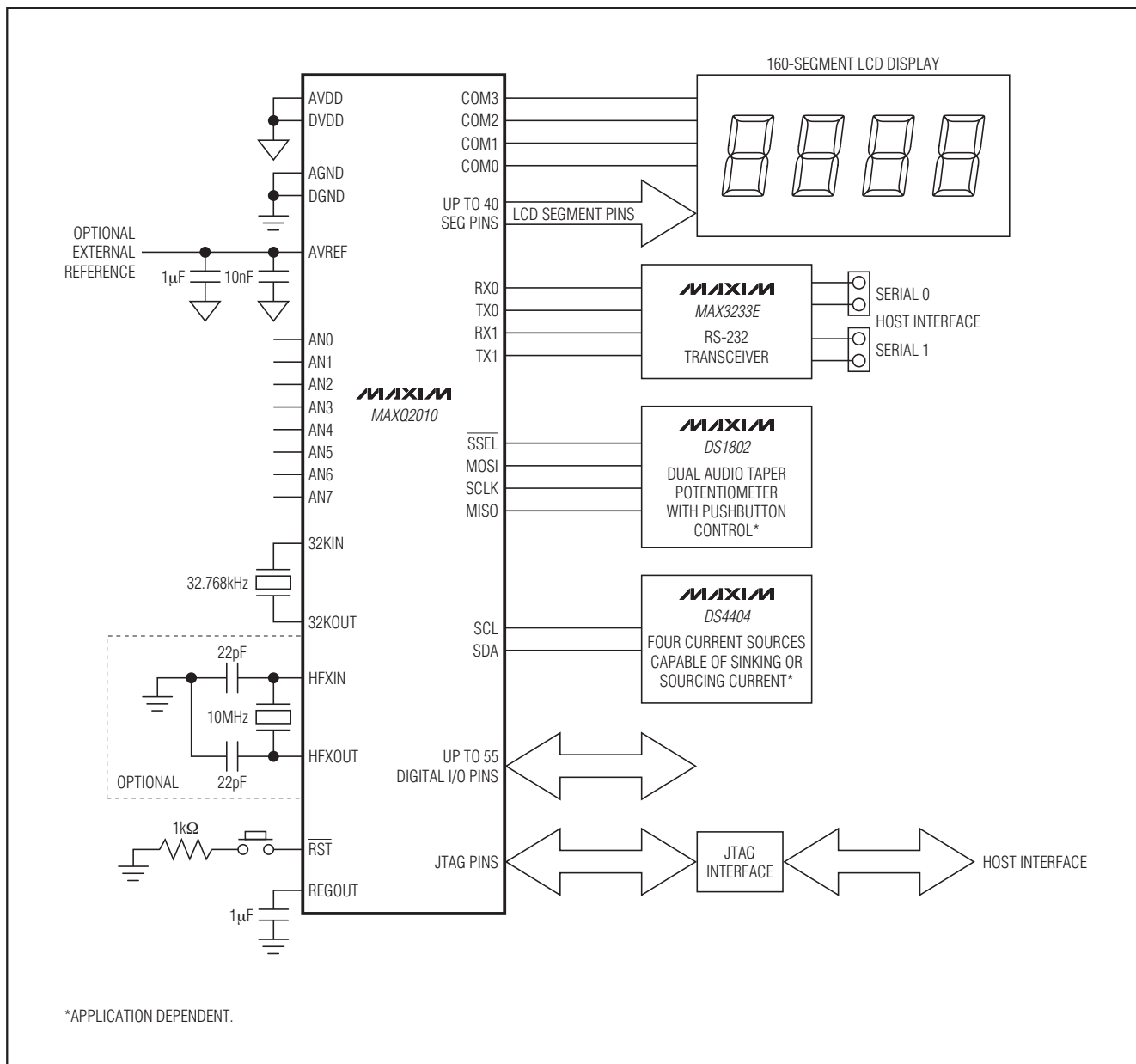
引脚配置

MAXQ2010



16位混合信号微控制器，提供LCD接口

典型应用电路



16位混合信号微控制器，提供LCD接口

补充文档

要充分利用本器件的所有功能，设计者必须具备四个文档资料。该数据资料包含引脚说明、功能概况和电气规格。勘误表中包含的是与已出版的规格的差异之处。用户指南提供了器件功能和操作的详细信息。以下文档可以从 china.maxim-ic.com/microcontrollers 下载。

- MAXQ2010数据资料，包含电气/时序规格以及引脚说明。
- MAXQ2010详细版本勘误表，可从(china.maxim-ic.com/errata)得到。
- MAXQ系列用户指南(English only)，其中包含核心功能和操作的详细信息，包括编程功能等(china.maxim-ic.com/MAXQUG)。
- MAXQ系列用户指南：MAXQ2010补充资料(English only)，其中包含MAXQ2010特有功能的详细信息。

开发和技术支持

Maxim以及第三方供应商为该微控制器提供了多种开发工具。这些工具功能丰富、价格适中，主要包括：

- 编译器
- 在线仿真器
- 集成开发环境(IDE)
- 用于编程和调试的JTAG至串口转换器

部分开发工具提供商的列表可以从我们的网站china.maxim-ic.com/MAXQ_tools查到。

如需技术支持，请访问<https://support.maxim-ic.com/cn/micro>。

选型指南

PART	PROGRAM MEMORY (KB)	DATA MEMORY (KB)	LCD SEGMENTS	ADC CHANNELS	ADC RESOLUTION
MAXQ2010-RFX+	64	2	160	8	12

封装信息

如需最近的封装外形信息和焊盘布局，请查询 china.maxim-ic.com/packages。

封装类型	封装编码	文档编号
100 LQFP	—	21-0297

16位混合信号微控制器，提供LCD接口

修订历史

修订次数	修订日期	说明	修改页
0	7/08	最初版本。	—
1	12/08	更新标题为具有“LCD接口”。	全部
		更正了典型工作特性部分中TOC2的坐标名称。	14
		增加了 μ PIC总线和串行外设接口(SPI)部分。	26

Maxim北京办事处

北京 8328信箱 邮政编码 100083

免费电话：800 810 0310

电话：010-6211 5199

传真：010-6211 5299

Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

34 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2008 Maxim Integrated Products

Maxim是Maxim Integrated Products, Inc.的注册商标。

项目开发 芯片解密 零件配单 TEL:15013652265 QQ:38537442