

MC68HC908QY4,
MC68HC908QT4,
MC68HC908QY2,
MC68HC908QT2,
MC68HC908QY1,
MC68HC908QT1



本手册简要介绍了 MC68HC908QY4、MC68HC908QT4、MC68HC908QY2、MC68HC908QT2、MC68HC908QY1 和 MC68HC908QT1 等芯片的特性。更详细的资料请参考 MC68HC908QY4 Data Sheet (Motorola 文件编号为 MC68HC908QY4/D)。

注：此手册原文以英文写成，如对中文内容有疑问，请参照英文原文 MC68HC908QY4 Data Sheet Summary (Motorola 文件编号为 MC68HC908QY4SM/D)。

概述

MC68HC908QY_x、MC68HC908QT_x 是 MC68HC08 微控制器系列中的产品。M68HC08 是一种高性能的 8 位单片机系列，具有速度快、功能强、价格低等特点。这个系列中的所有微控制器都采用了 MC68HC08 增强型中央处理器 CPU08，而且这个系列中的产品类型多样，具有各种功能模块、存储器大小和类型、封装形式。

MC68HC908QY_x、MC68HC908QT_x 系列微控制器达到 MC 标准，订购表见表 1。

表 1. MCU 订购表

订购编号	模数转换器	FLASH 存储器	封装
MC68HC908QY1	—	1536 字节	16 引脚 PDIP 16 引脚 SOIC 16 引脚 TSSOP
MC68HC908QY2	✓	1536 字节	
MC68HC908QY4	✓	4096 字节	
MC68HC908QT1	—	1536 字节	8 引脚 PDIP 8 引脚 SOIC
MC68HC908QT2	✓	1536 字节	
MC68HC908QT4	✓	4096 字节	

温度、封装简称：

C = -40°C to +85°C

V = -40°C to +105°C (只限 V_{DD} = 5 V)

M = -40°C to +125°C (只限 V_{DD} = 5 V)

P = Plastic dual in-line package (PDIP)

DW = Small outline integrated circuit package (SOIC)

DT = Thin shrink small outline package (TSSOP)

MC68HC908QY_x、MC68HC908QT_x 系列微控制器特性

主要特性为：

- 採用高性能的 M68HC08 中央处理器
- 与 M68HC05 指令代码完全向上兼容
- 5V 或 3V 的工作电压 (V_{DD})
- 5V 时内部总线频率最高为 8MHz，3V 时内部总线频率最高为 4MHz
- 8 位字节可调整的内置振荡器，可产生 3.2MHz 的总线频率，可调范围 $\pm 5\%$
- 由 STOP 状态可以自动唤醒
- 通过 CONFIG 寄存器可以对 MCU 进行配置，包括低电压禁止 (LVI) 设置
- 具有片内 FLASH，具有 FLASH 存储器在线编程功能和保密功能 (FLASH 编程 / 擦除的电压由芯片内部电荷泵产生)
 - MC68HC908QY4 和 MC68HC908QT4 的 FLASH 存储器大小为 4096 字节
 - MC68HC908QY2，MC68HC908QY1，MC68HC908QT2 和 MC68HC908QT1 的 FLASH 存储器的大小为 1536 字节
- 128 字节的片内 RAM
- 双通道 16 位定时器模块 (TIM)
- MC68HC908QY2，MC68HC908QY4，MC68HC908QT2 和 MC68HC908QT4 具有 4 路 8 位模数转换器 (ADC)
- 5 个或 13 个双向 I/O 口，一个单向输入口：
 - 所有 I/O 口都具有很强的吸电流和放电流力能
 - 所有 I/O 口内部上拉可选
- 6 位键盘中断，具有唤醒的特点
- 低电压禁止模块 (LVI) 具有软件可选的特点，由 CONFIG 寄存器进行设置
- 系统保护特性：
 - 设计算机工作正常 (COP) 复位
 - 低电压检测复位
 - 非法指令码检测复位
 - 非法地址检测复位
- 带有内部上拉的外部异步中断引脚 (\overline{IRQ})，此引脚与通用输入引脚复用
- 复位引脚 (\overline{RST})，与通用 I/O 口复用
- 上电复位
- \overline{IRQ} 和 \overline{RST} 引脚的内部上拉可以降低外围路的复杂性
- 存储器映射 I/O 寄存器

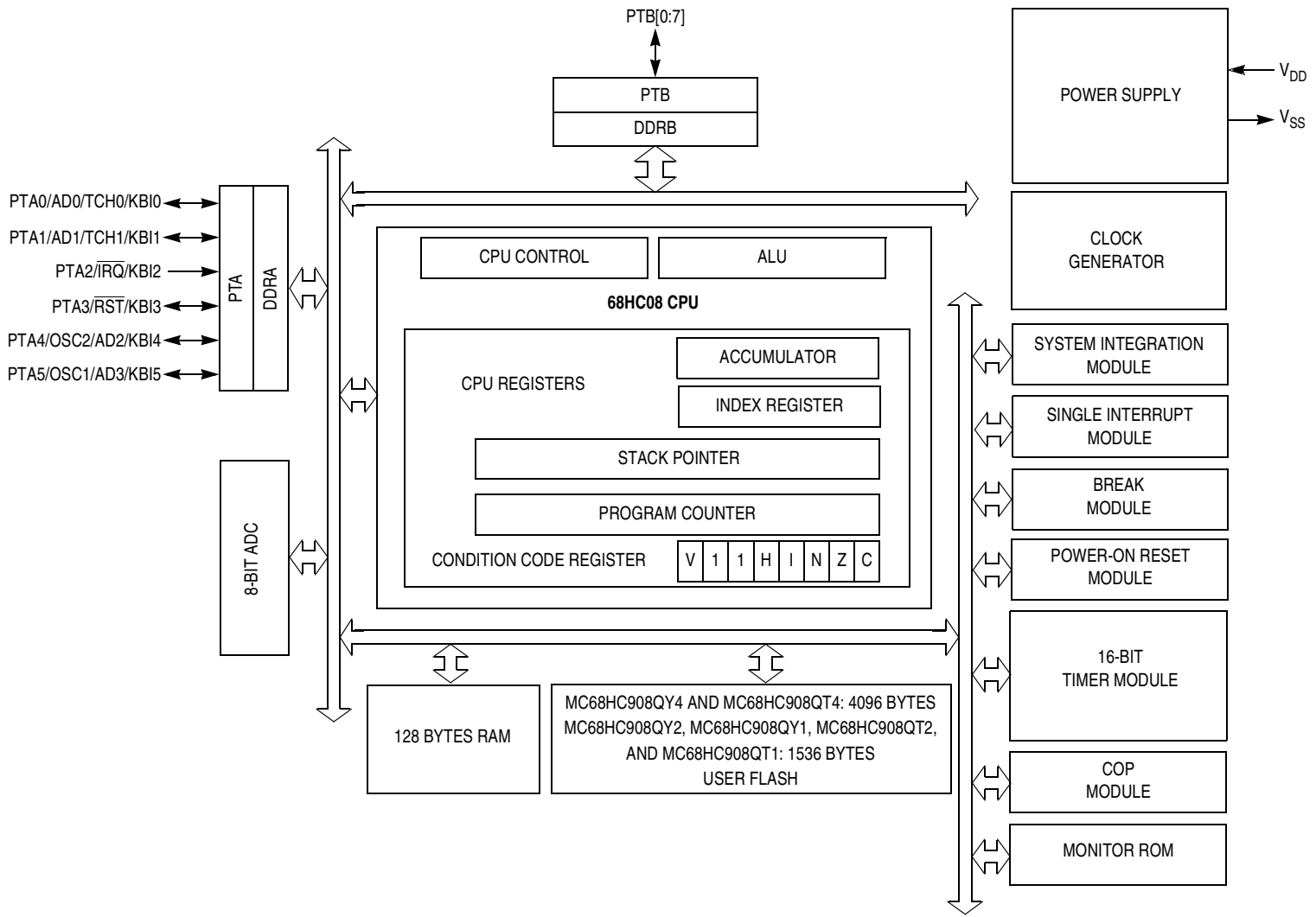
- WAIT 和 STOP 低功耗模式
- MC68HC908QY4, MC68HC908QY2 和 MC68HC908QY1 具有以下封装：
 - 16 引脚 PDIP
 - 16 引脚 SOIC
 - 16 引脚 TSSOP
- MC68HC908QT4, MC68HC908QT2 和 MC68HC908QT1 具有以下封装：
 - 8 引脚 PDIP
 - 8 引脚 SOIC

微控制器结构框图

MC68HC908QY_x、MC68HC908QT_x 系列微控制器结构框图如[图 1](#)所示。

存储器空间分配

中央处理器 CPU08 能够寻址 64K 的存储器空间，存储器的空间分配如[图 3](#)所示。大部分的状态、控制和数据寄存器都位于 \$0000-\$003F 内。中断向量表如[表 3](#)所示。

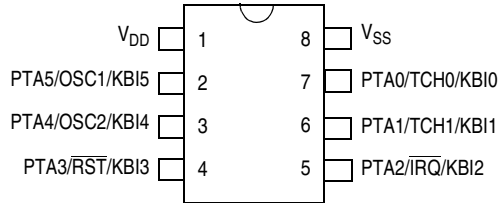


\overline{RST} , \overline{IRQ} : Pins have internal (about 30K Ohms) pull up
 PTA[0:5]: High current sink and source capability
 PTA[0:5]: Pins have programmable keyboard interrupt and pull up
 PTB[0:7]: Not available on 8-pin devices – MC68HC908QT1, MC68HC908QT2, and MC68HC908QT4

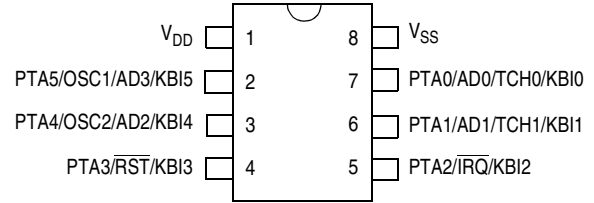
图 1. MC68HC908QYx、MC68HC908QTx 系列微控制器结构框图

MC68HC908QY4 • MC68HC908QT4 • MC68HC908QY2 • MC68HC908QT2 • MC68HC908QY1 • MC68HC908QT1

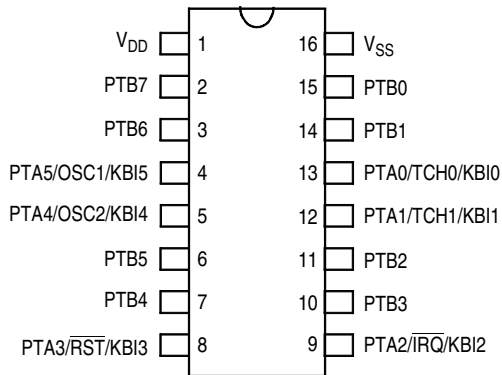
引脚分配



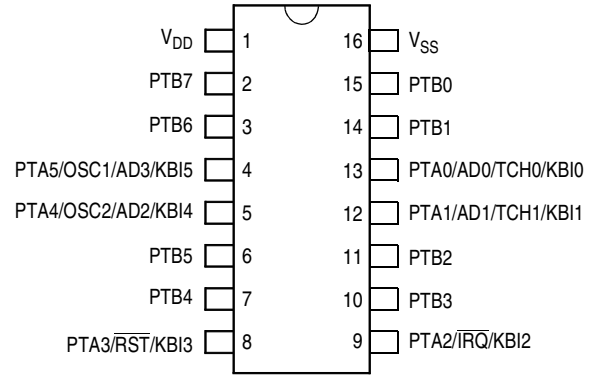
8 引脚分配
MC68HC908QT1 PDIP/SOIC



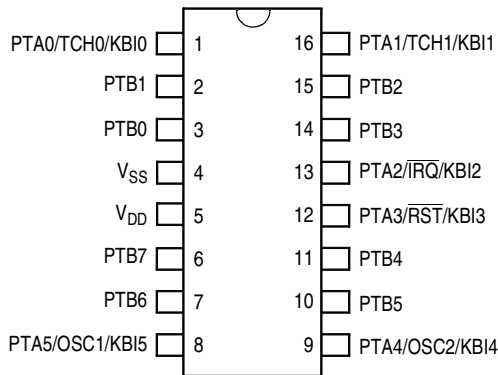
8 引脚分配
MC68HC908QT2 和 MC68HC908QT4 PDIP/SOIC



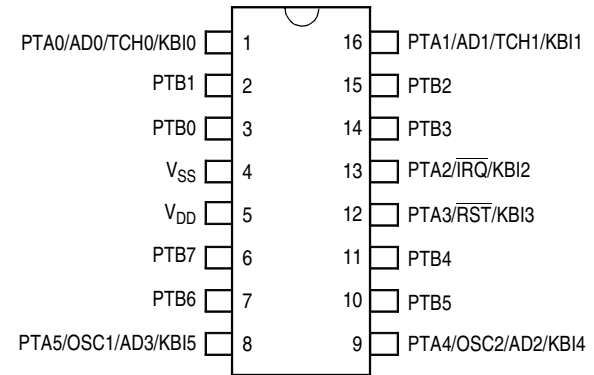
16 引脚分配
MC68HC908QY1 PDIP/SOIC



16 引脚分配
MC68HC908QY2 和 MC68HC908QY4 PDIP/SOIC



16 引脚分配
MC68HC908QY1 TSSOP



16 引脚分配
MC68HC908QY2 和 MC68HC908QY4 TSSOP

图 2. 引脚分配

MC68HC908QY4•MC68HC908QT4•MC68HC908QY2•MC68HC908QT2•MC68HC908QY1•MC68HC908QT1

引脚功能描述

表 2. 引脚功能描述

Pin Name	Description	Input/Output
V _{DD}	Power supply	Power
V _{SS}	Power supply ground	Power
PTA0	PTA0 — General purpose I/O port	Input/Output
	AD0 — ADC channel 0 input	Input
	TCH0 — Timer Channel 0 I/O	Input/Output
	KBI0 — Keyboard interrupt input 0	Input
PTA1	PTA1 — General purpose I/O port	Input/Output
	AD1 — ADC channel 1 input	Input
	TCH1 — Timer Channel 1 I/O	Input/Output
	KBI1 — Keyboard interrupt input 1	Input
PTA2	PTA2 — General purpose input-only port	Input
	\overline{IRQ} — External interrupt with programmable pullup and Schmitt trigger input	Input
	KBI2 — Keyboard interrupt input 2	Input
PTA3	PTA3 — General purpose I/O port	Input/Output
	\overline{RST} — Reset input, active low with internal pullup and Schmitt trigger	Input
	KBI3 — Keyboard interrupt input 3	Input
PTA4	PTA4 — General purpose I/O port	Input/Output
	OSC2 — XTAL oscillator output (XTAL option only) RC or internal oscillator output (OSC2EN = 1 in PTAPUE register)	Output Output
	AD2 — ADC channel 2 input	Input
	KBI4 — Keyboard interrupt input 4	Input
PTA5	PTA5 — General purpose I/O port	Input/Output
	OSC1 — XTAL, RC, or external oscillator input	Input
	AD3 — ADC channel 3 input	Input
	KBI5 — Keyboard interrupt input 5	Input
PTB[0:7] ⁽¹⁾	8 general-purpose I/O ports.	Input/Output

1. The PTB pins are not available on the 8-pin packages.

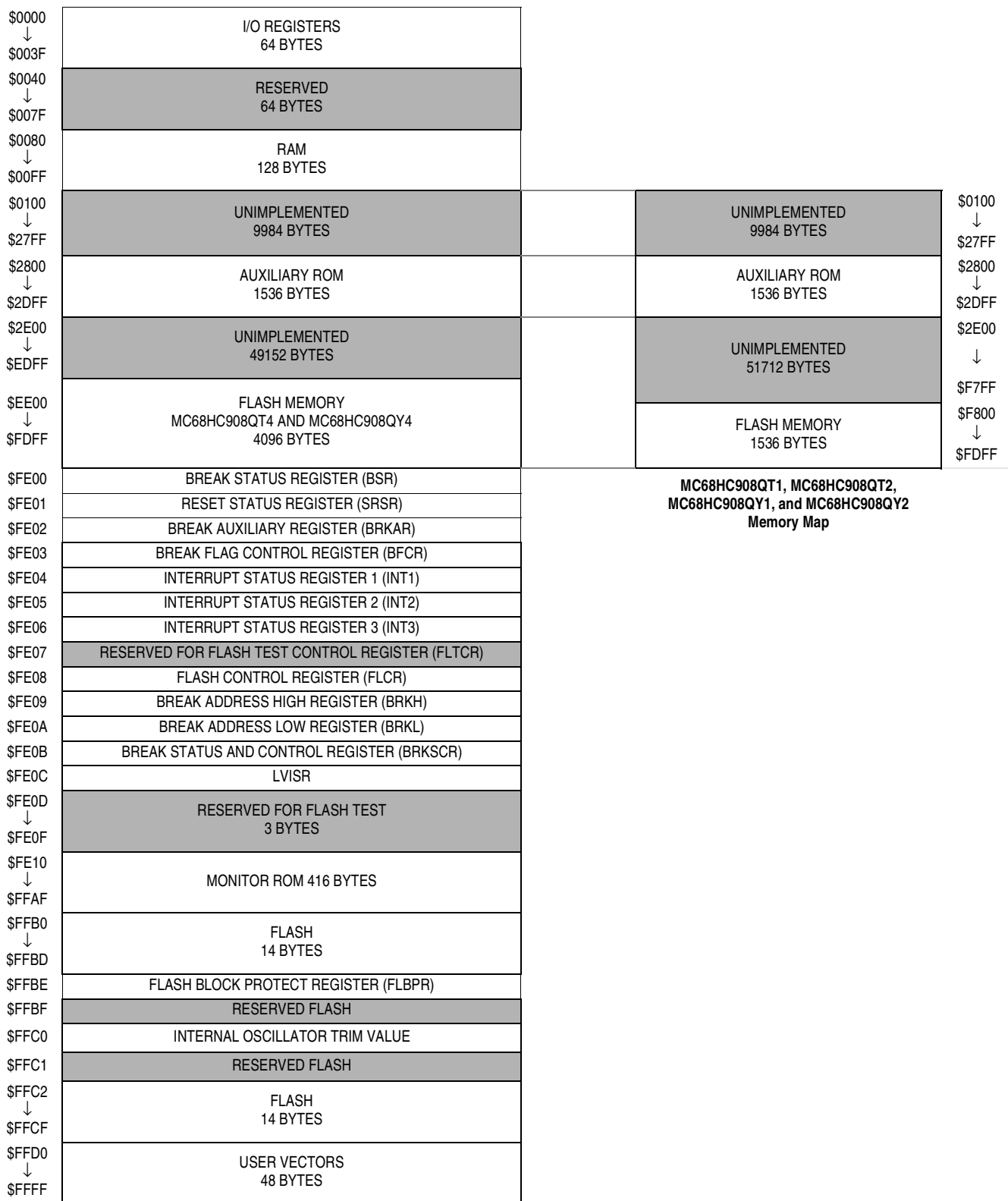


图 3. 存储器空间分配

MC68HC908QY4•MC68HC908QT4•MC68HC908QY2•MC68HC908QT2•MC68HC908QY1•MC68HC908QT1

Addr.	Register	Bit 7	6	5	4	3	2	1	Bit 0
\$0000	PTA	0	AWUL	PTA5	PTA4	PTA3	PTA2	PTA1	PTA0
\$0001	PTB	PTB7	PTB6	PTB5	PTB4	PTB3	PTB2	PTB1	PTB0
\$0002	Unimplemented								
\$0003	Unimplemented								
\$0004	DDRA	0	0	DDRA5	DDRA4	DDRA3	0	DDRA1	DDRA0
\$0006	DDRB	DDRB7	DDRB6	DDRB5	DDRB4	DDRB3	DDRB2	DDRB1	DDRB0
\$0007–\$000A	Unimplemented								
\$000B	PTAPUE	OSC2EN	0	PTAPUE5	PTAPUE4	PTAPUE3	PTAPUE2	PTAPUE1	PTAPUE0
\$000C	PTBPUE	PTBPUE7	PTBPUE6	PTBPUE5	PTBPUE4	PTBPUE3	PTBPUE2	PTBPUE1	PTBPUE0
\$000D–\$0019	Unimplemented								
\$001A	KBSCR	0	0	0	0	KEYF	ACKK	IMASKK	MODEK
\$001B	KBIER	0	AWUIE	KBIE5	KBIE4	KBIE3	KBIE2	KBIE1	KBIE0
\$001C	Unimplemented								
\$001D	INTSCR	0	0	0	0	IRQF1	ACK1	IMASK1	MODE1
\$001E	CONFIG2	IRQPUD	IRQEN		OSCOPT1	OSCOPT0			RSTEN
\$001F	CONFIG1	COPRS	LVISTOP	LVIRSTD	LVIPWRD	LVI5OR3	SSREC	STOP	COPD
\$0020	TSC	TOF	TOIE	TSTOP	TRST	0	PS2	PS1	PS0
\$0021	TCNTH	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8
\$0022	TCNTL	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
\$0023	TMODH	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8
\$0024	TMODL	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
\$0025	TSC0	CH0F	CH0IE	MS0B	MS0A	ELS0B	ELS0A	TOV0	CH0MAX
\$0026	TCH0H	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8
\$0027	TCH0L	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
\$0028	TSC1	CH1F	CH1IE	0	MS1A	ELS1B	ELS1A	TOV1	CH1MAX
\$0029	TCH1H	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8
\$002A	TCH1L	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
\$002B–\$0035	Unimplemented								
\$0036	OSCSTAT							ECGON	ECGST
\$0037	Unimplemented								
\$0038	OSCTRIM	TRIM7	TRIM6	TRIM5	TRIM4	TRIM3	TRIM2	TRIM1	TRIM0
\$0039–\$003B	Unimplemented								
\$003C	ADSCR	COCO	AIEN	ADCO	CH4	CH3	CH2	CH1	CH0
\$003D	Unimplemented								
\$003E	ADR	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
\$003F	ADICLK	ADIV2	ADIV1	ADIV0	0	0	0	0	0

 = Unimplemented or Reserved

图 4. 控制、状态、数据寄存器

Addr.	Register	Bit 7	6	5	4	3	2	1	Bit 0
\$FE00	BSR							SBSW	
\$FE01	SRSR	POR	PIN	COP	ILOP	ILAD	MODRST	LVI	0
\$FE02	BRKAR	0	0	0	0	0	0	0	BDCOP
\$FE03	BFCR	BCFE							
\$FE04	INT1	0	IF5	IF4	IF3	0	IF1	0	0
\$FE05	INT2	IF14	0	0	0	0	0	0	0
\$FE06	INT3	0	0	0	0	0	0	0	IF15
\$FE07	Reserved								
\$FE08	FLCR	0	0	0	0	HVEN	MASS	ERASE	PGM
\$FE09	BRKH	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8
\$FE0A	BRKL	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
\$FE0B	BRKSCR	BRKE	BRKA	0	0	0	0	0	0
\$FE0C	LVISR	LVIOUT	0	0	0	0	0	0	
\$FE0D– \$FE0F	Reserved for FLASH Test								
	Reserved for FLASH Test								
\$FFBE	FLBPR	BPR7	BPR6	BPR5	BPR4	BPR3	BPR2	BPR1	BPR0
\$FFBF	Reserved								
\$FFC0	TRIMLOC	NON-VOLATILE TRIM ADJUSTMENT VALUE							
\$FFC1	Reserved								
\$FFFF	COPCTL	WRITE ANY VALUE TO RESET COP WATCHDOG							

= Unimplemented or Reserved

图 4. 控制、状态、数据寄存器

表 3. 中断向量表

优先级	标志位	地址	中断源
低 ↑ ↓ 高	IF15	\$FFDE	ADC 转换结束
		\$FFDF	
	IF14	\$FFE0	键盘中断
		\$FFE1	
	IF13 至 IF6	—	保留
	IF5	\$FFF2	定时器溢出
		\$FFF3	
	IF4	\$FFF4	定时器通道 1
		\$FFF5	
	IF3	\$FFF6	定时器通道 0
		\$FFF7	
	IF2	—	保留
	IF1	\$FFFA	IRQ 引脚
		\$FFFB	
	—	\$FFFC	软中断指令
\$FFFD			
—	\$FFFE	复位	
	\$FFFF		

FLASH 存储器模块简介

MC68HC908QY_x、MC68HC908QT_x 系列微控制器的 FLASH 存储器的大小为 4096 或 1536 字节，用户中断向量表等的大小为 80 字节。通过设置 FLASH 控制寄存器可以很容易地对 FLASH 存储器进行擦写。擦除时，每次最少可擦除 64 字节；编程写入时，每个编程周期最多可写入 32 字节（即一行）。

用户具体可以使用的存储器大小和地址范围如下：

- 对于 MC68HC908QY4 和 MC68HC908QT4，用户可以使用的存储器大小为 4096 字节，地址范围为 \$EE00-\$FDFE
- 对于 MC68HC908QY2、MC68HC908QT2、MC68HC908QY1 和 MC68HC908QT1，用户可以使用的存储器大小为 1536 字节，地址范围为 \$F800-\$FDFE
- 用户中断向量表等的地址范围为 \$FFB0-\$FFFF

注意：编程后 FLASH 位将设为 0，擦除后 FLASH 位将设为 1。FLASH 存储器的加密特性可以阻止未授权的用户查看 FLASH 存储器中的内容。

FLASH 控制寄存器 (FLCR)

FLASH 控制寄存器 (FLCR) 用于控制对 FLASH 的擦除和写入编程操作。

位：	7	6	5	4	3	2	1	0
\$FE08	0	0	0	0	HVEN	MASS	ERASE	PGM
复位：	0	0	0	0	0	0	0	0

图 5. FLASH 控制寄存器 (FLCR)

HVEN — 高压允许位

当 PGM=1 或 ERASE=1 时，用户可以通过设置 HVEN 将来自片内电荷泵的高压加到 FLASH 阵列上。

1 = 打开电荷泵并将高电压加到 FLASH 阵列上

MASS — 整体擦除控制位

该位在 ERASE=1 时有效，用于选择 FLASH 擦除操作方式。

1 = 选择整体擦除方式

0 = 选择页擦除方式

ERASE — 擦除操作控制位

该位用于设置 FLASH 编程操作为擦除操作。ERASE 位与 PGM 位之间存在互锁关系，无法同时被设置为 1。

1 = 选择擦除操作

PGM — 写入操作控制位

该位用于设置 FLASH 程操作为写入操作。

1 = 选择写入操作

FLASH 页擦除操作

FLASH 存储器每页的大小为 64 个连续的字节，开始地址为 \$XX00、\$XX40、\$XX80 或 \$XXC0。比如大小为 80 字节的用户中断向量表就包括两个 FLASH 页，分别为 \$FFB0-\$FFBF 和 \$FFC0-\$FFFF。按照下面的步骤可以擦除任何 FLASH 页。

1. 置 ERASE 位为 1，清 MASS 位为 0；
2. 读 FLASH 块保护寄存器；
3. 向被擦除的 FLASH 页内任意地址写入任意值；
4. 延时 t_{nvs} （最小为 10 μ s）；
5. 置 HVEN 位为 1；
6. 延时 t_{Erase} （最小为 1ms 或 4ms）；
7. 清 ERASE 位、MASS 位为 0；
8. 延时 t_{nvh} （最小为 5 μ s）；
9. 清 HVEN 位为 0；
10. 延时 t_{rcv} （一般为 1 μ s）后，FLASH 存储区可以被正常读取。

按照上面的步骤编程即可以擦除一页 FLASH 存储器，当然一些与擦除操作无关的操作代码也可以夹在上面的步骤中执行。进行编程和擦除操作时需要对 FLASH 存储器加高压，此时对 FLASH 存储器进行读取是不稳定的，因此对 FLASH 编程和擦除操作的代码不能放在 FLASH 存储器中执行，需要放在 RAM 等存储器中执行。

在用户的应用中，如果需要对 FLASH 存储器擦写 10000 次以上，可以使用页擦除时间为 4ms 的擦除方式，这样会有更高的长期可靠性。然而，如果在应用中对 FLASH 存储器擦写的次数少于 1000 次，并且对时间要求也很严格，那么可以使用页擦除时间为 1ms 的擦除方式。

FLASH 编程写入操作

对 FLASH 存储器写入时，是以行为单位。FLASH 存储器每行为 32 个连续的字节，开始地址为 \$XX00、\$XX20、\$XX40、\$XX60、\$XX80、\$XXA0、\$XXC0 或 \$XXE0。按照下面的步骤可以对 FLASH 存储器编程写入一行数据，但注意待写入的 FLASH 区域必须为空，即读取的内容应全为 \$FF。

1. 置 PGM 位为 1；
2. 读 FLASH 块保护寄存器；
3. 向即将被写入的 FLASH 行内的任意 FLASH 单元写入任意值；
4. 延时 t_{nvs} （最小为 10 μ s）；
5. 置 HVEN 位为 1；
6. 延时 t_{pgs} （最小为 5 μ s）；
7. 向页内目标地址写入编程数据；
8. 延时 t_{PROG} （最小为 30 μ s）；
9. 重复（7）、（8），直至同一行内各字节编程完毕；
10. 清 PGM 位为 0；
11. 延时 t_{nvh} （最小为 5 μ s）；
12. 清 HVEN 位为 0；
13. 延时 t_{rcv} （一般为 1 μ s）后，FLASH 存储区可以被正常读取。

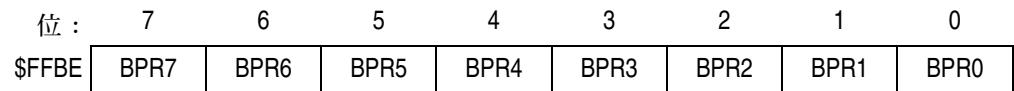
同 FLASH 擦除操作一样，FLASH 编程写入操作的代码也不可以放在 FLASH 存储器中执行，代码中也可以夹杂一些与写入操作无关的代码。

FLASH 块保护寄存器 (FLBPR)

FLASH 块保护寄存器用于设定被保护的 FLASH 区域，它本身也是一个 FLASH 字节。当 FLASH 处于保护状态时，擦除和写入操作在用户方式下都是受限制的，HVEN 将无法置位。实际上，FLASH 块保护寄存器设定的只是保护区域的起始地址，因为保护区域的结束地址始终为 FLASH 存储区的结束地址（\$FFFF）。

如果 FLBPR 的存储内容为 0，整个 FLASH 存储区都受到保护；如果 FLBPR 的存储内容为 \$FF，则整个 FLASH 存储区都可以被擦除或写入。

需要注意的是，只有当微控制器处于用户方式下时，对 FLBPR 本身和 FLASH 保护区域的擦写操作保护才是有效的。



复位： 不受复位操作影响，出厂时都被初始化为 1

图 6. FLASH 块保护寄存器 (FLBPR)

BPR[7:0] — FLASH 块保护寄存器位

这 8 位设置了 FLASH 保护区域起始地址的高 8 位，具体如下图：

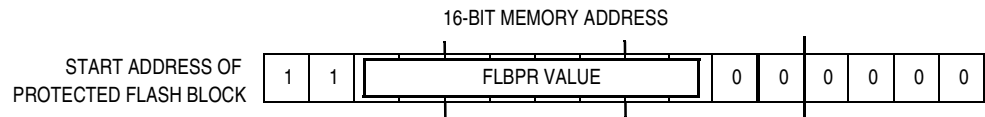


图 7. FLASH 保护区域起始地址

表 4. FLASH 保护区域起始地址举例

BPR[7:0]	Start of Address of Protect Range
\$00-\$B8	The entire FLASH memory is protected.
\$B9 (1011 1001)	\$EE40 (1110 1110 0100 0000)
\$BA (1011 1010)	\$EE80 (1110 1110 1000 0000)
\$BB (1011 1011)	\$EEC0 (1110 1110 1100 0000)
\$BC (1011 1100)	\$EF00 (1110 1111 0000 0000)
and so on...	
\$DE (1101 1110)	\$F780 (1111 0111 1000 0000)
\$DF (1101 1111)	\$F7C0 (1111 0111 1100 0000)
\$FE (1111 1110)	\$FF80 (1111 1111 1000 0000) FLBPR, OSCTRIM, and vectors are protected
\$FF	The entire FLASH memory is not protected.

CONFIG 寄存器 (CONFIG1, CONFIG2)

CONFIG 寄存器主要用于对一些功能的初始化。每次复位后，CONFIG 寄存器的大部分位会被清 0，且每次复位后 CONFIG 寄存器只能被写一次。既然需要 CONFIG 寄存器设置的一些功能会影响微控制器的运行，那么复位后最好立即设置 CONFIG 寄存器。CONFIG 寄存器随时可以被读取，地址为 \$001E 和 \$001F。

位：	7	6	5	4	3	2	1	0
\$001E	IRQPUD	IRQEN	R	OSCOPT1	OSCOPT0	R	R	RSTEN
复位：	0	0	0	0	0	0	0	U
POR:	0	0	0	0	0	0	0	0

R = Reserved U = Unaffected

图 8. CONFIG 寄存器 2 (CONFIG2)

IRQPUD — $\overline{\text{IRQ}}$ 引脚上拉禁止位

0 = 内部上拉允许，即用内部上拉电阻将 IRQ 和 VDD 引脚连接起来（在 IRQEN=1 的情况下）

IRQEN — $\overline{\text{IRQ}}$ 引脚功能选择位

1 = 设置 PTA2/ $\overline{\text{IRQ}}$ /KBI2 引脚为 $\overline{\text{IRQ}}$ 功能
 0 = 设置 PTA2/ $\overline{\text{IRQ}}$ /KBI2 引脚为 PTA2 或 KBI2 功能

OSCOPT1:OSCOPT2 — 振荡器功能选择位

(0:0) 内部振荡器
 (0:1) 外部振荡器
 (1:0) 外部 RC 振荡器
 (1:1) 外部 XTAL 振荡器

RSTEN — $\overline{\text{RST}}$ 引脚功能选择位

1 = 设置 PTA2/ $\overline{\text{RST}}$ /KBI3 引脚为 $\overline{\text{RST}}$ 功能
 0 = 设置 PTA2/ $\overline{\text{RST}}$ /KBI3 引脚为 PTA3 或 KBI3 功能

只有上电复位 (POR) 能够清除 RSTEN 位，其它复位操作不影响该位的值。

位：	7	6	5	4	3	2	1	0
\$001F	COPRS	LVISTOP	LVIRSTD	LVIPWRD	LVI5OR3	SSREC	STOP	COPD
复位：	0	0	0	0	U	0	0	0
POR:	0	0	0	0	0	0	0	0

U = Unaffected

图 9. CONFIG 寄存器 1 (CONFIG1)

COPRS (非 STOP 模式下) — COP 复位周期选择位

1 = COP 复位范围在 $(2^{13}-2^4)$ 个 BUSCLKX4 时钟周期
 0 = COP 复位范围在 $(2^{18}-2^4)$ 个 BUSCLKX4 时钟周期

为了防止由 COP 时间溢出产生的复位，可以在 COP 计时到达溢出时间之前向 COPCTL (\$FFFF) 写入任何数值。

COPRS (STOP 模式下) — 自动唤醒周期选择位

- 1 = 自动唤醒周期为 16ms
- 0 = 自动唤醒周期为 512ms

LVISTOP — STOP 模式下 LVI 允许

- 1 = STOP 模式下 LVI 允许
- 0 = STOP 模式下 LVI 禁止

LVIRSTD — LVI 复位禁止位

- 1 = 禁止 LVI 模块复位
- 0 = 允许 LVI 模块复位

LVIPWRD — LVI 电源禁止位

- 1 = 禁止 LVI 模块电源

LVI5OR3 — LVI 5V 或者 3V 操作模式选择位

- 1 = LVI 工作在 5V 模式下
- 0 = LVI 工作在 3V 模式下

只有上电复位 (POR) 能够清除 LVI5OR3 位, 其它复位操作不影响该位的值。

SSREC — 快的 STOP 模式恢复位

- 1 = 经过 32 个 BUSCLKX4 时钟周期退出 STOP 模式
- 0 = 经过 4096 个 BUSCLKX4 时钟周期退出 STOP 模式

由于 LVI 复位而退出 STOP 模式, 需要等待长的恢复时间 (4096 个 BUSCLKX4 时钟周期) 才能够退出。

STOP — STOP 指令允许位

- 1 = 允许 STOP 指令
- 0 = 禁止 STOP 指令

COPD — COP 禁止位

- 1 = 禁止 COP 模块

LVI 状态寄存器 (LVISR)

在 LVI 复位被禁止时, LVI 状态寄存器 (LVISR) 可以指示 V_{DD} 引脚的电压是否低于 V_{TRIPF} 的值。

位:	7	6	5	4	3	2	1	0
\$FE0C	LVIOUT	0	0	0	0	0	0	R
复位:	0	0	0	0	0	0	0	0
	R	= Reserved						

图 10. LVI 状态寄存器 (LVISR)

LVIOUT — LVI 指示位

V_{DD} 的电压值降到 V_{TRIPF} 以下, 该只读位会被置 1; 当 V_{DD} 电压值高于 V_{TRIPF} 时, 该只读位又会被清 0。

IRQ 状态和控制寄存器 (INTSCR)

位:	7	6	5	4	3	2	1	0
\$001D	0	0	0	0	IRQF1	ACK1	IMASK1	MODE1
复位:	0	0	0	0	0	0	0	0

图 11. IRQ 状态和控制寄存器 (INTSCR)

IRQF1 — IRQ 标志位

当 IRQ 中断请求发生时，这个只读状态位会被置 1。

1 = 有 $\overline{\text{IRQ}}$ 中断请求发生

ACK1 — IRQ 中断请求确认位

向此只写位写入 1 可以清除对 IRQ 中断的锁定。对 ACK1 读取的值总为 0。

IMASK1 — IRQ 中断屏蔽位

1 = 禁止 IRQ 中断请求

MODE1 — $\overline{\text{IRQ}}$ 中断触发方式选择位

1 = 下降沿和低电平触发中断

0 = 下降沿触发中断

SIM 复位状态寄存器 (SRSR)

这个寄存器包含了七个标志位，可以指示上一次复位时的复位源。通过读取 SIM 复位状态寄存器的动作可以清除它的所有标志位。上电复位时会置 POR 位为 1，同时清除其它位。

位:	7	6	5	4	3	2	1	0
\$FE01	POR	PIN	COP	ILOP	ILAD	MODRST	LVI	0
POR:	1	0	0	0	0	0	0	0

图 12. SIM 复位状态寄存器 (SRSR)

POR — 上电复位标志位

1 = 上一次复位是由 POR 引起的

PIN — 外部复位标志位

1 = 上一次复位是由外部复位引脚 RST 引起的

COP — 设算机工作正常复位标志位

1 = 上一次复位是由 COP 计数器溢出引起的

ILOP — 非法操作码复位标志位

1 = 上一次复位是由非法操作码引起的

ILAD — 非法地址复位标志位

1 = 上一次复位是由非法地址引起的

MODRST — 监控模式进入模块复位标志位

1 = 上一次复位是由进入监控模式引起的，即当中断向量 \$FFFE 和 \$FFFF 处的内容为 \$FF 并且 PTA2/ \overline{IRQ} =V_{DD} 时上电复位引起的

LVI — 低电压禁止复位标志位

1 = 上一次复位是由低电压禁止引起的

中断状态寄存器 (INT1, INT2, INT3)

这三个寄存器的标志位可以表明当前哪些中断源有中断请求发生。见 [表 3](#)。

位：	7	6	5	4	3	2	1	0
\$FE04	0	IF5	IF4	IF3	0	IF1	0	0
复位：	0	0	0	0	0	0	0	0
中断源：		TOF	TCH1	TCH0		\overline{IRQ}		

图 13. 中断状态寄存器 1 (INT1)

位：	7	6	5	4	3	2	1	0
\$FE05	IF14	0	0	0	0	0	0	0
复位：	0	0	0	0	0	0	0	0
中断源：	KBI							

图 14. 中断状态寄存器 2 (INT2)

位：	7	6	5	4	3	2	1	0
\$FE06	0	0	0	0	0	0	0	IF15
复位：	0	0	0	0	0	0	0	0
中断源：								ADC

图 15. 中断状态寄存器 3 (INT3)

IF_{xx} — 中断标志

这些标志位代表了 [表 3](#) 所述的相应的中断源当前是否有中断请求发生。

1 = 有中断请求发生

0 = 没有中断请求发生

中央处理器 (CPU)

图 16 描述 CPU 的 5 个寄存器。CPU 的寄存器不是存储器的一部分。

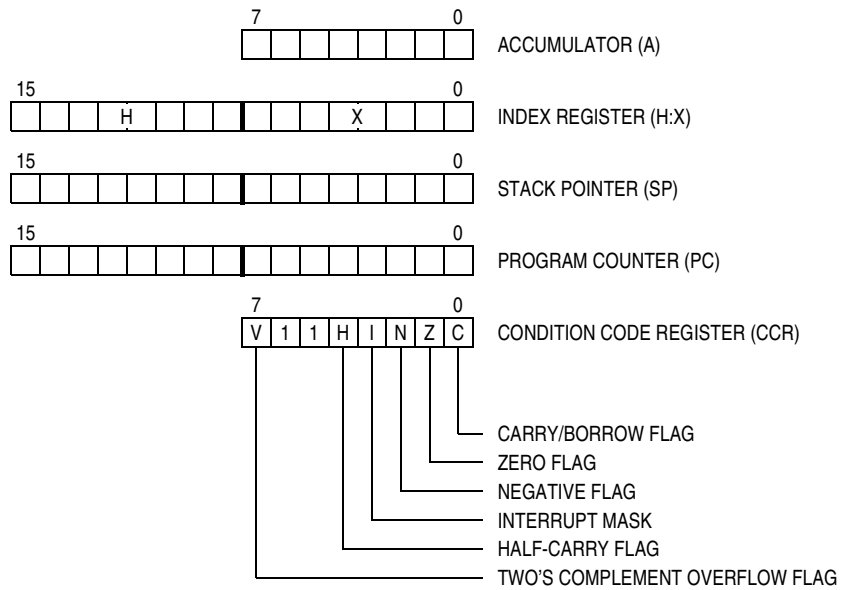


图 16. CPU 寄存器

指令系统

表 5 列出了 M68HC08 所有指令的助记符、操作、布尔表达式、寻址方式、16 进制机器码（包括操作码和操作数）、机器码字节数、执行指令所用的周期数和对状态标志位的影响。

表 5. 指令系统简表

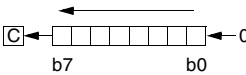
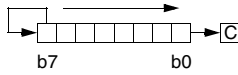
助记符	操作	布尔表达式	条件码					寻址方式	操作码	操作数	周期	
			V	H	I	N	Z					C
ADC #opr ADC opr ADC opr ADC opr,X ADC opr,X ADC ,X ADC opr,SP ADC opr,SP	Add with Carry	$A \leftarrow (A) + (M) + (C)$	↓	↓	-	↓	↓	↓	IMM DIR EXT IX2 IX1 IX SP1 SP2	A9 B9 C9 D9 E9 F9 9EE9 9ED9	ii dd hh ll ee ff ff ff ff ee ff	2 3 4 4 3 2 4 5
ADD #opr ADD opr ADD opr ADD opr,X ADD opr,X ADD ,X ADD opr,SP ADD opr,SP	Add without Carry	$A \leftarrow (A) + (M)$	↓	↓	-	↓	↓	↓	IMM DIR EXT IX2 IX1 IX SP1 SP2	AB BB CB DB EB FB 9EEB 9EDB	ii dd hh ll ee ff ff ff ff ee ff	2 3 4 4 3 2 4 5
AIS #opr	Add Immediate Value (Signed) to SP	$SP \leftarrow (SP) + (16 \ll M)$	-	-	-	-	-	-	IMM	A7	ii	2
AIX #opr	Add Immediate Value (Signed) to H:X	$H:X \leftarrow (H:X) + (16 \ll M)$	-	-	-	-	-	-	IMM	AF	ii	2
AND #opr AND opr AND opr AND opr,X AND opr,X AND ,X AND opr,SP AND opr,SP	Logical AND	$A \leftarrow (A) \& (M)$	0	-	-	↓	↓	-	IMM DIR EXT IX2 IX1 IX SP1 SP2	A4 B4 C4 D4 E4 F4 9EE4 9ED4	ii dd hh ll ee ff ff ff ff ee ff	2 3 4 4 3 2 4 5
ASL opr ASLA ASLX ASL opr,X ASL opr,X ASL ,X ASL opr,SP	Arithmetic Shift Left (Same as LSL)		↓	-	-	↓	↓	↓	DIR INH INH IX1 IX SP1	38 48 58 68 78 9E68	dd ff ff	4 1 1 4 3 5
ASR opr ASRA ASRX ASR opr,X ASR opr,X ASR opr,SP	Arithmetic Shift Right		↓	-	-	↓	↓	↓	DIR INH INH IX1 IX SP1	37 47 57 67 77 9E67	dd ff ff	4 1 1 4 3 5
BCC rel	Branch if Carry Bit Clear	$PC \leftarrow (PC) + 2 + rel ? (C) = 0$	-	-	-	-	-	-	REL	24	rrr	3
BCLR n, opr	Clear Bit n in M	$M_n \leftarrow 0$	-	-	-	-	-	-	DIR (b0) DIR (b1) DIR (b2) DIR (b3) DIR (b4) DIR (b5) DIR (b6) DIR (b7)	11 13 15 17 19 1B 1D 1F	dd dd dd dd dd dd dd dd	4 4 4 4 4 4 4 4

表 5. 指令系统简表

助记符	操作	布尔表达式	条件码					寻址方式	操作码	操作数	周期	
			V	H	I	N	Z					C
BCS <i>rel</i>	Branch if Carry Bit Set (Same as BLO)	$PC \leftarrow (PC) + 2 + rel ? (C) = 1$	-	-	-	-	-	REL	25	rr	3	
BEQ <i>rel</i>	Branch if Equal	$PC \leftarrow (PC) + 2 + rel ? (Z) = 1$	-	-	-	-	-	REL	27	rr	3	
BGE <i>opr</i>	Branch if Greater Than or Equal To (Signed Operands)	$PC \leftarrow (PC) + 2 + rel ? (N \oplus V) = 0$	-	-	-	-	-	REL	90	rr	3	
BGT <i>opr</i>	Branch if Greater Than (Signed Operands)	$PC \leftarrow (PC) + 2 + rel ? (Z) (N \oplus V) = 0$	-	-	-	-	-	REL	92	rr	3	
BHCC <i>rel</i>	Branch if Half Carry Bit Clear	$PC \leftarrow (PC) + 2 + rel ? (H) = 0$	-	-	-	-	-	REL	28	rr	3	
BHCS <i>rel</i>	Branch if Half Carry Bit Set	$PC \leftarrow (PC) + 2 + rel ? (H) = 1$	-	-	-	-	-	REL	29	rr	3	
BHI <i>rel</i>	Branch if Higher	$PC \leftarrow (PC) + 2 + rel ? (C) (Z) = 0$	-	-	-	-	-	REL	22	rr	3	
BHS <i>rel</i>	Branch if Higher or Same (Same as BCC)	$PC \leftarrow (PC) + 2 + rel ? (C) = 0$	-	-	-	-	-	REL	24	rr	3	
BIH <i>rel</i>	Branch if \overline{IRQ} Pin High	$PC \leftarrow (PC) + 2 + rel ? \overline{IRQ} = 1$	-	-	-	-	-	REL	2F	rr	3	
BIL <i>rel</i>	Branch if \overline{IRQ} Pin Low	$PC \leftarrow (PC) + 2 + rel ? \overline{IRQ} = 0$	-	-	-	-	-	REL	2E	rr	3	
BIT # <i>opr</i> BIT <i>opr</i> BIT <i>opr</i> BIT <i>opr</i> ,X BIT <i>opr</i> ,X BIT ,X BIT <i>opr</i> ,SP BIT <i>opr</i> ,SP	Bit Test	(A) & (M)	0	-	-	↑	↓	-	IMM DIR EXT IX2 IX1 IX SP1 SP2	A5 B5 C5 D5 E5 F5 9EE5 9ED5	ii dd hh ll ee ff ff ff ff ee ff	2 3 4 4 3 2 4 5
BLE <i>opr</i>	Branch if Less Than or Equal To (Signed Operands)	$PC \leftarrow (PC) + 2 + rel ? (Z) (N \oplus V) = 1$	-	-	-	-	-	REL	93	rr	3	
BLO <i>rel</i>	Branch if Lower (Same as BCS)	$PC \leftarrow (PC) + 2 + rel ? (C) = 1$	-	-	-	-	-	REL	25	rr	3	
BLS <i>rel</i>	Branch if Lower or Same	$PC \leftarrow (PC) + 2 + rel ? (C) (Z) = 1$	-	-	-	-	-	REL	23	rr	3	
BLT <i>opr</i>	Branch if Less Than (Signed Operands)	$PC \leftarrow (PC) + 2 + rel ? (N \oplus V) = 1$	-	-	-	-	-	REL	91	rr	3	
BMC <i>rel</i>	Branch if Interrupt Mask Clear	$PC \leftarrow (PC) + 2 + rel ? (I) = 0$	-	-	-	-	-	REL	2C	rr	3	
BMI <i>rel</i>	Branch if Minus	$PC \leftarrow (PC) + 2 + rel ? (N) = 1$	-	-	-	-	-	REL	2B	rr	3	
BMS <i>rel</i>	Branch if Interrupt Mask Set	$PC \leftarrow (PC) + 2 + rel ? (I) = 1$	-	-	-	-	-	REL	2D	rr	3	
BNE <i>rel</i>	Branch if Not Equal	$PC \leftarrow (PC) + 2 + rel ? (Z) = 0$	-	-	-	-	-	REL	26	rr	3	
BPL <i>rel</i>	Branch if Plus	$PC \leftarrow (PC) + 2 + rel ? (N) = 0$	-	-	-	-	-	REL	2A	rr	3	
BRA <i>rel</i>	Branch Always	$PC \leftarrow (PC) + 2 + rel$	-	-	-	-	-	REL	20	rr	3	
BRCLR <i>n,opr,rel</i>	Branch if Bit <i>n</i> in M Clear	$PC \leftarrow (PC) + 3 + rel ? (Mn) = 0$	-	-	-	-	↑	DIR (b0) DIR (b1) DIR (b2) DIR (b3) DIR (b4) DIR (b5) DIR (b6) DIR (b7)	01 03 05 07 09 0B 0D 0F	dd rr dd rr dd rr dd rr dd rr dd rr dd rr dd rr	5 5 5 5 5 5 5 5	
BRN <i>rel</i>	Branch Never	$PC \leftarrow (PC) + 2$	-	-	-	-	-	REL	21	rr	3	

表 5. 指令系统简表

助记符	操作	布尔表达式	条件码					寻址方式	操作码	操作数	周期										
			V	H	I	N	Z					C									
BRSET <i>n,opr,rel</i>	Branch if Bit <i>n</i> in M Set	$PC \leftarrow (PC) + 3 + rel ? (Mn) = 1$	-	-	-	-	-	↓	DIR (b0) DIR (b1) DIR (b2) DIR (b3) DIR (b4) DIR (b5) DIR (b6) DIR (b7)	00 02 04 06 08 0A 0C 0E	dd rr dd rr dd rr dd rr dd rr dd rr dd rr dd rr	5 5 5 5 5 5 5 5									
			BSET <i>n,opr</i>	Set Bit <i>n</i> in M	$Mn \leftarrow 1$	-	-	-	-	-	DIR (b0) DIR (b1) DIR (b2) DIR (b3) DIR (b4) DIR (b5) DIR (b6) DIR (b7)	10 12 14 16 18 1A 1C 1E	dd dd dd dd dd dd dd dd	4 4 4 4 4 4 4 4							
						BSR <i>rel</i>	Branch to Subroutine	$PC \leftarrow (PC) + 2; \text{push (PCL)}$ $SP \leftarrow (SP) - 1; \text{push (PCH)}$ $SP \leftarrow (SP) - 1$ $PC \leftarrow (PC) + rel$	-	-	-	-	-	REL	AD	rr	4				
						CBEQ <i>opr,rel</i> CBEQA # <i>opr,rel</i> CBEQX # <i>opr,rel</i> CBEQ <i>opr,X+,rel</i> CBEQ <i>X+,rel</i> CBEQ <i>opr,SP,rel</i>	Compare and Branch if Equal	$PC \leftarrow (PC) + 3 + rel ? (A) - (M) = \00 $PC \leftarrow (PC) + 3 + rel ? (A) - (M) = \00 $PC \leftarrow (PC) + 3 + rel ? (X) - (M) = \00 $PC \leftarrow (PC) + 3 + rel ? (A) - (M) = \00 $PC \leftarrow (PC) + 2 + rel ? (A) - (M) = \00 $PC \leftarrow (PC) + 4 + rel ? (A) - (M) = \00	-	-	-	-	-	DIR IMM IMM IX1+ IX+ SP1	31 41 51 61 71 9E61	dd rr ii rr ii rr ff rr rr ff rr	5 4 4 5 4 6				
									CLC	Clear Carry Bit	$C \leftarrow 0$	-	-	-	-	0	INH	98		1	
									CLI	Clear Interrupt Mask	$I \leftarrow 0$	-	-	0	-	-	INH	9A		2	
									CLR <i>opr</i> CLRA CLR X CLR H CLR <i>opr,X</i> CLR ,X CLR <i>opr,SP</i>	Clear	$M \leftarrow \$00$ $A \leftarrow \$00$ $X \leftarrow \$00$ $H \leftarrow \$00$ $M \leftarrow \$00$ $M \leftarrow \$00$ $M \leftarrow \$00$	0	-	-	0	1	-	DIR INH INH INH IX1 IX SP1	3F 4F 5F 8C 6F 7F 9E6F	dd ff ff	3 1 1 1 3 2 4
CMP # <i>opr</i> CMP <i>opr</i> CMP <i>opr</i> CMP <i>opr,X</i> CMP <i>opr,X</i> CMP ,X CMP <i>opr,SP</i> CMP <i>opr,SP</i>	Compare A with M	$(A) - (M)$										↓	-	-	↓	↓	↓	IMM DIR EXT IX2 IX1 IX SP1 SP2	A1 B1 C1 D1 E1 F1 9EE1 9ED1	ii dd hh ll ee ff ff ff ff ee ff	2 3 4 4 3 2 4 5
			COM <i>opr</i> COMA COMX COM <i>opr,X</i> COM ,X COM <i>opr,SP</i>	Complement (One's Complement)	$M \leftarrow (\overline{M}) = \$FF - (M)$ $A \leftarrow (\overline{A}) = \$FF - (M)$ $X \leftarrow (\overline{X}) = \$FF - (M)$ $M \leftarrow (\overline{M}) = \$FF - (M)$ $M \leftarrow (\overline{M}) = \$FF - (M)$ $M \leftarrow (\overline{M}) = \$FF - (M)$							0	-	-	↓	↓	1	DIR INH INH IX1 IX SP1	33 43 53 63 73 9E63	dd ff ff	4 1 4 3 5
						CPHX # <i>opr</i> CPHX <i>opr</i>	Compare H:X with M	$(H:X) - (M:M + 1)$				↓	-	-	↓	↓	↓	IMM DIR	65 75	ii ii+1 dd	3 4

表 5. 指令系统简表

助记符	操作	布尔表达式	条件码					寻址方式	操作码	操作数	周期	
			V	H	I	N	Z					C
CPX #opr CPX opr CPX opr CPX ,X CPX opr,X CPX opr,X CPX opr,SP CPX opr,SP	Compare X with M	(X) - (M)	↓	-	-	↓	↓	↓	IMM DIR EXT IX2 IX1 IX SP1 SP2	A3 B3 C3 D3 E3 F3 9EE3 9ED3	ii dd hh ll ee ff ff ff ff ff	2 3 4 4 3 2 4 5
DAA	Decimal Adjust A	(A) ₁₀	U	-	-	↓	↓	↓	INH	72		2
DBNZ opr,rel DBNZA rel DBNZX rel DBNZ opr,X,rel DBNZ X,rel DBNZ opr,SP,rel	Decrement and Branch if Not Zero	A ← (A) - 1 or M ← (M) - 1 or X ← (X) - 1 PC ← (PC) + 3 + rel ? (result) ≠ 0 PC ← (PC) + 2 + rel ? (result) ≠ 0 PC ← (PC) + 2 + rel ? (result) ≠ 0 PC ← (PC) + 3 + rel ? (result) ≠ 0 PC ← (PC) + 2 + rel ? (result) ≠ 0 PC ← (PC) + 4 + rel ? (result) ≠ 0	-	-	-	-	-	-	DIR INH INH IX1 IX SP1	3B 4B 5B 6B 7B 9E6B	dd rr rr rr ff rr rr ff rr	5 3 3 5 4 6
DEC opr DECA DECX DEC opr,X DEC ,X DEC opr,SP	Decrement	M ← (M) - 1 A ← (A) - 1 X ← (X) - 1 M ← (M) - 1 M ← (M) - 1 M ← (M) - 1	↓	-	-	↓	↓	-	DIR INH INH IX1 IX SP1	3A 4A 5A 6A 7A 9E6A	dd ff ff	4 1 1 4 3 5
DIV	Divide	A ← (H:A)/(X) H ← Remainder	-	-	-	-	↓	↓	INH	52		7
EOR #opr EOR opr EOR opr EOR opr,X EOR opr,X EOR ,X EOR opr,SP EOR opr,SP	Exclusive OR M with A	A ← (A ⊕ M)	0	-	-	↓	↓	-	IMM DIR EXT IX2 IX1 IX SP1 SP2	A8 B8 C8 D8 E8 F8 9EE8 9ED8	ii dd hh ll ee ff ff ff ff ff	2 3 4 4 3 2 4 5
INC opr INCA INCX INC opr,X INC ,X INC opr,SP	Increment	M ← (M) + 1 A ← (A) + 1 X ← (X) + 1 M ← (M) + 1 M ← (M) + 1 M ← (M) + 1	↓	-	-	↓	↓	-	DIR INH INH IX1 IX SP1	3C 4C 5C 6C 7C 9E6C	dd ff ff	4 1 1 4 3 5
JMP opr JMP opr JMP opr,X JMP opr,X JMP ,X	Jump	PC ← Jump Address	-	-	-	-	-	-	DIR EXT IX2 IX1 IX	BC CC DC EC FC	dd hh ll ee ff ff	2 3 4 3 2
JSR opr JSR opr JSR opr,X JSR opr,X JSR ,X	Jump to Subroutine	PC ← (PC) + n (n = 1, 2, or 3) Push (PCL); SP ← (SP) - 1 Push (PCH); SP ← (SP) - 1 PC ← Unconditional Address	-	-	-	-	-	-	DIR EXT IX2 IX1 IX	BD CD DD ED FD	dd hh ll ee ff ff	4 5 6 5 4
LDA #opr LDA opr LDA opr LDA opr,X LDA opr,X LDA ,X LDA opr,SP LDA opr,SP	Load A from M	A ← (M)	0	-	-	↓	↓	-	IMM DIR EXT IX2 IX1 IX SP1 SP2	A6 B6 C6 D6 E6 F6 9EE6 9ED6	ii dd hh ll ee ff ff ff ff ff	2 3 4 4 3 2 4 5

表 5. 指令系统简表

助记符	操作	布尔表达式	条件码					寻址方式	操作码	操作数	周期	
			V	H	I	N	Z					C
LDHX #opr LDHX opr	Load H:X from M	$H:X \leftarrow (M:M + 1)$	0	-	-	↓	↓	-	IMM DIR	45 55	ii jj dd	3 4
LDX #opr LDX opr LDX opr,X LDX opr,X LDX ,X LDX opr,SP LDX opr,SP	Load X from M	$X \leftarrow (M)$	0	-	-	↓	↓	-	IMM DIR EXT IX2 IX1 IX SP1 SP2	AE BE CE DE EE FE 9EEE 9EDE	ii dd hh ll ee ff ff ff ff ee ff	2 3 4 4 3 2 4 5
LSL opr LSLA LSLX LSL opr,X LSL ,X LSL opr,SP	Logical Shift Left (Same as ASL)		↓	-	-	↓	↓	↓	DIR INH INH IX1 IX SP1	38 48 58 68 78 9E68	dd ff ff	4 1 1 4 3 5
LSR opr LSRA LSRX LSR opr,X LSR ,X LSR opr,SP	Logical Shift Right		↓	-	-	0	↓	↓	DIR INH INH IX1 IX SP1	34 44 54 64 74 9E64	dd ff ff	4 1 1 4 3 5
MOV opr,opr MOV opr,X+ MOV #opr,opr MOV X+,opr	Move	$(M)_{\text{Destination}} \leftarrow (M)_{\text{Source}}$ $H:X \leftarrow (H:X) + 1$ (IX+D, DIX+)	0	-	-	↓	↓	-	DD DIX+ IMD IX+D	4E 5E 6E 7E	dd dd dd ii dd dd	5 4 4 4
MUL	Unsigned multiply	$X:A \leftarrow (X) \times (A)$	-	0	-	-	-	0	INH	42		5
NEG opr NEGA NEGX NEG opr,X NEG ,X NEG opr,SP	Negate (Two's Complement)	$M \leftarrow -(M) = \$00 - (M)$ $A \leftarrow -(A) = \$00 - (A)$ $X \leftarrow -(X) = \$00 - (X)$ $M \leftarrow -(M) = \$00 - (M)$ $M \leftarrow -(M) = \$00 - (M)$	↓	-	-	↓	↓	↓	DIR INH INH IX1 IX SP1	30 40 50 60 70 9E60	dd ff ff	4 1 1 4 3 5
NOP	No Operation	None	-	-	-	-	-	-	INH	9D		1
NSA	Nibble Swap A	$A \leftarrow (A[3:0]:A[7:4])$	-	-	-	-	-	-	INH	62		3
ORA #opr ORA opr ORA opr ORA opr,X ORA opr,X ORA ,X ORA opr,SP ORA opr,SP	Inclusive OR A and M	$A \leftarrow (A) \text{ I } (M)$	0	-	-	↓	↓	-	IMM DIR EXT IX2 IX1 IX SP1 SP2	AA BA CA DA EA FA 9EEA 9EDA	ii dd hh ll ee ff ff ff ff ee ff	2 3 4 4 3 2 4 5
PSHA	Push A onto Stack	Push (A); $SP \leftarrow (SP) - 1$	-	-	-	-	-	-	INH	87		2
PSHH	Push H onto Stack	Push (H); $SP \leftarrow (SP) - 1$	-	-	-	-	-	-	INH	8B		2
PSHX	Push X onto Stack	Push (X); $SP \leftarrow (SP) - 1$	-	-	-	-	-	-	INH	89		2
PULA	Pull A from Stack	$SP \leftarrow (SP + 1)$; Pull (A)	-	-	-	-	-	-	INH	86		2
PULH	Pull H from Stack	$SP \leftarrow (SP + 1)$; Pull (H)	-	-	-	-	-	-	INH	8A		2
PULX	Pull X from Stack	$SP \leftarrow (SP + 1)$; Pull (X)	-	-	-	-	-	-	INH	88		2

表 5. 指令系统简表

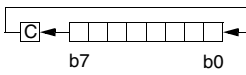
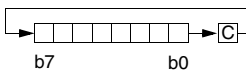
助记符	操作	布尔表达式	条件码					寻址方式	操作码	操作数	周期	
			V	H	I	N	Z					C
ROL <i>opr</i> ROLA ROLX ROL <i>opr</i> ,X ROL ,X ROL <i>opr</i> ,SP	Rotate Left through Carry		↓	-	-	↓	↓	↓	DIR INH INH IX1 IX SP1	39 49 59 69 79 9E69	dd ff ff	4 1 1 4 3 5
ROR <i>opr</i> RORA RORX ROR <i>opr</i> ,X ROR ,X ROR <i>opr</i> ,SP	Rotate Right through Carry		↓	-	-	↓	↓	↓	DIR INH INH IX1 IX SP1	36 46 56 66 76 9E66	dd ff ff	4 1 1 4 3 5
RSP	Reset Stack Pointer	SP ← \$FF	-	-	-	-	-	-	INH	9C		1
RTI	Return from Interrupt	SP ← (SP) + 1; Pull (CCR) SP ← (SP) + 1; Pull (A) SP ← (SP) + 1; Pull (X) SP ← (SP) + 1; Pull (PCH) SP ← (SP) + 1; Pull (PCL)	↓	↓	↓	↓	↓	↓	INH	80		7
RTS	Return from Subroutine	SP ← SP + 1; Pull (PCH) SP ← SP + 1; Pull (PCL)	-	-	-	-	-	-	INH	81		4
SBC # <i>opr</i> SBC <i>opr</i> SBC <i>opr</i> SBC <i>opr</i> ,X SBC <i>opr</i> ,X SBC ,X SBC <i>opr</i> ,SP SBC <i>opr</i> ,SP	Subtract with Carry	A ← (A) - (M) - (C)	↓	-	-	↓	↓	↓	IMM DIR EXT IX2 IX1 IX SP1 SP2	A2 B2 C2 D2 E2 F2 9EE2 9ED2	ii dd hh ll ee ff ff ff ff ff ee ff	2 3 4 4 3 2 4 5
SEC	Set Carry Bit	C ← 1	-	-	-	-	-	1	INH	99		1
SEI	Set Interrupt Mask	I ← 1	-	-	1	-	-	-	INH	9B		2
STA <i>opr</i> STA <i>opr</i> STA <i>opr</i> ,X STA <i>opr</i> ,X STA ,X STA <i>opr</i> ,SP STA <i>opr</i> ,SP	Store A in M	M ← (A)	0	-	-	↓	↓	-	DIR EXT IX2 IX1 IX SP1 SP2	B7 C7 D7 E7 F7 9EE7 9ED7	dd hh ll ee ff ff ff ff ee ff	3 4 4 3 2 4 5
STHX <i>opr</i>	Store H:X in M	(M:M + 1) ← (H:X)	0	-	-	↓	↓	-	DIR	35	dd	4
STOP	Enable $\overline{\text{IRQ}}$ Pin; Stop Oscillator	I ← 0; Stop Oscillator	-	-	0	-	-	-	INH	8E		1
STX <i>opr</i> STX <i>opr</i> STX <i>opr</i> ,X STX <i>opr</i> ,X STX ,X STX <i>opr</i> ,SP STX <i>opr</i> ,SP	Store X in M	M ← (X)	0	-	-	↓	↓	-	DIR EXT IX2 IX1 IX SP1 SP2	BF CF DF EF FF 9EEF 9EDF	dd hh ll ee ff ff ff ff ee ff	3 4 4 3 2 4 5
SUB # <i>opr</i> SUB <i>opr</i> SUB <i>opr</i> SUB <i>opr</i> ,X SUB <i>opr</i> ,X SUB ,X SUB <i>opr</i> ,SP SUB <i>opr</i> ,SP	Subtract	A ← (A) - (M)	↓	-	-	↓	↓	↓	IMM DIR EXT IX2 IX1 IX SP1 SP2	A0 B0 C0 D0 E0 F0 9EE0 9ED0	ii dd hh ll ee ff ff ff ff ee ff	2 3 4 4 3 2 4 5

表 5. 指令系统简表

助记符	操作	布尔表达式	条件码						寻址方式	操作码	操作数	周期
			V	H	I	N	Z	C				
SWI	Software Interrupt	$PC \leftarrow (PC) + 1$; Push (PCL) $SP \leftarrow (SP) - 1$; Push (PCH) $SP \leftarrow (SP) - 1$; Push (X) $SP \leftarrow (SP) - 1$; Push (A) $SP \leftarrow (SP) - 1$; Push (CCR) $SP \leftarrow (SP) - 1$; $I \leftarrow 1$ PCH \leftarrow Interrupt Vector High Byte PCL \leftarrow Interrupt Vector Low Byte	-	-	1	-	-	-	INH	83		9
TAP	Transfer A to CCR	$CCR \leftarrow (A)$	↓	↓	↓	↓	↓	↓	INH	84		2
TAX	Transfer A to X	$X \leftarrow (A)$	-	-	-	-	-	-	INH	97		1
TPA	Transfer CCR to A	$A \leftarrow (CCR)$	-	-	-	-	-	-	INH	85		1
TST <i>opr</i> TSTA TSTX TST <i>opr,X</i> TST <i>,X</i> TST <i>opr,SP</i>	Test for Negative or Zero	$(A) - \$00$ or $(X) - \$00$ or $(M) - \$00$	0	-	-	↓	↓	-	DIR INH INH IX1 IX SP1	3D 4D 5D 6D 7D 9E6D	dd ff ff	3 1 1 3 2 4
TSX	Transfer SP to H:X	$H:X \leftarrow (SP) + 1$	-	-	-	-	-	-	INH	95		2
TXA	Transfer X to A	$A \leftarrow (X)$	-	-	-	-	-	-	INH	9F		1
TXS	Transfer H:X to SP	$(SP) \leftarrow (H:X) - 1$	-	-	-	-	-	-	INH	94		2

- | | | | |
|-------|---|------------|---|
| A | Accumulator | <i>n</i> | Any bit |
| C | Carry/borrow bit | <i>opr</i> | Operand (one or two bytes) |
| CCR | Condition code register | PC | Program counter |
| dd | Direct address of operand | PCH | Program counter high byte |
| dd rr | Direct address of operand and relative offset of branch instruction | PCL | Program counter low byte |
| DD | Direct to direct addressing mode | REL | Relative addressing mode |
| DIR | Direct addressing mode | <i>rel</i> | Relative program counter offset byte |
| DIX+ | Direct to indexed with post increment addressing mode | <i>rr</i> | Relative program counter offset byte |
| ee ff | High and low bytes of offset in indexed, 16-bit offset addressing | SP1 | Stack pointer, 8-bit offset addressing mode |
| EXT | Extended addressing mode | SP2 | Stack pointer 16-bit offset addressing mode |
| ff | Offset byte in indexed, 8-bit offset addressing | SP | Stack pointer |
| H | Half-carry bit | U | Undefined |
| H | Index register high byte | V | Overflow bit |
| hh ll | High and low bytes of operand address in extended addressing | X | Index register low byte |
| I | Interrupt mask | Z | Zero bit |
| ii | Immediate operand byte | & | Logical AND |
| IMD | Immediate source to direct destination addressing mode | | Logical OR |
| IMM | Immediate addressing mode | ⊕ | Logical EXCLUSIVE OR |
| INH | Inherent addressing mode | () | Contents of |
| IX | Indexed, no offset addressing mode | -() | Negation (two's complement) |
| IX+ | Indexed, no offset, post increment addressing mode | # | Immediate value |
| IX+D | Indexed with post increment to direct addressing mode | « | Sign extend |
| IX1 | Indexed, 8-bit offset addressing mode | ← | Loaded with |
| IX1+ | Indexed, 8-bit offset, post increment addressing mode | ? | If |
| IX2 | Indexed, 16-bit offset addressing mode | : | Concatenated with |
| M | Memory location | ↑ | Set or cleared |
| N | Negative bit | — | Not affected |

振荡器模块 (OSC)

MC68HC908QY_x 和 MC68HC908QT_x 有四种时钟源可供选择：

1. 内部振荡器：内部内置振荡器可产生 3.2MHz 的总线频率，该总线频率可以在 ±5% 的范围内以 0.2% 的步进调整。此时钟源为复位后的默认输出。
2. 外部振荡器：外部振荡器（如有源晶振）可直接连接到 OSC1 作为时钟输入。
3. 外部 RC 电路：只需在 OSC1 引脚连接一外接电阻，振荡器模块的内置 RC 振荡器即可产生总线时钟。
4. 外部晶振电路：由晶振、电阻、电容在 OSC1 和 OSC2 引脚组成外部晶振电路，即可产生所需的时钟输入。

内部时钟到 外部时钟的切换

当需要使用外部时钟源时（外部 OSC、RC、XTAL），用户需要进行以下操作：

1. 对于外部晶振电路，OSCOPT[1:0]=1:1。设置 PTA4（OSC2）为输出并且设置为高电平若干周期可以对外部晶振预加压。在写 OSCOPT[1:0] 前可以看到晶振起振前有一尖锐的下降沿。
2. 设置 CONFIG2 寄存器中的 OSCOPT[1:0] 位。振荡器模块控制逻辑能设置 OSC1 为外部时钟输入，如果已选择外部晶振允许，则 OSC2 将设置为时钟输出。
3. 按照元器件制造商所推荐的属性设置软件延时以等待所选择的时钟源振荡稳定。一种可用的方法就是延时等待 4096 个晶振周期，例如，对于 4MHz 的晶振，延时大于 1ms。
4. 延时后，用户软件应将 OSC 状态寄存器（OSCSTAT）中的 ECGON 位置 1。
5. 当检测到 ECGON 置位后，OSC 模块将等待两个外部时钟的上升沿以检查振荡器的工作情况。
6. OSC 模块切换至外部时钟。控制逻辑提供了无干扰的转换。
7. OSC 模块置位 OSCSTAT 寄存器中的 ECGST 位，然后停止内部振荡器的运行。

注意：一旦切换至外部时钟的操作成功，内部振荡器只有在复位的情况下才能重新工作。如果外部时钟停止，也不会切换回内部时钟。

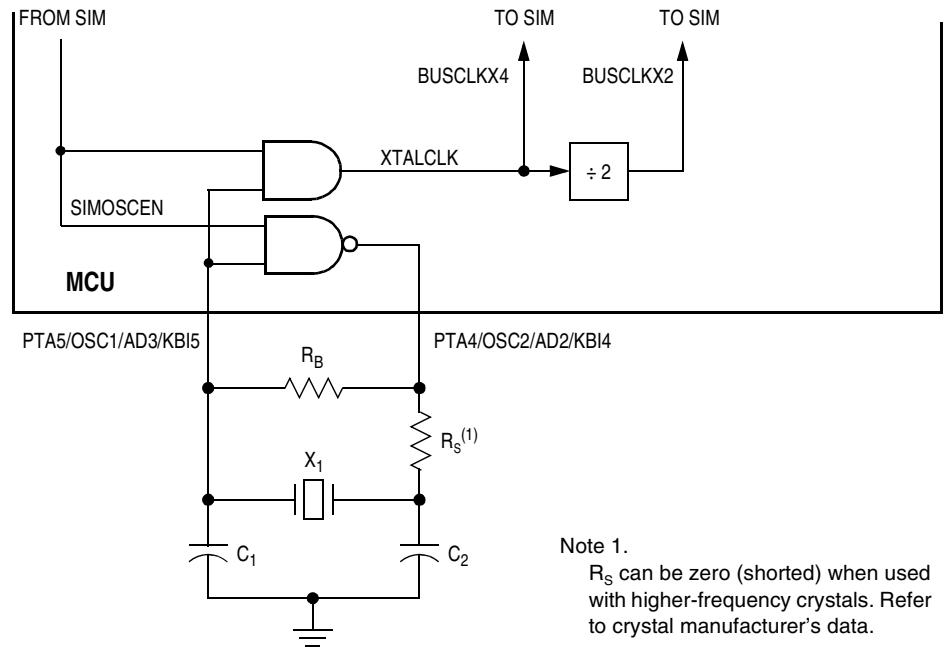


图 17. XTAL 振荡器外部连接电路

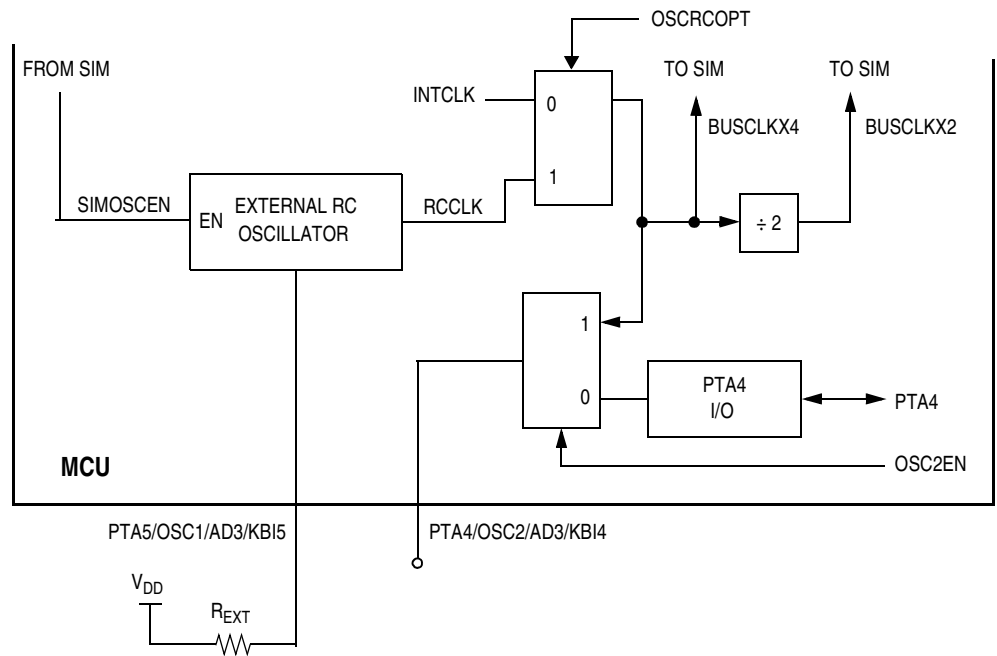


图 18. RC 振荡器外部连接电路

振荡器状态寄存器 (OSCSTAT)

振荡器状态寄存器 (OSCSTAT) 中的位控制从内部时钟源到外部时钟源的切换。

位:	7	6	5	4	3	2	1	0
\$0036	R	R	R	R	R	R	ECGON	ECGST
复位:	0	0	0	0	0	0	0	0
	R = Reserved							

图 19. 振荡器状态寄存器 (OSCSTAT)

ECGON — 外部时钟发生器允许位
1 = 允许外部时钟发生器

ECGST — 外部时钟状态位
1 = 外部时钟工作

振荡器调整寄存器 (OSCTRIM)

位:	7	6	5	4	3	2	1	0
\$0038	TRIM7	TRIM6	TRIM5	TRIM4	TRIM3	TRIM2	TRIM71	TRIM0
复位:	1	0	0	0	0	0	0	0

图 20. 振荡器调整寄存器 (OSCTRIM)

TRIM7-TRIM0 — 内部振荡器调整因子

这些读 / 写位可改变内部振荡器所使用的内部电容的大小。通过测试内部时钟的频率并相应调整这些因子，可对内部时钟频率精确微调。因子增加 1 (减少 1)，内部时钟频率相对未调整状态 (调整因子为 \$80) 增加 (减少) 0.2%。在芯片允许的温度和电压范围内，调整后的频率变化范围确保不超过 ±5%。复位后 OSCTRIM 的值为 \$80，相对应的总线频率为 3.2MHz ±25%。

调整因子可以写入 FLASH 存储器中的 TRIMLOC (\$FFC0) 中，在应用程序初始化时，此值从 TRIMLOC 中读出，然后存储在 OSCTRIM (\$0038) 中以达到精确微调内部振荡器频率的目的。

定时器模块 (TIM)

MC68HC908QY_x 和 MC68HC908QT_x 的定时器模块具有以下特性：

- 两路输入捕捉 / 输出比较通道
 - 可设置为上升沿、下降沿或者任意跳变沿输入捕捉，可用于测量脉冲信号的周期和脉宽
 - 可设置为置位、清零、取反的输出比较操作，可用于产生定时和脉冲输出
- 可产生不带缓冲或带缓冲的 PWM 脉冲输出
- TIM 时钟可编程设置为总线时钟的七种分频值
- TIM 计数器可设置为 16 位自由运行或预置计数方式
- TIM 计数器具有停止位和复位位

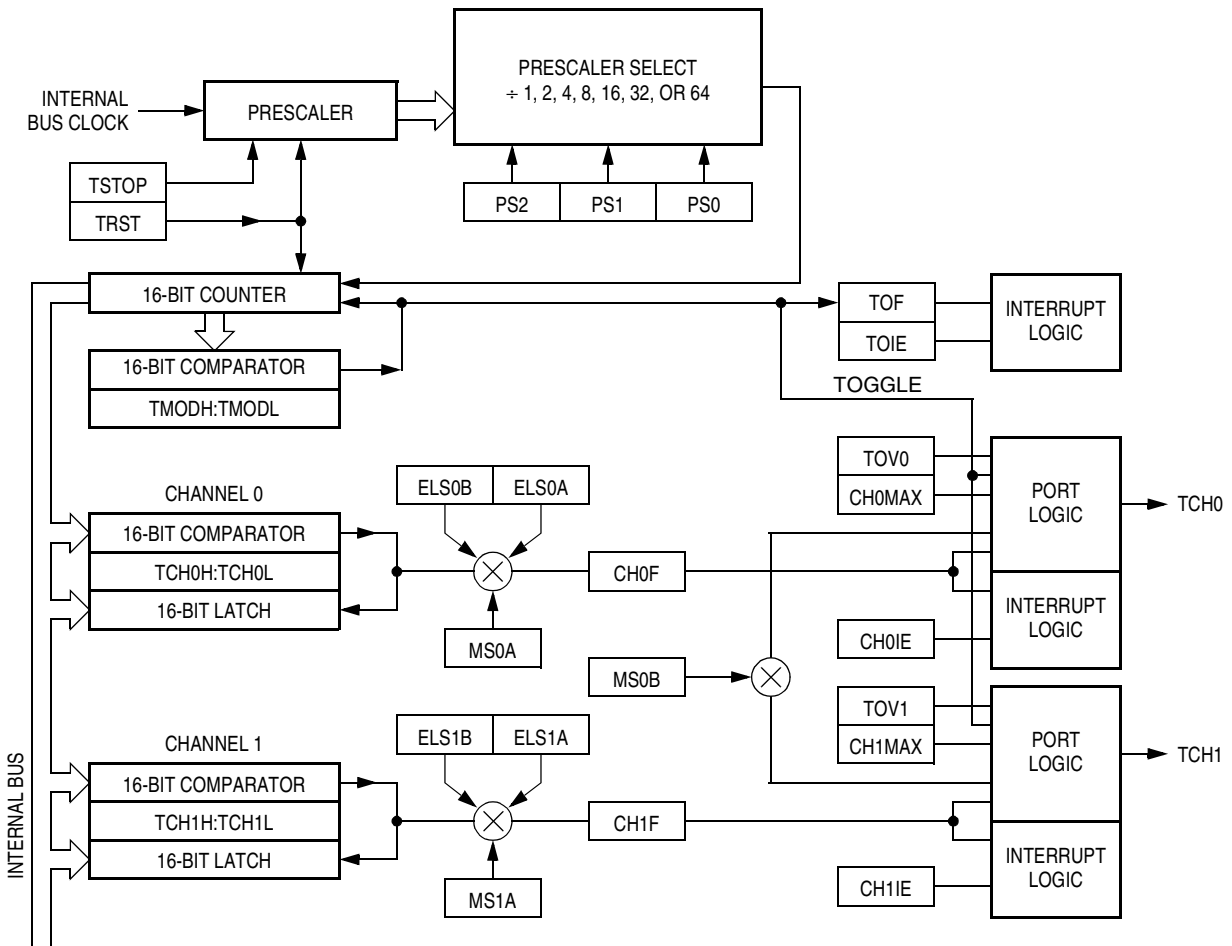


图 21. TIM 功能框图

PWM 初始化

不带缓冲和带缓冲的 PWM 信号初始化推荐使用以下步骤：

1. 在 TSC 寄存器中：
 - a. 置位 TSTOP 位停止 TIM 计数；
 - b. 置位 TRST 位复位 TIM 计数器及分频率因子；
2. 在 TMODH:TMODL 中设定所需要的 PWM 的周期；
3. 在 TCHxH:TCHxL 中设定所需要的 PWM 的脉宽；
4. 设置 TIM 通道 x 状态控制寄存器（TSCx）以选择所需要的功能：
 - a. 将模式选择位 MSxB:MSxA 置为 0:1（不带缓冲的输出比较或者 PWM 信号），或将 MSxB:MSxA 置为 1:0（带缓冲的输出比较或者 PWM 信号）。见 [表 7](#)；
 - b. 将溢出翻转位 TOVx 置 1；
 - c. 将沿 / 电平选择位 ELSxB:ELSxA 置为 1:0（输出比较清零），或将 ELSxB:ELSxA 置为 1:1（输出比较置位），通过输出比较实现 PWM 信号所需的脉冲电平。见 [表 7](#)；
5. 清除 TSC 寄存器中的 TSTOP 位。

TIM 状态控制寄存器 (TSC)

位：	7	6	5	4	3	2	1	0
\$0020	TOF	TOIE	TSTOP	TRST	0	PS2	PS1	PS0
复位：	0	0	1	0	0	0	0	0

图 22. TIM 状态控制寄存器 (TSC)

TOF — 定时器溢出标志位

当定时器计数达到预置计数器的数值时，TOF 置位。读取定时器状态控制寄存器，并向这一位写入零，可以清除该标志位。

1 = 定时器计数达到预置计数器数值

TOIE — 定时器溢出中断允许位

1 = 允许定时器溢出中断

TSTOP — 定时器计数停止位

1 = 停止定时器计数

TRST — 定时器复位位

向此只写位写入 1 将清除定时器计数和分频因子。定时器计数清零时该位被自动清零，并且对该位的读取值总是 0。

注意：同时置位 TSTOP 和 TRST 位将定时器停止在 \$0000 计数。

PS[2:0] — 分频因子选择位

表 6. 分频因子选择

PS2	PS1	PS0	TIM Clock Source
0	0	0	Internal bus clock ÷ 1
0	0	1	Internal bus clock ÷ 2
0	1	0	Internal bus clock ÷ 4
0	1	1	Internal bus clock ÷ 8
1	0	0	Internal bus clock ÷ 16
1	0	1	Internal bus clock ÷ 32
1	1	0	Internal bus clock ÷ 64
1	1	1	Reserved

定时器计数寄存器 (TCNTH:TCNTL)

这两个读的定时器计数寄存器包含了定时器计数的高低字节。读取高字节 (TCNTH) 时将锁存低字节 (TCNTL) 的内容。读取后继的 TCNTH 不会影响锁存的 TCNTL，只有当 TCNTL 读取后才释放寄存器。

位:	7	6	5	4	3	2	1	0
TCNTH \$0021	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8
复位:	0	0	0	0	0	0	0	0
位:	7	6	5	4	3	2	1	0
TCNTL \$0022	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
复位:	0	0	0	0	0	0	0	0

图 23. 定时器计数寄存器 (TCNTH:TCNTL)

定时器预置计数寄存器 (TMODH:TMDL)

当定时器计数达到预置计数的值时，溢出标志位 TOF 将被置位，同时定时器从 \$0000 开始下一次计数。定时器预置计数高位寄存器 (TMODH) 写入时，将禁止 TOF 位及溢出中断，直至低位寄存器 (TMDL) 被写入。

位:	7	6	5	4	3	2	1	0
TMODH \$0023	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
复位:	1	1	1	1	1	1	1	1
位:	7	6	5	4	3	2	1	0
TMDL \$0024	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
复位:	1	1	1	1	1	1	1	1

图 24. 定时器预置计数寄存器 (TMODH:TMDL)

**定时器通道状态控制
寄存器
(TSC0, TSC1)**

位：	7	6	5	4	3	2	1	0
TSC0 \$0025	CH0F	CH0IE	MS0B	MS0A	ELS0B	ELS0A	TOV0	CH0MAX
复位：	0	0	0	0	0	0	0	0
位：	7	6	5	4	3	2	1	0
TSC1 \$0028	CH1F	CH1IE	0	MS1A	ELS1B	ELS1A	TOV1	CH1MAX
复位：	0	0	0	0	0	0	0	0

图 25. 定时器通道状态控制寄存器 (TSC0, TSC1)

CHx F — 通道 x 标志位

当通道 x 作为输入捕捉通道时，如果在通道 x 引脚上出现触发电平时 CHx F 位被置 1；当通道 x 作为输出比较通道时，如果定时器计数数值达到通道 x 寄存器数值时 CHx F 位被置 1。当 CHx F 置位时，读取定时器通道 x 状态控制寄存器，并向 CHx F 写入零，可以清除该标志位。

1 = 通道 x 输入捕捉或输出比较

CHx IE — 通道 x 中断允许位

1 = 通道 x CPU 中断请求允许

MSxB:MSxA — 模式选择位

ELSxB:ELSxA — 沿 / 电平选择位

表 7. 模式、沿 / 电平选择位

MSxB	MSxA	ELSxB	ELSxA	Mode	Configuration
X	0	0	0	Output preset	Pin under port control; initial output level high
X	1	0	0		Pin under port control; initial output level low
0	0	0	1	Input capture	Capture on rising edge only
0	0	1	0		Capture on falling edge only
0	0	1	1		Capture on rising or falling edge
0	1	0	1	Output compare or PWM	Toggle output on compare
0	1	1	0		Clear output on compare
0	1	1	1		Set output on compare
1	X	0	1	Buffered output compare or buffered PWM	Toggle output on compare
1	X	1	0		Clear output on compare
1	X	1	1		Set output on compare

TOVx — 溢出翻转位

1 = 定时器溢出时通道 x 引脚电平翻转

注意：当 TOVx 置位时，且定时器溢出和通道 x 输出比较同时发生，则定时器溢出具有优先权。

CHxMAX — 通道 x 最大佔空比设置位

当 TOVx 位置位时，设置 CHxMAX 位将使不带缓冲和带缓冲的 PWM 信号的佔空比均为 100%。CHxMAX 在置位或清零后的效应将在下一个周期生效。CHxMAX 未清零前输出将维持为 100% 佔空比。

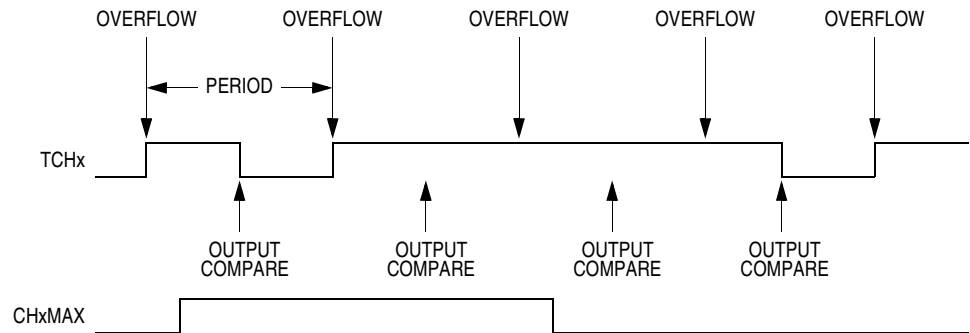


图 26. CHxMAX 对 PWM 信号的影响

定时器通道寄存器 (TCH0H:L, TCH1H:L)

在输入捕捉模式下 (MSxB:MSxA = 0:0)，读取定时器通道 x 寄存器的高字节 (TCHxH) 时，将禁止输入捕捉直至低位字节 (TCHxL) 被读取。

同样，在输出比较模式下 (MSxB:MSxA ≠ 0:0)，向定时器通道 x 寄存器的高字节 (TCHxH) 写入时，将禁止输出比较直至低位字节 (TCHxL) 被写入。

位：	7	6	5	4	3	2	1	0
TCH0H \$0026	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8
复位：	Indeterminate after reset							
位：	7	6	5	4	3	2	1	0
TCH0L \$0027	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
复位：	Indeterminate after reset							
位：	7	6	5	4	3	2	1	0
TCH1H \$0029	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8
复位：	Indeterminate after reset							
位：	7	6	5	4	3	2	1	0
TCH1L \$002A	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
复位：	Indeterminate after reset							

图 27. 定时器通道寄存器 (TCH0H:L, TCH1H:L)

模数转换器 (ADC)

MC68HC908QY2、MC68HC908QT2、MC68HC908QY4 和 MC68HC908QT4 具有 4 路 8 位模数转换器 (ADC)。ADC 的主要特性如下：

- 4 路 AD 复用输入
- 8 位精度
- 单次转换或者连续转换
- 具有 AD 转换完成标志位或者可产生 AD 转换完成中断
- ADC 时钟源可选择

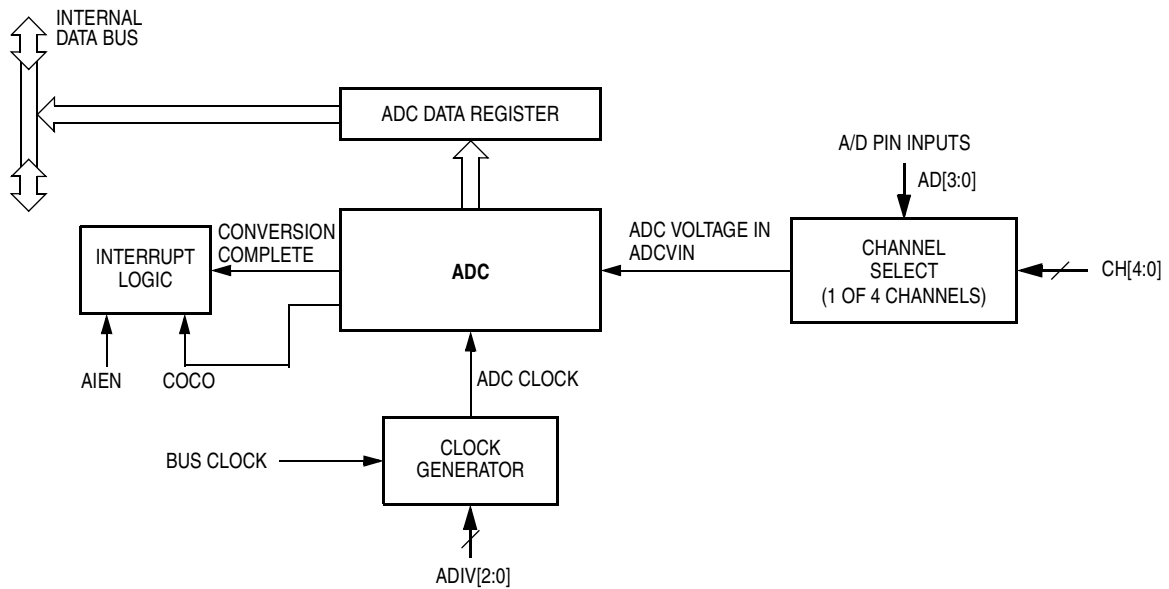


图 28. ADC 结构框图

数转时间

$$\text{数转时间} = \frac{16}{\text{ADC 时钟频率}}$$

$$\text{总线周期数目} = \text{转换时间} \times \text{总线频率}$$

ADC 状态控制寄存器
(ADSCR)

位：	7	6	5	4	3	2	1	0
\$003C	COCO	AIEN	ADCO	CH4	CH3	CH2	CH1	CH0
复位：	0	0	0	1	1	1	1	1

图 29. ADC 状态控制寄存器 (ADSCR)

COCO — 转换完成标志位

当 AIEN 为 0 时，COCO 位只读，AD 转换完成时该位置 1。当 ADSCR 被写入或者 ADR 被读取时，该位清零。

当 AIEN 为 1 时（CPU 中断允许），COCO 的读取值恒为 0。

1 = 转换完成 (AIEN = 0)

AIEN — ADC 中断允许位

1 = ADC 中断允许

ADCO — ADC 连续转换控制位

1 = 连续 ADC 转换

0 = 单次 ADC 转换

CH[4:0] — ADC 通道选择位

注意：从 ADC 电源关闭状态启动需要一个转换周期达到稳定。

表 8. ADC 输入通道选择

CH4	CH3	CH2	CH1	CH0	ADC Channel	Input Select
0	0	0	0	0	AD0	PTA0
0	0	0	0	1	AD1	PTA1
0	0	0	1	0	AD2	PTA4
0	0	0	1	1	AD3	PTA5
0	0	1	0	0	—	Unused ⁽¹⁾
↓	↓	↓	↓	↓	—	
1	1	0	1	0	—	Reserved
1	1	0	1	1	—	
1	1	1	0	0	—	Unused
1	1	1	0	1	—	V _{DDA} ⁽²⁾
1	1	1	1	0	—	V _{SSA} ⁽²⁾
1	1	1	1	1	—	ADC power off

1. If any unused channels are selected, the resulting ADC conversion will be unknown.

2. The voltage levels supplied from internal reference nodes, as specified in the table, are used to verify the operation of the ADC converter both in production test and for user applications.

ADC 数据寄存器 (ADR)

该寄存器的值在每次 ADC 转换完成后自动更新。

位：	7	6	5	4	3	2	1	0
\$003E	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
复位：	Indeterminate after reset							

图 30. ADC 数据寄存器 (ADR)

ADC 输入时钟寄存器 (ADICLK)

位：	7	6	5	4	3	2	1	0
\$003F	ADIV2	ADIV1	ADIV0	0	0	0	0	0
复位：	0	0	0	0	0	0	0	0

图 31. ADC 输入时钟寄存器 (ADICLK)

ADIV2-ADIV0 — ADC 时钟分频因子

表 9. ADC 时钟分频因子

ADIV2	ADIV1	ADIV0	ADC Clock Rate
0	0	0	Bus clock ÷ 1
0	0	1	Bus clock ÷ 2
0	1	0	Bus clock ÷ 4
0	1	1	Bus clock ÷ 8
1	X	X	Bus clock ÷ 16

X = don't care

输入输出

A 口

A 口是 6 位输入输出并行口，与键盘中断 (KBI)、ADC 输入通道、 \overline{RST} 、 \overline{IRQ} 等复用。如果 A 口某引脚设置为通用输入/输出、KBI 输入或 \overline{IRQ} 输入，则相应 PORTA 引脚有软件配置的上拉设备。当 PTA3 设置为 \overline{RST} 时，它有固定的上拉设备。

注意：PTA2 只能作为输入口。

A 口数据寄存器 (PTA)

位：	7	6	5	4	3	2	1	0
\$0000	0	AWUL	PTA5	PTA4	PTA3	PTA2	PTA1	PTA0
复位：	不受复位操作影响							
Additional Functions:			KBI5	KBI4	KBI3	KBI2	KBI1	KBI0
			AD3	AD2	\overline{RST}	\overline{IRQ}	AD1	AD0
			OSC1	OSC2			TCH1	TCH0

图 32. A 口数据寄存器 (PTA)

PTA[5:0] — A 口数据位

这些读 / 写位可软件编程。每一个引脚的方向由相应的数据方向寄存器控制 (PTA2 只能作为输入)。复位对数据寄存器没有影响。

AWUL — 自动唤醒锁存数据位

该位是只读位，其中保存自动唤醒中断请求锁存值。唤醒请求信号由内部产生。

A 口数据方向寄存器 (DDRA)

位：	7	6	5	4	3	2	1	0
\$0004	0	0	DDRA5	DDRA4	DDRA3	0	DDRA1	DDRA0
复位：	0	0	0	0	0	0	0	0

图 33. A 口数据方向寄存器 (DDRA)

DDRA[5:0] — A 口数据方向寄存器位

1 = 相应 A 口引脚配置为输出

0 = 相应 A 口引脚配置为输入

A 口输入上拉允许寄存器 (PTAPUE)

位：	7	6	5	4	3	2	1	0
\$000B	OSC2EN		PTAPUE5	PTAPUE4	PTAPUE3	PTAPUE2	PTAPUE2	PTAPUE0
复位：	0	0	0	0	0	0	0	0

图 34. A 口输入上拉允许寄存器 (PTAPUE)

OSC2EN — 允许 OSC2 引脚时钟输出

当选择内部振荡器或者 RC 振荡器时，该位可设定 OSC2 为参考时钟输出。此位对 XTAL 振荡器 (晶振) 或外置振荡器 (有源振荡器) 无影响。

1 = OSC2 引脚输出内部或者 RC 振荡器的时钟 (BUSCLKX4)

PTAPUE[5:0] — A 口输入上拉允许位

1 = 如果 DDRA 相应位设置为 0 并且没有设置其他复用功能 (如 KBI、IRQ 等)，则相应 A 口引脚有内部上拉

B 口

B 口是 8 位通用 I/O 口，只有 MC68HC908QY1、MC68HC908QY2 和 MC68HC908QY4 有 B 口。

B 口寄存器 (PTB)

位：	7	6	5	4	3	2	1	0
\$0001	PTB7	PTB6	PTB5	PTB4	PTB3	PTB2	PTB1	PTB0
复位：	不受复位操作影响							

图 35. B 口数据寄存器 (PTB)

PTB[7:0] — B 口数据位

这些读 / 写位可软件编程。每一个引脚的方向由相应的数据方向寄存器控制。复位对数据寄存器没有影响。

B 口数据方向寄存器 (DDRB)

位：	7	6	5	4	3	2	1	0
\$0005	DDRB7	DDRB6	DDRB5	DDRB4	DDRB3	DDRB2	DDRB1	DDRB0
复位：	0	0	0	0	0	0	0	0

图 36. B 口数据方向寄存器 (DDRB)

DDRB[7:0] — B 口数据方向寄存器位

- 1 = 相应 B 口引脚配置为输出
- 0 = 相应 B 口引脚配置为输入

B 口输入上拉允许 寄存器 (PTBPUE)

位：	7	6	5	4	3	2	1	0
\$000C	PTBPUE7	PTBPUE6	PTBPUE5	PTBPUE4	PTBPUE3	PTBPUE2	PTBPUE1	PTBPUE0
复位：	0	0	0	0	0	0	0	0

图 37. B 口输入上拉允许寄存器 (PTBPUE)

PTBPUE[7:0] — B 口输入上拉允许位

- 这些读 / 写位可通过软件编程控制是否允许 B 口内部上拉。
- 1 = 如果 DDRB 相应位设置为 0，则相应 B 口引脚有内部上拉

键盘中断模块 (KBI)

键盘中断模块特性主要如下所述：

- 具有 6 个独立的可屏蔽的外部键盘中断，每个键盘中断有键盘中断允许位
- 一个自动唤醒逻辑控制的内部中断，有独立键盘中断允许位，共享键盘中断屏蔽位
- 以选择下降沿触发或者下降沿和低电平触发
- 作为键盘中断引脚输入时内部电阻上拉
- 可从低功耗模式中唤醒

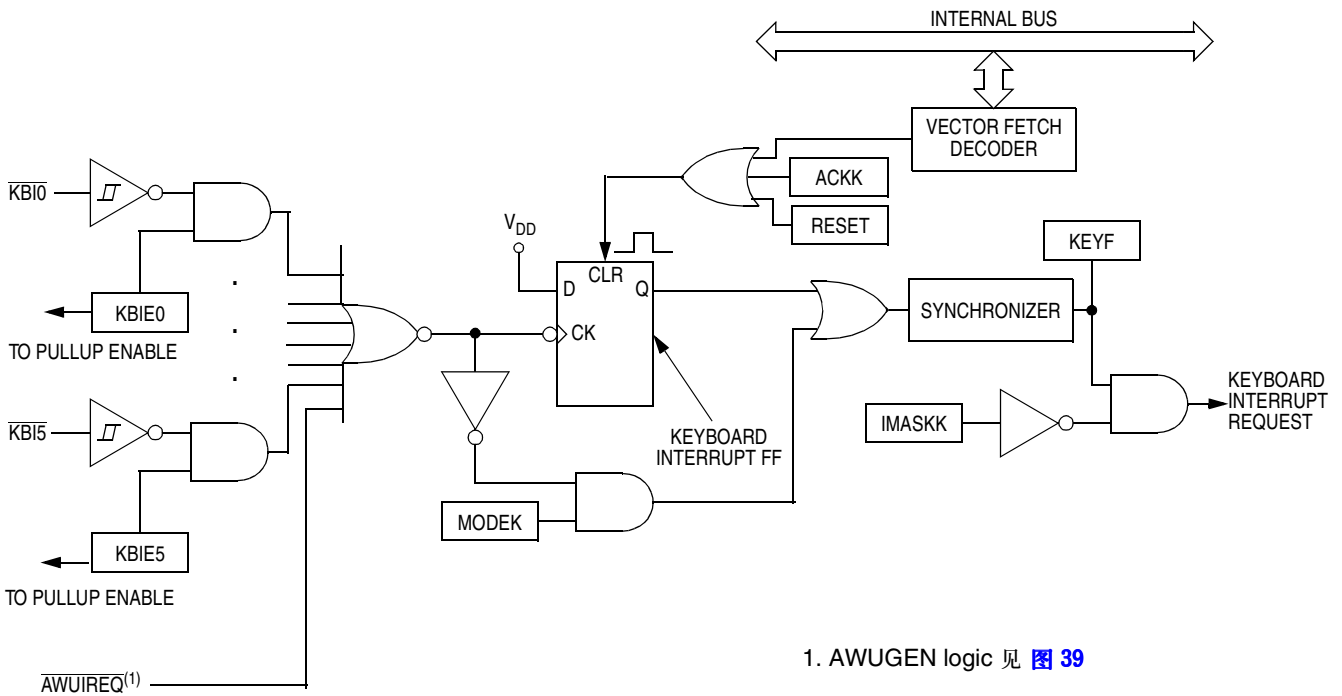


图 38. 键盘中断结构框图

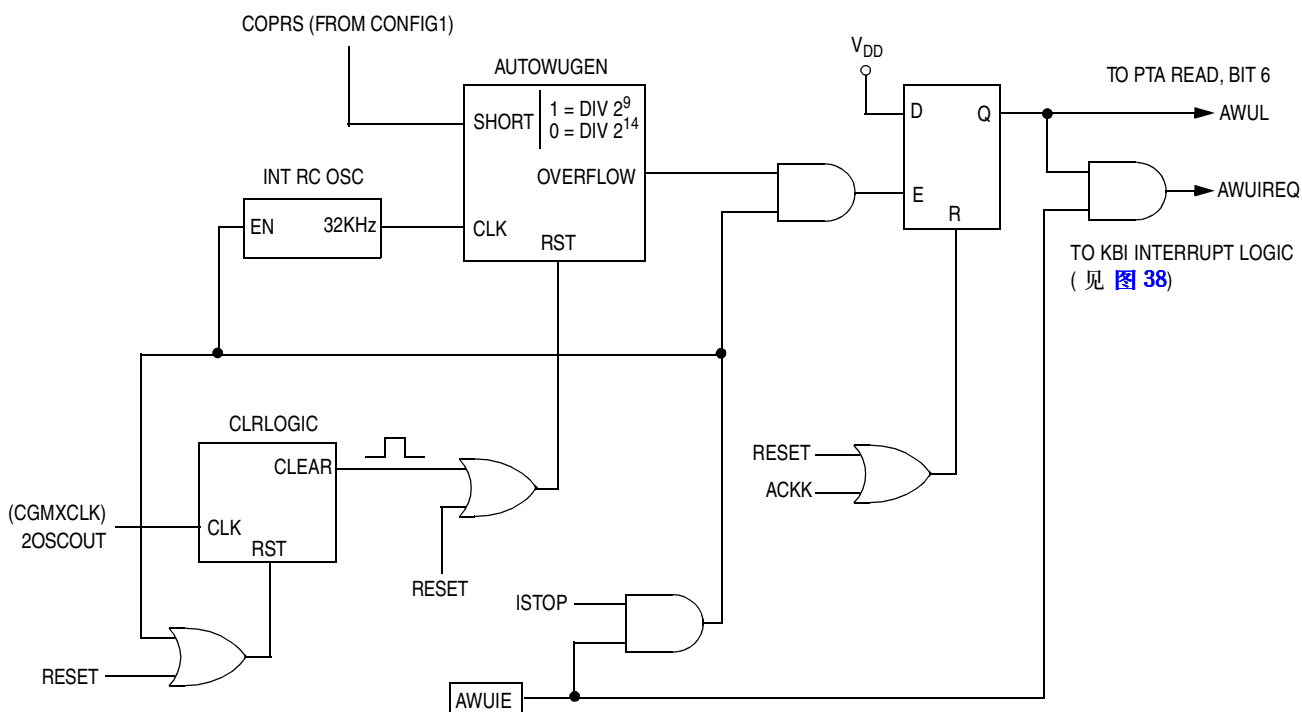


图 39. 自动唤醒中断请求产生逻辑

键盘状态控制寄存器 (KBSCR)

位：	7	6	5	4	3	2	1	0
\$001A	0	0	0	0	KEYF	ACKK	IMASKK	MODEK
复位：	0	0	0	0	0	0	0	0

图 40. 键盘状态控制寄存器 (KBSCR)

KEYF — 键盘中断标志位

1 = 键盘中断请求发生

ACKK — 键盘中断请求确认位

向此只写位写入 1 将清除键盘中断请求和自动唤醒逻辑，ACKK 读取值总为 0。

IMASKK — 键盘中断屏蔽位

1 = 屏蔽（禁止）键盘中断请求

MODEK — 键盘中断触发方式选择位

1 = 下降沿和低电平触发键盘中断

0 = 仅下降沿触发键盘中断

键盘中断允许寄存器 (KBIER)

位：	7	6	5	4	3	2	1	0
\$001B	0	AWUIE	KBIE5	KBIE4	KBIE3	KBIE2	KBIE1	KBIE0
复位：	0	0	0	0	0	0	0	0

图 41. 键盘中断允许寄存器 (KBIER)

KBIE5-KBIE0 — A 口键盘中断允许位

1 = 允许 KBI_x 引脚作为键盘中断引脚

AWUIE — 自动唤醒中断允许位

1 = 允许自动唤醒作为中断输入

注意：自动唤醒超时时间由 CONFIG1 寄存器中的 COPRS 位设置。

COPRS = 0 — 大约 512ms

COPRS = 1 — 大约 16ms

断点模块

该部分描述了断点模块如何配合第三方软件调试应用程序。

断点状态控制寄存器 (BRKSCR)

位：	7	6	5	4	3	2	1	0
\$FE0B	BRKE	BRKA	0	0	0	0	0	0
复位：	0	0	0	0	0	0	0	0

图 42. 断点状态控制寄存器 (BRKSCR)

BRKE — 断点允许位

该位允许断点地址寄存器匹配时产生断点中断。

1 = 允许 16 位地址匹配的断点

0 = 禁止断点

BRKA — 断点激活位

当断点地址匹配时，此状态控制位置位。向 BRKA 写入 1 将产生断点中断。退出断点例程时，可向写入 0 清除 BRKA。

1 = 断点地址匹配

断点地址寄存器 (BRKH:BRKL)

断点地址寄存器 (BRKH 和 BRKL) 设定所需断点地址的高低字节。

位:	7	6	5	4	3	2	1	0
\$FE09	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8
复位:	0	0	0	0	0	0	0	0

图 43. 断点地址寄存器高位 (BRKH)

位:	7	6	5	4	3	2	1	0
\$FE0A	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
复位:	0	0	0	0	0	0	0	0

图 44. 断点地址寄存器低位 (BRKL)

断点助寄存器 (BRKAR)

当 MCU 在监控模式下的断点中断状态，断点辅助寄存器 (BRKAR) 中的 BDCOP 位允许软件禁止 COP。

位:	7	6	5	4	3	2	1	0
\$FE02	0	0	0	0	0	0	0	BDCOP
复位:	0	0	0	0	0	0	0	0

图 45. 断点辅助寄存器 (BRKAR)

BDCOP — 断点中断状态下禁止 COP 位

1 = 断点中断状态下禁止 COP

断点标志控制寄存器 (BFCR)

断点标志控制寄存器 (BFCR) 中的 BCFE 位允许软件在 MCU 断点中断状态下清除状态位。

位:	7	6	5	4	3	2	1	0
\$FE03	BCFE	R	R	R	R	R	R	R
复位:	0							

R = Reserved

图 46. 断点标志控制寄存器 (BFCR)

BCFE — 清除断点标志允许位

该位允许软件在 MCU 断点中断状态下清除断点状态寄存器中的状态位。要在断点中断状态清除状态位，BCFE 位必须置 1。

1 = 允许断点中断状态下清除状态位

0 = 禁止断点中断状态下清除状态位

断点状态寄存器
(BSR)

断点状态寄存器 (BSR) 保留给第三方开发系统使用。

位：	7	6	5	4	3	2	1	0
\$FE00	R	R	R	R	R	R	SBSW	R
复位：								0
	R	= Reserved						

图 47. 断点状态寄存器 (BSR)

电气特性

5V 直流电气特性

Characteristic ⁽¹⁾	Symbol	Min	Typ ⁽²⁾	Max	Unit
V _{DD} supply current Run, f _{OP} = 4 MHz ⁽³⁾ Wait ⁽⁴⁾ Stop ⁽⁵⁾ , -40°C to 85°C	I _{DD}	—	7	10	mA
		—	5	5.5	mA
		—	1	5	μA
POR rearm voltage ⁽⁶⁾	V _{POR}	0	—	100	mV
POR rise time ramp rate ⁽⁷⁾	R _{POR}	0.035	—	—	V/ms
Monitor mode entry voltage	V _{DD} +V _{HI}	V _{DD} + 2.5	—	9.1	V
Pullup resistors ⁽⁸⁾ RST, IRQ, PTA0-PTA5, PTB0-PTB7	R _{PU}	16	26	36	kΩ
Low-voltage inhibit reset, trip falling voltage	V _{TRIPF}	3.90	4.20	4.50	V
Low-voltage inhibit reset, trip rising voltage	V _{TRIPR}	4.00	4.30	4.60	V
Low-voltage inhibit reset/recover hysteresis	V _{HYS}	—	100	—	mV

1. V_{DD} = 4.5 to 5.5 Vdc, V_{SS} = 0 Vdc, T_A = T_L to T_H, unless otherwise noted.
2. Typical values reflect average measurements at midpoint of voltage range, 25°C only.
3. Run (operating) I_{DD} measured using external square wave clock source. All inputs 0.2 V from rail. No dc loads. Less than 100 pF on all outputs. All ports configured as inputs. Measured with all modules enabled.
4. Wait I_{DD} measured using external square wave clock source (f_{OP} = 4MHz); all inputs 0.2 V from rail; no dc loads; less than 100 pF on all outputs. All ports configured as inputs.
5. All ports configured as inputs. All ports driven 0.2 V or less from rail. No dc loads. On the 8-pin versions, port B is configured as inputs with pullups enabled.
6. Maximum is highest voltage that POR is guaranteed.
7. If minimum V_{DD} is not reached before the internal POR reset is released, RST must be driven low externally until minimum V_{DD} is reached.
8. R_{PU1} and R_{PU2} are measured at V_{DD} = 5.0 V.

5V 控制时序

Characteristic ⁽¹⁾	Symbol	Min	Max	Unit
Internal operating frequency ⁽²⁾	f_{OP}	—	8	MHz
\overline{RST} input pulse width low ⁽³⁾	t_{IRL}	750	—	ns

- $V_{DD} = 4.5$ to 5.5 Vdc, $V_{SS} = 0$ Vdc, $T_A = T_L$ to T_H ; timing shown with respect to 20% V_{DD} and 70% V_{SS} , unless otherwise noted.
- Some modules may require a minimum frequency greater than dc for proper operation; see appropriate table for this information.
- Minimum pulse width reset is guaranteed to be recognized. It is possible for a smaller pulse width to cause a reset.

5V 振荡器特性

Characteristic	Symbol	Min	Typ	Max	Unit
Internal oscillator frequency	f_{INTCLK}	—	12.8	—	MHz
Crystal frequency, XTALCLK	$f_{OSCXCLK}$	1	—	32	MHz
RC oscillator frequency, RCCLK	f_{RCCLK}	2	—	12	MHz
External clock reference frequency ⁽¹⁾	$f_{OSCXCLK}$	dc	—	32	MHz

- No more than 10% duty cycle deviation from 50%.

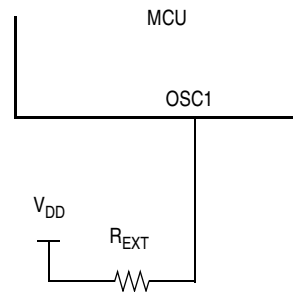
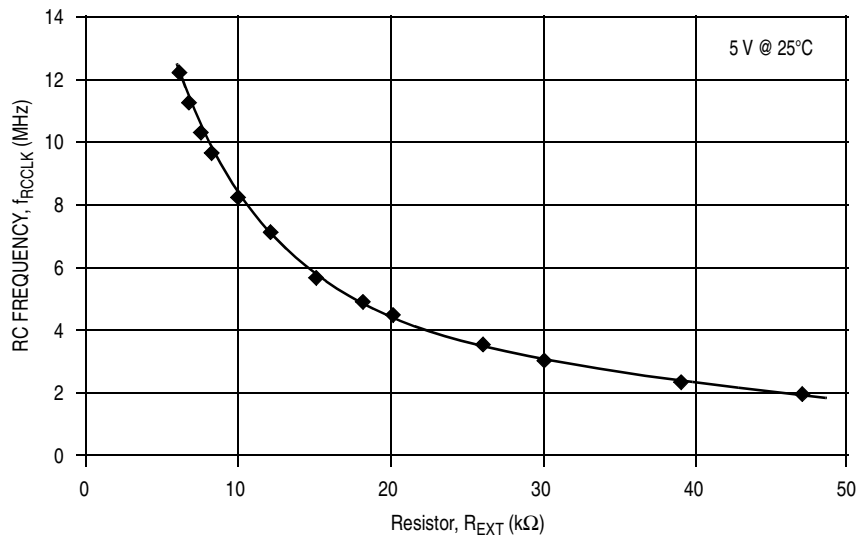


图 48. RC 频率图 (5V, 25°C)

3V 直流电气特性

Characteristic ⁽¹⁾	Symbol	Min	Typ ⁽²⁾	Max	Unit
V _{DD} supply current Run, f _{OP} = 2 MHz ⁽³⁾ Wait, f _{OP} = 2 MHz ⁽⁴⁾ Stop ⁽⁵⁾ , -40°C to 85°C	I _{DD}	—	5 1 1	8 2.5 5	mA mA μA
POR rearm voltage ⁽⁶⁾	V _{POR}	0	—	100	mV
POR rise time ramp rate ⁽⁷⁾	R _{POR}	0.035	—	—	V/ms
Monitor mode entry voltage	V _{DD} +V _{HI}	V _{DD} + 2.5	—	V _{DD} + 4.0	V
Pullup resistors ⁽⁸⁾ RST, IRQ, PTA0-PTA5, PTB0-PTB7	R _{PU}	16	26	36	kΩ
Low-voltage inhibit reset, trip falling voltage	V _{TRIPF}	2.40	2.55	2.70	V
Low-voltage inhibit reset, trip rising voltage	V _{TRIPR}	2.50	2.65	2.80	V
Low-voltage inhibit reset/recover hysteresis	V _{HYS}	—	60	—	mV

- V_{DD} = 2.7 to 3.3 Vdc, V_{SS} = 0 Vdc, T_A = T_L to T_H, unless otherwise noted.
- Typical values reflect average measurements at midpoint of voltage range, 25°C only.
- Run (operating) I_{DD} measured using external square wave clock source. All inputs 0.2 V from rail. No dc loads. Less than 100 pF on all outputs. C_L = 20 pF on OSC2. All ports configured as inputs. OSC2 capacitance linearly affects run I_{DD}. Measured with all modules enabled.
- Wait I_{DD} measured using external square wave clock source (f_{OP} = 4 MHz); all inputs 0.2 V from rail; no dc loads; less than 100 pF on all outputs. C_L = 20 pF on OSC2; all ports configured as inputs; OSC2 capacitance linearly affects wait I_{DD}.
- All ports configured as inputs. All ports driven 0.2 V or less from rail. No dc loads. On the 8-pin versions, port B is configured as inputs with pullups enabled.
- Maximum is highest voltage that POR is guaranteed.
- If minimum V_{DD} is not reached before the internal POR reset is released, $\overline{\text{RST}}$ must be driven low externally until minimum V_{DD} is reached.
- R_{PU1} and R_{PU2} are measured at V_{DD} = 5.0 V

3V 控制时序

Characteristic ⁽¹⁾	Symbol	Min	Max	Unit
Internal operating frequency ⁽²⁾	f _{OP}	—	4	MHz
$\overline{\text{RST}}$ input pulse width low ⁽³⁾	t _{IRL}	1.5	—	μs

- V_{DD} = 2.7 to 3.3 Vdc, V_{SS} = 0 Vdc, T_A = T_L to T_H; timing shown with respect to 20% V_{DD} and 70% V_{DD}, unless otherwise noted.
- Some modules may require a minimum frequency greater than dc for proper operation; see appropriate table for this information.
- Minimum pulse width reset is guaranteed to be recognized. It is possible for a smaller pulse width to cause a reset.

3V 振荡器特性

Characteristic	Symbol	Min	Typ	Max	Unit
Internal oscillator frequency	f_{INTCLK}	—	12.8	—	MHz
Crystal frequency, XTALCLK	f_{OSCCLK}	1	—	16	MHz
RC oscillator frequency, RCCLK	f_{RCCLK}	2	—	12	MHz
External clock reference frequency ⁽¹⁾	f_{OSCCLK}	dc	—	16	MHz

1. No more than 10% duty cycle deviation from 50%

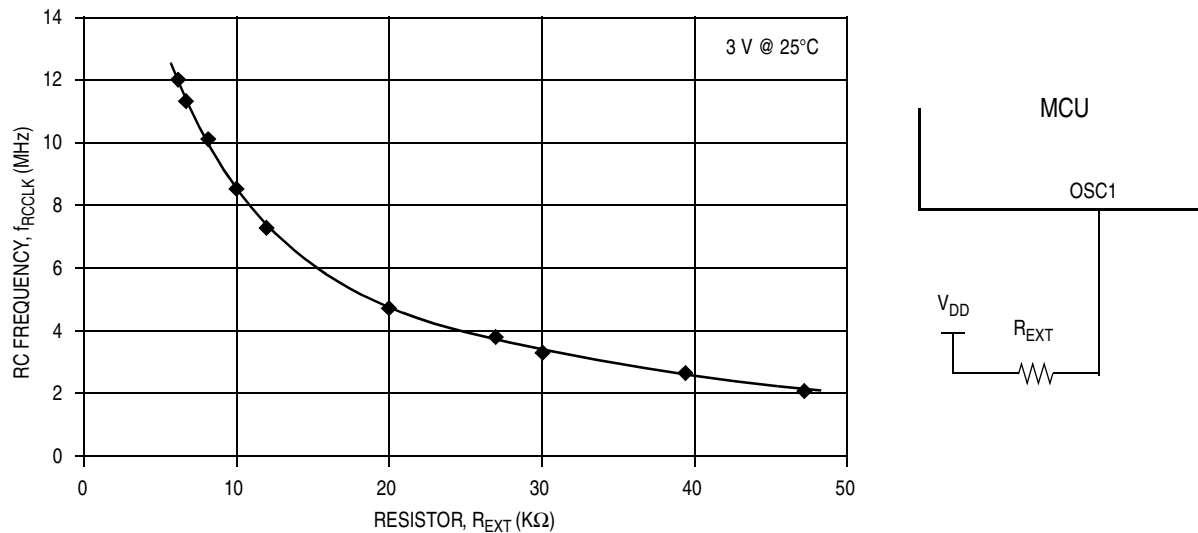


图 49. RC 频率图 (3V, 25°C)

工作电流

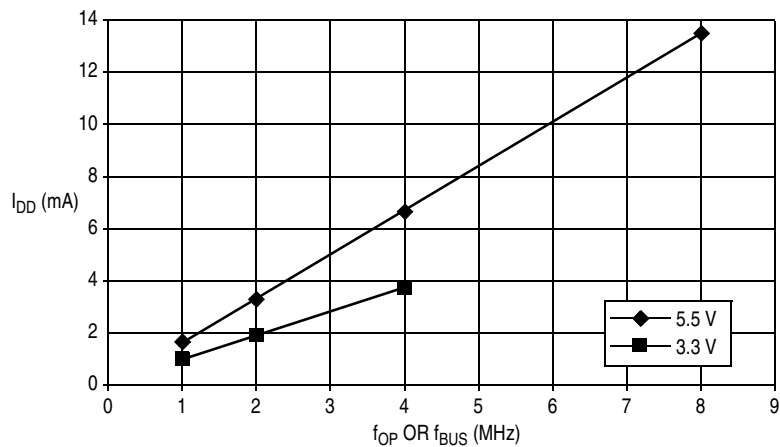


图 50. 所有模块开启工作电流 (25°C)

MC68HC908QY4•MC68HC908QT4•MC68HC908QY2•MC68HC908QT2•MC68HC908QY1•MC68HC908QT1

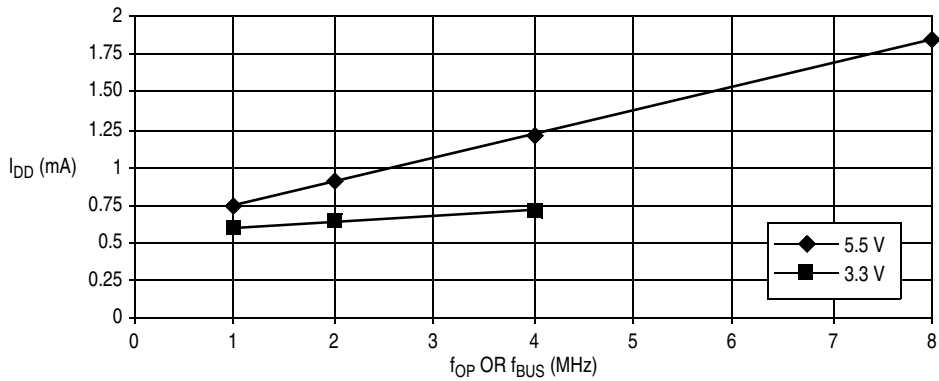


图 51. ADC 模块开启的 WAIT 模式工作电流 (25°C)

模数转换特性

Characteristic	Symbol	Min	Max	Unit	Comments
Input voltages	V _{ADIN}	V _{SS}	V _{DD}	V	—
Resolution	B _{AD}	8	8	Bits	—
Absolute accuracy	A _{AD}	± 0.5	± 1.5	LSB	Includes quantization
ADC internal clock	f _{ADIC}	0.5	1.048	MHz	t _{ADIC} = 1/f _{ADIC} , tested only at 1 MHz
Conversion range	R _{AD}	V _{SS}	V _{DD}	V	—
Power-up time	t _{ADPU}	16		t _{ADIC} cycles	t _{ADIC} = 1/f _{ADIC}
Conversion time	t _{ADC}	16	17	t _{ADIC} cycles	t _{ADIC} = 1/f _{ADIC}
Sample time ⁽¹⁾	t _{ADS}	5	—	t _{ADIC} cycles	t _{ADIC} = 1/f _{ADIC}
Zero input reading ⁽²⁾	Z _{ADI}	00	01	Hex	V _{IN} = V _{SS}
Full-scale reading ⁽³⁾	F _{ADI}	FE	FF	Hex	V _{IN} = V _{DD}
Input capacitance	C _{ADI}	—	8	pF	Not tested
Input leakage ⁽³⁾	—	—	± 1	μA	—

1. Source impedances greater than 10 kΩ may adversely affect internal RC charging time during input sampling.
2. Zero-input/full-scale reading requires sufficient decoupling measures for accurate conversions.
3. The external system error caused by input leakage current is approximately equal to the product of R source and input current.

儲存器特性

Characteristic	Symbol	Min	Max	Unit
RAM data retention voltage	V_{RDR}	1.3	—	V
FLASH program bus clock frequency	—	1	—	MHz
FLASH read bus clock frequency	$f_{Read}^{(1)}$	32 k	8M	Hz
FLASH page erase time <1 K cycles <10 K cycles	$t_{Erase}^{(2)}$	1 4	— —	ms
FLASH mass erase time	$t_{MErase}^{(3)}$	4	—	ms
FLASH PGM/ERASE to HVEN set up time	t_{nvs}	10	—	us
FLASH high-voltage hold time	t_{nvh}	5	—	us
FLASH high-voltage hold time (mass erase)	t_{nvhl}	100	—	us
FLASH program hold time	t_{pgs}	5	—	us
FLASH program time	t_{PROG}	30	40	us
FLASH return to read time	$t_{rcv}^{(4)}$	1	—	us
FLASH cumulative program hv period	$t_{HV}^{(5)}$	—	4	ms
FLASH row erase endurance ⁽⁶⁾	—	10 k	—	Cycles
FLASH row program endurance ⁽⁷⁾	—	10 k	—	Cycles
FLASH data retention time ⁽⁸⁾	—	10	—	Years

- f_{Read} is defined as the frequency range for which the FLASH memory can be read.
- If the page erase time is longer than t_{Erase} (Min), there is no erase disturb, but it reduces the endurance of the FLASH memory.
- If the mass erase time is longer than t_{MErase} (Min), there is no erase disturb, but it reduces the endurance of the FLASH memory.
- t_{rcv} is defined as the time it needs before the FLASH can be read after turning off the high voltage charge pump, by clearing HVEN to logic 0.
- t_{HV} is defined as the cumulative high voltage programming time to the same row before next erase.
 t_{HV} must satisfy this condition: $t_{nvs} + t_{nvh} + t_{pgs} + (t_{PROG} \times 32) \leq t_{HV} \text{ max.}$
- The minimum row endurance value specifies each row of the FLASH memory is guaranteed to work for at least this many erase/program cycles.
- The minimum row endurance value specifies each row of the FLASH memory is guaranteed to work for at least this many erase/program cycles.
- The FLASH is guaranteed to retain data over the entire operating temperature range for at least the minimum time specified.

HOW TO REACH US:

USA/EUROPE/LOCATIONS NOT LISTED:

Motorola Literature Distribution;
P.O. Box 5405, Denver, Colorado 80217
1-303-675-2140 or 1-800-441-2447

JAPAN:

Motorola Japan Ltd.; SPS, Technical Information Center,
3-20-1, Minami-Azabu Minato-ku, Tokyo 106-8573 Japan
81-3-3440-3569

ASIA/PACIFIC:

Motorola Semiconductors H.K. Ltd.;
Silicon Harbour Centre, 2 Dai King Street,
Tai Po Industrial Estate, Tai Po, N.T., Hong Kong
852-26668334

TECHNICAL INFORMATION CENTER:

1-800-521-6274

HOME PAGE:

<http://motorola.com/semiconductors>

Information in this document is provided solely to enable system and software implementers to use Motorola products. There are no express or implied copyright licenses granted hereunder to design or fabricate any integrated circuits or integrated circuits based on the information in this document.

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part.



Motorola and the Stylized M Logo are registered in the U.S. Patent and Trademark Office. digital dna is a trademark of Motorola, Inc. All other product or service names are the property of their respective owners. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.