



MSP430x13x, MSP430x14x, MSP430x14x1 混合信号微控制器

- 低电源电压范围: 1.8~3.6V
- 超低功耗:
 - 待机模式: 1.6uA
 - 关闭模式(RAM 保持): 0.1uA
 - 活动模式: 280uA at 1MHz, 2.2V
- 5 种省电模式
- 6us 内从待机模式唤醒
- 16 位 RISC 结构, 125ns 指令周期
- 带内部参考, 采样保持和自动扫描特性的 12 位 A/D 转换器
- 有 7 个捕获/比较寄存器的 16 位定时器 Timer_B
- 有 3 个捕获/比较寄存器的 16 位定时器 Timer_A
- 片内集成比较器
- 串行在线编程, 无需外部编程电压, 安全熔丝可编程代码保护.
- 串行通信接口 (USART), 异步 UART 或同步 SPI 接口功能:
 - 两个 USARTs (USART0, USART1) -MSP430x14x(1)器件
 - 一个 USART (USART0) -MSP430x13x(1)器件
- 器件系列包括:
 - MSP430F133: 8KB+256B 闪速存储器, 256B 的 RAM
 - MSP430F135: 16KB+256B 闪速存储器, 512B 的 RAM
 - MSP430F147, MSP430F1471†: 32KB+256B 闪速存储器, 1KB 的 RAM
 - MSP430F148, MSP430F1481†: 48KB+256B 闪速存储器, 2KB 的 RAM
 - MSP430F149, MSP430F1491†: 60KB+256B 闪速存储器, 2KB 的 RAM
- 可用封装: 64 脚方形扁平封装(QFP)和 64 脚 QFN
- 完整的模块说明, 请参阅《MSP430x1xx Family User's Guide》, 文献编号 SLAU049

† MSP430F14x1 器件除了没有 ADC12 模块外, 其它与 MSP430F14x 器件是一样的。

描述

德州仪器的 MSP430 系列是一种超低功耗微控制器系列, 由针对各种不同应用集成不同外围器件的多种型号组成。组合了 5 种低功耗模式的体系结构, 使得该微控制器在便携式测量应用场合非常理想地延长了电池的使用寿命。由于其强大的 16 位 RISC CPU, 16 位寄存器和常数发生器, 使得 MSP430 实现了代码效率的最大化。数字控制振荡器 (DCO) 使从低功率模式唤醒到运行模式的唤醒时间小于 6us。

MSP430x13x 和 MSP430x14x(1)系列是有两个内置 16 位定时器, 一个快速 12 位 A/D 转换器(MSP430F14x1 器件里没有), 一或两个通用串行同步/异步通信接口(USART)和 48 个 I/O 引脚构造的微控制器。

典型应用为传感器系统, 把模拟信号转换成数字值, 处理并发送数据到主系统。定时器配置使其应用于波纹计数器, 数字电机控制, EE 仪表, 手持仪表等工业控制场合非常理想。硬件乘法器增强了性能, 并提供一个代码与硬件广泛兼容的系列解决方案。

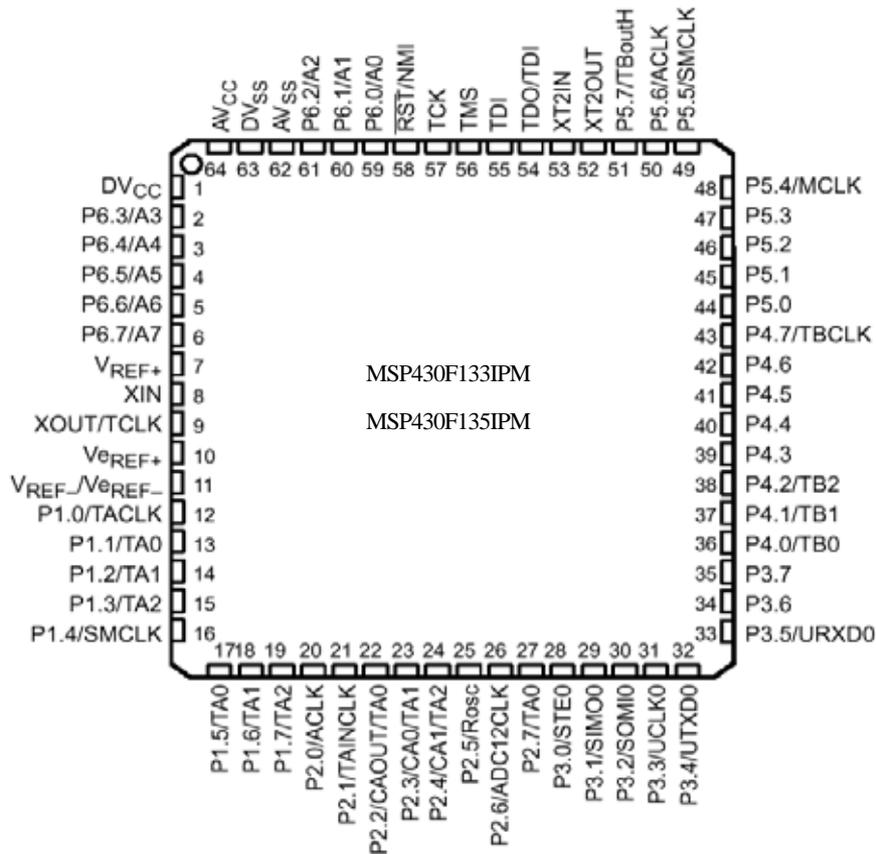
可用选项

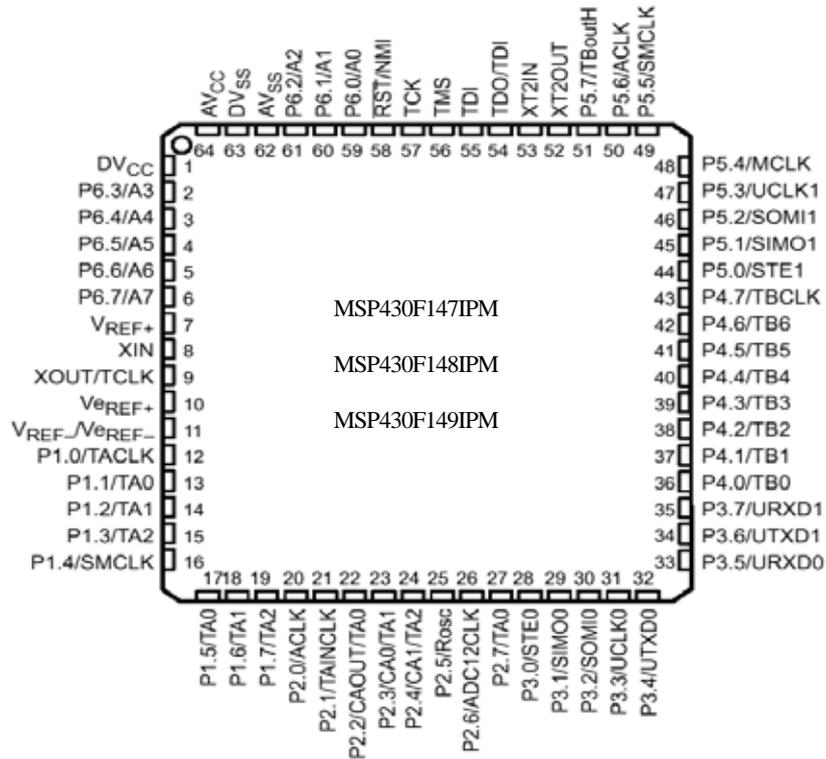
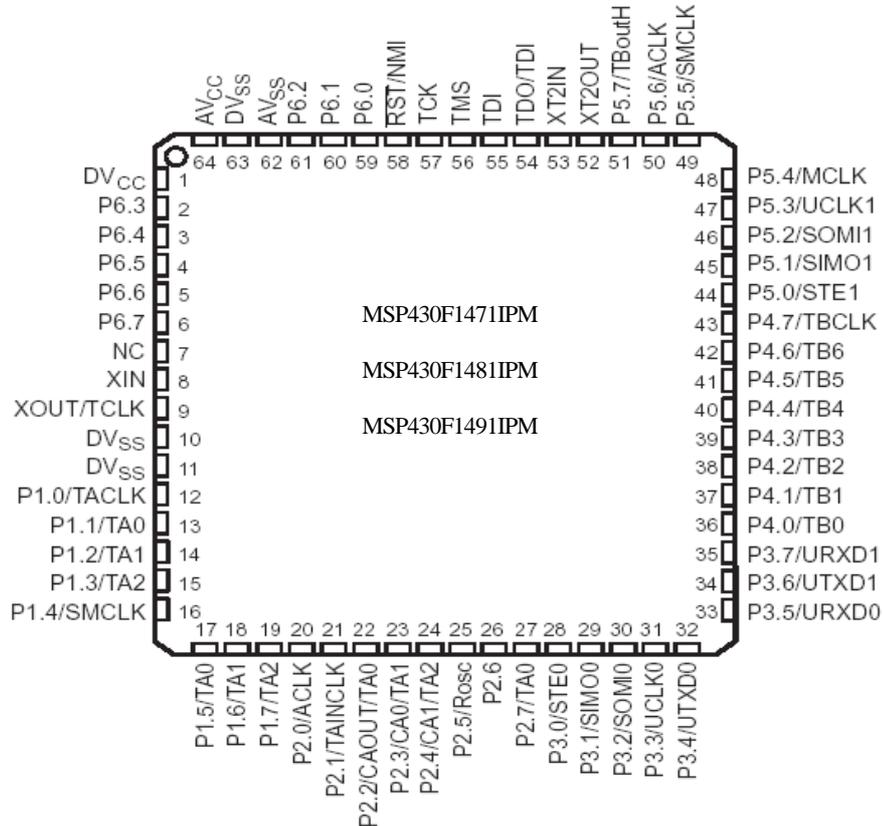
TA	已封装器件		
	塑料 64 脚 QFP (PM)	塑料 64 脚 QFP (PAG)	塑料 64 脚 QFP (RTD)
-40°C—85°C	MSP430F133IPM MSP430F135IPM MSP430F147IPM MSP430F1471IPM MSP430F148IPM MSP430F1481IPM MSP430F149IPM MSP430F1491IPM	MSP430F133IPAG MSP430F135IPAG MSP430F147IPAG MSP430F148IPAG MSP430F149IPAG	MSP430F133IRTD MSP430F135IRTD MSP430F147IRTD MSP430F1471IRTD MSP430F148IRTD MSP430F1481IRTD MSP430F149IRTD MSP430F1491IRTD

 引脚说明: **MSP430F133, MSP430F135**

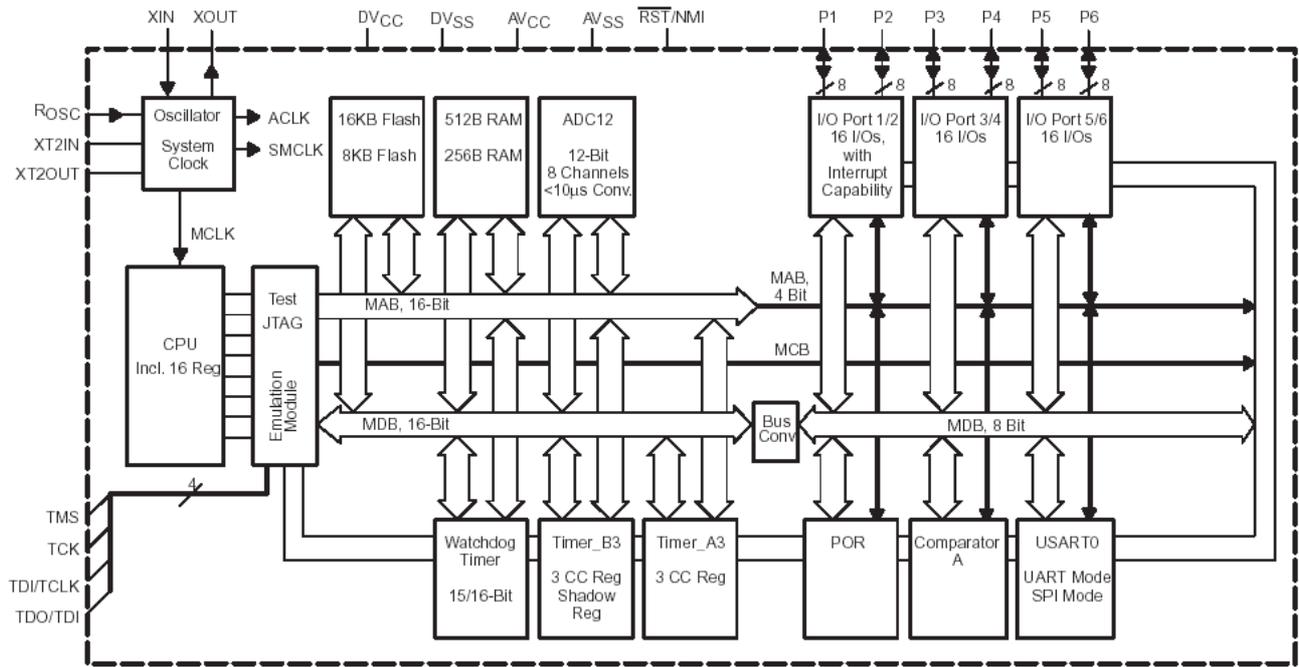
PM, PAG, RTD封装

(顶视图)

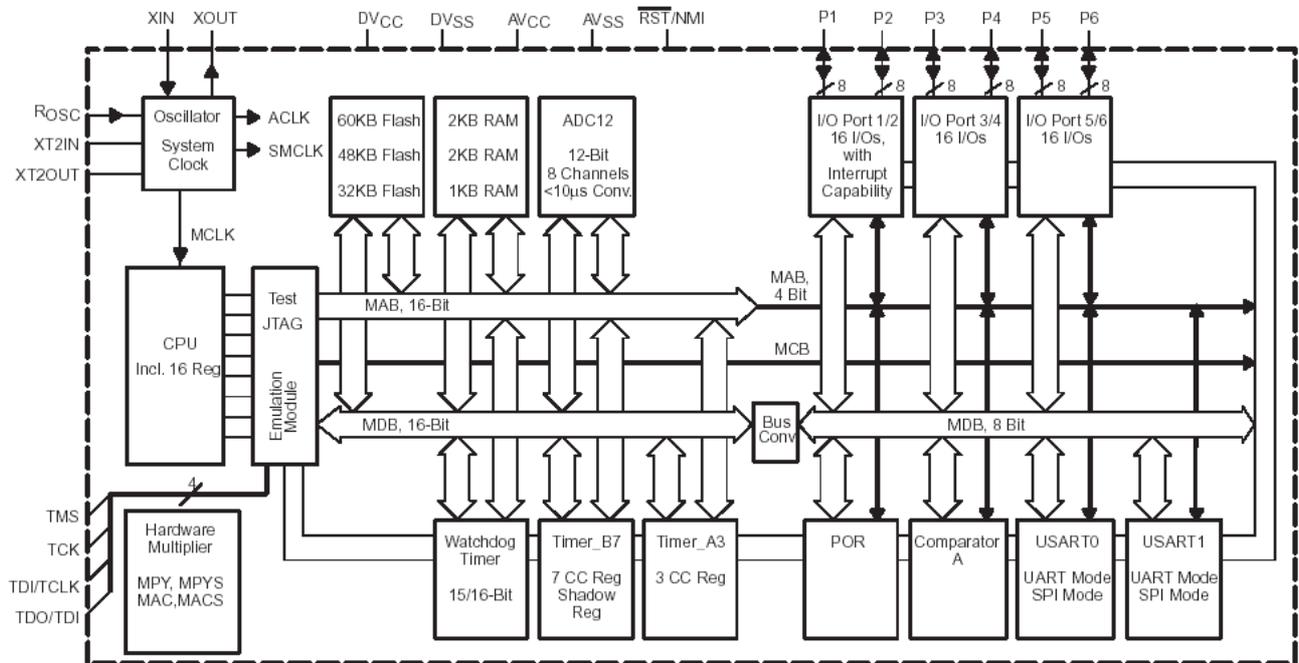


引脚说明: MSP430F147、MSP430F148、MSP430F149

引脚说明: MSP430F1471、MSP430F1481、MSP430F1491


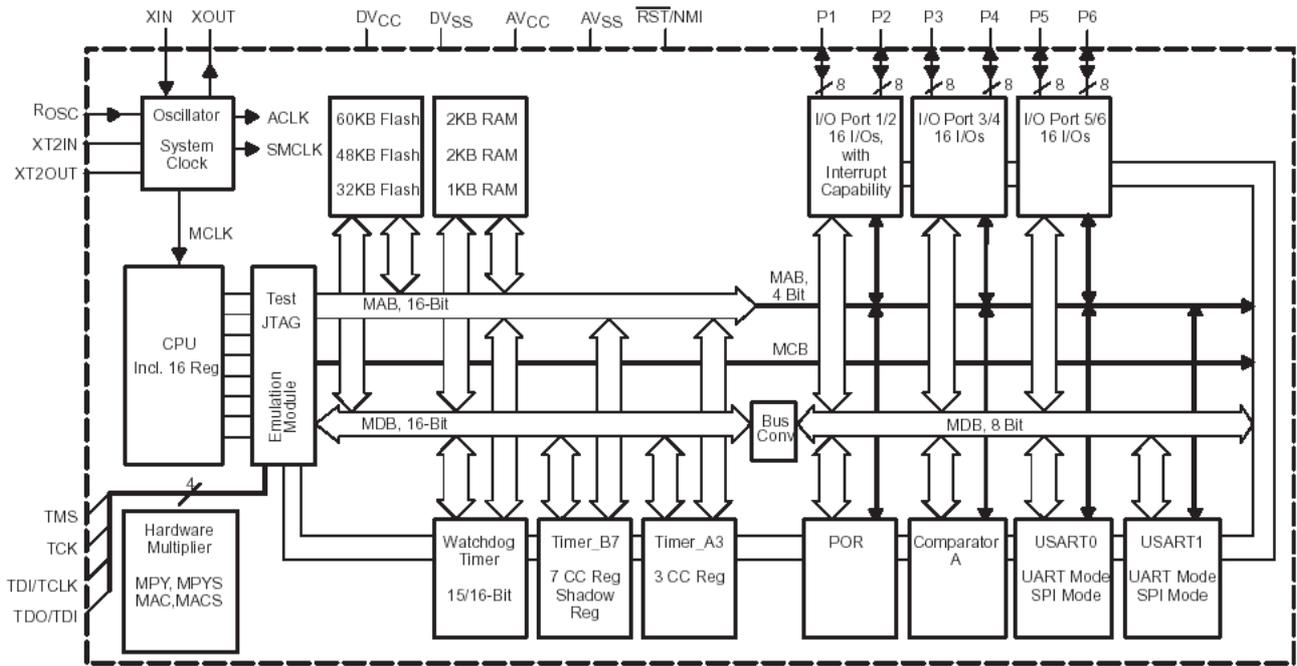
功能框图



MSP430X13X 系列



MSP430X14X 系列



MSP430X14X1 系列

引脚功能

引脚		I/O	说明
名称	编号		
AVCC	64		模拟电源, 正端, 仅供给模数转换器的模拟部分
AVSS	62		模拟电源, 负端, 仅供给模数转换器的模拟部分
DVCC	1		数字电源, 正端, 供给所有数字部分
DVSS	63		数字电源, 负端, 供给所有数字部分
P1.0/TACLK	12	I/O	普通 I/O 引脚/Timer_A, 时钟信号 TACLK 输入
P1.1/TA0	13	I/O	普通数字 I/O 引脚/Timer_A, 捕获: CCI0A 输入, 比较: OUT0 输出/BSL 发送
P1.2/TA1	14	I/O	普通数字 I/O 引脚/Timer_A, 捕获: CCI1A 输入, 比较: OUT1 输出
P1.3/TA2	15	I/O	普通数字 I/O 引脚/Timer_A, 捕获: CCI2A 输入, 比较: OUT2 输出
P1.4/SMCLK	16	I/O	普通数字 I/O 引脚/SMCLK 信号输出
P1.5/TA0	17	I/O	普通数字 I/O 引脚/Timer_A, 比较: OUT0 输出
P1.6/TA1	18	I/O	普通数字 I/O 引脚/Timer_A, 比较: OUT1 输出
P1.7/TA2	19	I/O	普通数字 I/O 引脚/Timer_A, 比较: OUT2 输出
P2.0/ACLK	20	I/O	普通数字 I/O 引脚/ACLK 输出
P2.1/ACLK	21	I/O	普通数字 I/O 引脚/Timer_A: 时钟信号 INCLK
P2.2/CAOUT/TA0	22	I/O	普通数字 I/O 引脚/Timer_A: 捕获: CCI0B 输入/比较器_A 输出/BSL 接受
P2.3/CA0/TA1	23	I/O	普通数字 I/O 引脚/Timer_A: 比较: Out1 输出/比较器_A 输入
P2.4/CA1/TA2	24	I/O	普通数字 I/O 引脚/Timer_A: 比较: Out2 输出/比较器_A 输入
P2.5/Rosc	25	I/O	普通数字 I/O 引脚, 定义 DCO 标称频率的外部电阻输入
P2.6/ADC12CLK	26	I/O	普通数字 I/O 引脚, 12 位 ADC 转换时钟.
P2.7/TA0	27	I/O	普通数字 I/O 引脚/Timer_A, 比较: Out0 输出
P3.0/STE0	28	I/O	普通数字 I/O, 从发送使能-USART0/SPI 方式
P3.1/SIMO0	29	I/O	普通数字 I/O, USART0/SPI 方式的从输入/主输出
P3.2/SOMI0	30	I/O	普通数字 I/O, USART0/SPI 方式的从输出/主输入

P3.3/UCLK0	31	I/O	普通数字 I/O, USART0 时钟: 外部时钟输入-UART 或 SPI 方式, 输出-SPI 模式
P3.4/UTXD0	32	I/O	普通数字 I/O, 发送数据输出-USART0/UART 方式
P3.5/URXD0	33	I/O	普通数字 I/O, 接收数据输入-USART0/UART 方式
P3.6/UTXD1 ⁺	34	I/O	普通数字 I/O, 发送数据输出-USART1/UART 方式
P3.7/URXD1 ⁺	35	I/O	普通数字 I/O, 接收数据输入-USART1/UART 方式
P4.0/TB0	36	I/O	通用数字 I/O, Timer_B 捕获: CCI0A 或 CCI0B 输入 比较: Out0 输出
P4.1/TB1	37	I/O	通用数字 I/O, Timer_B 捕获: CCI1A 或 CCI1B 输入 比较: Out1 输出
P4.2/TB2	38	I/O	通用数字 I/O, Timer_B 捕获: CCI2A 或 CCI2B 输入 比较: Out2 输出
P4.3/TB3 ⁺	39	I/O	通用数字 I/O, Timer_B 捕获: CCI3A 或 CCI3B 输入 比较: Out3 输出
P4.4/TB4 ⁺	40	I/O	通用数字 I/O, Timer_B 捕获: CCI4A 或 CCI4B 输入 比较: Out4 输出
P4.5/TB5 ⁺	41	I/O	通用数字 I/O, Timer_B 捕获: CCI5A 或 CCI5B 输入 比较: Out5 输出
P4.6/TB6 ⁺	42	I/O	通用数字 I/O, Timer_B 捕获: CCI6A 或 CCI6B 输入 比较: Out6 输出
P4.7/TBCLK	43	I/O	通用数字 I/O, Timer_B, 时钟信号 TBCLK 输入
P5.0/STE1 ⁺	44	I/O	通用数字 I/O, 从发送使能-USART1/SPI 方式
P5.1/SIM1 ⁺	45	I/O	通用数字 I/O, 从入主出 USART1/SPI 模式
P5.2/SOM1 ⁺	46	I/O	通用数字 I/O, 从出主入 USART1/SPI 模式
P5.3/UCLK1 ⁺	47	I/O	通用数字 I/O, USART1 时钟: 外部输入-UART 或 SPI 方式, 输出 SPI 方式
P5.4/MCLK	48	I/O	通用数字 I/O, 主系统时钟 MCLK 输出
P5.5/SMCLK	49	I/O	通用数字 I/O, 次主系统时钟 SMCLK 输出
P5.6/ACLK	50	I/O	通用数字 I/O, 辅助时钟 ACLK 输出
P5.7/TboutH	51	I/O	通用数字 I/O, 切换所有 PWM 数字输出端口到高阻-Timer_B7: TB0 到 TB6
P6.0/A0	59	I/O	普通数字 I/O, 模拟输入 a0-12 位 ADC
P6.1/A1	60	I/O	普通数字 I/O, 模拟输入 a1-12 位 ADC
P6.2/A2	61	I/O	普通数字 I/O, 模拟输入 a2-12 位 ADC
P6.3/A3	2	I/O	普通数字 I/O, 模拟输入 a3-12 位 ADC
P6.4/A4	3	I/O	普通数字 I/O, 模拟输入 a4-12 位 ADC
P6.5/A5	4	I/O	普通数字 I/O, 模拟输入 a5-12 位 ADC
P6.6/A6	5	I/O	普通数字 I/O, 模拟输入 a6-12 位 ADC
P6.7/A7	6	I/O	普通数字 I/O, 模拟输入 a7-12 位 ADC
\overline{RST} /NMI	58	I	复位输入, 非屏蔽中断输入端口, 或引导装载程序启动(Flash 器件).
TCK	57	I	测试时钟 TCK 是用于器件编程测试和引导装载程序启动(flash 器件)时钟输入端口
TDI	55	I	测试数据输入或测试时钟输入. 器件保护熔丝连接 TDI.
TDO/TDI	54	I/O	测试数据输出端口. TDO/TDI 数据输出或编程数据输入端口
TMS	56	I	测试模式选择. TMS 用作一个器件编程和测试的输入端口
V _{eREF+}	10	I/P	ADC 外部参考电压输入
V _{REF+}	7	O	ADC 参考电压正端输出
V _{REF-} /V _{eREF-}	11	O	内部 ADC 参考电压和外部施加的 ADC 参考电压的负端
XIN	8	I	晶体振荡器 XT1 的输入端口. 可以连接标准晶体或手表晶体
XOUT/TCLK	9	I/O	晶体振荡器 XT1 的输出端
XT2IN	53	I	晶体振荡器 XT2 的输入端口. 只能连接标准晶体
XT2OUT	52	O	晶体振荡器 XT2 输出端

简要说明

CPU

MSP430 CPU 基于一种对应用开发高度透明的 16 位 RISC 结构. 除了程序流指令以外的所有操作, 都是作为寄存器连同 7 种源操作数寻址方式和 4 种目的操作数寻址方式来执行的。

CPU 集成了 16 个寄存器提供精简指令执行时间。寄存器到寄存器操作执行时间被减少到一个处理器时钟周期。

其中 4 个寄存器被保留, 分别专门用作程序计数器, 堆栈计数器, 状态寄存器, 和常数发生器。其余的寄存器可用作通用寄存器。外设利用一个数据、地址和控制总线连接到 CPU, 并能利用所有指令操作。

程序计数器	PC/R0
堆栈指针	SP/R1
状态寄存器	SR/CG1/R2
常数发生器	CG2/R3
通用寄存器	R4
通用寄存器	R5
•	
通用寄存器	R14
通用寄存器	R15

指令集

指令集由 51 条指令三种格式和七种寻址方式的组成。每条指令都对字和字节数据进行操作。表 1 给出了三类指令格式的例子, 寻址方式在表 2 中列出。

表 1 指令字格式

双操作数, 源-目的,	例如 ADD R4, R5	R4+R5→R5
单操作数, 仅目的,	例如 CALL R8	PC→(TOS), R8→PC
相对跳转, 无 / 有条件,	例如 JNE	不相等, 跳转

表 2 寻址方式说明

寻址方式	s	d	语 法	例 子	操 作
寄存器	√	√	MOV Rs, Rd	MOV R10, R11	R10→R11
索引	√	√	MOV X(Rn), Y(Rm)	MOV 2(R5), 6(R6)	M(2 + R5) → M(6 + R6)
符号(PC相对)	√	√	MOV EDE, TONI		M(EDE) → M(TONI)
绝对	√	√	MOV &MEM, TCDAT		M(MEM) → M(TCDAT)
间接	√		MOV @Rn, Y(Rm)	MOV @R10, Tab(R6)	M(R10) → M(Tab + R6)
间接自动增量	√		MOV @Rn+, RM	MOV @R10+, R11	M(R10)→R11, R10 + 2→R10
直接	√		MOV #X, TONI	MOV #45, TONI	#45→ M(TONI)

注意: s=源操作数 d=目的操作数

运行模式

MSP430具有一种活动模式和五种软件可选的低功耗运行模式。一个中断事件可以将芯片从五种低功耗模式中的任何一种唤醒，服务中断请求并在从中断程序返回时恢复低功耗模式。

下列六种运行模式由软件配置：

- 活动模式AM:
 - 所有时钟活动
- 低功耗模式0 (LPM0)
 - CPU关闭
 - ACLK和SMCLK保持活动, MCLK关闭
- 低功耗模式1 (LPM1)
 - CPU关闭
 - ACLK和SMCLK保持活动, MCLK关闭
 - 如果DCO在活动模式中没有使用, DCO的直流发生器将关闭
- 低功耗模式2 (LPM2)
 - CPU关闭
 - MCLK、SMCLK关闭
 - DCO的直流发生器保持活动
 - ACLK保持活动
- 低功耗模式3 (LPM3)
 - CPU关闭
 - MCLK、SMCLK关闭
 - DCO的直流发生器关闭
 - ACLK保持活动
- 低功耗模式4 (LPM4)
 - CPU关闭
 - ACLK关闭
 - MCLK、SMCLK关闭
 - DCO的直流发生器关闭
 - 晶体振荡器停止

中断向量地址

中断向量和上电启动地址位于存储器中0FFFFh-0FFE0h的地址范围内，向量包含相应中断处理程序指令序列的16位地址。

中断源	中断标志	系统中断	字地址	优先级
上电, 外部复位, 看门狗, 闪存存储器	WDTIFG KEYV(见注1)	复位	0FFFEH	15, 最高
NMI 振荡器故障 闪存存储器访问违例	NMIIFG(见注1&4) OFIFG(见注1&4) ACCIVFG(见注1&4)	(非)屏蔽 (非)屏蔽 (非)屏蔽	0FFFCH	14
Timer_B7(见注5)	TBCCR0 CCIFG(见注2)	可屏蔽	0FFFAH	13
Timer_B7(见注5)	TBCCR1到CCIFGs TBIFG(见注1&2)	可屏蔽	0FFF8H	12
比较器_A	CAIFG	可屏蔽	0FFF6H	11
看门狗定时器	WDTIFG	可屏蔽	0FFF4H	10

USART0接收	URXIFG0	可屏蔽	0FFF2H	9
USART0发送	UTXIFG0	可屏蔽	0FFF0H	8
ADC12(见注6)	ADC12IFG(见注1&2)	可屏蔽	0FFEEH	7
Timer_A3	TACCR0 CCIFG(见注2)	可屏蔽	0FFECH	6
Timer_A3	TACCR1 CCIFG, TACCR2 CCIFG, TAIFG(见注1&2)	可屏蔽	0FFEAH	5
I/O端口P1(8个标志)	P1IFG.0到P1IFG.7(见注1&2)	可屏蔽	0FFE8H	4
USART1接收	URXIFG1	可屏蔽	0FFE6H	3
USART1发送	UTXIFG1		0FFE4H	2
I/O端口P2(8个标志)	P2IFG.0到P2IFG.7(见注1&2)	可屏蔽	0FFE2H	1
			0FFE0H	0, 最低

注: 1. 多源标志。

2. 中断标志位于模块中。

3. 非屏蔽: 既非独立的也非通用的中断允许位能够禁止中断事件。

4. (非)屏蔽: 独立中断允许位能够禁止中断事件, 但通用中断允许位不能禁止。

5. MSP430x14x(1)系列中Timer_B7有7个捕获/比较寄存器;MSP430x13x系列中Timer_B3有3个捕获/比较寄存器;Timer_B3仅有中断标志CCIG0、1和2和中断使能位CCIE0、1和2。

6. 14x1器件中没有集成ADC12。

特殊功能寄存器

大多数中断和模块的使能位集中于最低地址空间, 没有分配功能用途的特殊功能寄存器位在物理上并不存在于器件中, 这种安排使得软件访问很简单。

中断使能1和2

地址	7	6	5	4	3	2	1	0
00h	UTXIE 0	URXIE 0	ACCVIE	NMIIE			OFIE	WDTIE
	rw-0	rw-0	rw-0	rw-0			rw-0	rw-0

WDTIE: 看门狗定时器中断使能。选择看门狗模式时不可用, 定时器模式时可用。

OFIE: 振荡器失效中断使能

NMIIE: 非屏蔽中断使能

ACCVIE: 闪速存储器访问异常中断使能

URXIE0: USART0: UART和SPI接收中断使能

UTXIE0: USART0: UART和SPI发送中断使能

地址	7	6	5	4	3	2	1	0
01h			UTXIE1	URXIE1				
			rw-0	rw-0				

URXIE1: USART1: UART和SPI接收中断使能

UTXIE1: USART1: UART和SPI发送中断使能

中断标志寄存器1和2

地址	7	6	5	4	3	2	1	0
02h	UTXIFG0	URXIFG0		NMIIFG			OFIFG	WDTIFG
	rw-1	rw-0		rw-0			rw_1	rw_(0)

WDTIFG: 看门狗定时器溢出(看门狗模式)或安全码异常时置位。VCC上电复位或当RST/NMI处于复位模式时有



复位条件时置位。

OFIFG: 振荡器失效时标志置位。

NMIIFG: 通过RST/NMI引脚置位。

URXIFG0: USART0: UART和SPI接收标志。

UTXIFG0: USART0: UART和SPI发送标志。

地址	7	6	5	4	3	2	1	0
03h			UTXIFG1	URXIFG1				
			rw-1	rw-0				

URXIFG1: USART1: UART和SPI接收标志。

UTXIFG1: USART1: UART和SPI发送标志。

模块使能寄存器1和2

地址	7	6	5	4	3	2	1	0
04h	UTXE0	URXE0, USPIE0						
	rw-0	rw-0						

URXE0: USART0: UART接收使能。

UTXE0: USART0: UART发送使能。

USPIE0: USART0: SPI(同步外设接口)发送和接收使能。

地址	7	6	5	4	3	2	1	0
05h			UTXE1	URXE1, USPIE1				
			rw-0	rw-0				

URXE1: USART1: UART接收使能。

UTXE1: USART1: UART发送使能。

USPIE1: USART1: SPI(同步外设接口)发送和接收使能。

图例: rw: 位可读可写

rw-0: 位可读可写, 由PUC复位

: 器件中不存在的SFR位

存储器组织

		MSP430F133	MSP430F135	MSP430F147/ MSP430F1471	MSP430F148/ MSP430F1481	MSP430F149/ MSP430F1491
Memory	Size	8KB	16KB	32KB	48KB	60KB
	Flash	0FFFFh - 0FFE0h	0FFFFh - 0FFE0h	0FFFFh - 0FFE0h	0FFFFh - 0FFE0h	0FFFFh - 0FFE0h
Main: interrupt vector	Flash	0FFFFh - 0E000h	0FFFFh - 0C000h	0FFFFh - 08000h	0FFFFh - 04000h	0FFFFh - 01100h
Main: code memory	Size	256 Byte	256 Byte	256 Byte	256 Byte	256 Byte
	Flash	010FFh - 01000h	010FFh - 01000h	010FFh - 01000h	010FFh - 01000h	010FFh - 01000h
Information memory	Size	1KB	1KB	1KB	1KB	1KB
	ROM	0FFFh - 0C00h	0FFFh - 0C00h	0FFFh - 0C00h	0FFFh - 0C00h	0FFFh - 0C00h
Boot memory	Size	256 Byte	512 Byte	1KB	2KB	2KB
	ROM	02FFh - 0200h	03FFh - 0200h	05FFh - 0200h	09FFh - 0200h	09FFh - 0200h
RAM	16-bit	01FFh - 0100h	01FFh - 0100h	01FFh - 0100h	01FFh - 0100h	01FFh - 0100h
	8-bit	0FFh - 010h	0FFh - 010h	0FFh - 010h	0FFh - 010h	0FFh - 010h
	8-bit SFR	0Fh - 00h	0Fh - 00h	0Fh - 00h	0Fh - 00h	0Fh - 00h

引导装载程序(BSL)

MSP430引导程序装载程序使用户能通过UART串行接口编程闪速存储器或RAM。通过BSL访问MSP430内存受用户自定义的密码保护。对BSL的完整描述和它的特性, 请查阅应用报告《Features of the MSP430Bootstrap Loader》文献编号SLAA089。

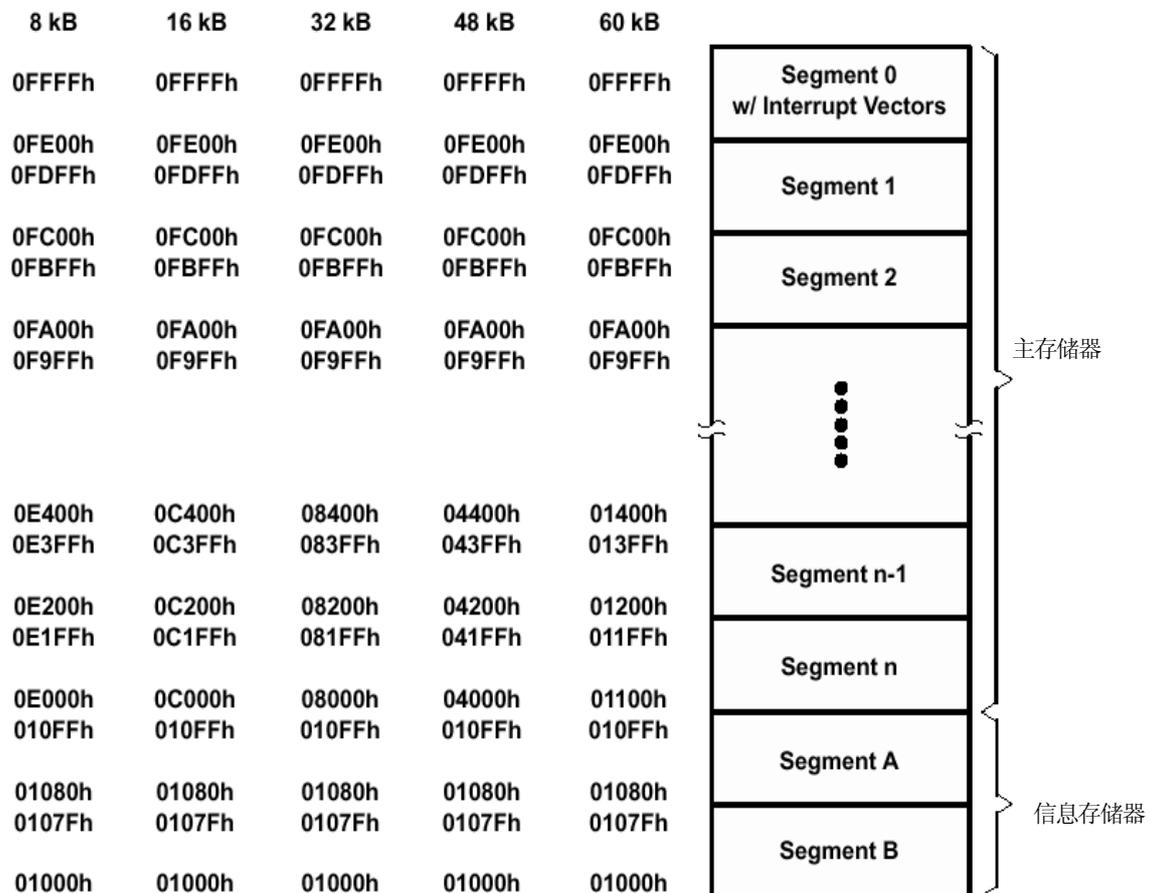
BSL Function	PM, PAG & RTD Package Pins
Data Transmit	13 - P1.1
Data Receive	22 - P2.2

闪存存储器

对闪存存储器的编程可以通过JTAG接口, BSL或由CPU在系统编程。CPU可对闪存存储器进行单字节和单字写。

闪存存储器的特性包括:

- 闪存存储器有n段主存储器和每段各128字节的信息存储器(A和B), 主存储器每段长为512字节。
- 段0到n可以一步擦除, 也可以每段分别擦除。
- 段A和B可以分别擦除, 或与段0到n作为一组擦除。段A和B也叫做信息存储器。
- 新器件的信息存储器中可能有一些已经编程的字节(用于生产期间的测试), 在首次使用之前用户应该执行一次信息存储器的擦除。



外围设备

外设通过数据、地址和控制总线连接到CPU, 并能容易地用所有指令处理。

数字 I/O

有 6 个 8 位 I/O 端口—P1 到 P6:

- 所有独立 I/O 位可独立编程。
- 任何输入输出和中断条件的组合都是可能的。
- 端口 P1 和 P2 的所有 8 位有边沿可选的中断输入能力。
- 所有指令都能对端口控制寄存器进行读/写访问。

振荡器和系统时钟

MSP430x13x 和 MSP43x14x(1)系列的基础时钟模块包括: 32768Hz 手表晶体振荡器, 内部数字控制振荡器(DCO)和高频晶体振荡器。基础时钟模块是为了满足系统成本低和低功耗而专门设计的。内部 DCO 提供快速启动时钟源并且在少于 6us 时间里达到稳定。基础时钟模块提供下列时钟信号:

- 辅助时钟(ACLK), 由 32768Hz 手表晶振或高频晶振提供。
- 主时钟(MCLK), CPU 使用的系统时钟。
- 子时钟(SMCLK), 外设模块使用的子系统时钟。

看门狗定时器

看门狗定时器(WDT)模块的主要功能是在软件发生混乱之后执行一次受控系统重启。如果超过选定的时间间隔则发生一次系统复位。如果应用中不需要看门狗功能, 看门狗定时器模块也可以作为一个定时器使用。

硬件乘法器 (仅 MSP430X14X, MSP430X14X1)

乘法操作由一个专门的外围模块支持。模块执行 16x16, 16x8, 8x16, 8x8 位操作, 模块支持有符号和无符号乘法以及有符号和无符号的乘加操作。在操作数装载到外设寄存器以后, 操作结果能够立即访问, 无需另外的时钟周期。

USART0

MSP430x13x 和 MSP430x14x(1)有一个硬件通用异步/同步接收发送(USART0)外设模块用于串行数据通信。利用双缓冲发送和接受通道, USART 支持同步 SPI(3 或 4 端口)和异步 UART 通信协议。

USART1(仅 MSP430X14X, MSP430X14X1)

MSP430x14x(1)有第二个硬件通用异步/同步接收发送(USART0)外设模块用于串行数据通信。利用双缓冲发送和接受通道, USART 支持同步 SPI(3 或 4 端口)和异步 UART 通信协议。USART1 的操作与 USART0 相同。

比较器 A

比较器模块的主要功能是支持精密斜边 A/D 转换, 电池电压监测, 和外部模拟信号监控。

ADC12(MSP430x14x1 中不包括)

ADC12 模块支持快速 12 位模数转换。模块包含一个 12 位 SAR 核, 采样选择控制, 参考电压发生器和一个 16 字转换-控制缓冲器。转换-控制缓冲器使得没有 CPU 干涉的情况下可以进行 16 次独立的 ADC 采样。

Timer_A3

Timer_A3 是一个带三个捕获/比较寄存器的 16 位定时器/计数器。Timer_A3 可以支持多元捕获/比较, PWM 输出和定时间隔。Timer_A3 有广泛的中断能力。计数器溢出和捕获/比较寄存器都可以引起中断。

Timer_A3 Signal Connections					
Input Pin Number	Device Input Signal	Module Input Name	Module Block	Module Output Signal	Output Pin Number
12 - P1.0	TACLK	TACLK	Timer	NA	
	ACLK	ACLK			
	SMCLK	SMCLK			
21 - P2.1	TAINCLK	INCLK			
13 - P1.1	TA0	CCI0A	CCR0	TA0	13 - P1.1
22 - P2.2	TA0	CCI0B			17 - P1.5
	DVSS	GND			27 - P2.7
	DVCC	VCC			
14 - P1.2	TA1	CCI1A	CCR1	TA1	14 - P1.2
	CAOUT (internal)	CCI1B			18 - P1.6
	DVSS	GND			23 - P2.3
	DVCC	VCC			ADC12 (internal)
15 - P1.3	TA2	CCI2A	CCR2	TA2	15 - P1.3
	ACLK (internal)	CCI2B			19 - P1.7
	DVSS	GND			24 - P2.4
	DVCC	VCC			

**Timer_B3(只存在于 MSP430x13x 中)**

Timer_B3 是一个带三个捕获/比较寄存器的 16 位定时器/计数器, Timer_B3 可以支持多元捕获/比较, PWM 输出和定时间隔。Timer_B3 也有广泛的中断能力。计数器溢出和捕获/比较寄存器都可以引起中断。

Timer_B7 (仅 MSP430X14X, MSP430X14X1)

Timer_B7 是一个带 7 个捕获/比较寄存器的 16 位定时器/计数器。Timer_B7 可以支持多元捕获/比较, PWM 输出和定时间隔。Timer_A3 也有广泛的中断能力。计数器溢出和捕获/比较寄存器都可以引起中断。

Timer_B3/B7 Signal Connections†					
Input Pin Number	Device Input Signal	Module Input Name	Module Block	Module Output Signal	Output Pin Number
43 - P4.7	TBCLK	TBCLK	Timer	NA	
	ACLK	ACLK			
	SMCLK	SMCLK			
43 - P4.7	TBCLK	INCLK	CCR0	TB0	
36 - P4.0	TB0	CCI0A			36 - P4.0
36 - P4.0	TB0	CCI0B			ADC12 (internal)
	DVSS	GND			
	DVCC	VCC			
37 - P4.1	TB1	CCI1A	CCR1	TB1	37 - P4.1
37 - P4.1	TB1	CCI1B			ADC12 (internal)
	DVSS	GND			
	DVCC	VCC			
38 - P4.2	TB2	CCI2A	CCR2	TB2	38 - P4.2
38 - P4.2	TB2	CCI2B			
	DVSS	GND			
	DVCC	VCC			
39 - P4.3	TB3	CCI3A	CCR3	TB3	39 - P4.3
39 - P4.3	TB3	CCI3B			
	DVSS	GND			
	DVCC	VCC			
40 - P4.4	TB4	CCI4A	CCR4	TB4	40 - P4.4
40 - P4.4	TB4	CCI4B			
	DVSS	GND			
	DVCC	VCC			
41 - P4.5	TB5	CCI5A	CCR5	TB5	41 - P4.5
41 - P4.5	TB5	CCI5B			
	DVSS	GND			
	DVCC	VCC			
42 - P4.6	TB6	CCI6A	CCR6	TB6	42 - P4.6
	ACLK (internal)	CCI6B			
	DVSS	GND			
	DVCC	VCC			

†Timer_B3 有 3 个捕获/比较模块(CCR0, CCR1 和 CCR2)。

外围设备模块图

PERIPHERALS WITH WORD ACCESS			
Watchdog	Watchdog Timer control	WDTCTL	0120h
Timer_B7/ Timer_B3 (see Note 1)	Timer_B interrupt vector	TBIV	011Eh
	Timer_B control	TBCTL	0180h
	Capture/compare control 0	TBCCTL0	0182h
	Capture/compare control 1	TBCCTL1	0184h
	Capture/compare control 2	TBCCTL2	0186h
	Capture/compare control 3	TBCCTL3	0188h
	Capture/compare control 4	TBCCTL4	018Ah
	Capture/compare control 5	TBCCTL5	018Ch
	Capture/compare control 6	TBCCTL6	018Eh
	Timer_B register	TBR	0190h
	Capture/compare register 0	TBCCR0	0192h
	Capture/compare register 1	TBCCR1	0194h
	Capture/compare register 2	TBCCR2	0196h
	Capture/compare register 3	TBCCR3	0198h
	Capture/compare register 4	TBCCR4	019Ah
Capture/compare register 5	TBCCR5	019Ch	
Capture/compare register 6	TBCCR6	019Eh	
Timer_A3	Timer_A interrupt vector	TAIV	012Eh
	Timer_A control	TACTL	0160h
	Capture/compare control 0	TACCTL0	0162h
	Capture/compare control 1	TACCTL1	0164h
	Capture/compare control 2	TACCTL2	0166h
	Reserved		0168h
	Reserved		016Ah
	Reserved		016Ch
	Reserved		016Eh
	Timer_A register	TAR	0170h
	Capture/compare register 0	TACCR0	0172h
	Capture/compare register 1	TACCR1	0174h
	Capture/compare register 2	TACCR2	0176h
	Reserved		0178h
	Reserved		017Ah
Reserved		017Ch	
Reserved		017Eh	
Hardware Multiplier (MSP430x14x and MSP430x14x1 only)	Sum extend	SUMEXT	013Eh
	Result high word	RESHI	013Ch
	Result low word	RESLO	013Ah
	Second operand	OP2	0138h
	Multiply signed +accumulate/operand1	MACS	0136h
	Multiply+accumulate/operand 1	MAC	0134h
	Multiply signed/operand 1	MPYS	0132h
	Multiply unsigned/operand 1	MPY	0130h

注释: Timer_B7 在 MSPx14x(1)系列中有 7 个 CCRs, Timer_B3 在 MSP430x13x 系列中有 3 个 CCRs。

外围设备模块图 (续)

PERIPHERALS WITH WORD ACCESS (CONTINUED)			
Flash	Flash control 3	FCTL3	012Ch
	Flash control 2	FCTL2	012Ah
	Flash control 1	FCTL1	0128h
ADC12 (Not implemented in the MSP430x14x1)	Conversion memory 15	ADC12MEM15	015Eh
	Conversion memory 14	ADC12MEM14	015Ch
	Conversion memory 13	ADC12MEM13	015Ah
	Conversion memory 12	ADC12MEM12	0158h
	Conversion memory 11	ADC12MEM11	0156h
	Conversion memory 10	ADC12MEM10	0154h
	Conversion memory 9	ADC12MEM9	0152h
	Conversion memory 8	ADC12MEM8	0150h
	Conversion memory 7	ADC12MEM7	014Eh
	Conversion memory 6	ADC12MEM6	014Ch
	Conversion memory 5	ADC12MEM5	014Ah
	Conversion memory 4	ADC12MEM4	0148h
	Conversion memory 3	ADC12MEM3	0146h
	Conversion memory 2	ADC12MEM2	0144h
	Conversion memory 1	ADC12MEM1	0142h
	Conversion memory 0	ADC12MEM0	0140h
	Interrupt-vector-word register	ADC12IV	01A8h
	Inerrupt-enable register	ADC12IE	01A6h
	Inerrupt-flag register	ADC12IFG	01A4h
	Control register 1	ADC12CTL1	01A2h
	Control register 0	ADC12CTL0	01A0h
	ADC memory-control register15	ADC12MCTL15	08Fh
	ADC memory-control register14	ADC12MCTL14	08Eh
	ADC memory-control register13	ADC12MCTL13	08Dh
	ADC memory-control register12	ADC12MCTL12	08Ch
	ADC memory-control register11	ADC12MCTL11	08Bh
	ADC memory-control register10	ADC12MCTL10	08Ah
	ADC memory-control register9	ADC12MCTL9	089h
	ADC memory-control register8	ADC12MCTL8	088h
	ADC memory-control register7	ADC12MCTL7	087h
	ADC memory-control register6	ADC12MCTL6	086h
	ADC memory-control register5	ADC12MCTL5	085h
	ADC memory-control register4	ADC12MCTL4	084h
ADC memory-control register3	ADC12MCTL3	083h	
ADC memory-control register2	ADC12MCTL2	082h	
ADC memory-control register1	ADC12MCTL1	081h	
ADC memory-control register0	ADC12MCTL0	080h	



外围设备存储器映射图 (续)

PERIPHERALS WITH BYTE ACCESS			
USART1 (MSP430x14x and MSP430x14x1 only)	Transmit buffer	U1TXBUF	07Fh
	Receive buffer	U1RXBUF	07Eh
	Baud rate	U1BR1	07Dh
	Baud rate	U1BR0	07Ch
	Modulation control	U1MCTL	07Bh
	Receive control	U1RCTL	07Ah
	Transmit control	U1TCTL	079h
	USART control	U1CTL	078h
USART0	Transmit buffer	U0TXBUF	077h
	Receive buffer	U0RXBUF	076h
	Baud rate	U0BR1	075h
	Baud rate	U0BR0	074h
	Modulation control	U0MCTL	073h
	Receive control	U0RCTL	072h
	Transmit control	U0TCTL	071h
	USART control	U0CTL	070h
Comparator_A	Comparator_A port disable	CAPD	05Bh
	Comparator_A control2	CACTL2	05Ah
	Comparator_A control1	CACTL1	059h
Basic Clock	Basic clock system control2	BCSCTL2	058h
	Basic clock system control1	BCSCTL1	057h
	DCO clock frequency control	DCOCTL	056h
Port P6	Port P6 selection	P6SEL	037h
	Port P6 direction	P6DIR	036h
	Port P6 output	P6OUT	035h
	Port P6 input	P6IN	034h
Port P5	Port P5 selection	P5SEL	033h
	Port P5 direction	P5DIR	032h
	Port P5 output	P5OUT	031h
	Port P5 input	P5IN	030h
Port P4	Port P4 selection	P4SEL	01Fh
	Port P4 direction	P4DIR	01Eh
	Port P4 output	P4OUT	01Dh
	Port P4 input	P4IN	01Ch
Port P3	Port P3 selection	P3SEL	01Bh
	Port P3 direction	P3DIR	01Ah
	Port P3 output	P3OUT	019h
	Port P3 input	P3IN	018h
Port P2	Port P2 selection	P2SEL	02Eh
	Port P2 interrupt enable	P2IE	02Dh
	Port P2 interrupt-edge select	P2IES	02Ch
	Port P2 interrupt flag	P2IFG	02Bh
	Port P2 direction	P2DIR	02Ah
	Port P2 output	P2OUT	029h
	Port P2 input	P2IN	028h

外围设备模块图 (续)

PERIPHERALS WITH BYTE ACCESS (CONTINUED)			
Port P1	Port P1 selection	P1SEL	026h
	Port P1 interrupt enable	P1IE	025h
	Port P1 interrupt-edge select	P1IES	024h
	Port P1 interrupt flag	P1IFG	023h
	Port P1 direction	P1DIR	022h
	Port P1 output	P1OUT	021h
	Port P1 input	P1IN	020h
Special Functions	SFR module enable 2	ME2	005h
	SFR module enable 1	ME1	004h
	SFR interrupt flag2	IFG2	003h
	SFR interrupt flag1	IFG1	002h
	SFR interrupt enable2	IE2	001h
	SFR interrupt enable1	IE1	000h

工作在自由空气温度条件下的最大额定参数:

作用于 V_{CC} 到 V_{SS} 的电压.....-0.3V 到+4.1V

作用于任何引脚的电压 (相对于 V_{SS}) -0.3V 到 V_{CC}+0.3V

芯片终端的二极管电流.....±2mA

储存温度 (未编程芯片)-55°C 到 150°C

储存温度 (已编程芯片)-40°C 到 85°C

超过最大绝对额定值中列出的条件可能引起芯片永久性的损坏。这些只是额定的极限, 并不代表芯片在超出“推荐运行条件”之外的条件下芯片能够正常运行。在一段时期内暴露在最大绝对额定值将影响芯片的可靠性。

推荐工作条件

PARAMETER		MIN	NOM	MAX	UNITS
Supply voltage during program execution, V _{CC} (AV _{CC} = DV _{CC} = V _{CC})	MSP430F13x, MSP430F14x(1)	1.8		3.6	V
Supply voltage during flash memory programming, V _{CC} (AV _{CC} = DV _{CC} = V _{CC})	MSP430F13x, MSP430F14x(1)	2.7		3.6	V
Supply voltage, V _{SS} (AV _{SS} = DV _{SS} = V _{SS})		0.0		0.0	V
Operating free-air temperature range, T _A	MSP430x13x MSP430x14x(1)	-40		85	°C
LFXT1 crystal frequency, f _(LFXT1) (see Notes 1 and 2)	LF selected, XTS=0 Watch crystal		32768		Hz
	XT1 selected, XTS=1 Ceramic resonator	450		8000	kHz
	XT1 selected, XTS=1 Crystal	1000		8000	kHz
XT2 crystal frequency, f _(XT2)	Ceramic resonator	450		8000	kHz
	Crystal	1000		8000	
Processor frequency (signal MCLK), f _(System)	V _{CC} = 1.8 V	DC		4.15	MHz
	V _{CC} = 3.6 V	DC		8	

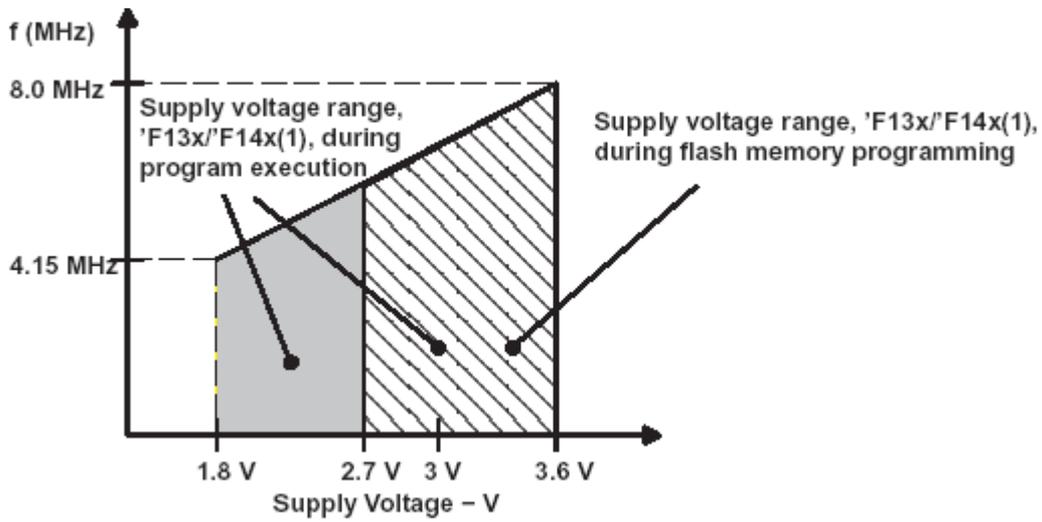


图 1 MSP430F13X 或 MSP430F14X(1)频率和供电电压曲线图

推荐工作自由空气温度条件下的电参数（除非另外注明）

不包括外部电流，流进 $AV_{CC}+DV_{CC}$ 的电源电流

PARAMETER		TEST CONDITIONS		MIN	NOM	MAX	UNIT
$I_{(AM)}$	Active mode, (see Note 1) $f_{(MCLK)} = f_{(SMCLK)} = 1 \text{ MHz}$, $f_{(ACLK)} = 32,768 \text{ Hz}$ $XTS=0, SELM=(0,1)$	$T_A = -40^\circ\text{C to } 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	280	350		μA
			$V_{CC} = 3 \text{ V}$	420	560		
$I_{(AM)}$	Active mode, (see Note 1) $f_{(MCLK)} = f_{(SMCLK)} = 4,096 \text{ Hz}$, $f_{(ACLK)} = 4,096 \text{ Hz}$ $XTS=0, SELM=(0,1)$ $XTS=0, SELM=3$	$T_A = -40^\circ\text{C to } 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	2.5	7		μA
			$V_{CC} = 3 \text{ V}$	9	20		
$I_{(LPM0)}$	Low-power mode, (LPM0) (see Note 1)	$T_A = -40^\circ\text{C to } 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	32	45		μA
			$V_{CC} = 3 \text{ V}$	55	70		
$I_{(LPM2)}$	Low-power mode, (LPM2), $f_{(MCLK)} = f_{(SMCLK)} = 0 \text{ MHz}$, $f_{(ACLK)} = 32,768 \text{ Hz}$, $SCG0 = 0$	$T_A = -40^\circ\text{C to } 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	11	14		μA
			$V_{CC} = 3 \text{ V}$	17	22		
$I_{(LPM3)}$	Low-power mode, (LPM3) $f_{(MCLK)} = f_{(SMCLK)} = 0 \text{ MHz}$, $f_{(ACLK)} = 32,768 \text{ Hz}$, $SCG0 = 1$ (see Note 2)	$T_A = -40^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	0.8	1.5		μA
				0.9	1.5		
				1.6	2.8		
		$T_A = -40^\circ\text{C}$	$V_{CC} = 3 \text{ V}$	1.8	2.2		μA
				1.6	1.9		
				2.3	3.9		
$I_{(LPM4)}$	Low-power mode, (LPM4) $f_{(MCLK)} = 0 \text{ MHz}$, $f_{(SMCLK)} = 0 \text{ MHz}$, $f_{(ACLK)} = 0 \text{ Hz}$, $SCG0 = 1$	$T_A = -40^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	0.1	0.5		μA
				0.1	0.5		
				0.8	2.5		
		$T_A = -40^\circ\text{C}$	$V_{CC} = 3 \text{ V}$	0.1	0.5		μA
				0.1	0.5		
				0.8	2.5		

活动模式下电流消耗相对于系统频率

$$I_{(AM)} = I_{(AM)} [1 \text{ MHz}] \times f_{(\text{System})} [\text{MHz}]$$

活动模式下电流消耗相对于供电电压

$$I_{(AM)} = I_{(AM)} [3 \text{ V}] + 175 \mu\text{A/V} \times (V_{CC} - 3 \text{ V})$$

推荐工作自由空气温度条件下的电参数（除非另外注明）



施密特触发器输入端口 P1、P2、P3、P4、P5、P6;

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V _{IT+}	Positive-going input threshold voltage	V _{CC} = 2.2 V	1.1		1.5	V
		V _{CC} = 3 V	1.5		1.9	
V _{IT-}	Negative-going input threshold voltage	V _{CC} = 2.2 V	0.4		0.9	V
		V _{CC} = 3 V	0.90		1.3	
V _{hys}	Input voltage hysteresis (V _{IT+} - V _{IT-})	V _{CC} = 2.2 V	0.3		1.1	V
		V _{CC} = 3 V	0.5		1	

标准输入 RST/NMI; JTAG: TCK、TMS、TDI/TCLK、TDO/TDI

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V _{IL}	Low-level input voltage	V _{CC} = 2.2 V / 3 V	V _{SS}		V _{SS} +0.6	V
V _{IH}	High-level input voltage		0.8×V _{CC}		V _{CC}	V

输入 P_{x.x}, T_{ax}, T_{Bx}

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	TYP	MAX	UNIT
t _(int)	External interrupt timing	Port P1, P2: P1.x to P2.x, external trigger signal for the interrupt flag, (see Note 1)	2.2 V/3 V	1.5			cycle
			2.2 V	62			ns
			3 V	50			
t _(cap)	Timer_A, Timer_B capture timing	TA0, TA1, TA2 TB0, TB1, TB2, TB3, TB4, TB5, TB6 (see Note 2)	2.2 V	62			ns
			3 V	50			
f _(TAext)	Timer_A, Timer_B clock frequency externally applied to pin	TACLK, TBCLK, INCLK: t _(H) = t _(L)	2.2 V			8	MHz
f _(TBext)			3 V			10	
f _(TAint)	Timer_A, Timer_B clock frequency	SMCLK or ACLK signal selected	2.2 V			8	MHz
f _(TBint)			3 V			10	

漏电流

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
I _{lkg} (P1.x)	Leakage current (see Note 1)	Port P1	V _(P1.x) (see Note 2)	V _{CC} = 2.2 V/3 V		±50	nA
I _{lkg} (P2.x)		Port P2	V _(P2.3) V _(P2.4) (see Note 2)			±50	
I _{lkg} (P6.x)		Port P6	V _(P6.x) (see Note 2)			±50	

输出—P1, P2, P3, P4, P5 和 P6

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V _{OH}	High-level output voltage	I _{OH} (max) = -1 mA, V _{CC} = 2.2 V, See Note 1	V _{CC} -0.25		V _{CC}	V
		I _{OH} (max) = -6 mA, V _{CC} = 2.2 V, See Note 2	V _{CC} -0.6		V _{CC}	
		I _{OH} (max) = -1 mA, V _{CC} = 3 V, See Note 1	V _{CC} -0.25		V _{CC}	
		I _{OH} (max) = -6 mA, V _{CC} = 3 V, See Note 2	V _{CC} -0.6		V _{CC}	
V _{OL}	Low-level output voltage	I _{OL} (max) = 1.5 mA, V _{CC} = 2.2 V, See Note 1	V _{SS}		V _{SS} +0.25	V
		I _{OL} (max) = 6 mA, V _{CC} = 2.2 V, See Note 2	V _{SS}		V _{SS} +0.6	
		I _{OL} (max) = 1.5 mA, V _{CC} = 3 V, See Note 1	V _{SS}		V _{SS} +0.25	
		I _{OL} (max) = 6 mA, V _{CC} = 3 V, See Note 2	V _{SS}		V _{SS} +0.6	



频率输出

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT	
f_{TAx}	TA0..2, TB0-TB6, Internal clock source, SMCLK signal applied (see Note 1)	DC	f_{System}		MHz	
f_{ACLK} , f_{MCLK} , f_{SMCLK}	P5.6/ACLK, P5.4/MCLK, P5.5/SMCLK $C_L = 20\text{ pF}$		f_{System}			
t_{xdc}	Duty cycle of output frequency,	P2.0/ACLK $C_L = 20\text{ pF}$, $V_{CC} = 2.2\text{ V} / 3\text{ V}$	$f_{ACLK} = f_{LFXT1} = f_{XT1}$	40%	60%	
			$f_{ACLK} = f_{LFXT1} = f_{LF}$	30%	70%	
			$f_{ACLK} = f_{LFXT1}/n$		50%	
		P1.4/SMCLK, $C_L = 20\text{ pF}$, $V_{CC} = 2.2\text{ V} / 3\text{ V}$	$f_{SMCLK} = f_{LFXT1} = f_{XT1}$	40%	60%	
			$f_{SMCLK} = f_{LFXT1} = f_{LF}$	35%	65%	
			$f_{SMCLK} = f_{LFXT1}/n$	50%- 15 ns	50%	50%- 15 ns
$f_{SMCLK} = f_{DCOCLK}$	50%- 15 ns	50%	50%- 15 ns			

输出—P1, P2, P3, P4, P5 和 P6(续表)

TYPICAL LOW-LEVEL OUTPUT CURRENT vs LOW-LEVEL OUTPUT VOLTAGE

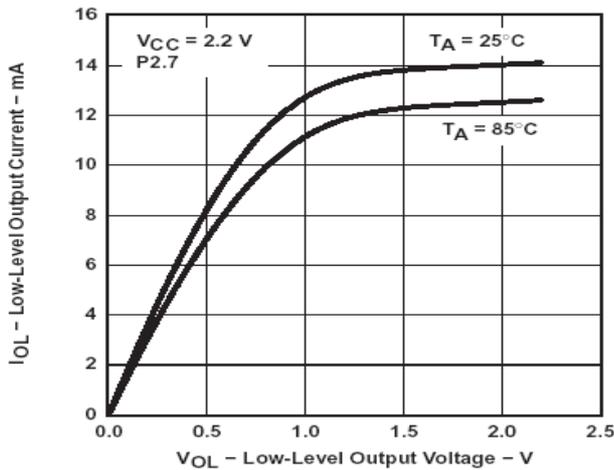


Figure 2

TYPICAL LOW-LEVEL OUTPUT CURRENT vs LOW-LEVEL OUTPUT VOLTAGE

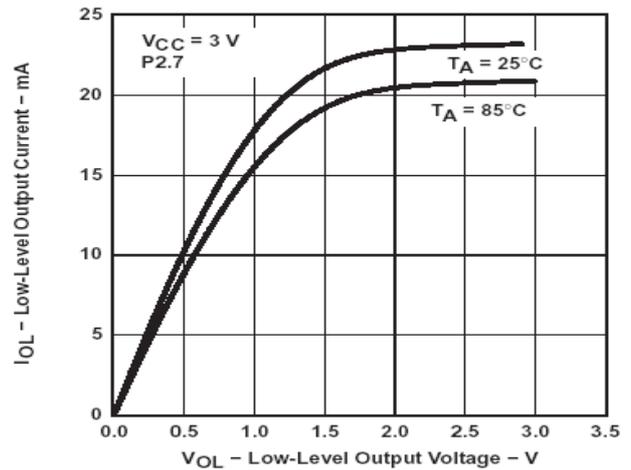


Figure 3

TYPICAL HIGH-LEVEL OUTPUT CURRENT vs HIGH-LEVEL OUTPUT VOLTAGE

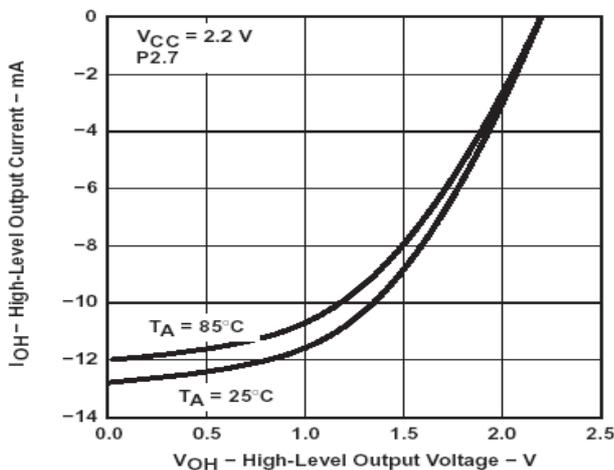


Figure 4

TYPICAL HIGH-LEVEL OUTPUT CURRENT vs HIGH-LEVEL OUTPUT VOLTAGE

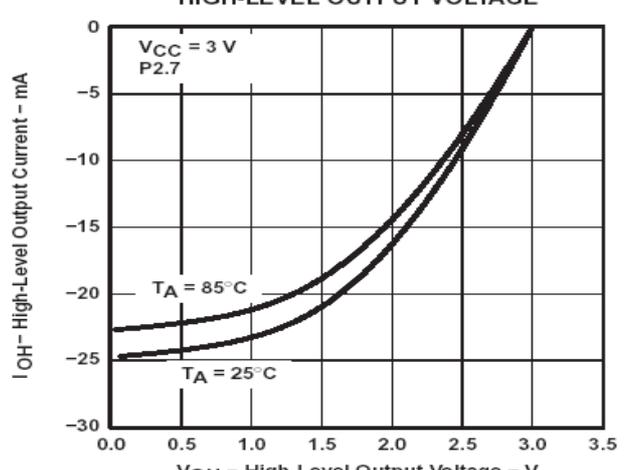


Figure 5

LPM3 唤醒

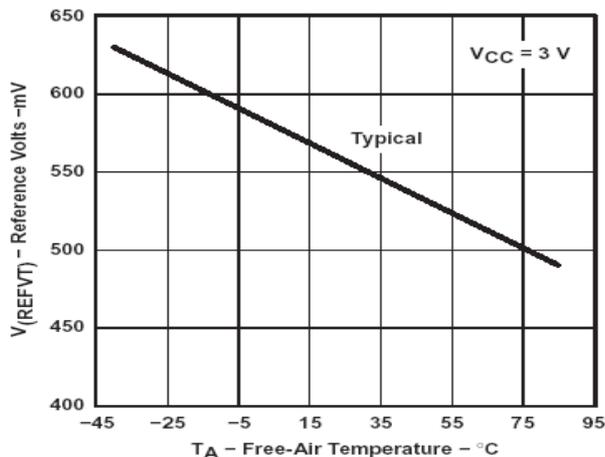
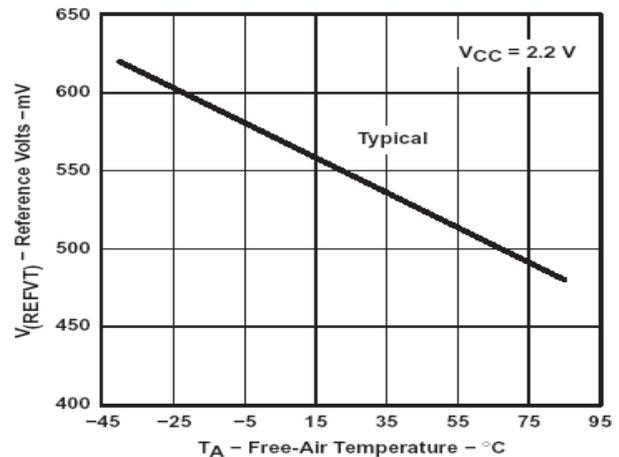
PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{(LPM3)}$ Delay time	f = 1 MHz	$V_{CC} = 2.2 \text{ V/3 V}$		6	μs
	f = 2 MHz				
	f = 3 MHz				

RAM

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
VRAMh	CPU HALTED (see Note 1)	1.6			V

比较器_A

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT	
$I_{(DD)}$	CAON=1, CARSEL=0, CAREF=0	$V_{CC} = 2.2 \text{ V}$	25	40	μA	
		$V_{CC} = 3 \text{ V}$	45	60		
$I_{(\text{Refladder/Refdiode})}$	CAON=1, CARSEL=0, CAREF=1/2/3, no load at P2.3/CA0/TA1 and P2.4/CA1/TA2	$V_{CC} = 2.2 \text{ V}$	30	50	μA	
		$V_{CC} = 3 \text{ V}$	45	71		
$V_{(IC)}$ Common-mode input voltage	CAON = 1	$V_{CC} = 2.2 \text{ V/3 V}$	0	$V_{CC}-1$	V	
$V_{(\text{Ref}025)}$	Voltage @ $0.25 V_{CC}$ node $\frac{V_{(Ref025)}}{V_{CC}}$	PCA0=1, CARSEL=1, CAREF=1, no load at P2.3/CA0/TA1 and P2.4/CA1/TA2	$V_{CC} = 2.2 \text{ V/3 V}$	0.23	0.24	0.25
$V_{(\text{Ref}050)}$	Voltage @ $0.5V_{CC}$ node $\frac{V_{(Ref050)}}{V_{CC}}$	PCA0=1, CARSEL=1, CAREF=2, no load at P2.3/CA0/TA1 and P2.4/CA1/TA2	$V_{CC} = 2.2 \text{ V/3 V}$	0.47	0.48	0.5
$V_{(\text{RefVT})}$ (see Figure 6)	PCA0=1, CARSEL=1, CAREF=3, no load at P2.3/CA0/TA1 and P2.4/CA1/TA2 $T_A = 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	390	480	540	mV
		$V_{CC} = 3 \text{ V}$	400	490	550	
$V_{(\text{offset})}$ Offset voltage	See Note 2	$V_{CC} = 2.2 \text{ V/3 V}$	-30		30	mV
V_{hys} Input hysteresis	CAON=1	$V_{CC} = 2.2 \text{ V/3 V}$	0	0.7	1.4	mV
$t_{(\text{response LH})}$	$T_A = 25^\circ\text{C}$, Overdrive 10 mV, Without filter: CAF=0	$V_{CC} = 2.2 \text{ V}$	130	210	300	ns
		$V_{CC} = 3 \text{ V}$	80	150	240	
	$T_A = 25^\circ\text{C}$, Overdrive 10 mV, With filter: CAF=1	$V_{CC} = 2.2 \text{ V}$	1.4	1.9	3.4	μs
		$V_{CC} = 3 \text{ V}$	0.9	1.5	2.6	
$t_{(\text{response HL})}$	$T_A = 25^\circ\text{C}$, Overdrive 10 mV, Without filter: CAF=0	$V_{CC} = 2.2 \text{ V}$	130	210	300	ns
		$V_{CC} = 3 \text{ V}$	80	150	240	
	$T_A = 25^\circ\text{C}$, Overdrive 10 mV, With filter: CAF=1	$V_{CC} = 2.2 \text{ V}$	1.4	1.9	3.4	μs
		$V_{CC} = 3 \text{ V}$	0.9	1.5	2.6	


 Figure 6. $V_{(\text{RefVT})}$ vs Temperature, $V_{CC} = 3 \text{ V}$

 Figure 7. $V_{(\text{RefVT})}$ vs Temperature, $V_{CC} = 2.2 \text{ V}$

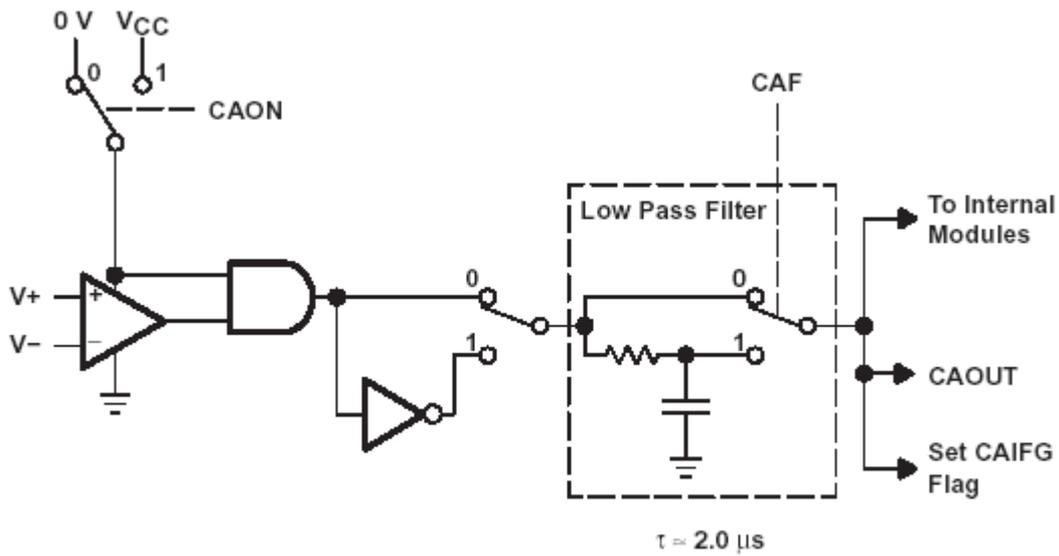


Figure 8. Block Diagram of Comparator_A Module

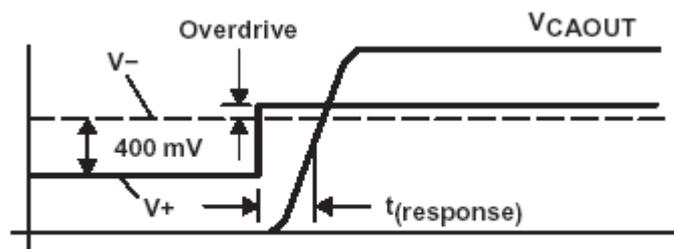


Figure 9. Overdrive Definition

PUC/POR

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{(POR_Delay)}$	Internal time delay to release POR		150	250	μs
V_{POR}	V_{CC} threshold at which POR release delay time begins (see Note 1)	$T_A = -40^\circ C$		1.8	V
		$T_A = 25^\circ C$		1.5	V
		$T_A = 85^\circ C$	$V_{CC} = 2.2 V/3 V$	0.8	1.2
$V_{(min)}$	V_{CC} threshold required to generate a POR (see Note 2)		0.2		V
$t_{(reset)}$	\overline{RST}/NMI low time for PUC/POR		2		μs

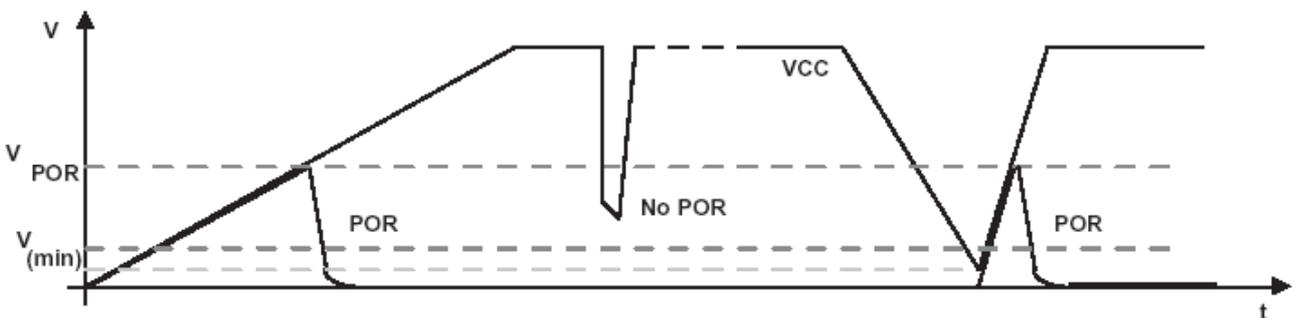


图 10 POR 电源上电复位与供电图

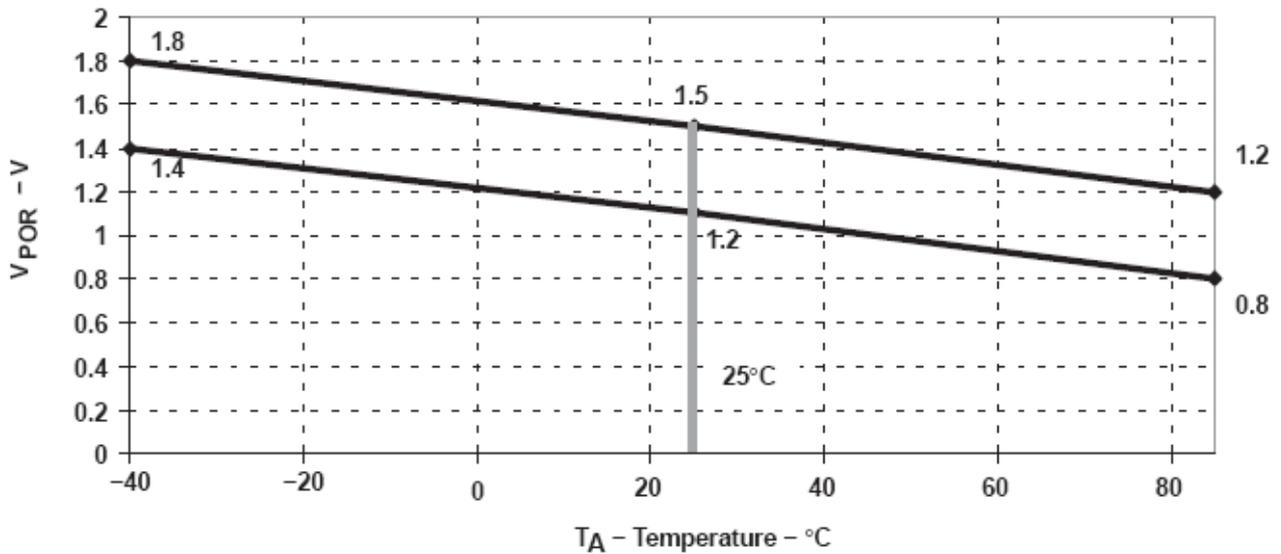


图 11 VPOR 与温度示意图

DCO 特性

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT	
f _(DCO03)	R _{sel} = 0, DCO = 3, MOD = 0, DCOR = 0, T _A = 25°C	V _{CC} = 2.2 V	0.08	0.12	0.15	MHz
		V _{CC} = 3 V	0.08	0.13	0.16	
f _(DCO13)	R _{sel} = 1, DCO = 3, MOD = 0, DCOR = 0, T _A = 25°C	V _{CC} = 2.2 V	0.14	0.19	0.23	MHz
		V _{CC} = 3 V	0.14	0.18	0.22	
f _(DCO23)	R _{sel} = 2, DCO = 3, MOD = 0, DCOR = 0, T _A = 25°C	V _{CC} = 2.2 V	0.22	0.30	0.36	MHz
		V _{CC} = 3 V	0.22	0.28	0.34	
f _(DCO33)	R _{sel} = 3, DCO = 3, MOD = 0, DCOR = 0, T _A = 25°C	V _{CC} = 2.2 V	0.37	0.49	0.59	MHz
		V _{CC} = 3 V	0.37	0.47	0.56	
f _(DCO43)	R _{sel} = 4, DCO = 3, MOD = 0, DCOR = 0, T _A = 25°C	V _{CC} = 2.2 V	0.61	0.77	0.93	MHz
		V _{CC} = 3 V	0.61	0.75	0.90	
f _(DCO53)	R _{sel} = 5, DCO = 3, MOD = 0, DCOR = 0, T _A = 25°C	V _{CC} = 2.2 V	1	1.2	1.5	MHz
		V _{CC} = 3 V	1	1.3	1.5	
f _(DCO63)	R _{sel} = 6, DCO = 3, MOD = 0, DCOR = 0, T _A = 25°C	V _{CC} = 2.2 V	1.6	1.9	2.2	MHz
		V _{CC} = 3 V	1.69	2.0	2.29	
f _(DCO73)	R _{sel} = 7, DCO = 3, MOD = 0, DCOR = 0, T _A = 25°C	V _{CC} = 2.2 V	2.4	2.9	3.4	MHz
		V _{CC} = 3 V	2.7	3.2	3.65	
f _(DCO47)	R _{sel} = 4, DCO = 7, MOD = 0, DCOR = 0, T _A = 25°C	V _{CC} = 2.2 V/3 V	f _{DCO40} × 1.7	f _{DCO40} × 2.1	f _{DCO40} × 2.5	MHz
f _(DCO77)	R _{sel} = 7, DCO = 7, MOD = 0, DCOR = 0, T _A = 25°C	V _{CC} = 2.2 V	4	4.5	4.9	MHz
		V _{CC} = 3 V	4.4	4.9	5.4	
S _(Rsel)	S _R = f _{Rsel+1} / f _{Rsel}	V _{CC} = 2.2 V/3 V	1.35	1.65	2	
S _(DCO)	S _{DCO} = f _{DCO+1} / f _{DCO}	V _{CC} = 2.2 V/3 V	1.07	1.12	1.16	
D _t	Temperature drift, R _{sel} = 4, DCO = 3, MOD = 0 (see Note 2)	V _{CC} = 2.2 V	-0.31	-0.36	-0.40	% / °C
		V _{CC} = 3 V	-0.33	-0.38	-0.43	
D _V	Drift with V _{CC} variation, R _{sel} = 4, DCO = 3, MOD = 0 (see Note 2)	V _{CC} = 2.2 V/3 V	0	5	10	% / V

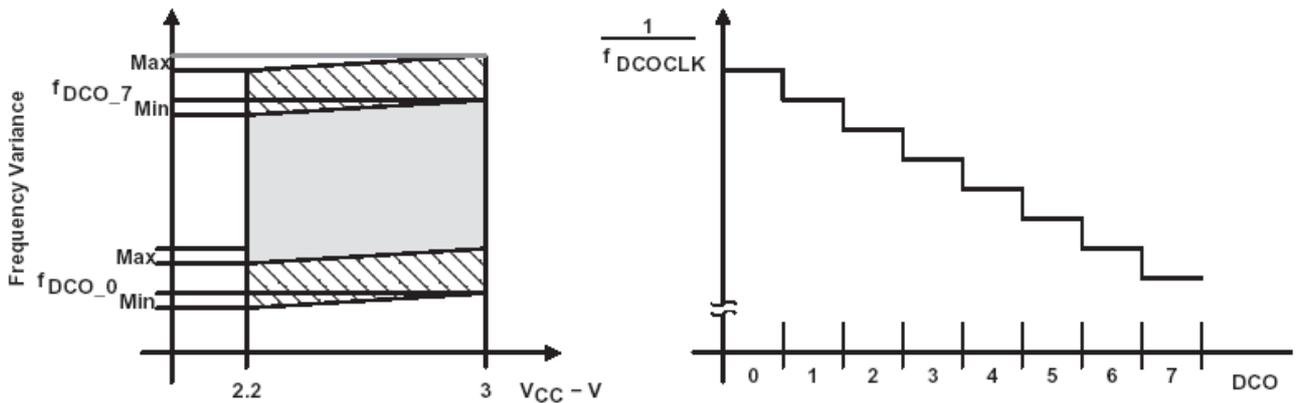


图 12 DCO 特性描述

主要 DCO 特性

- 每个器件有一个最小和一个最大工作频率，对 f_{DCOx0} 到 f_{DCOx7} 指定的参数对所有器件都有效。
- $R_{sel}(n)$ 确定的频率范围与 $R_{sel}(n+1)$ 确定的频率范围部分重叠: R_{sel0} 与 R_{sel1} 重叠, ... R_{sel6} 与 R_{sel7} 重叠。
- DCO 有三个控制位 $DCO0$ 、 $DCO1$ 和 $DCO2$ ，其数值的变化对频率的影响由 $SDCO$ 参数决定。
- 调制控制位 $MOD0$ 到 $MOD4$ 决定了在 32 个 $DCOCLK$ 周期里频率为 $f_{DCO}+1$ 的次数，其余周期里是 f_{DCO} 。频率平均等于 $f_{DCO} \times (2^{MOD/32})$ 。

使用 R_{osc} 时的 DCO

PARAMETER	TEST CONDITIONS	V _{CC}	MIN	NOM	MAX	UNIT
f _{DCO} , DCO output frequency	R _{sel} = 4, DCO = 3, MOD = 0, DCOR = 1, T _A = 25°C	2.2 V		1.8±15%		MHz
		3 V		1.95±15%		MHz
D _t , Temperature drift	R _{sel} = 4, DCO = 3, MOD = 0, DCOR = 1	2.2 V/3 V		±0.1		%/°C
D _v , Drift with V _{CC} variation	R _{sel} = 4, DCO = 3, MOD = 0, DCOR = 1	2.2 V/3 V		10		%/V

NOTES: 1. R_{OSC} = 100kΩ. Metal film resistor, type 0257. 0.6 watt with 1% tolerance and T_K = ±50ppm/°C.

晶体振荡器, LFXT1 振荡器

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
C _{XIN} Integrated input capacitance	XTS=0; LF oscillator selected V _{CC} = 2.2 V/3 V		12		pF
	XTS=1; XT1 oscillator selected V _{CC} = 2.2 V/3 V		2		
C _{XOUT} Integrated output capacitance	XTS=0; LF oscillator selected V _{CC} = 2.2 V/3 V		12		pF
	XTS=1; XT1 oscillator selected V _{CC} = 2.2 V/3 V		2		
V _{IL}	Input levels at XIN V _{CC} = 2.2 V/3 V (see Note 2)	V _{SS}		0.2 × V _{CC}	V
V _{IH}		0.8 × V _{CC}		V _{CC}	V

晶体振荡器, XT2 振荡器

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
C _{XT2IN} Input capacitance	V _{CC} = 2.2 V/3 V		2		pF
C _{XT2OUT} Output capacitance	V _{CC} = 2.2 V/3 V		2		pF
V _{IL}	Input levels at XT2IN V _{CC} = 2.2 V/3 V (see Note 2)	V _{SS}		0.2 × V _{CC}	V
V _{IH}		0.8 × V _{CC}		V _{CC}	V



USART0, USART1

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
$t(\tau)$ USART0/1: deglitch time	$V_{CC} = 2.2\text{ V}$	200	430	800	ns
	$V_{CC} = 3\text{ V}$	150	280	500	

12 位 ADC, 供电和输入条件范围

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
V_{CC} Analog supply voltage	AV_{CC} and DV_{CC} are connected together AV_{SS} and DV_{SS} are connected together $V_{(AVSS)} = V_{(DVSS)} = 0\text{ V}$	2.2		3.6	V
$V_{(P6.x/Ax)}$ Analog input voltage range (see Note 2)	All P6.0/A0 to P6.7/A7 terminals. Analog inputs selected in ADC12MCTLx register and P6Sel.x=1 $0 \leq x \leq 7$; $V_{(AVSS)} \leq V_{P6.x/Ax} \leq V_{(AVCC)}$	0		V_{AVCC}	V
I_{ADC12} Operating supply current into AV_{CC} terminal (see Note 3)	$f_{ADC12CLK} = 5.0\text{ MHz}$ $ADC12ON = 1$, $REFON = 0$ $SHT0=0$, $SHT1=0$, $ADC12DIV=0$	2.2 V	0.65	1.3	mA
		3 V	0.8	1.6	
I_{REF+} Operating supply current into AV_{CC} terminal (see Note 4)	$f_{ADC12CLK} = 5.0\text{ MHz}$ $ADC12ON = 0$, $REFON = 1$, $REF2_5V = 1$	3 V	0.5	0.8	mA
		2.2 V	0.5	0.8	
	$f_{ADC12CLK} = 5.0\text{ MHz}$ $ADC12ON = 0$, $REFON = 1$, $REF2_5V = 0$	2.2 V	0.5	0.8	mA
		3 V	0.5	0.8	
$C_I \uparrow$ Input capacitance	Only one terminal can be selected at one time, P6.x/Ax	2.2 V		40	pF
$R_I \uparrow$ Input MUX ON resistance	$0V \leq V_{Ax} \leq V_{AVCC}$	3 V		2000	Ω

12 位 ADC 外部参考电压

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
V_{eREF+} Positive external reference voltage input	$V_{eREF+} > V_{REF-} - N_{eREF-}$ (see Note 2)	1.4		V_{AVCC}	V
$V_{REF-} - N_{eREF-}$ Negative external reference voltage input	$V_{eREF+} > V_{REF-} - N_{eREF-}$ (see Note 3)	0		1.2	V
$(V_{eREF+} - V_{REF-} - N_{eREF-})$ Differential external reference voltage input	$V_{eREF+} > V_{REF-} - N_{eREF-}$ (see Note 4)	1.4		V_{AVCC}	V
I_{VeREF+} Static input current	$0V \leq V_{eREF+} \leq V_{AVCC}$	2.2 V/3 V		± 1	μA
$I_{VREF-} - N_{eREF-}$ Static input current	$0V \leq V_{eREF-} \leq V_{AVCC}$	2.2 V/3 V		± 1	μA

12 位 ADC 内建参考

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT	
V_{REF+} Positive built-in reference voltage output	$REF2_5V = 1$ for 2.5 V $I_{VREF+} \leq I_{VREF+max}$	3 V	2.4	2.5	2.6	V
	$REF2_5V = 0$ for 1.5 V $I_{VREF+} \leq I_{VREF+max}$	2.2 V/3 V	1.44	1.5	1.56	
$AV_{CC}(min)$ AV_{CC} minimum voltage, Positive built-in reference active	$REF2_5V = 0$, $I_{VREF+} \leq 1\text{ mA}$		2.2			V
	$REF2_5V = 1$, $I_{VREF+} \leq 0.5\text{ mA}$		$V_{REF+} + 0.15$			
	$REF2_5V = 1$, $I_{VREF+} \leq 1\text{ mA}$		$V_{REF+} + 0.15$			
I_{VREF+} Load current out of V_{REF+} terminal		2.2 V	0.01	-0.5		mA
		3 V		-1		
$I_{L(VREF)+} \uparrow$ Load-current regulation V_{REF+} terminal	$I_{VREF+} = 500\text{ }\mu\text{A} \pm 100\text{ }\mu\text{A}$ Analog input voltage -0.75 V ; $REF2_5V = 0$	2.2 V			± 2	LSB
		3 V			± 2	
	$I_{VREF+} = 500\text{ }\mu\text{A} \pm 100\text{ }\mu\text{A}$ Analog input voltage -1.25 V ; $REF2_5V = 1$	3 V			± 2	LSB
$I_{DL(VREF)+} \uparrow \ddagger$ Load current regulation V_{REF+} terminal	$I_{VREF+} = 100\text{ }\mu\text{A} \rightarrow 900\text{ }\mu\text{A}$, $C_{VREF+} = 5\text{ }\mu\text{F}$, $a_x - 0.5 \times V_{REF+}$ Error of conversion result $\leq 1\text{ LSB}$	3 V			20	ns
C_{VREF+} Capacitance at pin V_{REF+} (see Note 1)	$REFON = 1$, $0\text{ mA} \leq I_{VREF+} \leq I_{VREF+max}$	2.2 V/3 V	5	10		μF
$T_{REF+} \uparrow$ Temperature coefficient of built-in reference	I_{VREF+} is a constant in the range of $0\text{ mA} \leq I_{VREF+} \leq 1\text{ mA}$	2.2 V/3 V			± 100	ppm/ $^{\circ}\text{C}$
$t_{REFON} \uparrow$ Settle time of internal reference voltage (see Figure 13 and Note 2)	$I_{VREF+} = 0.5\text{ mA}$, $C_{VREF+} = 10\text{ }\mu\text{F}$, $V_{REF+} = 1.5\text{ V}$, $V_{AVCC} = 2.2\text{ V}$				17	ms

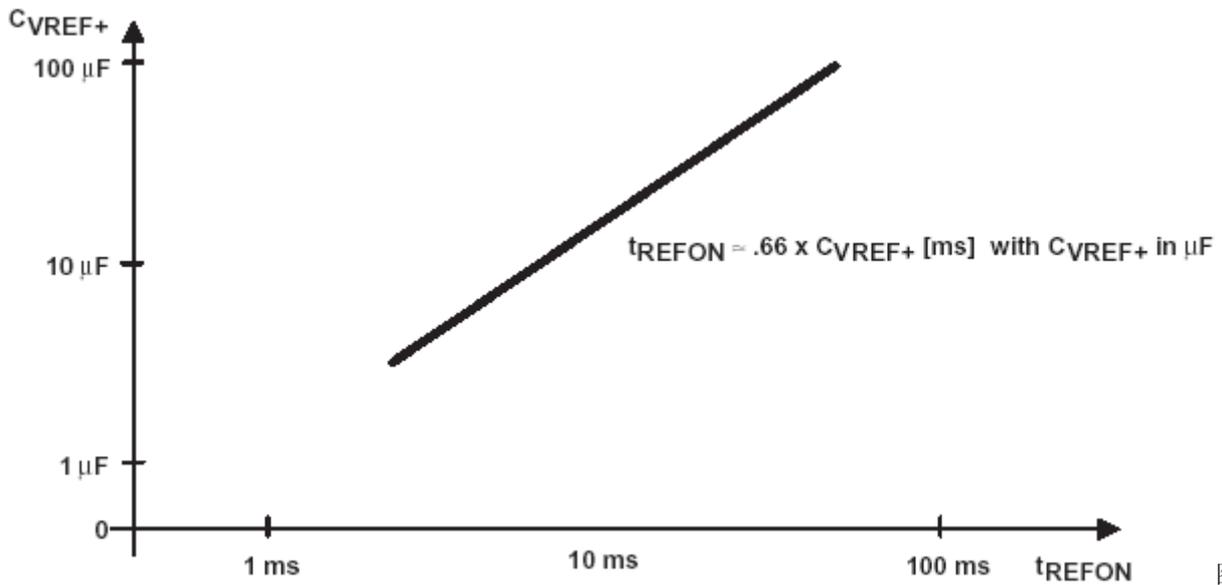


图 13 典型内部参考电压建立时间 t_{REFON} 与 V_{REF+} 上的外部电容关系

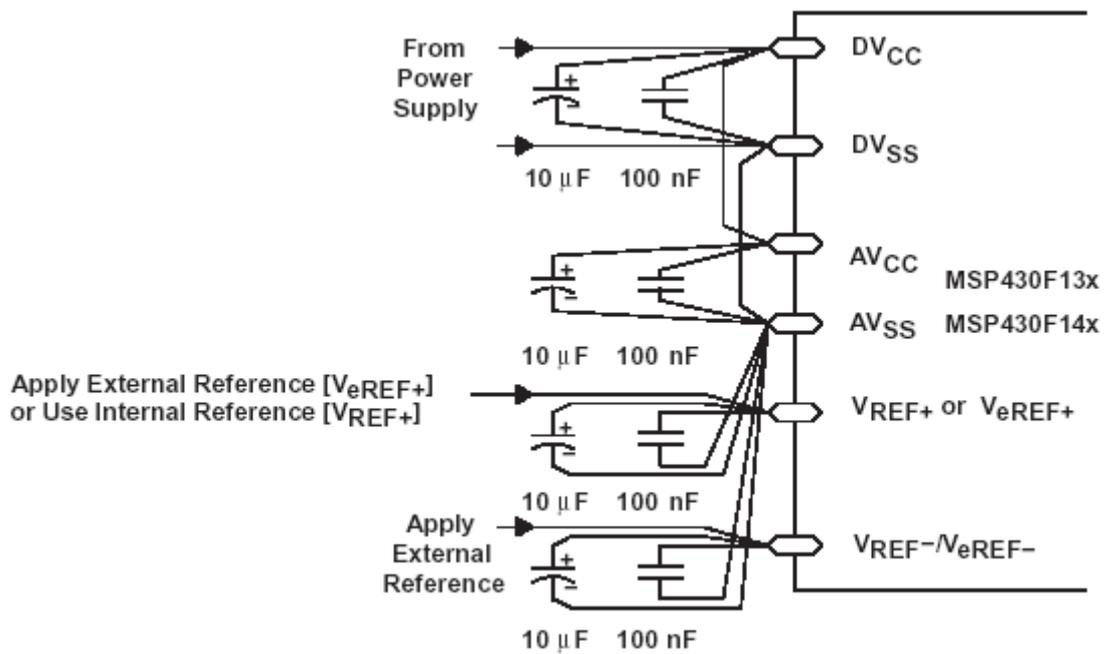
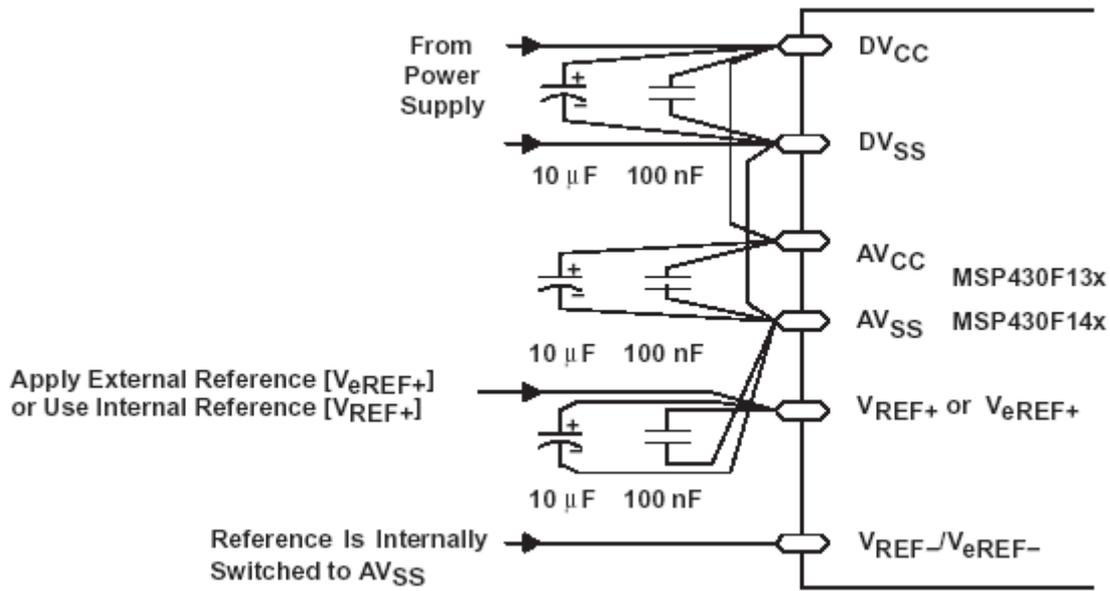


图 14 供电电压和外部提供 V_{REF-}/V_{eREF-} 参考电压设计


 图 15 供电电压和 $V_{REF-}/V_{eREF-} = AV_{SS}$ 内部连接参考电压设计

12 位 ADC 定时参数

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT	
f _{ADC12CLK}	For specified performance of ADC12 linearity parameters	2.2V/3V	0.45	5	6.3	MHz
f _{ADC12OSC}	Internal ADC12 oscillator ADC12DIV=0, f _{ADC12CLK} =f _{ADC12OSC}	2.2 V/3V	3.7		6.3	MHz
t _{CONVERT}	Conversion time C _{VREF+} ≥ 5 μ F, Internal oscillator, f _{ADC12OSC} = 3.7 MHz to 6.3 MHz	2.2 V/3 V	2.06		3.51	μ s
	External f _{ADC12CLK} from ACLK, MCLK or SMCLK: ADC12SSEL = 0		13×ADC12DIV× 1/f _{ADC12CLK}			μ s
t _{ADC12ON} [‡]	Turn on settling time of the ADC (see Note 1)			100	ns	
t _{Sample} [‡]	Sampling time R _S = 400 Ω , R _I = 1000 Ω , C _I = 30 pF $\tau = [R_S + R_I] \times C_I$; (see Note 2)	3 V	1220			ns
		2.2 V	1400			

12 位 ADC 线性参数

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT	
E _I	Integral linearity error 1.4 V ≤ (V _{eREF+} - V _{REF-} /V _{eREF-}) min ≤ 1.6 V	2.2 V/3 V		±2	LSB	
	1.6 V < (V _{eREF+} - V _{REF-} /V _{eREF-}) min ≤ [V _(AVCC)]			±1.7		
E _D	Differential linearity error (V _{eREF+} - V _{REF-} /V _{eREF-}) min ≤ (V _{eREF+} - V _{REF-} /V _{eREF-}), C _{VREF+} = 10 μ F (tantalum) and 100 nF (ceramic)	2.2 V/3 V		±1	LSB	
E _O	Offset error (V _{eREF+} - V _{REF-} /V _{eREF-}) min ≤ (V _{eREF+} - V _{REF-} /V _{eREF-}), Internal impedance of source R _S < 100 Ω , C _{VREF+} = 10 μ F (tantalum) and 100 nF (ceramic)	2.2 V/3 V		±2	±4	LSB
E _G	Gain error (V _{eREF+} - V _{REF-} /V _{eREF-}) min ≤ (V _{eREF+} - V _{REF-} /V _{eREF-}), C _{VREF+} = 10 μ F (tantalum) and 100 nF (ceramic)	2.2 V/3 V		±1.1	±2	LSB
E _T	Total unadjusted error (V _{eREF+} - V _{REF-} /V _{eREF-}) min ≤ (V _{eREF+} - V _{REF-} /V _{eREF-}), C _{VREF+} = 10 μ F (tantalum) and 100 nF (ceramic)	2.2 V/3 V		±2	±5	LSB



12 位 ADC 温度传感器和内置 Vmid

PARAMETER		TEST CONDITIONS	MIN	NOM	MAX	UNIT
I _{SENSOR}	Operating supply current into AV _{CC} terminal (see Note 1)	REFON = 0, INCH = 0Ah, ADC12ON=NA, T _A = 25°C	2.2 V	40	120	μA
			3 V	60	160	
V _{SENSOR} [†]		ADC12ON = 1, INCH = 0Ah, T _A = 0°C	2.2 V	986	986±5%	mV
			3 V	986	986±5%	
TC _{SENSOR} [†]		ADC12ON = 1, INCH = 0Ah	2.2 V	3.55	3.55±3%	mV/°C
			3 V	3.55	3.55±3%	
t _{SENSOR(sample)} [†]	Sample time required if channel 10 is selected (see Note 2)	ADC12ON = 1, INCH = 0Ah, Error of conversion result ≤ 1 LSB	2.2 V	30		μs
			3 V	30		
I _{VMID}	Current into divider at channel 11 (see Note 3)	ADC12ON = 1, INCH = 0Bh	2.2 V		NA	μA
			3 V		NA	
V _{MID}	AV _{CC} divider at channel 11	ADC12ON = 1, INCH = 0Bh, V _{MID} is -0.5 x V _{AVCC}	2.2 V	1.1	1.1±0.04	V
			3 V	1.5	1.50±0.04	
t _{VMID(sample)}	Sample time required if channel 11 is selected (see Note 4)	ADC12ON = 1, INCH = 0Bh, Error of conversion result ≤ 1 LSB	2.2 V	1400		ns
			3 V	1220		

闪烁存储器

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	NOM	MAX	UNIT
V _{CC(PGM/ERASE)}	Program and Erase supply voltage			2.7		3.6	V
f _{FTG}	Flash Timing Generator frequency			257		476	kHz
I _{PGM}	Supply current from DV _{CC} during program		2.7 V/ 3.6 V		3	5	mA
I _{ERASE}	Supply current from DV _{CC} during erase		2.7 V/ 3.6 V		3	7	mA
t _{CPT}	Cumulative program time	see Note 1	2.7 V/ 3.6 V			4	ms
t _{CMERASE}	Cumulative mass erase time	see Note 2	2.7 V/ 3.6 V	200			ms
	Program/Erase endurance			10 ⁴	10 ⁵		cycles
t _{Retention}	Data retention duration	T _J = 25°C		100			years
t _{Word}	Word or byte program time	see Note 3			35		t _{FTG}
t _{Block, 0}	Block program time for 1 st byte or word				30		
t _{Block, 1-63}	Block program time for each additional byte or word				21		
t _{Block, End}	Block program end-sequence wait time				6		
t _{Mass Erase}	Mass erase time				5297		
t _{Seq Erase}	Segment erase time				4819		

JTAG 接口

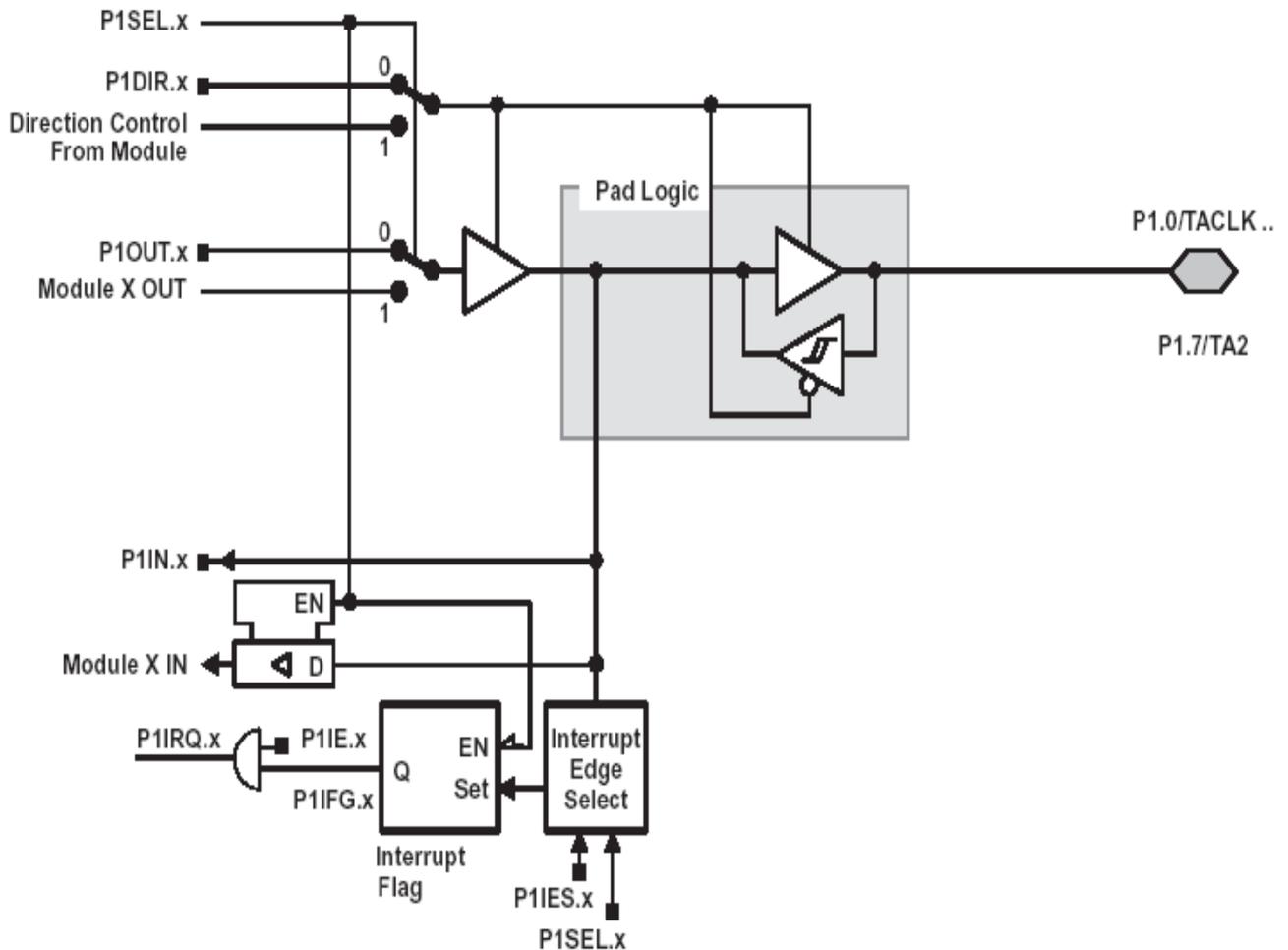
PARAMETER		TEST CONDITIONS	V _{CC}	MIN	NOM	MAX	UNIT
f _{TCK}	TCK input frequency	see Note 1	2.2 V	0		5	MHz
			3 V	0		10	MHz
R _{Internal}	Internal pull-up resistance on TMS, TCK, TDI/TCLK	see Note 2	2.2 V/ 3 V	25	60	90	kΩ

JTAG 熔丝

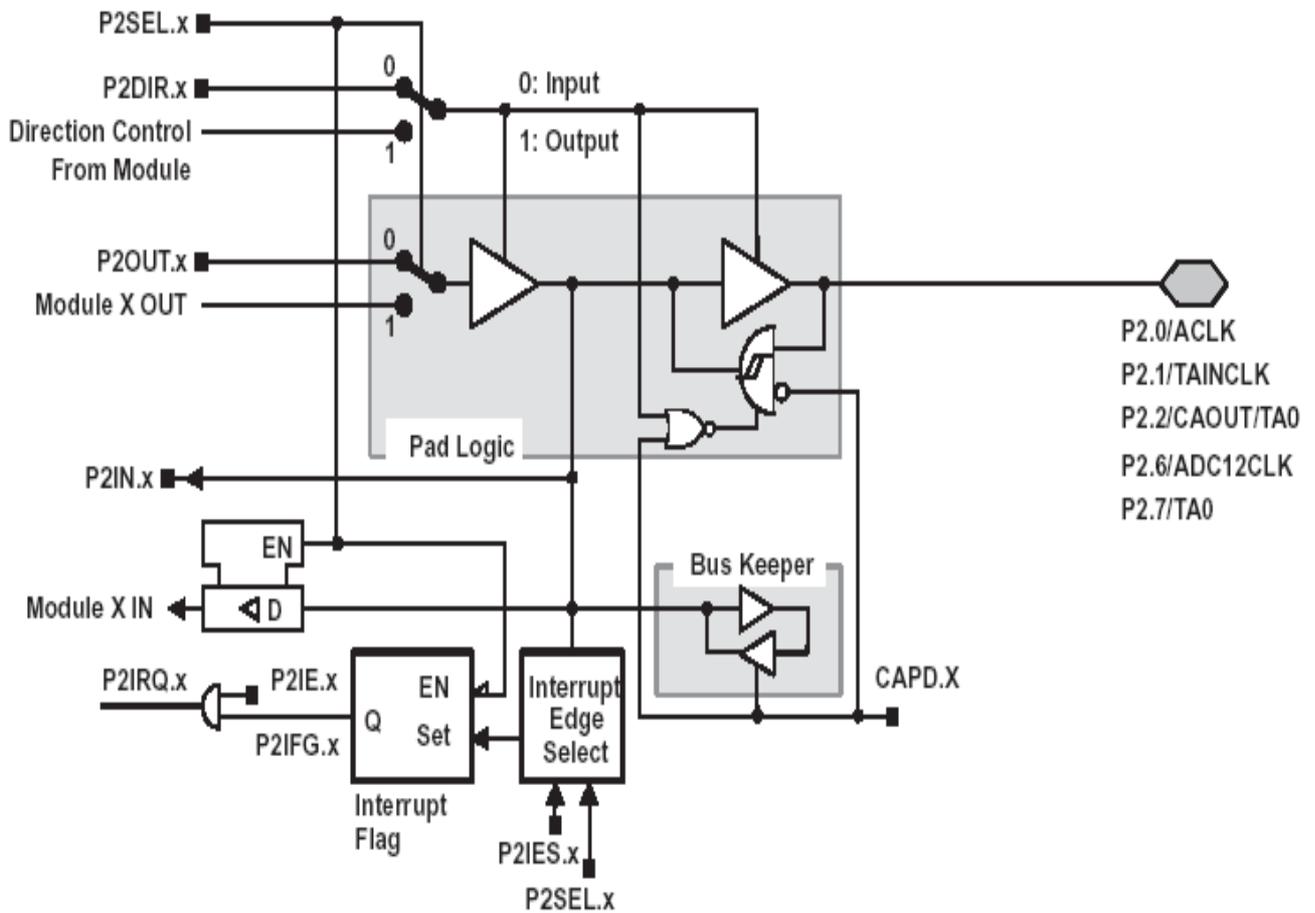
PARAMETER		TEST CONDITIONS	V _{CC}	MIN	NOM	MAX	UNIT
V _{CC(FB)}	Supply voltage during fuse-blow condition	T _A = 25°C		2.5			V
V _{FB}	Voltage level on TDI/TCLK for fuse-blow: F versions			6		7	V
I _{FB}	Supply current into TDI/TCLK during fuse blow					100	mA
t _{FB}	Time to blow fuse					1	ms

输入/输出电路概述

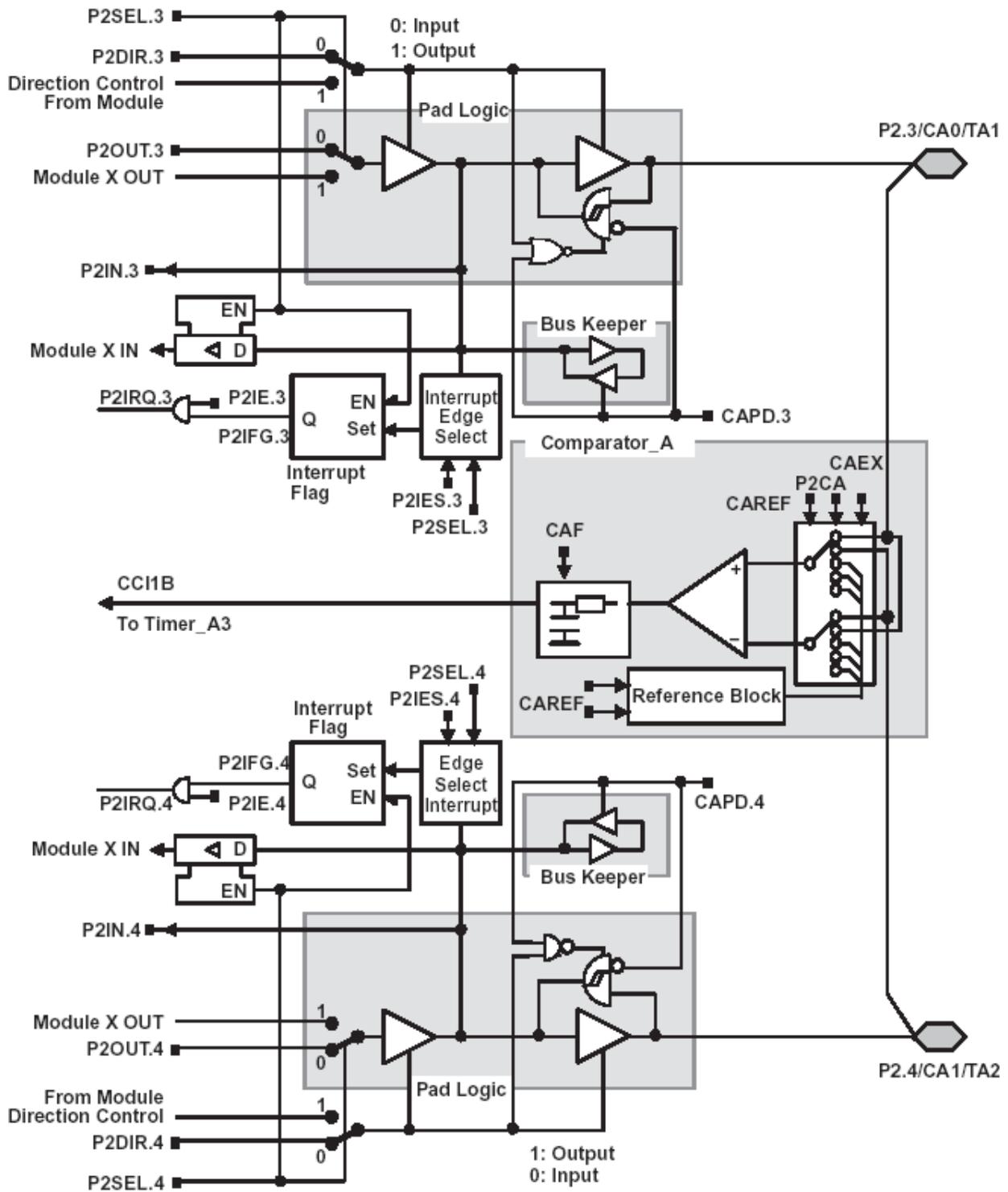
端口 P1, P1.0 到 P1.7, 带施密特触发器的输入/输出



PnSel.x	PnDIR.x	Dir. CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN	PnIE.x	PnIFG.x	PnIES.x
P1Sel.0	P1DIR.0	P1DIR.0	P1OUT.0	DV _{SS}	P1IN.0	TACLK [†]	P1IE.0	P1IFG.0	P1IES.0
P1Sel.1	P1DIR.1	P1DIR.1	P1OUT.1	Out0 signal [†]	P1IN.1	CCI0A [†]	P1IE.1	P1IFG.1	P1IES.1
P1Sel.2	P1DIR.2	P1DIR.2	P1OUT.2	Out1 signal [†]	P1IN.2	CCI1A [†]	P1IE.2	P1IFG.2	P1IES.2
P1Sel.3	P1DIR.3	P1DIR.3	P1OUT.3	Out2 signal [†]	P1IN.3	CCI2A [†]	P1IE.3	P1IFG.3	P1IES.3
P1Sel.4	P1DIR.4	P1DIR.4	P1OUT.4	SMCLK	P1IN.4	unused	P1IE.4	P1IFG.4	P1IES.4
P1Sel.5	P1DIR.5	P1DIR.5	P1OUT.5	Out0 signal [†]	P1IN.5	unused	P1IE.5	P1IFG.5	P1IES.5
P1Sel.6	P1DIR.6	P1DIR.6	P1OUT.6	Out1 signal [†]	P1IN.6	unused	P1IE.6	P1IFG.6	P1IES.6
P1Sel.7	P1DIR.7	P1DIR.7	P1OUT.7	Out2 signal [†]	P1IN.7	unused	P1IE.7	P1IFG.7	P1IES.7

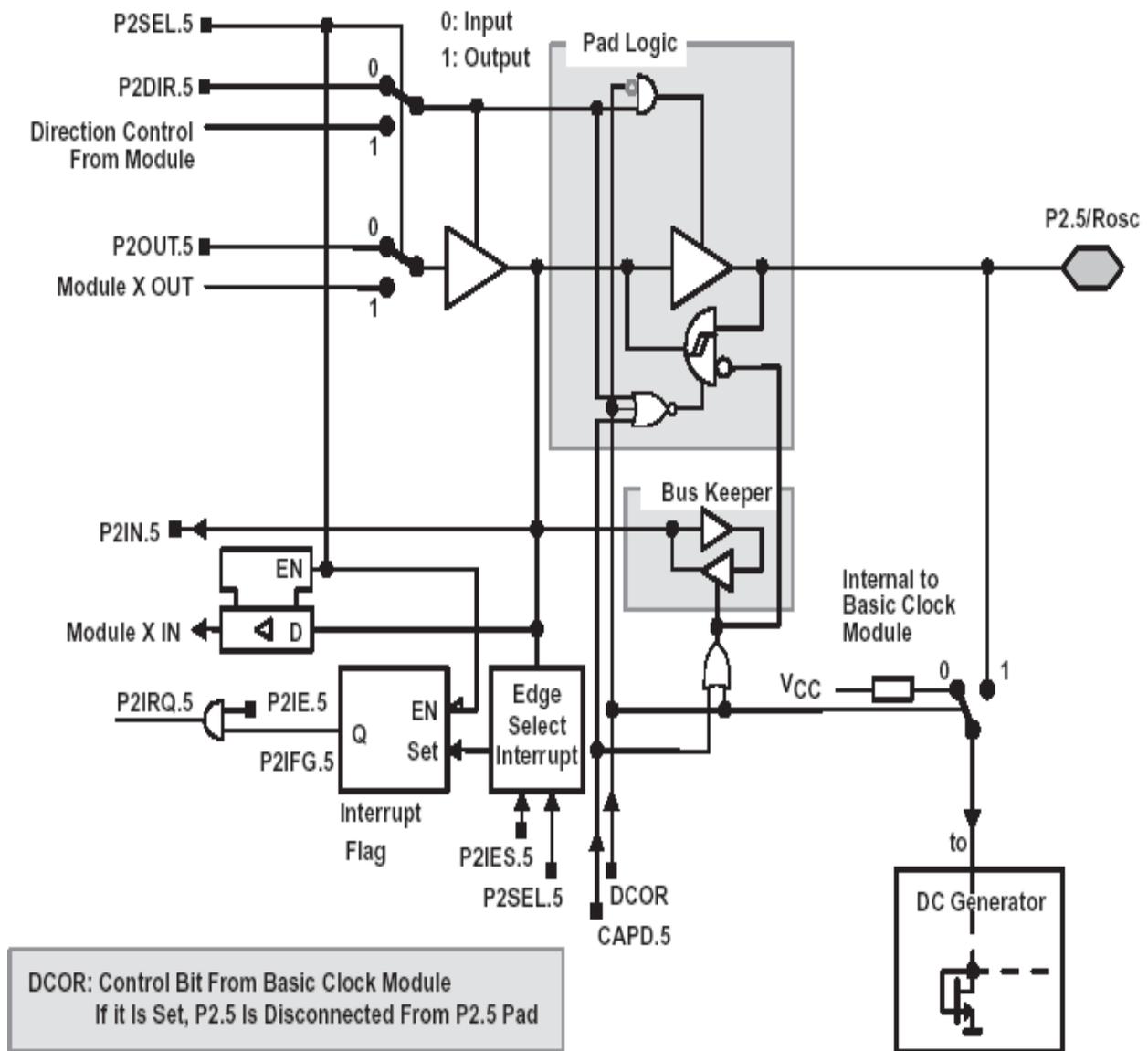
端口 P2, P2.0 到 P2.6 和 P2.7 带施密特触发器的输入/输出


PnSel.x	PnDIR.x	Dir. CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.0	P2DIR.0	P2DIR.0	P2OUT.0	ACLK	P2IN.0	unused	P2IE.0	P2IFG.0	P2IES.0
P2Sel.1	P2DIR.1	P2DIR.1	P2OUT.1	DV _{SS}	P2IN.1	INCLK \ddagger	P2IE.1	P2IFG.1	P2IES.1
P2Sel.2	P2DIR.2	P2DIR.2	P2OUT.2	CAOUT \dagger	P2IN.2	CCI0B \ddagger	P2IE.2	P2IFG.2	P2IES.2
P2Sel.6	P2DIR.6	P2DIR.6	P2OUT.6	ADC12CLK \dagger	P2IN.6	unused	P2IE.6	P2IFG.6	P2IES.6
P2Sel.7	P2DIR.7	P2DIR.7	P2OUT.7	Out0 signal \S	P2IN.7	unused	P2IE.7	P2IFG.7	P2IES.7

P2.口, P2.3 到 P2.4 带施密特触发器的输入/输出


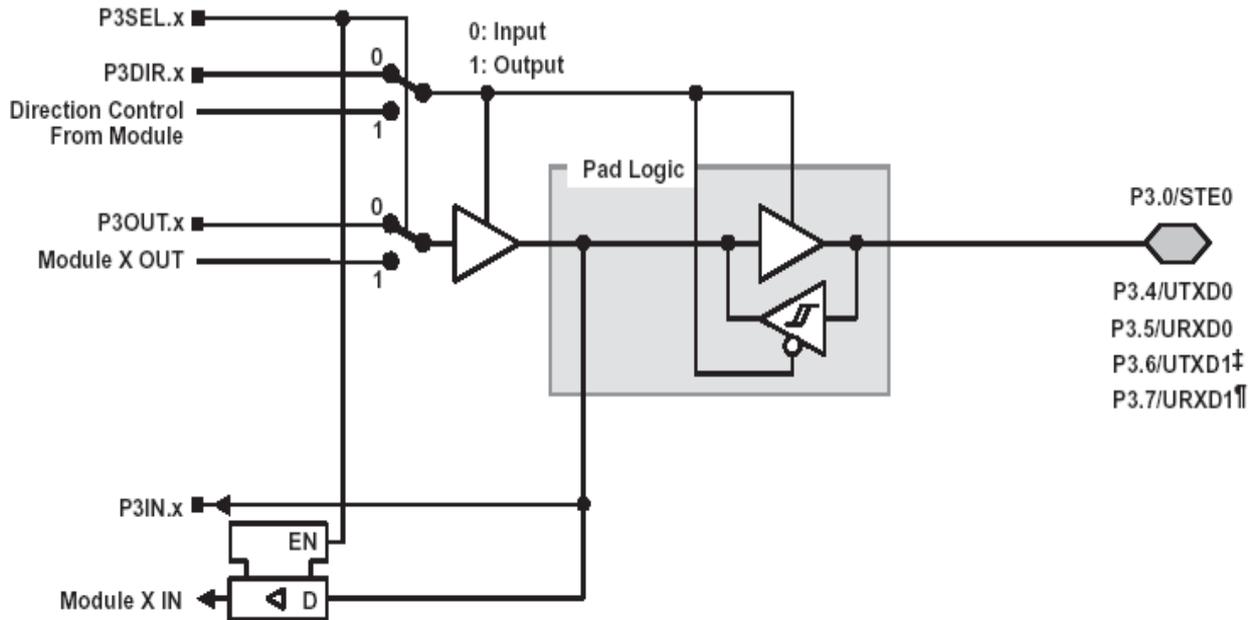
PnSel.x	PnDIR.x	DIRECTION CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.3	P2DIR.3	P2DIR.3	P2OUT.3	Out1 signal↑	P2IN.3	unused	P2IE.3	P2IFG.3	P2IES.3
P2Sel.4	P2DIR.4	P2DIR.4	P2OUT.4	Out2 signal↑	P2IN.4	unused	P2IE.4	P2IFG.4	P2IES.4

端口 P2, P2.5 带施密特触发器的输入/输出和 ROSC 基本时钟模块功能



PnSel.x	PnDIR.x	DIRECTION CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.5	P2DIR.5	P2DIR.5	P2OUT.5	DV _{SS}	P2IN.5	unused	P2IE.5	P2IFG.5	P2IES.5

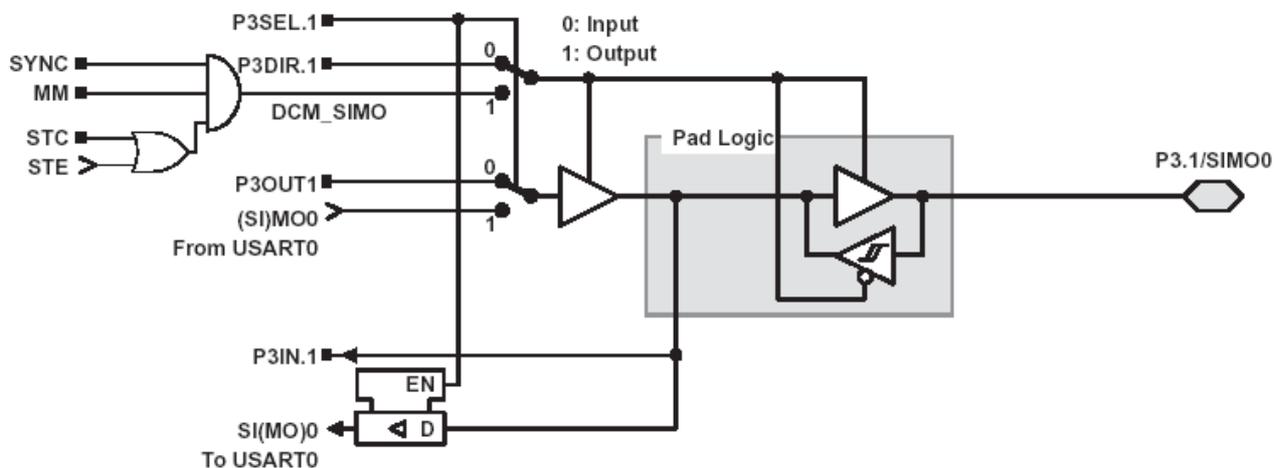
P3 口 .P3.0、P3.4 到 P3.7 口带施密特触发器的输入/输出

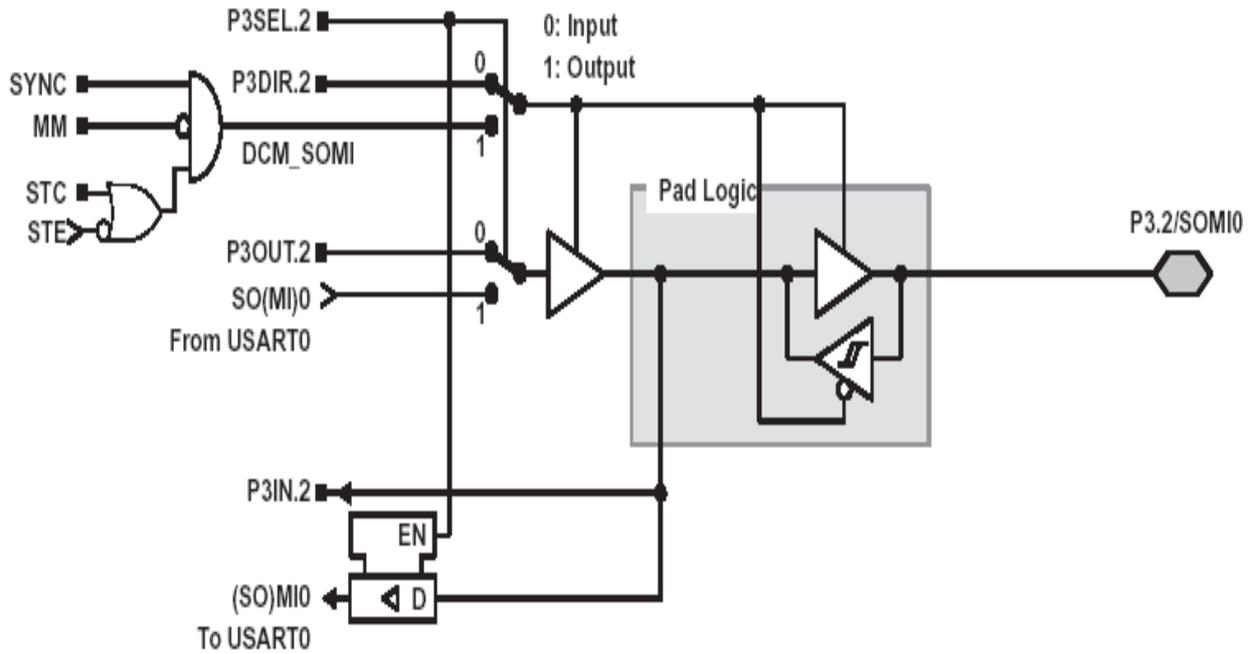
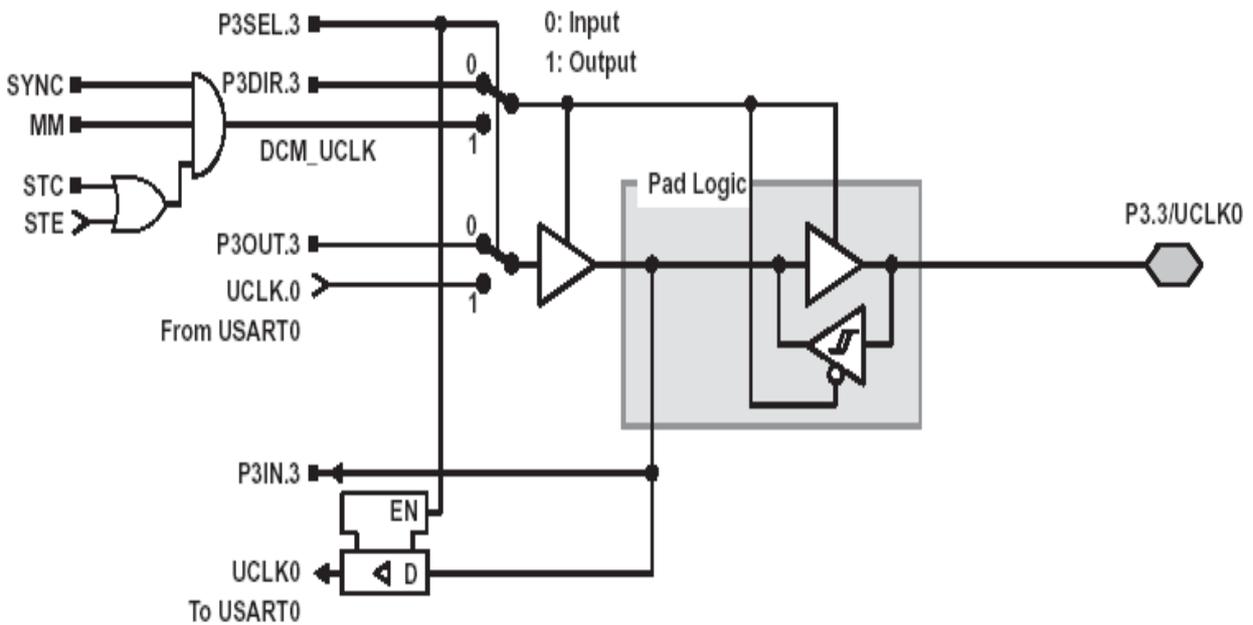


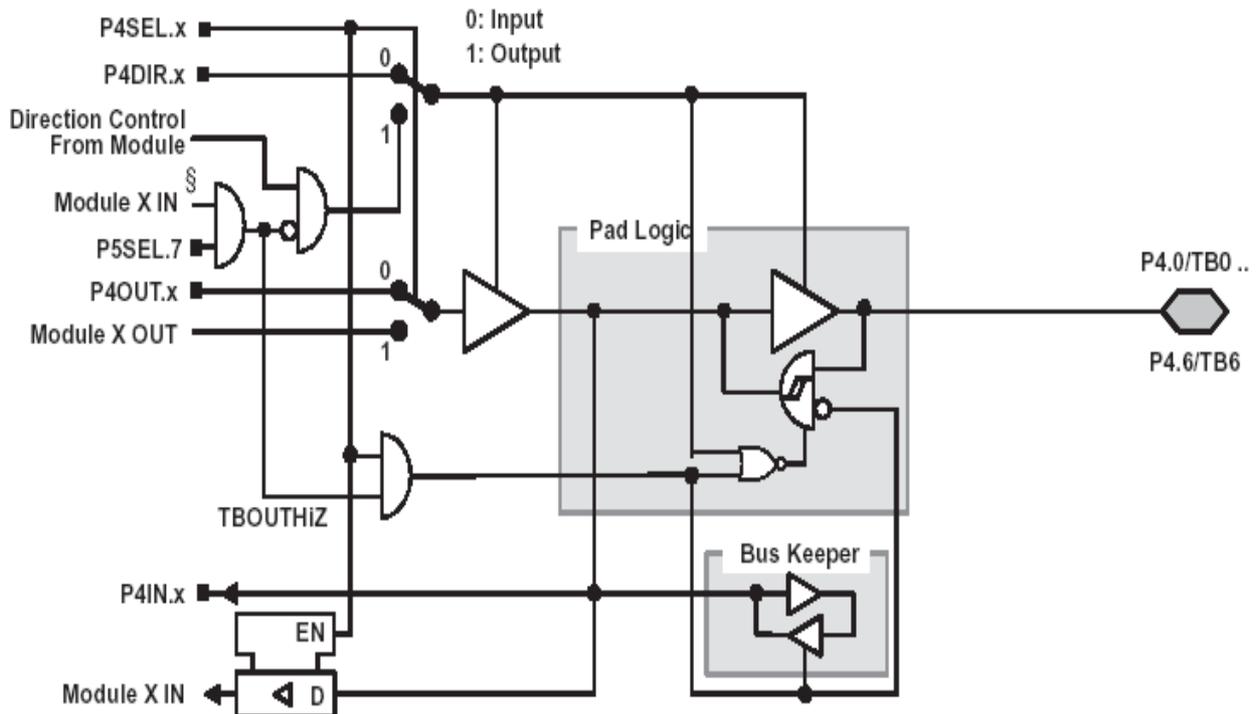
x: Bit Identifier, 0 and 4 to 7 for Port P3

PnSel.x	PnDIR.x	DIRECTION CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN
P3Sel.0	P3DIR.0	DV _{SS}	P3OUT.0	DV _{SS}	P3IN.0	STE0
P3Sel.4	P3DIR.4	DV _{CC}	P3OUT.4	UTXD0 [†]	P3IN.4	Unused
P3Sel.5	P3DIR.5	DV _{SS}	P3OUT.5	DV _{SS}	P3IN.5	URXD0 [‡]
P3Sel.6	P3DIR.6	DV _{CC}	P3OUT.6	UTXD1 [‡]	P3IN.6	Unused
P3Sel.7	P3DIR.7	DV _{SS}	P3OUT.7	DV _{SS}	P3IN.7	URXD1 [‡]

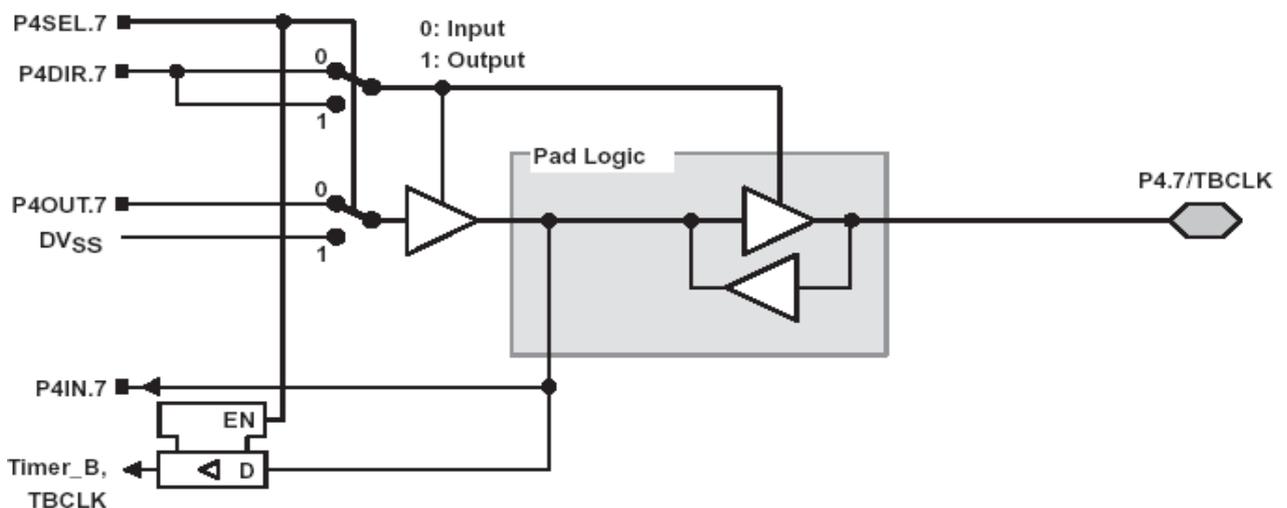
P3 口, P3.1 带施密特触发器的输入/输出

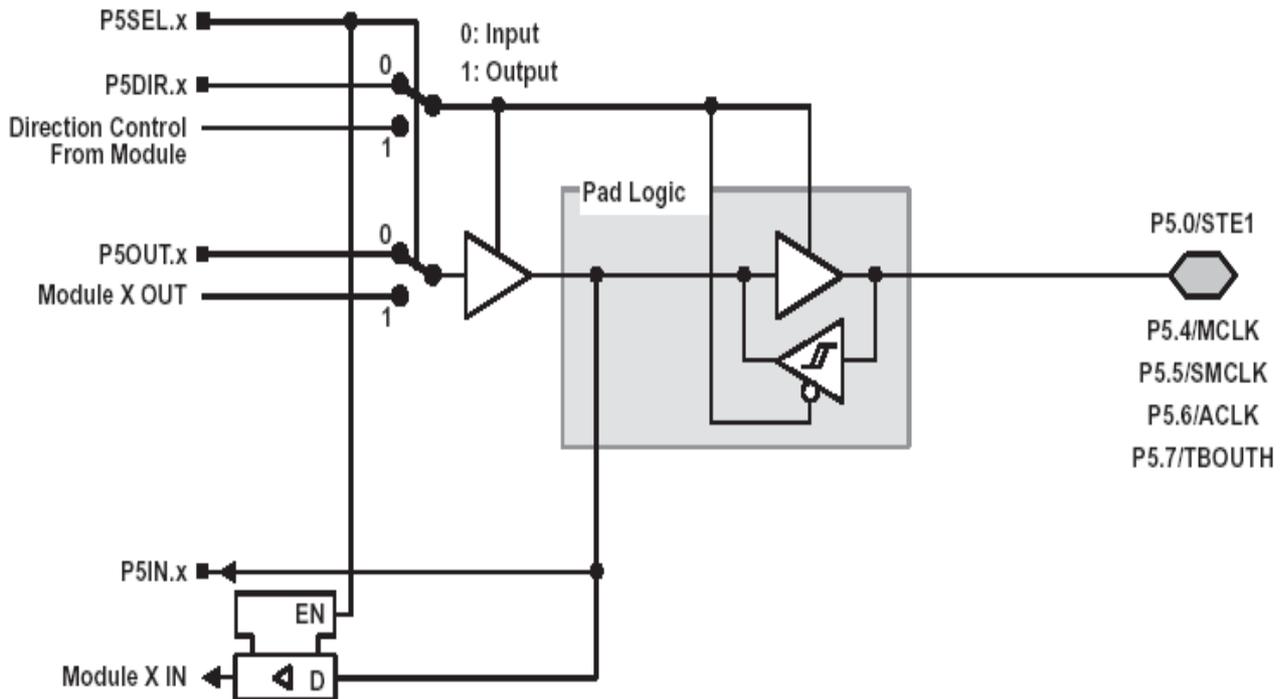


P3 口, P3.2 带施密特触发器的输入/输出

P3 口, P3.3 带施密特触发器的输入/输出


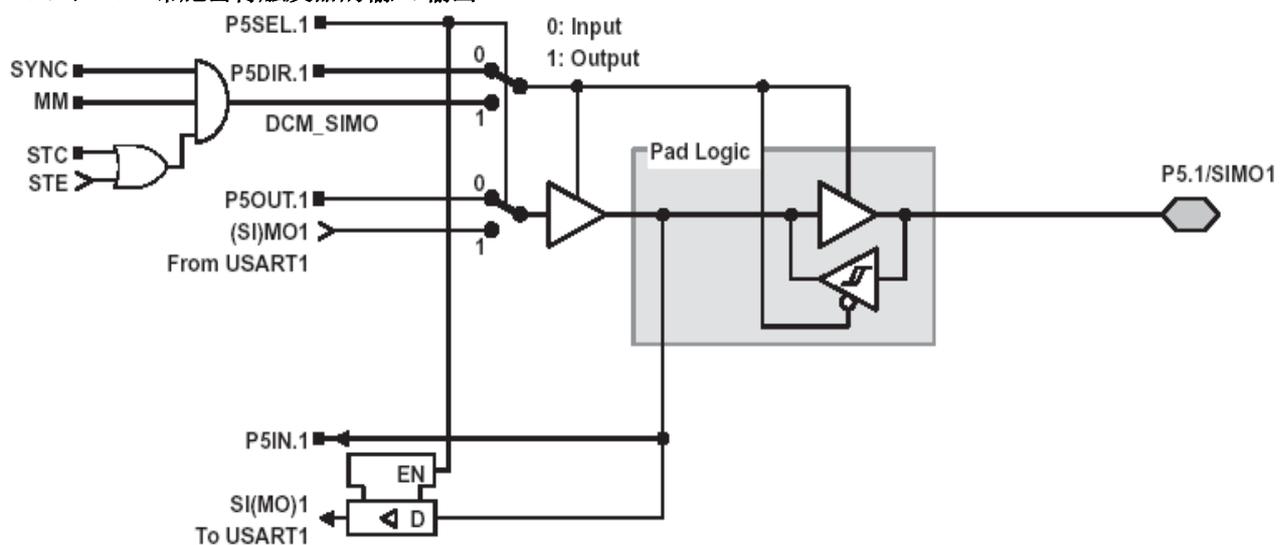
P4 口, P4.0to P4.6 带施密特触发器的输入/输出


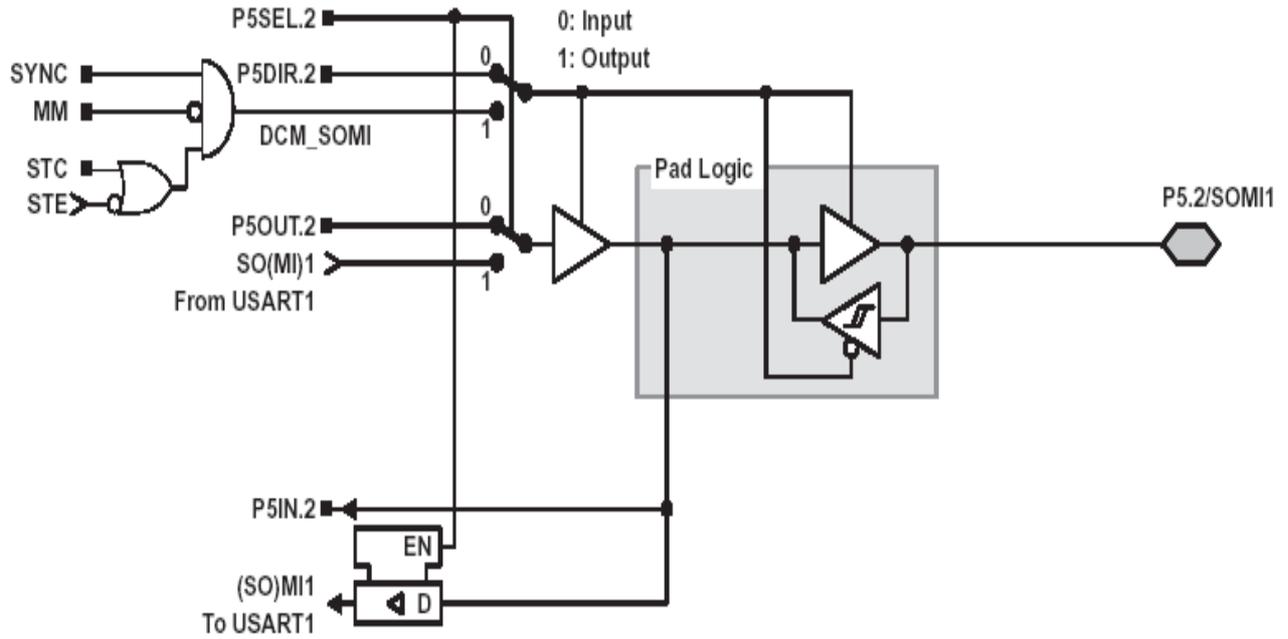
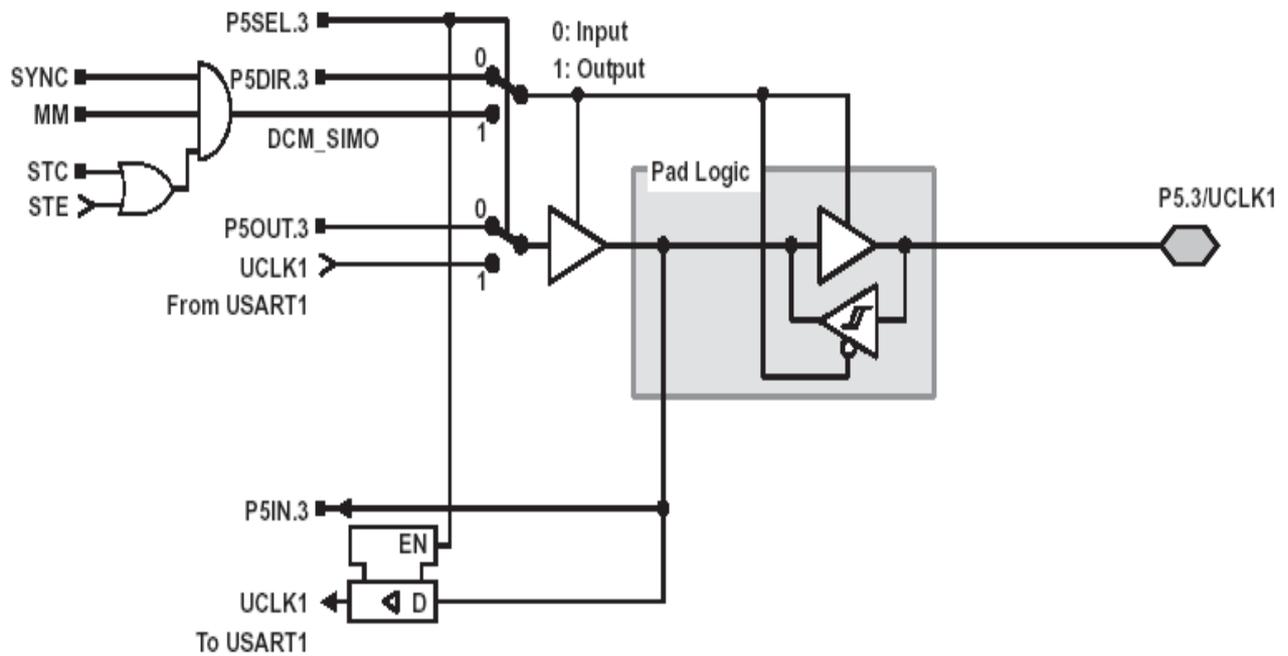
PnSel.x	PnDIR.x	DIRECTION CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN
P4Sel.0	P4DIR.0	P4DIR.0	P4OUT.0	Out0 signal†	P4IN.0	CCI0A / CCI0B‡
P4Sel.1	P4DIR.1	P4DIR.1	P4OUT.1	Out1 signal†	P4IN.1	CCI1A / CCI1B‡
P4Sel.2	P4DIR.2	P4DIR.2	P4OUT.2	Out2 signal†	P4IN.2	CCI2A / CCI2B‡
P4Sel.3	P4DIR.3	P4DIR.3	P4OUT.3	Out3 signal†	P4IN.3	CCI3A / CCI3B‡
P4Sel.4	P4DIR.4	P4DIR.4	P4OUT.4	Out4 signal†	P4IN.4	CCI4A / CCI4B‡
P4Sel.5	P4DIR.5	P4DIR.5	P4OUT.5	Out5 signal†	P4IN.5	CCI5A / CCI5B‡
P4Sel.6	P4DIR.6	P4DIR.6	P4OUT.6	Out6 signal†	P4IN.6	CCI6A‡

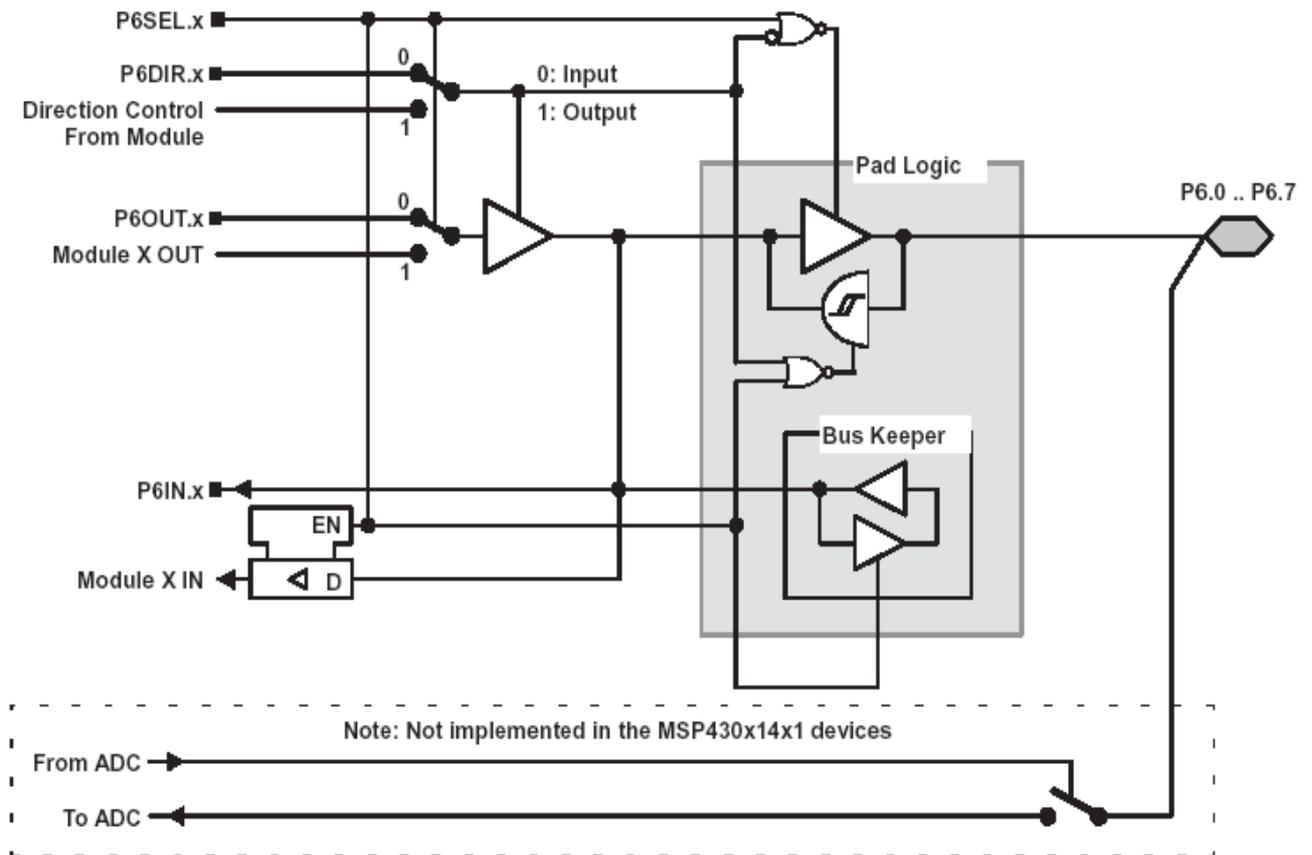
P4 口, P4.7 带施密特触发器的输入/输出


P5 口, P5.0、P5.4 到 P5.7 带施密特触发器的输入/输出


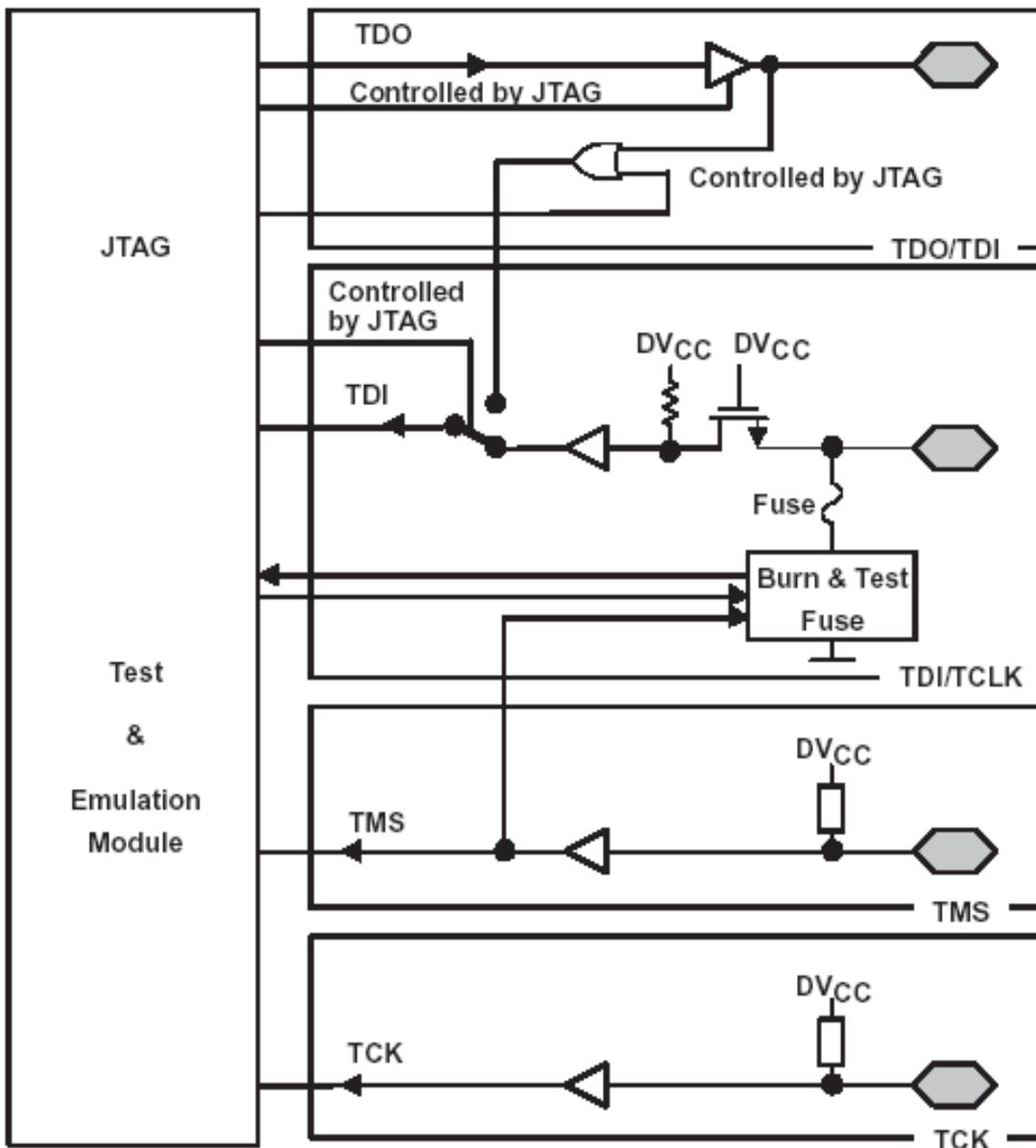
PnSel.x	PnDIR.x	Dir. CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN
P5Sel.0	P5DIR.0	DV _{SS}	P5OUT.0	DV _{SS}	P5IN.0	STE.1
P5Sel.4	P5DIR.4	DV _{CC}	P5OUT.4	MCLK	P5IN.4	unused
P5Sel.5	P5DIR.5	DV _{CC}	P5OUT.5	SMCLK	P5IN.5	unused
P5Sel.6	P5DIR.6	DV _{CC}	P5OUT.6	ACLK	P5IN.6	unused
P5Sel.7	P5DIR.7	DV _{SS}	P5OUT.7	DV _{SS}	P5IN.7	TBOUTHIZ

P5 口, P5.1 带施密特触发器的输入/输出


P5 口, P5.2 带施密特触发器的输入/输出

P5 口, P5.3 带施密特触发器的输入/输出


P6, P6.0 到 P6.7 带施密特触发器的输入/输出


PnSel.x	PnDIR.x	DIR. CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN
P6Sel.0	P6DIR.0	P6DIR.0	P6OUT.0	DV _{SS}	P6IN.0	unused
P6Sel.1	P6DIR.1	P6DIR.1	P6OUT.1	DV _{SS}	P6IN.1	unused
P6Sel.2	P6DIR.2	P6DIR.2	P6OUT.2	DV _{SS}	P6IN.2	unused
P6Sel.3	P6DIR.3	P6DIR.3	P6OUT.3	DV _{SS}	P6IN.3	unused
P6Sel.4	P6DIR.4	P6DIR.4	P6OUT.4	DV _{SS}	P6IN.4	unused
P6Sel.5	P6DIR.5	P6DIR.5	P6OUT.5	DV _{SS}	P6IN.5	unused
P6Sel.6	P6DIR.6	P6DIR.6	P6OUT.6	DV _{SS}	P6IN.6	unused
P6Sel.7	P6DIR.7	P6DIR.7	P6OUT.7	DV _{SS}	P6IN.7	unused

JTAG 引脚 TCK、TMS、TDI、TDO 带施密特触发器的输入/输出

JTAG 熔丝检查模式

MSP430 芯片在 TDI/TCLK 引脚终端上有熔丝，在 JTAG 端口在上电复位（POR）后检测熔丝的连续性模式。当激活时，熔丝检查电流 I_{TF} ，在 3V 时为 1mA，在 5V 时为 2.5mA，如果熔丝没有烧掉将从 TDI/TCLK 引脚流向地。必须注意避免意外地激活熔丝检查模式而增大整个系统地功耗。

熔丝检查模式的激活发生在上电后 TMS 引脚的第一个下降沿或者上电时 TMS 保持为低。TMS 引脚上的第二个上升沿关闭熔丝检查模式。关闭后，熔丝检查模式保持停止直到发生另一个 POR。

熔丝检查电流仅当熔丝检查模式激活以及 TMS 引脚处于低状态时才流过（见图 16）。因此，额外的电流可以通过将 TMS 引脚拉高（缺省条件）来避免。

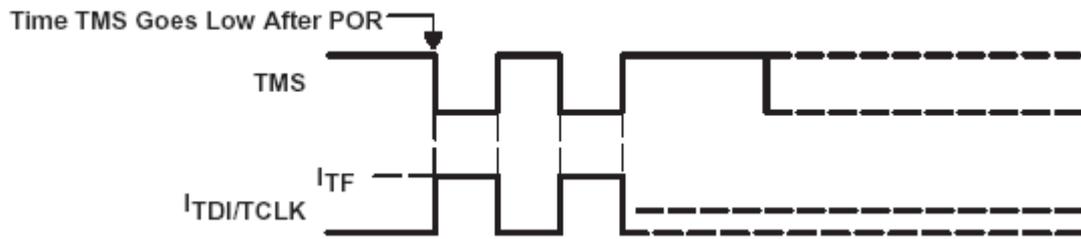
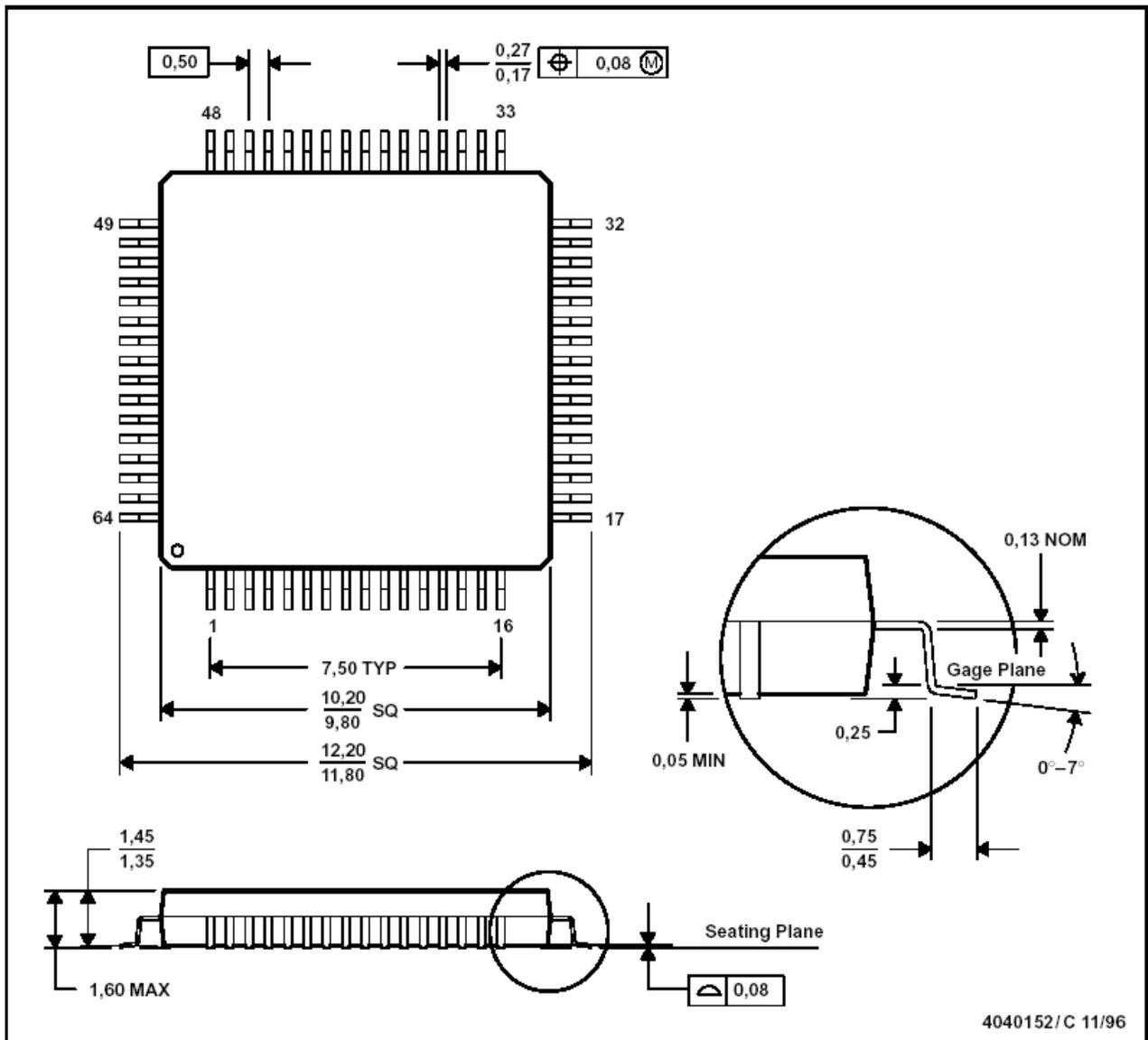


图 16 MSP430F13x/MSP430F14x 熔丝检查模式电流

64PQFP 封装尺寸图



说明: 该中文资料在翻译过程中难免存在错误, 请依照英文资料为准。