

MSP430FG43X 混合信号微控制器

低电压范围：1.8V-3.6V

超低功耗：

-活动模式：1MHZ,2.2V 时为 225 uA

-待机模式：0.7 uA

-掉电模式：(RAM 数据保持):0.1uA

五种省电模式

从待机到唤醒不超过 6 us

16 位精简指令集,指令周期 125ns

内部集成单通道 DMA

12 位 A/D 转换具有内部基准参考电压,
采保持电路和自动循环采样特性

三个可配置放大器

可同步的双 12 位 D/A 转换器

带有三个捕获/比较寄存器的 16 位

定时器(TIMER_A)

带有三个捕获/比较寄存器的 16 位

定时器(TIMER_B)

片内集成比较器

串行通信接口(USART),可用软件实现异步串
行通信和同步 SPI 通信

上电复位电路.

可编程电源电压监视

BOOTSTRAP 程序装载器

串行在线编程,无需提供额外编程电压,安全熔丝
确保代码安全

集成 128 段 LCD 驱动器

该系列产品包括:

-MSP430FG437

32KB+256B Flash Memory 1KB RAM

-MSP430FG438

48KB+256B Flash Memory 2KB RAM

-MSP430FG439

60KB+256B Flash Memory 2KB RAM

需要详细的模块说明,请查阅 MSP430X4XX FAMILY
USER ' S GUIDE,文 档编号 SLAU056

产品描述:

TI 公司的 MSP430 是一超低功耗的微控制器系列,不同功能模块的组合可适应不同应用层次的需求.在硬件架构上,提供了五种低功耗模式,可最大限度的延长手持设备的电池寿命.MSP430 系列的 CPU 采用 16 位精简指令集,集成了 16 个通用寄存器和常数发生器,极大的提升了代码的执行效率.它采用的数字可控振荡器(DCO)可使得低功耗模式到活动模式的时间小于 6us.

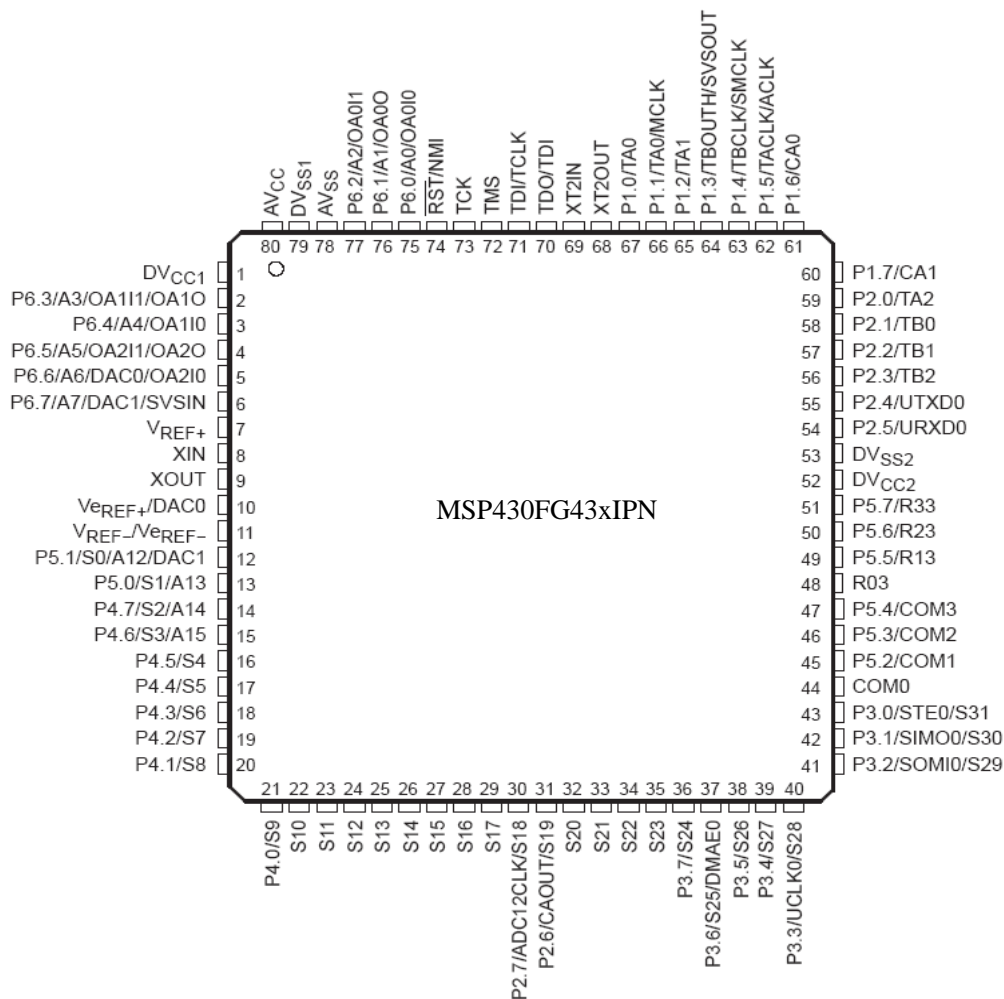
MSP430FG43X 系列包含:2 个 16 位定时器,高性能 12 位 A/D 转换器,双 D/A 转换器,3 个可配置放大器,一个通用异步串行接口/同步串行接口(SPI),DMA,48 个 I/O 口和液晶显示驱动.

该系列的典型应用是:数字或模拟传感系统,数字电机控制,远程控制,自动调温器,计时装置和手持仪表等.

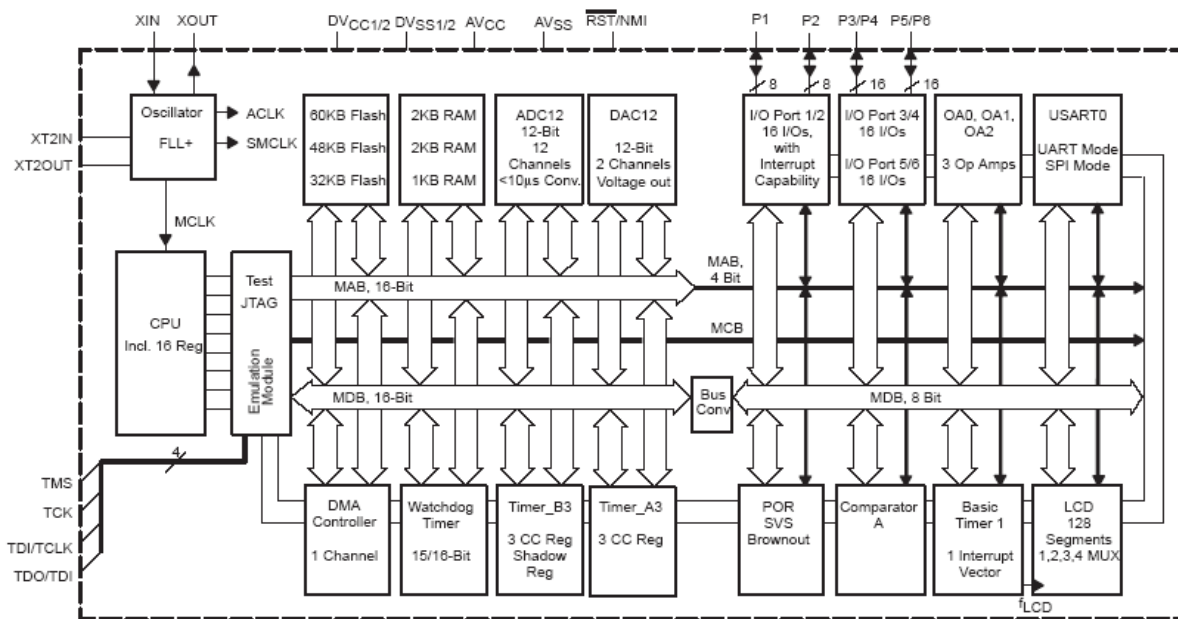
可选型号

TA	封装形式 PLASTIC 80-PIN QFP (PN)
-40 - 85	MSP430FG437IPN MSP430FG438IPN MSP430FG439IPN

引脚定义：MSP430FG437IPN, MSP430FG438IPN, MSP430FG439IPN



MSP430FG43X 功能模块图



MSP430FG43X 引脚功能定义：

引脚			引脚说明
名称	编号	I/O	
DV _{CC1}	1		数字电源+端
P6.3/A3/OA111/OA10	2	I/O	通用数字 I/O 口/模拟输入 A3-12 位 ADC/OA1 输出/OA1 +, -输入复用端
P6.4/A4/OA110	3	I/O	通用数字 I/O 口/模拟输入 A4-12 位 ADC/OA1 +, -输入复用端
P6.5/A5/OA211/OA20	4	I/O	通用数字 I/O 口/模拟输入 A5-12 位 ADC/OA2 输出/OA2 +, -输入复用端
P6.6/A6/DAC0/OA210	5	I/O	通用数字 I/O 口/模拟输入 A6-12 位 ADC/DAC12.0 输出/OA2 +, -输入复用端
P6.7/A7/DAC1/SVSIN	6	I/O	通用数字 I/O 口/模拟输入 A7-12 位 ADC/DAC12.1 输出/电压监控的模拟参考电压输入
V _{REF+}	7	0	ADC 的模拟参考电压输出+端
XIN	8	I	晶体振荡器 XT1 输入端
XOUT	9	0	晶体振荡器 XT1 输出端
V _{REF+} /DAC0	10	I	12 位 ADC 外部参考电压+端输入/DAC12.0 输出
V _{REF-} / V _{REF--}	11	I	12 位 ADC 的参考电压-端输入, 被用于内部参考电压和外部参考电压的电压零点
P5.1/S0/A12/DAC1	12	I/O	通用数字 I/O 口/LCD 段 0 输出/模拟输入 A12-12 位 ADC/DAC12.1 输出
P5.0/S1/A13	13	I/O	通用数字 I/O 口/LCD 段 1 输出/模拟输入 A13-12 位 ADC
P4.7/S2/A14	14	I/O	通用数字 I/O 口/LCD 段 2 输出/模拟输入 A14-12 位 ADC
P4.6/S3/A15	15	I/O	通用数字 I/O 口/LCD 段 3 输出/模拟输入 A15-12 位 ADC
P4.5/S4	16	I/O	通用数字 I/O 口/LCD 段 4 输出
P4.4/S5	17	I/O	通用数字 I/O 口/LCD 段 5 输出
P4.3/S6	18	I/O	通用数字 I/O 口/LCD 段 6 输出
P4.2/S7	19	I/O	通用数字 I/O 口/LCD 段 7 输出
P4.1/S8	20	I/O	通用数字 I/O 口/LCD 段 8 输出
P4.0/S9	21	I/O	通用数字 I/O 口/LCD 段 9 输出
S10	22	0	LCD 段 10 输出
S11	23	0	LCD 段 11 输出
S12	24	0	LCD 段 12 输出
S13	25	0	LCD 段 13 输出
S14	26	0	LCD 段 14 输出
S15	27	0	LCD 段 15 输出
S16	28	I/O	LCD 段 16 输出
S17	29	I/O	LCD 段 17 输出
P2.7/ADC12CLK/S18	30	I/O	通用数字 I/O 口/12 位 ADC 转换时钟输入/ LCD 段 18 输出
P2.6/CAOUT/S19	31	I/O	通用数字 I/O 口/比较器 A 输出/ LCD 段 19 输出
S20	32	I/O	LCD 段 20 输出
S21	33	I/O	LCD 段 21 输出

S22	34	I/O	LCD 段 22 输出
S23	35	I/O	LCD 段 23 输出
P3.7/S24	36	I/O	通用数字 I/O 口/LCD 段 24 输出
P3.6/S25/DMAE0	37	I/O	通用数字 I/O 口/LCD 段 25 输出/DMA 通道 0 触发输入端
P3.5/S26	38	I/O	通用数字 I/O 口/LCD 段 26 输出
P3.4/S27	39	I/O	通用数字 I/O 口/LCD 段 27 输出
P3.3/UCLK0/S28	40	I/O	通用数字 I/O 口 / 外部时钟输入 -USART0/UART 或 PI, 时钟输出 -USART0/SPI/LCD 段 28 输出
P3.2/SOMI0/S29	41	I/O	通用数字 I/O 口/USART0/SPI 的主端输入或从端输出/LCD 段 29 输出
P3.1/SIM00/S30	42	I/O	通用数字 I/O 口/ USART0/SPI 的主端输出或从端输出/LCD 段 30 输出
P3.0/STE0/S31	43	I/O	通用数字 I/O 口/ USART0/SPI 的从端发送允许/LCD 段 31 输出
COM0	44	0	LCD 公共端输出 COM0
P5.2/COM1	45	I/O	通用数字 I/O 口/ LCD 公输出共端 COM1
P5.3/COM2	46	I/O	通用数字 I/O 口/ LCD 公共输出端 COM2
P5.4/COM3	47	I/O	通用数字 I/O 口/ LCD 公共输出端 COM3
R03	48	I	LCD 模拟电平第四级输入端 (V5)
P5.5/R13	49	I/O	LCD 模拟电平第三级输入端 (V4 或 V3)
P5.6/R23	50	I/O	LCD 模拟电平第二级输入端 (V2)
P5.7/R33	51	I/O	LCD 模拟电平第一级输入端 (V1)
DV _{CC2}	52		数字电源+端
DV _{SS2}	53		数字地
P2.5/URXD0	54	I/O	通用数字 I/O 口/USART0/UART 的数据接收端
P2.4/UTXD0	55	I/O	通用数字 I/O 口/USART0/UART 的数据发送端
P2.3/TB2	56	I/O	通用数字 I/O 口 / 定时器 B3. 捕获方式:CC12A/CC12B 输入; 比较方式:OUT2 输出
P2.2/TB1	57	I/O	通用数字 I/O 口 / 定时器 B3. 捕获方式:CC11A/CC11B 输入; 比较方式:OUT1 输出
P2.1/TB0	58	I/O	通用数字 I/O 口 / 定时器 B3. 捕获方式:CC10A/CC10B 输入; 比较方式:OUT0 输出
P2.0/TA2	59	I/O	通用数字 I/O 口 / 定时器 A3. 捕获方式:CC12A 输入; 比较方式:OUT2 输出
P1.7/CA13	60	I/O	通用数字 I/O 口 / 比较器 A 输入端
P1.6/CA0	61	I/O	通用数字 I/O 口 / 比较器 A 输入端
P1.5/TACLK/ACLK	62	I/O	通用数字 I/O 口 / 定时器 A 时钟信号 TACLK 输入/ACLK 输出 (1, 2, 4, 8 分频)
P1.4/TBCLK/SMCLK	63	I/O	通用数字 I/O 口 / 定时器 B3 时钟信号 TBCLK 输入 / 系统从时钟 SMCLK 输出
P1.3/TBOUTH/SVSOUT	64	I/O	通用数字 I/O 口 / 将所有 PWM 输出端置为高阻态 - 定时器 B3 的 TB0-TB2/SVS 比较器输出

P1.2/TA1	65	I/O	通用数字 I/O 口/定时器 A. 捕获方式:CCI1A 输入;比较方式:OUT1 输出
P1.1/TA0/MCLK	66	I/O	通用数字 I/O 口/定时器 A. 捕获方式:CCI0B 输入/系统主时钟 MCLK 输出/BSL 数据接受端
P1.0/TA0	67	I/O	通用数字 I/O 口/定时器 A. 捕获方式:CCI0A 输入;比较方式:OUT0 输出/BSL 数据发送端
XT2OUT	68	0	晶体振荡器 XT2 输入.
XT2IN	69	I	晶体振荡器 XT2 输出, 只可连接标准晶体.
TDO/IDI	70	I/O	测试数据输出.TDO/TDI 数据输出或编程数据输入端
TDI/TCLK	71	I	测试数据或测试时钟输入. 器件安全熔丝连接在该引脚上
TMS	72	I	测试模式选择.TMS 在芯片编程和测试时作输入端
TCK	73	I	测试时钟输入.TCK 在芯片编程和测试时为时钟输入端
RST/NMI	74	I	复位或非屏蔽中断输入
P6.0/A0/OA0I0	75	I/O	通用数字 I/O 口/模拟输入 A0-12 位 ADC/OA0 +, - 输入复用端
P6.1/A1/OA00	76	I/O	通用数字 I/O 口/模拟输入 A1-12 位 ADC/OA0 输出端
P6.2/A2/OA0I1	77	I/O	通用数字 I/O 口/模拟输入 A2-12 位 ADC/OA0 +, - 输入复用端
AV _{SS}	78		模拟地. 用于电压监视电路, 电源监视, 振荡器电路, 锁频环电路, 比较器 A, 端口 P1 以及 LCD 分压电阻网络.
DV _{SS1}	79		数字地.
AV _{CC}	80	I/O	模拟电源输入+端, 用于电压监视电路, 上电复位电路, 振荡器电路, 锁频环电路, 比较器 A, 端口 P1 以及 LCD 分压电阻网络供电. 上电不能早于 DV _{CC1} /DV _{CC2}

简介

CPU

MSP430 CPU 特有的 16 位精简指令架构体系, 对应用高度透明. 所有的操作, 除了程序流程指令, 都是通过源操作数的 7 种寻址方式和目标操作数的 4 种寻址方式的组合来对寄存器进行的.

CPU 集成了 16 个寄存器, 极大的缩短了指令执行周期. 寄存器到寄存器的指令仅为 1 个机器周期. 其中 4 个寄存器有特殊用途: R0-R3 被分别作为程序计数器, 堆栈指针, 状态寄存器和常数发生器. 其他寄存器可作为一般通用寄存器使用. 外围模块通过数据, 地址和控制总线与 CPU 相连. 通过存储器操作指令可以方便的对它们进行控制.

指令集

该指令集包含 3 种格式和 7 种寻址方式的共 51 条指令. 每条指令均可操作字或字节类型的数据. 表 1 给出了 3 种指令格式的例子, 寻址方式见表 2.

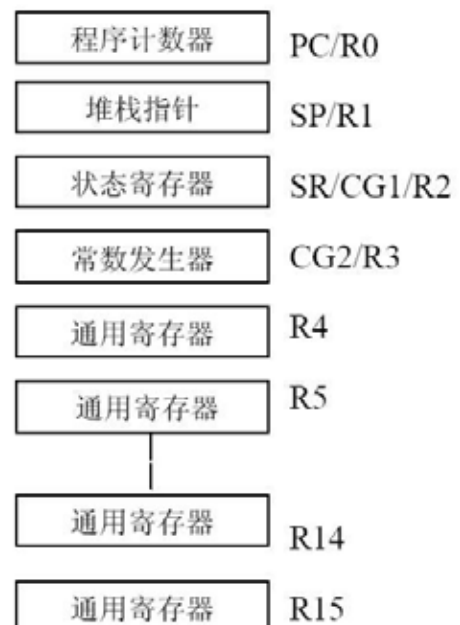


表 1 指令字格式

双操作数,源-目的	e.g ADD R4,R5	R4+R5 R5
单操作数,目的	e.g CALL R8	PC (TOS),R8 PC
相对转移,条件或无条件	e.g JNE	Z=0 时跳转

表 2 寻址方式

寻址方式	S	D	语法	示例	说明
寄存器寻址			MOV Rs,Rd	MOV R10,R11	R10 R11
相对寻址			MOV X(Rn),Y(Rm)	MOV 2(R5),6(R6)	M(2+R5) M(6+R6)
符号(相对 PC)寻址			MOV EDE,TONI		M(EDE) M(TONI)
绝对寻址			MOV &MEM,&TCDAT		M(MEM) (M(TCDAT))
间接寻址			MOV @Rn,Y(Rm)	MOV @R10,Tab(R6)	M(R10) M(Tab+R6)
间接变址寻址			MOV @Rn+,Rm	MOV @R10+,R11	M(R10) R11 R10+2 R10
立即数			MOV #X,TONI	MOV #45,TONI	45 M(TONI)

注:S 为源操作数,D 为目的操作数.

工作模式

MSP430 有一个活动模式和 5 个可软件设置的低功耗模式. 中断事件可以把系统从任何低功耗模式唤醒, 并且在执行完中断服务例程后可返回到中断前的工作状态.

MSP430 支持下列 6 种运行模式,可软件设置:

活动模式 AM

-所有时钟信号活动.

低功耗模式 0(LPM0)

-CPU 关闭

ACLK 和 SMCLK 活动,MCLK 停止.

锁频环 FLL+活动

低功耗模式 1(LPM1)

-CPU 关闭

ACLK 和 SMCLK 信号活动.

MCLK,锁频环 FLL+停止

低功耗模式 2(LPM2)

-CPU 关闭

MCLK,锁频环 FLL+,DCOCLK 停止

DCO 的 DC 发生器,ACLK 保持活动

低功耗模式 3(LPM3)

-CPU 关闭

MCLK,锁频环 FLL+,DCOCLK 停止

DCO 的 DC 发生器停止

ACLK 保持活动

低功耗模式 4(LPM4)

-CPU 关闭

MCLK,锁频环 FLL+,DCOCLK 停止

DCO 的 DC 发生器停止

ACLK 停止

晶体振荡器停止

中断向量地址

中断向量和上电起始地址位于 0FFFFh-0FFE0h 中,其中包括各种中断服务程序的 16 位入口地址.

中断源	中断标志	系统中断	字地址	优先级
上电 外部复位 看门狗 FLASH	WDTIFG KEYV (注释 1)	Reset	0FFFEh	15(最高)
非屏蔽中断 NMI 振荡器错误 非法访问 FLASH 存储器	NMIIFG(注释 1&3) OFIFG(注释 1&3) ACCVIFG(注释 1&3)	(非)可屏蔽 (非)可屏蔽 (非)可屏蔽	0FFFCh	14
定时器 B3	TBCCR0.CCIFG0(注释 2)	可屏蔽	0FFFAh	13
定时器 B3	TBCCR1.CCIFG1, TBCCR2.CCIFG2, TBIFG(注释 1&2)	可屏蔽	0FFF8h	12
比较器 A	CAIFG	可屏蔽	0FFF6h	11
看门狗定时器	WDTIFG	可屏蔽	0FFF4h	10
USART0 接收	URXIFG0	可屏蔽	0FFF2h	9
USART0 发送	UTXIFG0	可屏蔽	0FFF0h	8
ADC12	ADC12IFG(注释 1&2)	可屏蔽	0FFEEh	7
定时器 A3	TACCR0.CCIFG0(注释 2)	可屏蔽	0FFEC h	6
定时器 A3	TACCR1.CCIFG1, TACCR2.CCIFG2 TAIFG(注释 1&2)	可屏蔽	0FFEAh	5
端口 P1	P1IFG.0-P1IFG.7(注释 1&2)	可屏蔽	0FFE8h	4
DAC12 DMA	DAC12.0IFG, DAC12.1IFG, DMA0IFG(注释 1&2)	可屏蔽	0FFE6h	3
		可屏蔽	0FFE4h	2
端口 P2	P2IFG.0-P2IFG.7(注释 1&2)	可屏蔽	0FFE2h	1
基本定时器 BT	BTIFG	可屏蔽	0FFE0h	0(最低)

注: 1. 多源中断标志

2. 中断标志在该模块内部

3. (非)可屏蔽中断: 相应的单独允许位可禁止该中断, 但总中断允许屏蔽不了.

特殊功能寄存器

MSP430 的特殊功能寄存器位于低地址区域, 可通过字节访问指令访问.

中断使能寄存器 1 和 2



WDTIE: 看门狗定时器中断允许, 只有在定时器模式下有效, 看门狗模式下无效.

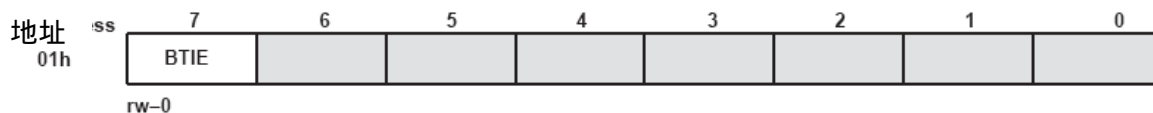
OFIE: 振荡器错误中断允许.

NMIIE: 非屏蔽中断允许.

ACCVIE: 访问 FLASH 错误中断允许.

URXIE0: USART0:UART 和 SPI 通信接收中断允许.

UTXIE0: USART0:UART 和 SPI 通信发送中断允许.



BTIE: 基本定时器中断允许.

中断标志寄存器 1 和 2



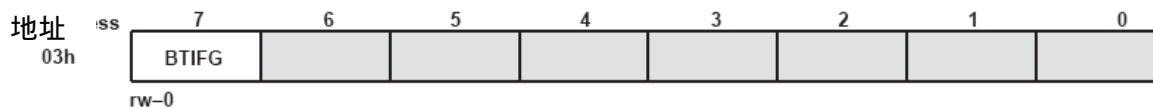
WDTIF: 看门狗定时器溢出、看门狗定时器写口令错误、 V_{CC} 上电复位或 $\overline{RST} / \overline{NMI}$ 引脚引起复位时置位.

OFIFG: 振荡器错误时置位.

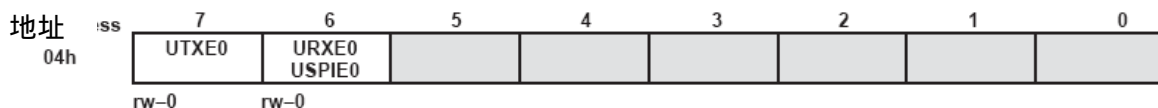
NMIIFG: 通过 $\overline{RST} / \overline{NMI}$ 引脚置位.

URXIFG0: USART0:UART 或 SPI 接收到数据后置位.

UTXIFG0: USART0:UART 或 SPI 数据发送完毕后置位.



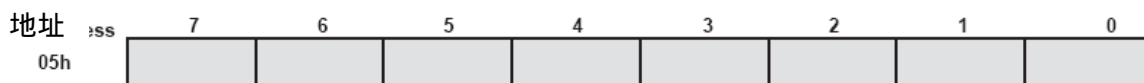
BTIFG: 基本定时器中断标志



URXE0: USART0:UART 模式接收允许

UTXE0: USART0:UART 模式发送允许

USPIE0: USART0:SPI 模式发送和接收允许



Legend: rw:

rw-0,1:

rw-(0,1):



该位可读写

该位可读写, 在 PUC 时被置位或复位

该位可读写, 在 POR 时被置位或复位

器件中该位没有定义

PUC.

POR.

存储器组织

		MSP430FG437	MSP430FG438	MSP430FG439
存储器	大小	32KB	48KB	60KB
中断向量	Flash	0FFFFh-0FFE0h	0FFFFh-0FFE0h	0FFFFh-0FFE0h
代码存储器	Flash	0FFFFh-08000h	0FFFFh-04000h	0FFFFh-01100h
信息存储器	大小	256 Byte	256 Byte	256 Byte
	Flash	010FFh-01000h	010FFh-01000h	010FFh-01000h
引导存储器	大小	1KB	1KB	1KB
	ROM	0FFFh-0C00h	0FFFh-0C00h	0FFFh-0C00h
RAM	大小	1KB	2KB	2KB
		05FFh-0200h	09FFh-0200h	09FFh-0200h
外围模块	16 位	01FFh-0100h	01FFh-0100h	01FFh-0100h
	8 位	0FFh-010h	0FFh-010h	0FFh-010h
	8 位 SFR	0Fh-00h	0Fh-00h	0Fh-00h

引导装配程序(BSL)

MSP430 的引导装配程序可使用户利用 UART 串口通信接口写 FLASH 存储器和 RAM. BSL 对 MSP430 的存储器访问由用户定义的口令加以限制. 需要详细了解 BSL 的特性和实现, 请参考 MSP430 的应用文献 MSP430 Bootstrap Loader, 文献编号 SLAA089.

BSL 功能端	PN Package Pins
数据发送端	67-P1.0
数据接收端	66-P1.1

FLASH 存储器

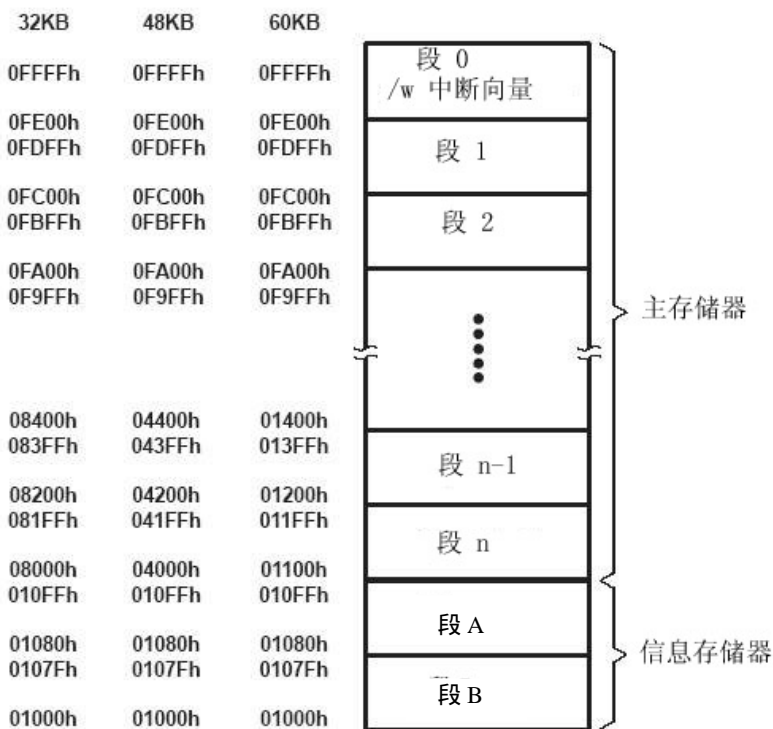
FLASH 存储器可以通过 JTAG 接口或 BSL 接口进行写操作, 其中写入的可以是字节或是字类型. FLASH 存储器的特点包括:

FLASH 存储器包括 n 段主存储器(每段 512 字节)和 2 段信息段(A 和 B, 每段 128 字节)

段 0-n 可以一次性擦除, 也可以每段单独擦除

段 A 和段 B 可以单独擦除, 也可以和段 0-n 一起擦除

未经编程的新器件可能在信息存储器存有若干字节数据(厂家测试用), 故在第一次使用前请对信息存储器进行一次擦除。



† MSP430FG439 的段大小为 256 字节

外围模块

外围模块通过数据总线, 地址总线和控制总线和 CPU 相连, 并可通过指令对其进行访问. 需要获取详细的数据资料, 请参考 MSP430X4XX FAMILY USER ' S GUIDE, 文献编号 SLAU056.

DMA 控制器

DMA 用于将数据从一个地方移动到另一个地方而不需要 CPU 参与, 如它可以将 ADC12 的转换结果写入 RAM. DMA 的应用可极大的提高外围模块间的数据交换. 由于 DMA 可以在 CPU 睡眠的时候移动数据, 故可以减小电源消耗.

振荡器和时钟

MSP430FG43X 系列的时钟系统包括增强锁频环模块 FLL+、32768 晶振,内部数字控制振荡器和高频晶体振荡器.FLL+模块采用数字锁频环的硬件加数字调制器,可将频率稳定到低速晶振的设定倍数上,同时满足低功耗和低成本的要求.内部数字控制振荡器可快速启动并在 6us 内稳定.FLL+用来提供如下信号:

辅助时钟信号 ACLK,来自 32768Hz 晶振或高速晶振

系统主时钟 MCLK, CPU 使用的时钟信号

次主时钟 SMCLK,用于外围模块的时钟信号

ACLK/n 输出经缓冲的 ACLK, ACLK/2, ACLK/4 或 ACLK/8 时钟信号

电源监测和电源电压管理

电源监测电路用来实现上电或掉电时产生合适的内部复位信号.电压管理 SVS 电路用于检测供电电压是否低于用户设定的电压值,支持电源电压管理(芯片自动复位)和电源电压监视(SVM,芯片不自动复位)两种模式.

CPU 在电源监测电路释放芯片复位后开始执行代码.不过 V_{CC} 不一定达到 $V_{CC(MIN)}$,所以用户必须确保 FLL+ 的默认设置在 V_{CC} 达到 $V_{CC(MIN)}$ 之前不被改变.如果需要,可以用 SVS 电路监测 V_{CC} 何时达到 $V_{CC(MIN)}$.

数字 I/O:(MSP430 中有 6 个 I/O 口-端口 P1 到 P6)

所有 I/O 位可单独编程设置

端口可以作为输入,输出和中断输入的任意组合

P1, P2 口的所有引脚都可以选择中断触发沿

所有指令支持对端口控制寄存器的读/写

基本定时器 1

基本定时器 1 有两个 8 位定时器,可级连成 16 位定时器或计数器.两定时器均可通过软件读写,基本定时器可以用来产生周期性中断和 LCD 模块所需的时序信号.

LCD 驱动器

LCD 驱动器产生驱动 LCD 显示器件所需的公共端和段信号,LCD 控制器使用专用数据存储单元来保存显示信息,软件可设置公共端和段的输出模式,支持静态,2-MUX,3-MUX 和 4-MUX 四种显示模式.

OA 放大器

MSP430FG43X 有 3 个可软件配置的通用小电流放大器,每个 OA 的输入输出端口可软件选择,以最大限度适应不同应用的需求.OA 主要用于在进行 A/D 转换前对模拟前端的电流进行放大和调整.

看门狗定时器

看门狗定时器模块(WDT)的主要功能是在发生软件问题后进行可控制的系统重启.如果选定时间间隔溢出,系统产生复位.如果在应用中不需要看门狗功能,这个模块可配置为间隔定时器,在选定的时间间隔产生中断.

异步串行通信

MSP430FG43X 用同步或异步发送和接收外围模块 USART 来实现串行数据通信.USART 采用双缓冲支持同步 SPI(3 端或 4 端)和异步 UART 通信协议.

定时器 A3

定时器 A3 是一个带 3 个捕获/比较寄存器的 16 位定时器/计数器.定时器 A3 可同时支持多个捕获/比较,PWM 输出和内部定时.定时器 A3 也具有中断扩展能力,中断可以由计数器溢出或捕获/比较寄存器产生.

定时器 A3 信号引脚连接

输入引脚编号	器件输入信号	模块输入名称	模块	模块输出名称	输入引脚编号
62-P1.5	TACLK	TACLK	Timer	NA	
	ACLK	ACLK			
	SMCLK	SMCLK			
62-P1.5	$\overline{\text{TACLK}}$	INCLK			
67-P1.0	TA0	CCIOA	CCR0	TA0	67-P1.0
66-P1.1	TA0	CCIOB			
	DVss	GND			
	DVcc	VCC			
65-P1.2	TA1	CCI1A	CCR1	TA1	65-P1.2
	CAOUT	CCI1B			ADC12
	DVss	GND			
	DVcc	VCC			
59-P2.0	TA2	CCI2A	CCR2	TA2	59-P2.0
	ACLK	CCI2B			
	DVss	GND			
	DVcc	Vcc			

定时器 B3

定时器 B3 是一个带 3 个捕获/比较寄存器的 16 位定时器/计数器。定时器 A3 可同时支持多个捕获/比较, PWM 输出和内部定时。定时器 A3 也具有中断扩展能力, 中断可以由计数器溢出或捕获/比较寄存器产生。

定时器 B3 信号引脚连接

输入引脚编号	器件输入信号	模块输入名称	模块	模块输出名称	输入引脚编号
63-P1.4	TBCLK	TBCLK	Timer	NA	
	ACLK	ACLK			
	SMCLK	SMCLK			
63-P1.4	$\overline{\text{TBCLK}}$	INCLK			
58-P2.1	TB0	CCIOA	CCR0	TB0	58-P2.1
58-P2.1	TB0	CCIOB			
	DVss	GND			
	DVcc	VCC			
57-P2.2	TB1	CCI1A	CCR1	TB1	57-P2.2
57-P2.2	TB1	CCI1B			ADC12
	DVss	GND			
	DVcc	VCC			
56-P2.3	TB2	CCI2A	CCR2	TB2	56-P2.3
56-P2.3	TB2	CCI2B			
	DVss	GND			
	DVcc	Vcc			

比较器 A

比较器 A 的主要功能是实现精密的斜坡 A/D 转换, 电池电压监测和外部模拟信号检测。

ADC12 模数转换

ADC12 模块支持 12 位快速模数转换.该模块主要包括一个 12 位 SAR 内核,采样输入端选择电路,参考电压发生电路和 16 个字类型的转换存储器.可以对 16 路模拟量在不需 CPU 干预的情况下进行转换和存储.

DAC12 数模转换

DAC12 模块是一个输出为 12 位精度的 R-ladder 数模转换器.DAC12 可用作 8 位或 12 位 DAC 转换,并可以配合 DMA 使用.在有多个 DAC12 的器件中,可将它们组合起来实现同步操作.

外围模块布局

字访问的外围模块			
看门狗定时器	看门狗定时器	WDCTL	0120h
定时器 B3	捕获/比较寄存器 2	TBCCR2	0196h
	捕获/比较寄存器 1	TBCCR1	0194h
	捕获/比较寄存器 0	TBCCR0	0192h
	定时器 B 寄存器	TBR	0190h
	捕获/比较控制寄存器 2	TBCTL2	0186h
	捕获/比较控制寄存器 1	TBCTL1	0184h
	捕获/比较控制寄存器 0	TBCTL0	0182h
	定时器 B 控制寄存器	TBCTL	0180h
	定时器 B 中断向量寄存器	TBIV	011Eh
定时器 A3	捕获/比较寄存器 2	TACCR2	0176h
	捕获/比较寄存器 1	TACCR1	0174h
	捕获/比较寄存器 0	TACCR0	0172h
	定时器 A 寄存器	TAR	0170h
	捕获/比较控制寄存器 2	TACCTL2	0166h
	捕获/比较控制寄存器 1	TACCTL1	0164h
	捕获/比较控制寄存器 0	TACCTL0	0162h
	定时器 A 控制寄存器	TACTL	0160h
	定时器 A 中断向量寄存器	TAIV	012Eh
FLASH	控制寄存器 3	FCTL3	012Ch
	控制寄存器 2	FCTL2	012Ah
	控制寄存器 1	FCTL1	0128h
DMA	DMA 控制寄存器 0	DMACTL0	0122h
	DMA 控制寄存器 1	DMACTL1	0124h
	DMA 通道 0 控制寄存器	DMAOCTL	01E0h
	DMA 通道 0 源地址寄存器	DMAOSA	01E2h
	DMA 通道 0 目的地址寄存器	DMAODA	01E4h
	DMA 通道 0 转移数据块大小寄存器	DMAOSZ	01E6h
ADC12 (参看字节访问 外围模块)	转换结果寄存器 15	ADC12MEM15	015Eh
	转换结果寄存器 14	ADC12MEM14	015Ch
	转换结果寄存器 13	ADC12MEM13	015Ah

	转换结果寄存器 12	ADC12MEM12	0158h
	转换结果寄存器 11	ADC12MEM11	0156h
	转换结果寄存器 10	ADC12MEM10	0154h
ADC12 (参看字节访问 外围模块)	转换结果寄存器 9	ADC12MEM9	0152h
	转换结果寄存器 8	ADC12MEM8	0150h
	转换结果寄存器 7	ADC12MEM7	014Eh
	转换结果寄存器 6	ADC12MEM6	014Ch
	转换结果寄存器 5	ADC12MEM5	014Ah
	转换结果寄存器 4	ADC12MEM4	0148h
	转换结果寄存器 3	ADC12MEM3	0146h
	转换结果寄存器 2	ADC12MEM2	0144h
	转换结果寄存器 1	ADC12MEM1	0142h
	转换结果寄存器 0	ADC12MEM0	0140h
	中断向量寄存器	ADC12IV	01A8h
	中断允许寄存器	ADC12IE	01A6h
	中断标志寄存器	ADC12IFG	01A4h
	控制寄存器 1	ADC12CTL1	01A2h
	控制寄存器 0	ADC12CTL0	01A0h
DAC12	DAC12_1 数据	DAC12_1DAT	01CAh
	DAC12_1 控制寄存器	DAC12_1CTL	01C2h
	DAC12_0 数据	DAC12_0DAT	01C8h
	DAC12_0 控制寄存器	DAC12_0CTL	01C0h

字节访问的外围模块			
OA2	OA2 控制寄存器 1	OA2CTL1	0C5h
	OA2 控制寄存器 0	OA2CTL0	0C4h
OA1	OA1 控制寄存器 1	OA1CTL1	0C3h
	OA1 控制寄存器 0	OA1CTL0	0C2h
OA0	OA0 控制寄存器 1	OA0CTL1	0C1h
	OA0 控制寄存器 0	OA0CTL0	0C0h
LCD	LCD 存储器 20	LCDM20	0A4h
	.	.	.
	.	.	.
	LCD 存储器 20 LCD 控制寄存器	LCDM20 LCDCTL	091h 090h
ADC12 (存储器控制寄存 器为字节访问)	ADC 存储器控制寄存器 15	ADC12MCTL15	08Fh
	ADC 存储器控制寄存器 14	ADC12MCTL14	08Eh
	ADC 存储器控制寄存器 13	ADC12MCTL13	08Dh
	ADC 存储器控制寄存器 12	ADC12MCTL12	08Ch
	ADC 存储器控制寄存器 11	ADC12MCTL11	08Bh

	ADC 存储器控制寄存器 10	ADC12MCTL10	08Ah
	ADC 存储器控制寄存器 9	ADC12MCTL9	089h
	ADC 存储器控制寄存器 8	ADC12MCTL8	088h
	ADC 存储器控制寄存器 7	ADC12MCTL7	087h
	ADC 存储器控制寄存器 6	ADC12MCTL6	086h
	ADC 存储器控制寄存器 5	ADC12MCTL5	085h
	ADC 存储器控制寄存器 4	ADC12MCTL4	084h
	ADC 存储器控制寄存器 3	ADC12MCTL3	083h
	ADC 存储器控制寄存器 2	ADC12MCTL2	082h
	ADC 存储器控制寄存器 1	ADC12MCTL1	081h
	ADC 存储器控制寄存器 0	ADC12MCTL0	080h
USART0 (UART 或 SPI 模式)	发送缓冲器	U0TXBUF	077h
	接收缓冲器	U0RXBUF	076h
	波特率寄存器	U0BR1	075h
	波特率寄存器	U0BR0	074h
	调制控制寄存器	U0MCTL	073h
	接收控制寄存器	U0RCTL	072h
	发送控制寄存器	U0TCTL	071h
	USART 控制寄存器	U0CTL	070h
比较器 A	端口禁止寄存器	CAPD	05Bh
	控制寄存器 2	CACTL2	05Ah
	控制寄存器 1	CACTL1	059h
Brownout, SVS	SVS 控制寄存器 (由 Brownout 信号复位)	SVSCTL	056h
FLL+ Clock	FLL+控制寄存器 1	FLL_CTL1	054h
	FLL+控制寄存器 0	FLL_CTL0	053h
	系统时钟频率控制寄存器	SCFQCTL	052h
	系统时钟频率积分器	SCF11	051h
	系统时钟频率积分器	SCF10	050h
基本定时器(BT)	BT 计数器 2	BTCNT2	047h
	BT 计数器 1	BTCNT1	046h
	BT 控制寄存器	BTCTL	040h
P6 口	功能选择寄存器	P6SEL	037h
	方向选择寄存器	P6DIR	036h
	输出寄存器	P6OUT	035h
	输入寄存器	P6IN	034h
P5 口	功能选择寄存器	P5SEL	033h
	方向选择寄存器	P5DIR	032h
	输出寄存器	P5OUT	031h
	输入寄存器	P5IN	030h
P4 口	功能选择寄存器	P4SEL	01Fh
	方向选择寄存器	P4DIR	01Eh

	输出寄存器	P4OUT	01Dh
	输入寄存器	P4IN	01Ch
P3 口	功能选择寄存器	P3SEL	01Bh
	方向选择寄存器	P3DIR	01Ah
	输出寄存器	P3OUT	019h
	输入寄存器	P3IN	018h
P2 口	功能选择寄存器	P2SEL	02Eh
	中断使能寄存器	P2IE	02Dh
	中断触发沿选择寄存器	P2IES	02Ch
	中断标志寄存器	P2IFG	02Bh
	方向选择寄存器	P2DIR	02Ah
	输出寄存器	P2OUT	029h
	输入寄存器	P2IN	028h
P1 口	功能选择寄存器	P1SEL	026h
	中断使能寄存器	P1IE	025h
	中断触发沿选择寄存器	P1IES	024h
	中断标志寄存器	P1IFG	023h
	方向选择寄存器	P1DIR	022h
	输出寄存器	P1OUT	021h
	输入寄存器	P1IN	020h
特殊功能寄存器	模块允许 2	ME1	05h
	模块允许 1	ME1	04h
	中断标志 2	IFG2	03h
	中断标志 1	IFG1	02h
	中断允许 2	IE2	01h
	中断允许 1	IE1	00h

绝对最大额定范围(除非特别指出)

供电电压 VCC-VSS: -0.3 ~ 4.1V

一个引脚外加电压: -0.3 ~ V_{CC}+0.3

二极管电流: ± 2 mA

存储温度(未编程芯片): -55 ~ 150

(编程芯片) -40 ~ 85

特别指出的是超过“最大额定范围”可能导致器件的永久性损坏. 这些参数只是在特定范围的指标, 不包含器件在超出规定范围的工作特性. 在最大额定条件下使用可能导致器件工作不稳定.

注意: 所有电压是相对于 V_{SS} 来说的. 但烧 JTAG 安全熔丝的电压 V_{FB} 可以超出该最大绝对电压值, 该烧安全熔丝的电压加在 TDI/TCLK 引脚上.

推荐工作条件

		MIN	NOM	MAX	UNITS
Supply voltage during program execution, V_{CC} ($AV_{CC} = DV_{CC1/2} = V_{CC}$)		1.8		3.6	V
Supply voltage during flash memory programming, V_{CC} ($AV_{CC} = DV_{CC1/2} = V_{CC}$)		2.7		3.6	V
Supply voltage during program execution, SVS enabled (see Note 1), V_{CC} ($AV_{CC} = DV_{CC1/2} = V_{CC}$)		2		3.6	V
Supply voltage, V_{SS} ($AV_{SS} = DV_{SS1/2} = V_{SS}$)		0		0	V
Operating free-air temperature range, T_A		-40		85	°C
LFXT1 crystal frequency, $f_{(LFXT1)}$ (see Note 2)	LF selected, $XTS_FLL=0$	Watch crystal		32.768	kHz
	XT1 selected, $XTS_FLL=1$	Ceramic resonator	450	8000	kHz
	XT1 selected, $XTS_FLL=1$	Crystal	1000	8000	kHz
XT2 crystal frequency, $f_{(XT2)}$	Ceramic resonator	450		8000	kHz
	Crystal	1000		8000	
Processor frequency (signal MCLK), $f_{(System)}$	$V_{CC} = 1.8\text{ V}$	DC		4.15	MHz
	$V_{CC} = 3.6\text{ V}$	DC		8	

- 注：1、最小的可工作供电电压是通过降低供电电压直到引起 POR 动作的触发点电压来确定的。当供电电压上升到最小供电电压加 SVS 的滞后电压之上时 POR 停止。
- 2、工作于 LF 模式的 LFXT1 振荡器要求采用一个晶体，在 XT1 模式 LFXT1 可以接晶振或陶瓷谐振器件。

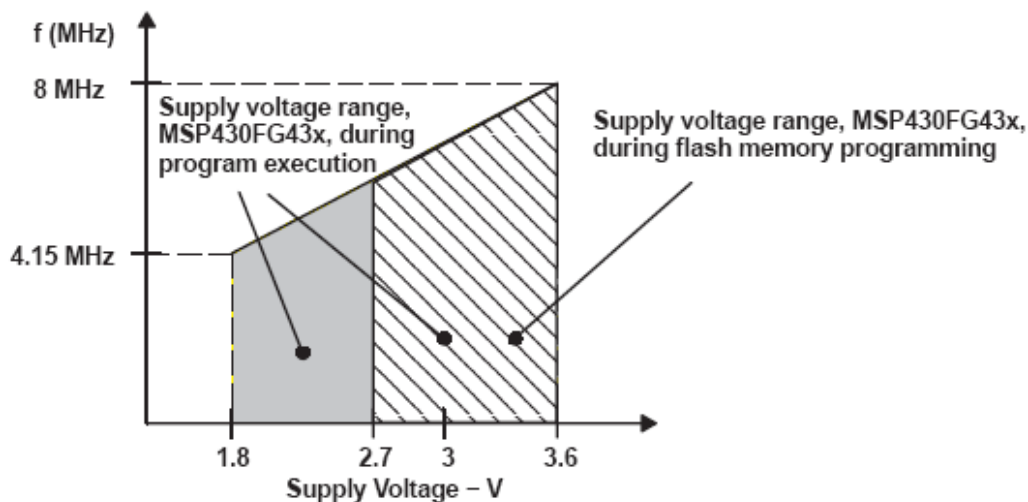


图 1 频率与电压典型特征

推荐工作电压和温度范围内的电气特性(除非另有说明)
流入 $AV_{CC}+DV_{CC1/2}$ 电流不包括外部电流。

参数		测试条件		最大	典型	最小	单位
$I_{(AM)}$	Active mode, (see Note 1) $f_{(MCLK)} = f_{(SMCLK)} = 1 \text{ MHz}$, $f_{(ACLK)} = 32,768 \text{ Hz}$ $XTS=0$, $SELM=(0,1)$	$T_A = -40^\circ\text{C}$ to 85°C	$V_{CC} = 2.2 \text{ V}$	300	370	μA	
			$V_{CC} = 3 \text{ V}$	470	570		
$I_{(LPM0)}$	Low-power mode, (LPM0) (see Note 1)	$T_A = -40^\circ\text{C}$ to 85°C	$V_{CC} = 2.2 \text{ V}$	55	70	μA	
			$V_{CC} = 3 \text{ V}$	95	110		
$I_{(LPM2)}$	Low-power mode, (LPM2), $f_{(MCLK)} = f_{(SMCLK)} = 0 \text{ MHz}$, $f_{(ACLK)} = 32,768 \text{ Hz}$, $SCG0 = 0$ (see Note 2)	$T_A = -40^\circ\text{C}$ to 85°C	$V_{CC} = 2.2 \text{ V}$	11	14	μA	
			$V_{CC} = 3 \text{ V}$	17	22		
$I_{(LPM3)}$	Low-power mode, (LPM3) $f_{(MCLK)} = f_{(SMCLK)} = 0 \text{ MHz}$, $f_{(ACLK)} = 32,768 \text{ Hz}$, $SCG0 = 1$ (see Note 2 and Note 3)	$T_A = -40^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	1	2.0	μA	
				$T_A = 25^\circ\text{C}$	1.1		2.0
				$T_A = 60^\circ\text{C}$	2		3
				$T_A = 85^\circ\text{C}$	3.5		6
		$T_A = -40^\circ\text{C}$	$V_{CC} = 3 \text{ V}$	1.8	2.8		
				$T_A = 25^\circ\text{C}$	1.6		2.7
				$T_A = 60^\circ\text{C}$	2.5		3.5
				$T_A = 85^\circ\text{C}$	4.2		7.5
$I_{(LPM4)}$	Low-power mode, (LPM4) $f_{(MCLK)} = 0 \text{ MHz}$, $f_{(SMCLK)} = 0 \text{ MHz}$, $f_{(ACLK)} = 0 \text{ Hz}$, $SCG0 = 1$ (see Note 2)	$T_A = -40^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	0.1	0.5	μA	
				$T_A = 25^\circ\text{C}$	0.1		0.5
				$T_A = 60^\circ\text{C}$	0.7		1.1
				$T_A = 85^\circ\text{C}$	1.7		3
		$T_A = -40^\circ\text{C}$	$V_{CC} = 3 \text{ V}$	0.1	0.8		
				$T_A = 25^\circ\text{C}$	0.1		0.8
				$T_A = 60^\circ\text{C}$	0.8		1.2
				$T_A = 85^\circ\text{C}$	1.9		3.5

 注： 1. 定时器 B 的时钟信号来自 $f(\text{DCOCLK})=1\text{MHz}$.

 2. 所有输入引脚被置为 0V 或 V_{CC} . 输出引脚没有获输入或输出电流.

3. LPM3 的电流消耗是在基本定时器和 LCD(ACLK 提供信号)的情况下测定的. 比较器 A 和 SVS 模块的电流消耗在其他节有单独说明.

活动模式下电流消耗与系统频率的关系：(FLASH 型)

$$I_{(AM)} = I_{(AM)} [1\text{MHz}] \times f(\text{System}) [\text{MHz}]$$

活动模式下电流消耗与供电电压的关系：(FLASH 型)

$$I_{(AM)} = I_{(AM)} [3\text{V}] + 175 \mu\text{A/V} \times (V_{CC} - 3\text{V})$$

施密特触发式输入 -P1, P2, P3, P4, P5, P6; $\overline{\text{RST}}/\text{NMI}; \text{JTAG}: \text{TCK}, \text{TMS}, \text{TDI}/\text{TCLK}, \text{TDO}/\text{TDI}$

参数	测试条件	最小	典型	最大	单位
V_{IT+} 正向触发电压阈值	$V_{CC}=2.2\text{V}$	1.1		1.55	V
	$V_{CC}=3\text{V}$	1.5		1.98	
V_{IT-} 负向触发电压阈值	$V_{CC}=2.2\text{V}$	0.4		0.9	V
	$V_{CC}=3\text{V}$	0.9		1.3	
V_{hys} 输入电压滞后	$V_{CC}=2.2\text{V}$	0.3		1.1	V
	$V_{CC}=3\text{V}$	0.5		1	

输入引脚 $PX.X, TA_x, TB_x$

参数	测试条件	VCC	最小	典型	最大	单位
$t(\text{int})$ 外部中断触发时间	P1, P2 端口(见注 1)	2.2V	62			ns
		3V	50			
$T(\text{cap})$ 定时器 A, B 捕获时间	TA0, TA1, TA2 TB0, TB1, TB2	2.2V	62			ns
		3V	50			

f(TAext)	定时器 A,B 外部时钟 信号频率	TACLK,TBCLK, INCLK:T(H)=T(L)	2.2V	8	MHz
f(TBext)			3V	10	
f(Taint)	定时器 A,B 时钟频率	SMCLK 或 ACLK	2.2V	8	MHz
f(TBint)			3V	10	

注：在间隔最小 $t_{(int)}$ 的条件下外部信号可以置位中断标志,甚至在触发信号比 $t_{(int)}$ 短时也可能置位。

漏电流

参数		测试条件		最小	典型	最大	单位
I _{ikg} (p _{x.x})	漏电流	P _x 端口	V(P _{x.x}) (见注 2)	V _{CC} =2.2V/3V		± 50	nA

注 1.该漏电流是在相应引脚接 V_{SS} 或 V_{CC} 时的值(除非特别指出).

2.该引脚必须选为输入引脚.

P1,P2,P3,P4,P5 和 P6 口的输出特性

参数	测试条件	最小	典型	最大	单位
V _{OH} "1" 输出电压	I _{OH(MAX)} =-1.5 mA V _{CC} =2.2V(见注 1)	V _{CC} -0.25		V _{CC}	V
	I _{OH(MAX)} =-6 mA V _{CC} =2.2V(见注 2)	V _{CC} -0.6		V _{CC}	
	I _{OH(MAX)} =-1.5 mA V _{CC} =3V(见注 1)	V _{CC} -0.25		V _{CC}	
	I _{OH(MAX)} =-6 mA V _{CC} =3V(见注 2)	V _{CC} -0.6		V _{CC}	
V _{OL} "0" 输出电压	I _{OL(MAX)} =1.5 mA V _{CC} =2.2V(见注 1)	V _{SS}		V _{SS} +0.25	V
	I _{OL(MAX)} =6 Ma V _{CC} =2.2V(见注 2)	V _{SS}		V _{SS} +0.6	
	I _{OL(MAX)} =1.5 mA V _{CC} =3V(见注 1)	V _{SS}		V _{SS} +0.25	
	I _{OL(MAX)} =6 mA V _{CC} =3V(见注 2)	V _{SS}		V _{SS} +0.6	

注：1. I_{OL},I_{OH} 电流之和不要超过 ±12mA 以保证不超过最大电压将.

2. I_{OL},I_{OH} 电流之和不要超过 ±48mA 以保证不超过最大电压将.

输出频率

参数	测试条件		最小	典型	最大	单位
f(P _{x.y})	C _L =20P f _L =±1.5mA	V _{CC} =2.2V/3V	DC		f _{System}	MHz
f(MCLK) P1.1/TA0/MCLK f(SMCLK) P1.4/TBCLK/SMCLK f(ACLK) P1.5/TACLK/ACLK	C _L =20Pf				f _{System}	MHz
T(Xdc) 输出占空比	P1.5/TACLK ACLK C _L =20Pf V _{CC} =2.2V/3V	f(ACLK)=f(LFXT1) =f(XT1)	40		60	
		f(ACLK)=f(LFXT1) =f(LF)	30		70	
		f(ACLK)=f(LFXT1)	50			
	P1.1/TA0/MCLK C _L =20Pf V _{CC} =2.2V/3V	f(MCLK)=f(XT1)	40		60	
		f(MCLK)= f(DCOCLK)	40 - 15ns	50	60 + 15ns	
	P1.4/TBCLK MCLK C _L =20Pf V _{CC} =2.2V/3V	f(SMCLK)=f(XT1)	40		60	
f(SMCLK)= f(DCOCLK)		40 - 15ns	50	60 + 15ns		

电气特性

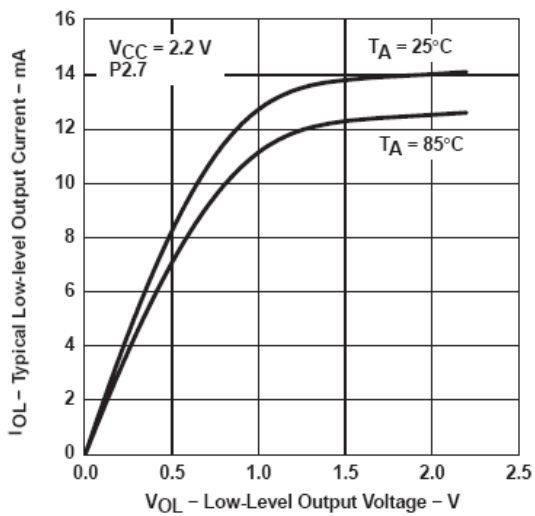


图 1

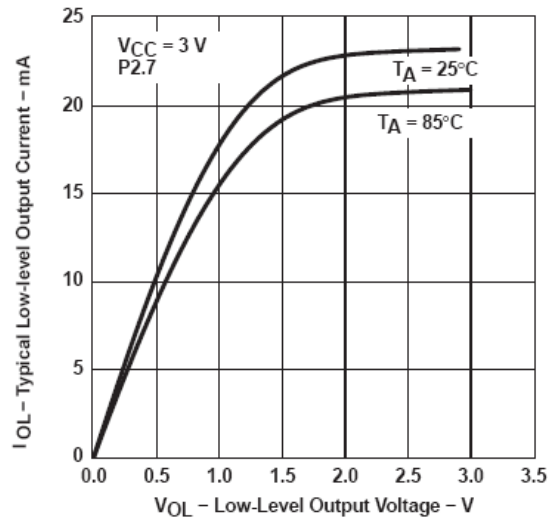


图 2

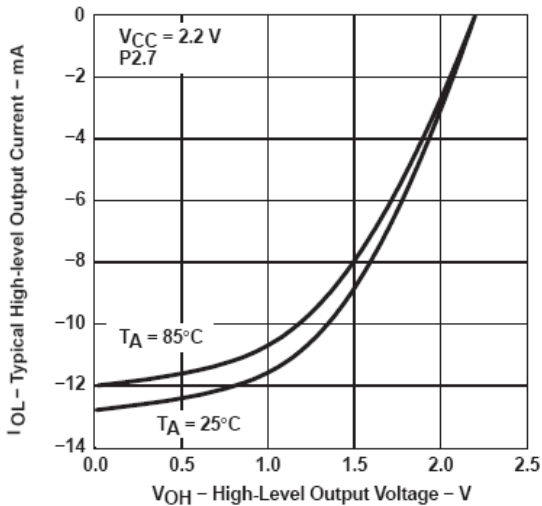


图 3

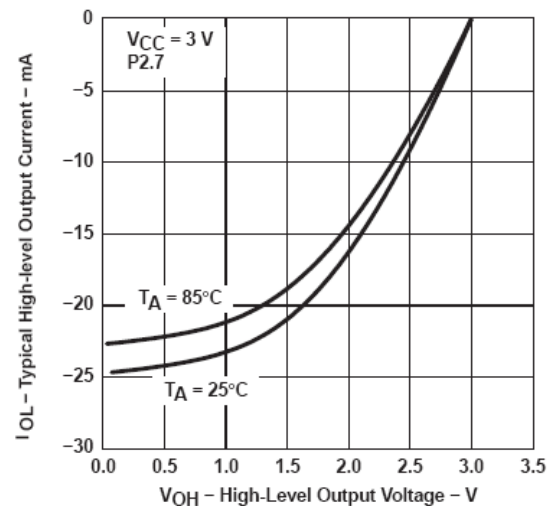


图 4

LPM3 唤醒

参数	测试条件		最小	典型	最大	单位
	F	VCC				
Td(LPM3)延迟	F=1MHz	VCC=2.2V/3V			6	us
	F=2MHz				6	us
	F=3MHz				6	us

RAM

参数	测试条件	最小	典型	最大	单位
VRAMh	CPU 停 (HALTED, 见注 1)	1.6			V

注 1. 该参数定义了保持 RAM 数据不丢失的最低供电电压, 该状态时 CPU 不执行代码。

参数	测试条件		最小	典型	最大	单位	
$V_{(33)}$	模拟电压	Voltage at P5.7/R33	$V_{CC} = 3V$	2.5	$V_{CC} + 0.2$	V	
$V_{(23)}$		Voltage at P5.6/R23					
$V_{(13)}$		Voltage at P5.5/R13					
$V_{(33)} - V_{(03)}$		Voltage at R33 to R03					
$I_{(R03)}$	输入漏电流	$R03 = V_{SS}$	$V_{CC} = 3V$	No load at all segment and common lines,	±20	nA	
$I_{(R13)}$		$P5.5/R13 = V_{CC}/3$					
$I_{(R23)}$		$P5.6/R23 = 2 \times V_{CC}/3$					
$V_{(Sxx0)}$	线性电压	$I_{(Sxx)} = -3 \mu A$	$V_{CC} = 3V$	$V_{(03)}$	$V_{(03)} - 0.1$	V	
$V_{(Sxx1)}$							$V_{(13)}$
$V_{(Sxx2)}$							$V_{(23)}$
$V_{(Sxx3)}$							$V_{(33)}$

比较器 A (见注 1)

参数		测试条件	最大	典型	最小	单位	
$I_{(CC)}$		CAON=1, CARSEL=0, CAREF=0	$V_{CC} = 2.2V$	25	40	μA	
			$V_{CC} = 3V$	45	60		
$I_{(Refladder/RefDiode)}$		CAON=1, CARSEL=0, CAREF=1/2/3, No load at P1.6/CA0 and P1.7/CA1	$V_{CC} = 2.2V$	30	50	μA	
			$V_{CC} = 3V$	45	71		
$V_{(Ref025)}$	Voltage @ 0.25 V_{CC} node V_{CC}	PCA0=1, CARSEL=1, CAREF=1, No load at P1.6/CA0 and P1.7/CA1	$V_{CC} = 2.2V / 3V$	0.23	0.24	0.25	
$V_{(Ref050)}$	Voltage @ 0.5 V_{CC} node V_{CC}	PCA0=1, CARSEL=1, CAREF=2, No load at P1.6/CA0 and P1.7/CA1	$V_{CC} = 2.2V / 3V$	0.47	0.48	0.5	
$V_{(RefVT)}$		PCA0=1, CARSEL=1, CAREF=3, No load at P1.6/CA0 and P1.7/CA1; $T_A = 85^\circ C$	$V_{CC} = 2.2V$	390	480	540	mV
			$V_{CC} = 3V$	400	490	550	
V_{IC}	Common-mode input voltage range	CAON=1	$V_{CC} = 2.2V / 3V$	0	$V_{CC}-1$	V	
$V_p - V_s$	Offset voltage	See Note 2	$V_{CC} = 2.2V / 3V$	-30	30	mV	
V_{hys}	Input hysteresis	CAON = 1	$V_{CC} = 2.2V / 3V$	0	0.7	1.4	mV
$t_{(response LH)}$		$T_A = 25^\circ C$, Overdrive 10 mV, without filter: CAF = 0	$V_{CC} = 2.2V$	160	210	300	ns
			$V_{CC} = 3V$	80	150	240	
			$V_{CC} = 2.2V$	1.4	1.9	3.4	μs
			$V_{CC} = 3V$	0.9	1.5	2.6	
$t_{(response HL)}$		$T_A = 25^\circ C$, Overdrive 10 mV, without filter: CAF = 0	$V_{CC} = 2.2V$	130	210	300	ns
			$V_{CC} = 3V$	80	150	240	
			$V_{CC} = 2.2V$	1.4	1.9	3.4	μs
			$V_{CC} = 3V$	0.9	1.5	2.6	

注 1. 比较器 A 的漏电流和 $I_{IKG(PX.X)}$ 的相同。

典型电气特性

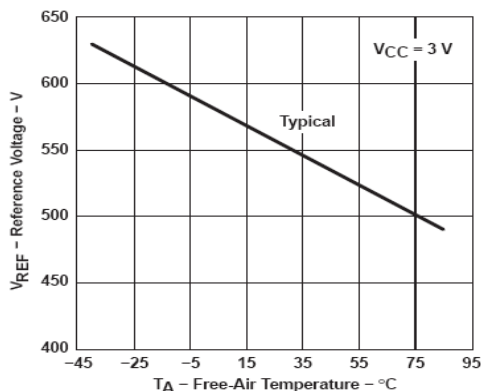


图 6

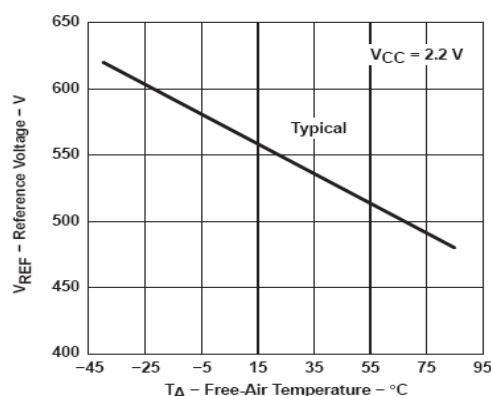


图 7

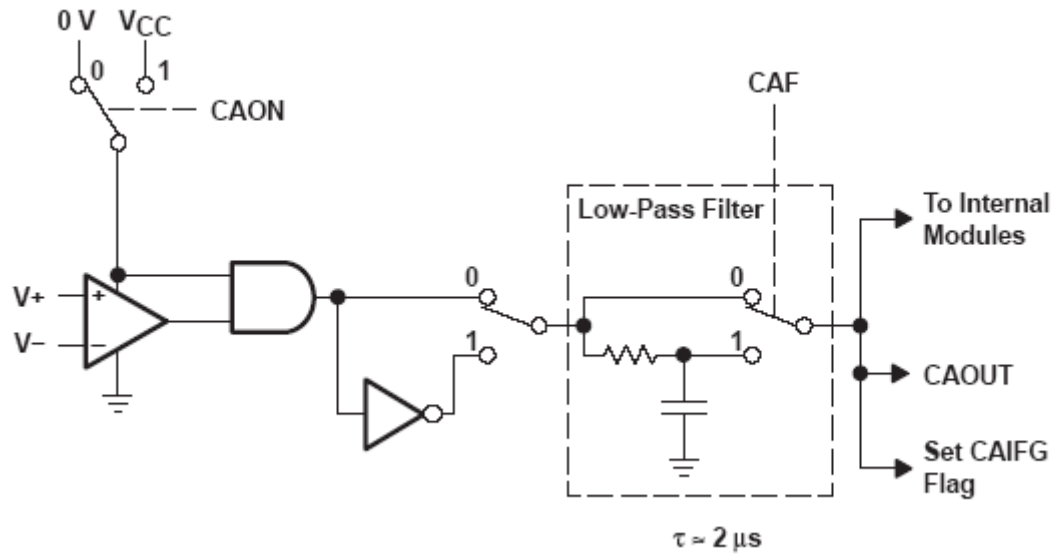


图8 比较器模块

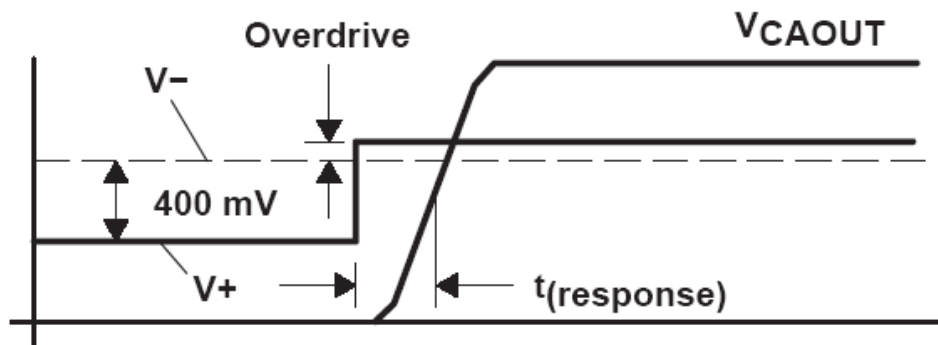


图9 驱动过度定义

推荐工作温度下的电气特性(除非另有说明)

POR/brownout 复位(BOR)(见注 1)

参数	测试条件	最小	典型	最大	单位
$t_d(\text{BOR})$				2000	μs
$V_{\text{CC}}(\text{start})$	$dV_{\text{CC}}/dt \leq 3 \text{ V/s}$ (see Figure 10)		$0.7 \times V(\text{B_IT-})$		V
$V(\text{B_IT-})$	$dV_{\text{CC}}/dt \leq 3 \text{ V/s}$ (see Figure 10 through Figure 12)			1.71	V
$V_{\text{hys}}(\text{B_IT-})$	$dV_{\text{CC}}/dt \leq 3 \text{ V/s}$ (see Figure 10)	70	130	180	mV
$t(\text{reset})$	Pulse length needed at RST/NMI pin to accepted reset internally, $V_{\text{CC}} = 2.2 \text{ V}/3 \text{ V}$	2			μs

注：1. brownout 模块的电流消耗已经包含在 I_{cc} 里。 $V(\text{B_IT-}) + V_{\text{hys}}(\text{B_IT+}) < 1.8 \text{ V}$ 。

2. 上电后, 在 $V_{\text{CC}} = V(\text{B_IT-}) + V_{\text{hys}}(\text{B_IT+})$ 后 $t_d(\text{BOR})$ 开始执行代码。FLL+ 的缺省设置必须保持不变之至 $V_{\text{CC}} = V_{\text{CC}}(\text{MIN})$, $V_{\text{CC}}(\text{MIN})$ 即在该频率下工作所需的最低供电电压。参考 MSP430X4XX Family User's Guide (SLAU056) 获取 brownout/SVS 电路的更多信息。

典型特性

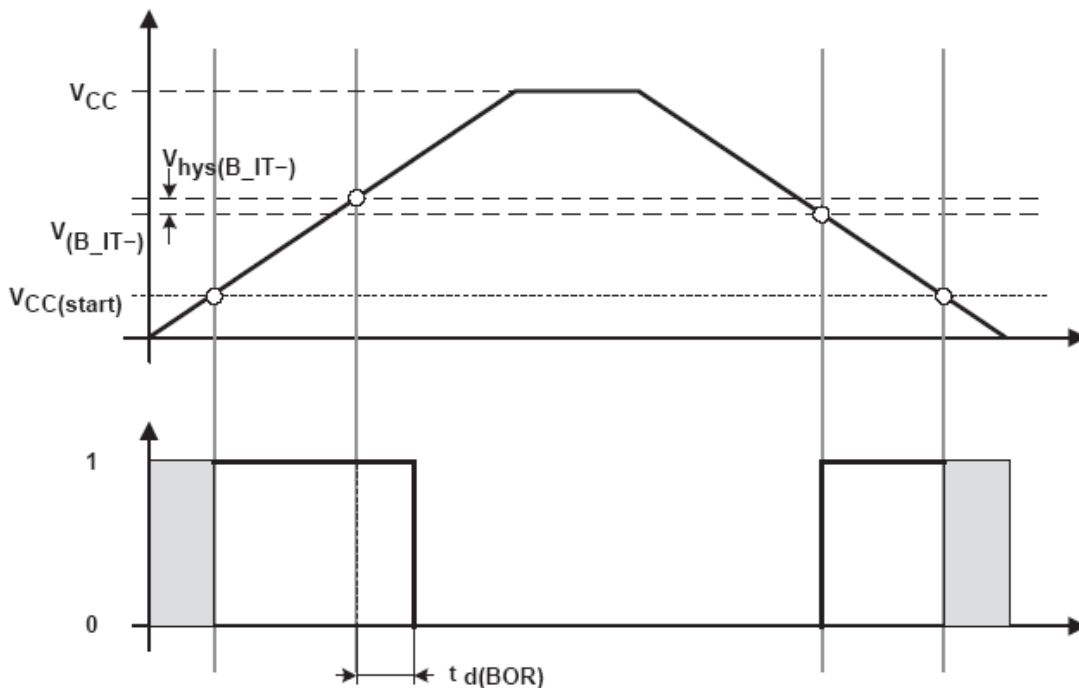


图 10 POR/Brownout 复位 (BOR) 与电压

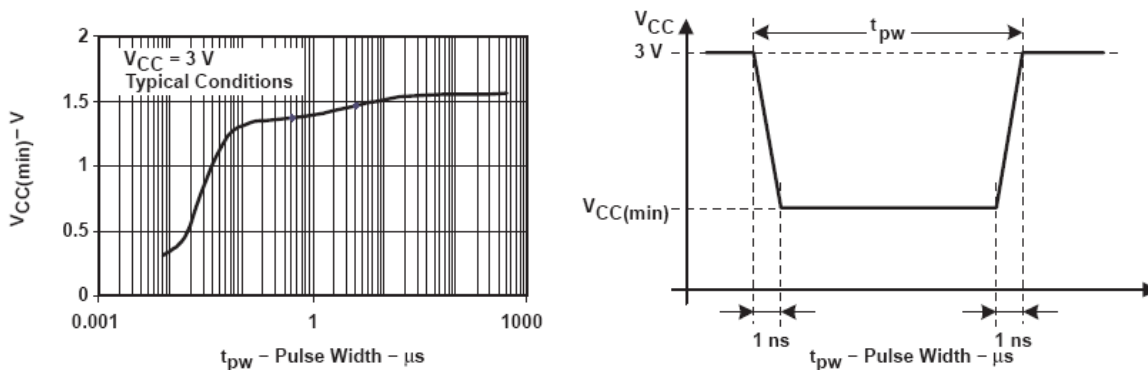


图 11 方形波下降到 VCC (min) 产生 POR/Brownout 信号

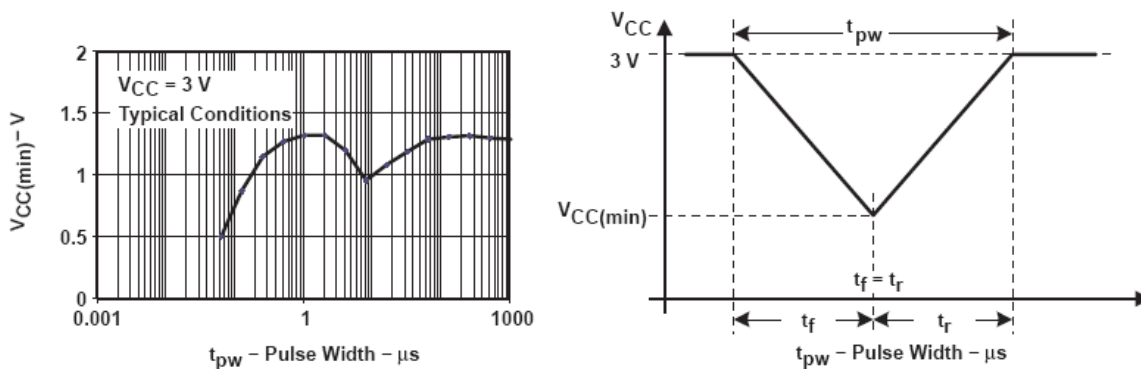


图 12 三角波下降到 VCC (min) 产生 POR/Brownout

SVS(供电电压监测/管理)

参数	测试条件	最小	典型	最大	单位	
$t(SVSR)$	$dV_{CC}/dt > 30 \text{ V/ms}$ (see Figure 13)	5		150	μs	
	$dV_{CC}/dt \leq 30 \text{ V/ms}$			2000	μs	
$t_d(SVSON)$	SVSON, switch from VLD=0 to VLD \neq 0, $V_{CC} = 3 \text{ V}$	20		150	μs	
t_{settle}	VLD \neq 0†			12	μs	
$V(SVSstart)$	VLD \neq 0, $V_{CC}/dt \leq 3 \text{ V/s}$ (see Figure 13)		1.55	1.7	V	
$V_{\text{hys}}(SVS_IT-)$	$V_{CC}/dt \leq 3 \text{ V/s}$ (see Figure 13)	VLD = 1	70	120	155	mV
		VLD = 2 .. 14	$V(SVS_IT-) \times 0.001$		$V(SVS_IT-) \times 0.016$	
	$V_{CC}/dt \leq 3 \text{ V/s}$ (see Figure 13), external voltage applied on A7	VLD = 15	4.4	20	mV	
$V(SVS_IT-)$	$V_{CC}/dt \leq 3 \text{ V/s}$ (see Figure 13)	VLD = 1	1.8	1.9	2.05	V
		VLD = 2	1.94	2.1	2.23	
		VLD = 3	2.05	2.2	2.35	
		VLD = 4	2.14	2.3	2.46	
		VLD = 5	2.24	2.4	2.58	
		VLD = 6	2.33	2.5	2.69	
		VLD = 7	2.46	2.65	2.84	
		VLD = 8	2.58	2.8	2.97	
		VLD = 9	2.69	2.9	3.10	
		VLD = 10	2.83	3.05	3.26	
		VLD = 11	2.94	3.2	3.39	
		VLD = 12	3.11	3.35	3.58†	
		VLD = 13	3.24	3.5	3.73†	
		VLD = 14	3.43	3.7†	3.96†	
	$V_{CC}/dt \leq 3 \text{ V/s}$ (see Figure 13), external voltage applied on A7	VLD = 15	1.1	1.2	1.3	
$I_{CC}(SVS)$ (see Note 1)	VLD \neq 0, $V_{CC} = 2.2 \text{ V}/3 \text{ V}$		10	15	μA	

注：

- 1、推荐工作电压 3.6V 以下。
- 2、Tsettle 是 VLD 从非零变到某值(2-15)时比较器达到稳定所需要的时间,驱动电压值假设大于 50 mA.
- 3、SVS 模块的电流消耗没有包含在 I_{CC} 中。

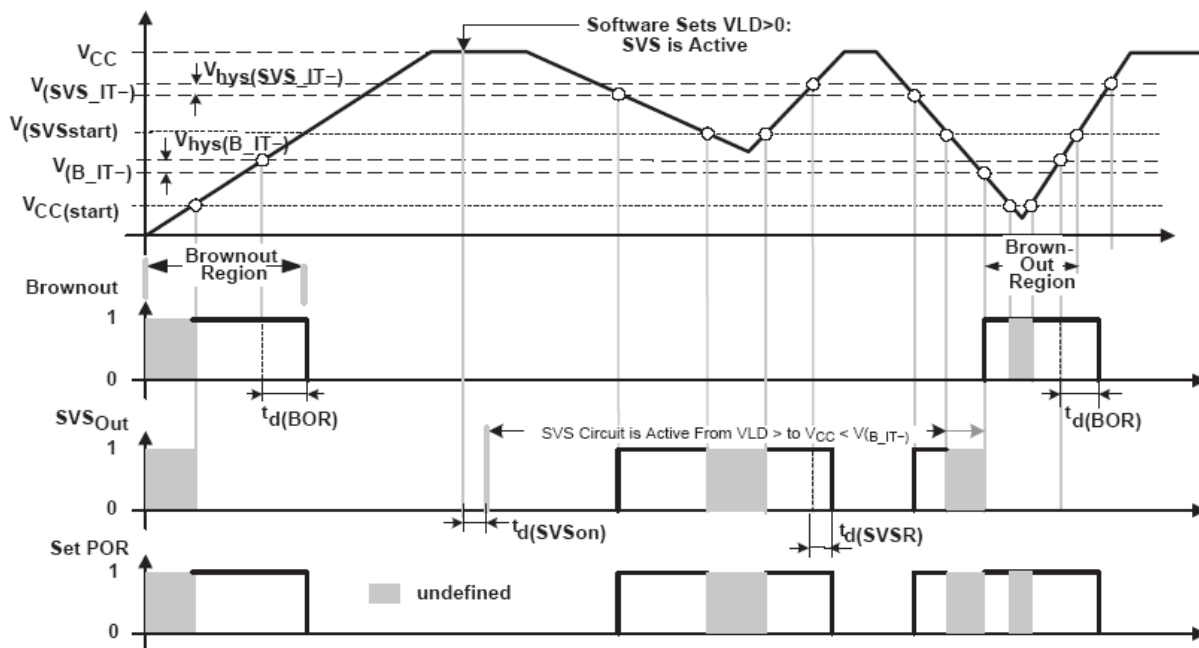
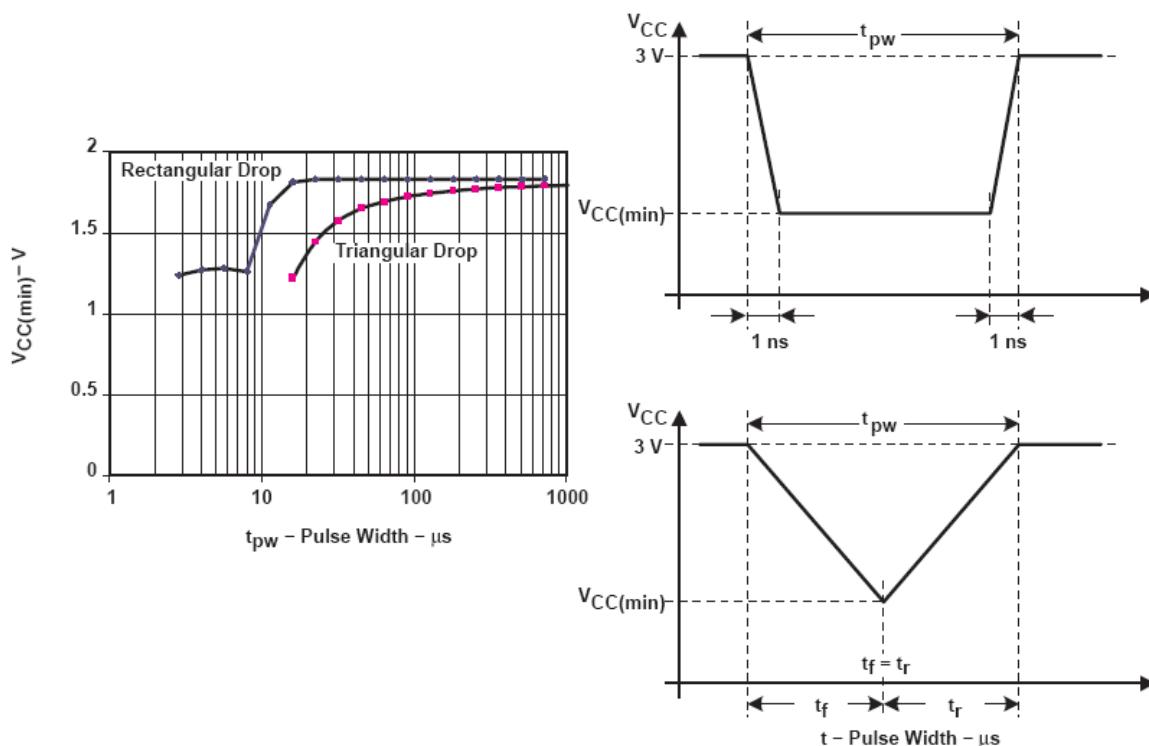


图 13 SVS 复位 (SVSR) 与供电电压


 图 14 方波和三角波电压降至 $V_{CC}(\min)$ 产生复位信号

DCO

I 参数	测试条件	VCC	最大	典型	最小	单位
$f_{(DCOCLK)}$	$N_{(DCO)}=01E0h, FN_8=FN_4=FN_3=FN_2=0, D=2; DCOPLUS=0$	2.2V/3V		1		MHz
$f_{(DCO2)}$	$FN_8=FN_4=FN_3=FN_2=0; DCOPLUS=1$	2.2V	0.3	0.65	1.25	MHz
		3V	0.3	0.7	1.3	
$f_{(DCO27)}$	$FN_8=FN_4=FN_3=FN_2=0; DCOPLUS=1, (see Note 1)$	2.2V	2.5	5.6	10.5	MHz
		3V	2.7	6.1	11.3	
$f_{(DCO2)}$	$FN_8=FN_4=FN_3=0, FN_2=1; DCOPLUS=1$	2.2V	0.7	1.3	2.3	MHz
		3V	0.8	1.5	2.5	
$f_{(DCO27)}$	$FN_8=FN_4=FN_3=0, FN_2=1; DCOPLUS=1, (see Note 1)$	2.2V	5.7	10.8	18	MHz
		3V	6.5	12.1	20	
$f_{(DCO2)}$	$FN_8=FN_4=0, FN_3=1, FN_2=x; DCOPLUS=1$	2.2V	1.2	2	3	MHz
		3V	1.3	2.2	3.5	
$f_{(DCO27)}$	$FN_8=FN_4=0, FN_3=1, FN_2=x; DCOPLUS=1, (see Note 1)$	2.2V	9	15.5	25	MHz
		3V	10.3	17.9	28.5	
$f_{(DCO2)}$	$FN_8=0, FN_4=1, FN_3=FN_2=x; DCOPLUS=1$	2.2V	1.8	2.8	4.2	MHz
		3V	2.1	3.4	5.2	
$f_{(DCO27)}$	$FN_8=0, FN_4=1, FN_3=FN_2=x; DCOPLUS=1, (see Note 1)$	2.2V	13.5	21.5	33	MHz
		3V	16	26.6	41	
$f_{(DCO2)}$	$FN_8=1, FN_4=FN_3=FN_2=x; DCOPLUS=1$	2.2V	2.8	4.2	6.2	MHz
		3V	4.2	6.3	9.2	
$f_{(DCO27)}$	$FN_8=1, FN_4=FN_3=FN_2=x; DCOPLUS=1, (see Note 1)$	2.2V	21	32	46	MHz
		3V	30	46	70	
S_n	Step size between adjacent DCO taps: $S_n = f_{DCO}(\text{Tap } n+1) / f_{DCO}(\text{Tap } n), (see Figure 16 \text{ for taps } 21 \text{ to } 27)$	$1 < TAP \leq 20$	1.06		1.11	
		$TAP = 27$	1.07		1.17	
D_t	Temperature drift, $N_{(DCO)} = 01E0h, FN_8=FN_4=FN_3=FN_2=0$ $D=2; DCOPLUS=0, (see Note 2)$	2.2V	-0.2	-0.3	-0.4	%°C
		3V	-0.2	-0.3	-0.4	
D_V	Drift with V_{CC} variation, $N_{(DCO)} = 01E0h, FN_8=FN_4=FN_3=FN_2=0$ $D=2; DCOPLUS=0 (see Note 2)$		0	5	15	%V

注：1、不要超出最高系统频率使用

2、该参数未经产品测试

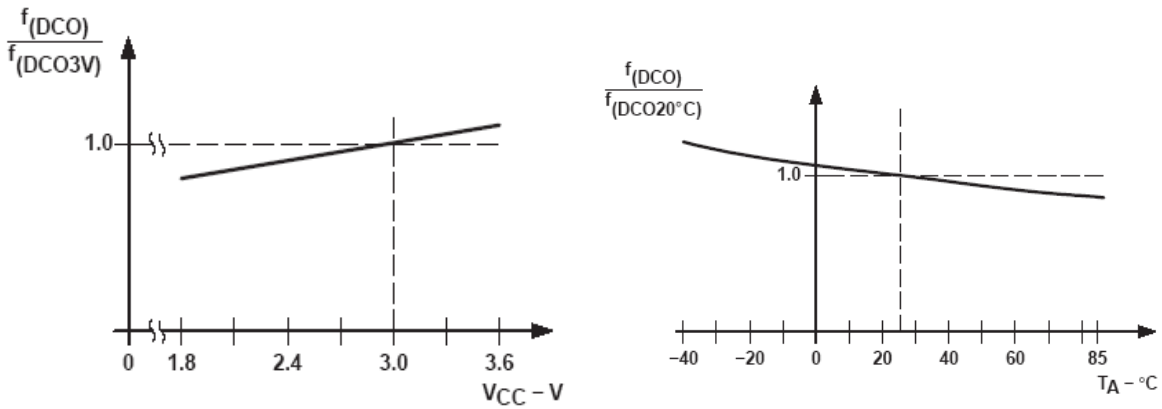


图 15 DCO 与供电电压 VCC

DCO 与 TA 工作温度

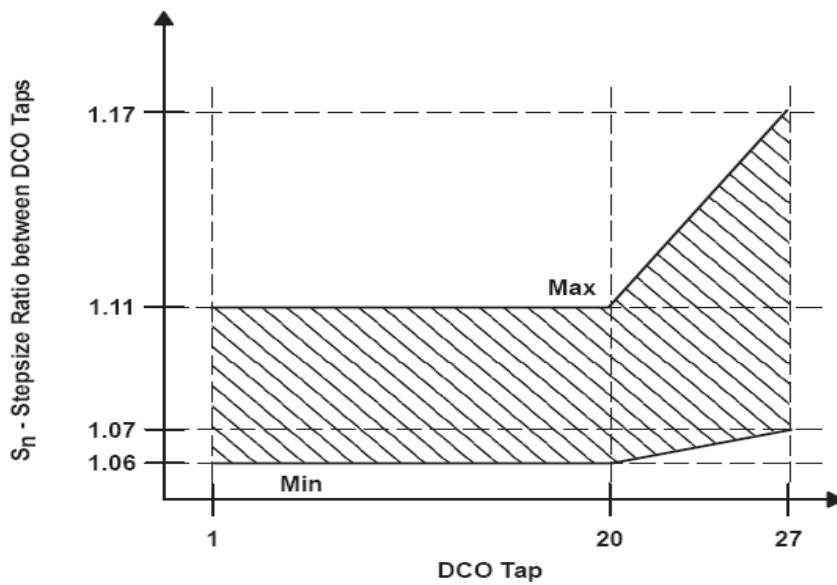


图 16 DCO 节拍大小

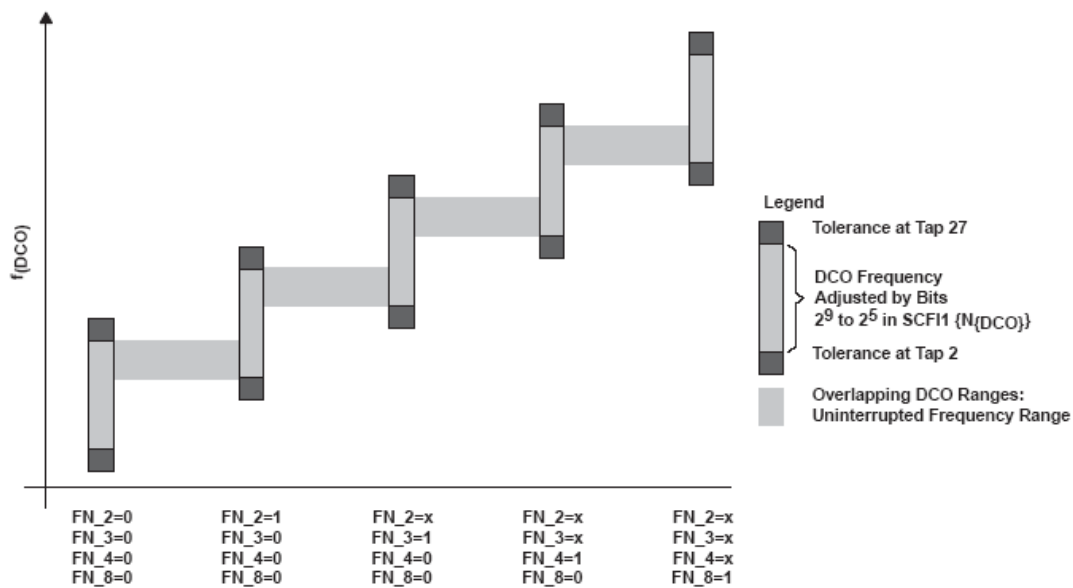


图 17 FN_X 位控制的相互重叠的五个频率段

晶体振荡器，LFXT1 振荡器

参数		测试条件	最大	典型	最小	单位
C _{XIN}	Integrated input capacitance (see Note 4)	OSCCAP _x = 0h, V _{CC} = 2.2 V / 3 V	0			pF
		OSCCAP _x = 1h, V _{CC} = 2.2 V / 3 V	10			
		OSCCAP _x = 2h, V _{CC} = 2.2 V / 3 V	14			
		OSCCAP _x = 3h, V _{CC} = 2.2 V / 3 V	18			
C _{XOUT}	Integrated output capacitance (see Note 4)	OSCCAP _x = 0h, V _{CC} = 2.2 V / 3 V	0			pF
		OSCCAP _x = 1h, V _{CC} = 2.2 V / 3 V	10			
		OSCCAP _x = 2h, V _{CC} = 2.2 V / 3 V	14			
		OSCCAP _x = 3h, V _{CC} = 2.2 V / 3 V	18			
V _{IL}	Input levels at XIN	V _{CC} = 2.2 V/3 V (see Note 3)	V _{SS}	0.2×V _{CC}		V
V _{IH}			0.8×V _{CC}	V _{CC}		

注：1、电路板和焊点的寄生电容可视为大约 2pF,对晶体的有效负载电容为(C_{XIN}*C_{XOUT}) / (C_{XIN}+C_{XOUT}),与 XTS_FLL 无关。

2、改善低功耗 LFXT1 振荡器的 EMI 特性,尤其是在 LF 模式(32K),可遵循一下规则。

-尽量缩短 FG43X 与晶体之间的引线长度。

-在振荡器的引脚附近放置大块地铜。

-避免 XIN 和 XOUT 引脚和其他时钟或数据线干扰。

-避免在 XIN 和 XOUT 引脚及附近的其他层走线。

-采用生产线装配的材料和工艺减小 XIN 和 XOUT 引脚的上寄生电容。

-如果采用了保形涂料,确保它不会引发振荡器引脚间的容性/阻性泄漏。

-不要将 XOUT 送到 JTAG 仿真头以支持串行编程接口,现在串行编程器不需要该信号了。

3、只针对外部数字时钟信源,此时 XTSS_FLL 必须置位.对晶体和振荡电路无效。

4、需要准确实时时钟信号的应用可加外部电容,OSCCAP_x=0h。

晶体振荡器，XT2 振荡器

参数		测试条件	最小	典型	最大	单位
C _{XT2IN}	Integrated input capacitance	V _{CC} = 2.2 V/3 V	2			pF
C _{XT2OUT}	Integrated output capacitance	V _{CC} = 2.2 V/3 V	2			pF
V _{IL}	Input levels at XT2IN	V _{CC} = 2.2 V/3 V (see Note 2)	V _{SS}	0.2×V _{CC}		V
V _{IH}			0.8×V _{CC}	V _{CC}		

注 1. 该振荡器两端均需要加电容,具体电容大小可查看晶体手册。

2. 只针对外部数字时钟信源,对晶体和振荡电路无效。

USART0

参数		测试条件	最大	典型	最小	单位
t _(r)	USART0: deglitch time	V _{CC} = 2.2 V	200	430	800	ns
		V _{CC} = 3 V	150	280	500	

注

1、加在 USART0 接收端(URXD0)的信号必须大于 t_(r) 以保证 URXS 触发器置位.当负脉冲的宽度满足最小 t_(r) 时置位 URXS.实际使用时的置位时间与此时间无关. 抗尖峰脉冲电路只有在 URXD0 线上出现负向跳变时才激活。

12 位 ADC 供电电压和输入范围

参数	测试条件	最大	典型	最小	单位	
AV _{CC} Analog supply voltage	AV _{CC} and DV _{CC} are connected together AV _{SS} and DV _{SS} are connected together V _(AVSS) = V _(DVSS) = 0 V	2.2		3.6	V	
V _(P6.x/Ax) Analog input voltage range (see Note 2)	All external Ax terminals. Analog inputs selected in ADC12MCTLx register and P6Sel.x=1 V _(AVSS) ≤ V _{Ax} ≤ V _(AVCC)	0		V _{AVCC}	V	
I _{ADC12} Operating supply current into AV _{CC} terminal (see Note 3)	f _{ADC12CLK} = 5.0 MHz ADC12ON = 1, REFON = 0 SHT0=0, SHT1=0, ADC12DIV=0					
	V _{CC} = 2.2 V	0.65		1.3	mA	
	V _{CC} = 3 V		0.8	1.6		
I _{REF+} Operating supply current into AV _{CC} terminal (see Note 4)	f _{ADC12CLK} = 5.0 MHz ADC12ON = 0, REFON = 1, REF2_5V = 1					
	V _{CC} = 3 V	0.5		0.8	mA	
	f _{ADC12CLK} = 5.0 MHz ADC12ON = 0, REFON = 1, REF2_5V = 0					
	V _{CC} = 2.2 V	0.5		0.8	mA	
	V _{CC} = 3 V		0.5	0.8		
C _I † Input capacitance	Only one terminal can be selected at one time, Ax				40	pF
R _I † Input MUX ON resistance	0V ≤ V _{Ax} ≤ V _{AVCC}				2000	Ω

注 1.漏电流在漏电流表中定义。

2.为得到有效的转换结果,输入的模拟量必须在选定的参考电压 V_{R+}和 V_{R-}之间。

3.内部参考电压的电流消耗没有包含在 I_{ADC12} 中。

4.内部参考电压的电流由 AV_{CC} 提供.该电流消耗不受 ADC12ON 控制,除非转换正在进行,在转换前用 REFON 位打开内部参考电压。

12 位 ADC 外部参考电压

参数	测试条件	最大	典型	最小	单位	
V _{eREF+} Positive external reference voltage input	V _{eREF+} > V _{REF-} /V _{eREF-} (see Note 2)	1.4		V _{AVCC}	V	
V _{REF-} /V _{eREF-} Negative external reference voltage input	V _{eREF+} > V _{REF-} /V _{eREF-} (see Note 3)	0		1.2	V	
(V _{eREF+} - V _{REF-})/V _{eREF-} Differential external reference voltage input (see Note 4)	V _{eREF+} > V _{REF-} /V _{eREF-} (see Note 4)	1.4		V _{AVCC}	V	
I _{vREF+} Static input current	0V ≤ V _{eREF+} ≤ V _{AVCC}				±1	μA
I _{vREF-} /I _{vREF-} Static input current	0V ≤ V _{eREF-} ≤ V _{AVCC}				±1	μA

注 1、 外部参考电压用来在转换时给电容阵列充放电.输入电容 C₁ 也是外部参考电压的负载.参考电压的动态阻抗必须满足推荐模拟输入阻抗要求以使转换结果达到 12 位的精度。

2、 精确度确定了最小的外部参考电压.更小的参考电压只能应用于某低精度要求。

3、 精确度确定了最大的外部参考电压.更大的参考电压只能应用于某低精度要求。

4、 精确度确定了最小的外部差分参考电压.更小的差分参考只能应用于某低精度要求。

12 位 ADC 内部参考

参数	测试条件	最小	典型	最大	单位	
V_{REF+} Positive built-in reference voltage output	REF2_5V = 1 for 2.5 V $I_{VREF+max} \leq I_{VREF+} \leq I_{VREF+min}$	$V_{CC} = 3 V$	2.4	2.5	2.6	V
	REF2_5V = 0 for 1.5 V $I_{VREF+max} \leq I_{VREF+} \leq I_{VREF+min}$	$V_{CC} = 2.2 V/3 V$	1.44	1.5	1.56	
$AV_{CC}(min)$ AV_{CC} minimum voltage, Positive built-in reference active	REF2_5V = 0, $I_{VREF+max} \leq I_{VREF+} \leq I_{VREF+min}$		2.2		V	
	REF2_5V = 1, $I_{VREF+min} \geq I_{VREF+} \geq -0.5mA$		2.8			
	REF2_5V = 1, $I_{VREF+min} \geq I_{VREF+} \geq -1mA$		2.9			
I_{VREF+} Load current out of V_{REF+} terminal		$V_{CC} = 2.2 V$	0.01	-0.5	mA	
		$V_{CC} = 3 V$	0.01	-1		
$I_L(V_{REF+})^\dagger$ Load-current regulation V_{REF+} terminal	$I_{VREF+} = 500 \mu A \pm 100 \mu A$ Analog input voltage $\sim 0.75 V$; REF2_5V = 0	$V_{CC} = 2.2 V$		± 2	LSB	
		$V_{CC} = 3 V$		± 2		
	$I_{VREF+} = 500 \mu A \pm 100 \mu A$ Analog input voltage $\sim 1.25 V$; REF2_5V = 1	$V_{CC} = 3 V$		± 2	LSB	
$I_{DL}(V_{REF+})^\ddagger$ Load current regulation V_{REF+} terminal	$I_{VREF+} = 100 \mu A \rightarrow 900 \mu A$, $C_{VREF+} = 5 \mu F$, $a_x \sim 0.5 \times V_{REF+}$ Error of conversion result ≤ 1 LSB	$V_{CC} = 3 V$		20	ns	
C_{VREF+} Capacitance at pin V_{REF+} (see Note 1)	REFON = 1, $0 mA \leq I_{VREF+} \leq I_{VREF+max}$	$V_{CC} = 2.2 V/3 V$	5	10	μF	
T_{REF+}^\ddagger Temperature coefficient of built-in reference	I_{VREF+} is a constant in the range of $0 mA \leq I_{VREF+} \leq 1 mA$	$V_{CC} = 2.2 V/3 V$		± 100	ppm/ $^\circ C$	
t_{REFON}^\ddagger Settle time of internal reference voltage (see Figure 18 and Note 2)	$I_{VREF+} = 0.5 mA$, $C_{VREF+} = 10 \mu F$, $V_{REF+} = 1.5 V$, $V_{AVCC} = 2.2 V$			17	ms	

- 注 1、内部带缓冲放大器及以上精度说明需加外部电容.所有 INL 和 DNL 测试在 V_{REF+} 和 AV_{SS} , V_{REF-}/V_{Eref-} 和 AV_{SS} 引脚加了两个电容:10uF 钽电容和 100nF 陶瓷电容。
2、该情况是指在开始转换后 t_{REFON} , 转换结果偏离在 $\pm 0.5LSB$ 内该时间取决于外部电容负荷。

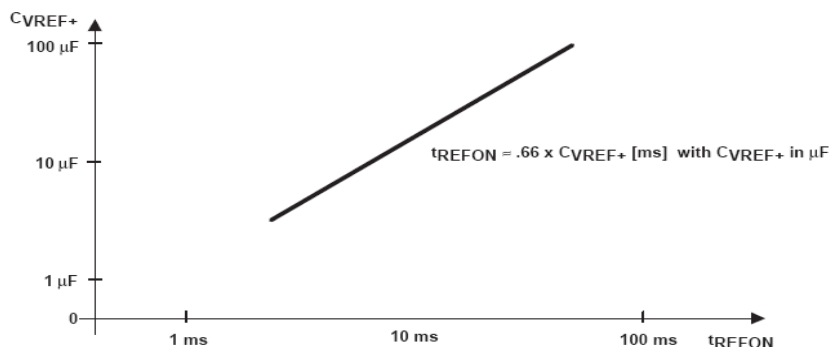


图 18 典型内部参考电压稳定时间 T_{refon} 和 V_{REF+} 引脚上的电容

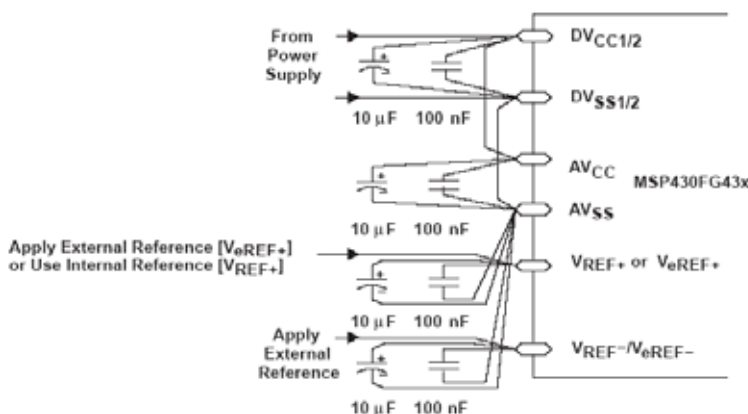


图 19 供电电压和参考电压设计参考(外部提供)

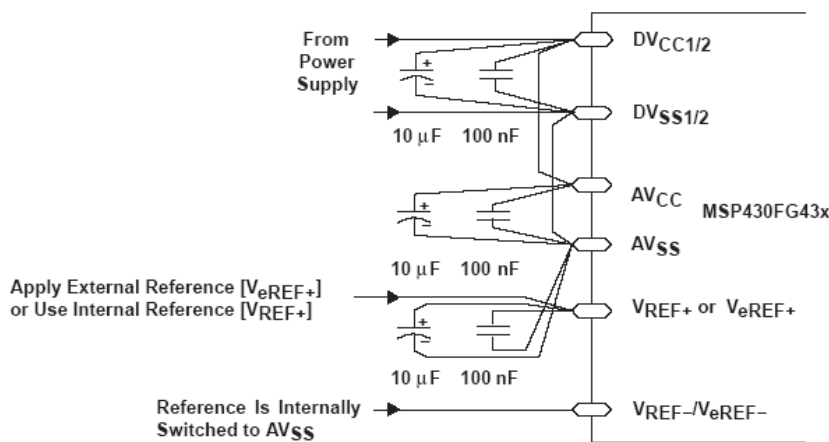


图 20 供电电压和参考电压设计内部连接

12 位 ADC 时序参数

参数	测试条件	最大	典型	最小	单位
$f_{ADC12CLK}$	For specified performance of ADC12 linearity parameters $V_{CC} = 2.2V/3V$	0.45	5	6.3	MHz
$f_{ADC12OSC}$	Internal ADC12 oscillator ADC12DIV=0, $f_{ADC12CLK}=f_{ADC12OSC}$ $V_{CC} = 2.2V/3V$	3.7	5	6.3	MHz
$t_{CONVERT}$	Conversion time $C_{VREF+} \geq 5 \mu F$, Internal oscillator, $f_{ADC12OSC} = 3.7 \text{ MHz to } 6.3 \text{ MHz}$ External $f_{ADC12CLK}$ from ACLK, MCLK or SMCLK: ADC12SSEL = 0	2.06		3.51	μs
$t_{ADC12ON}^{\dagger}$	Turn on settling time of the ADC (see Note 1)			100	ns
t_{Sample}^{\ddagger}	Sampling time $R_S = 400 \Omega$, $R_I = 1000 \Omega$, $C_I = 30 \text{ pF}$, $\tau = [R_S + R_I] \times C_I$ (see Note 2)	$V_{CC} = 3V$ 1220 $V_{CC} = 2.2V$ 1400			ns

注 1、该情况是指参考电压和输入信号稳定后,开始转换 $t_{ADC12ON}$ 后 转换结果偏离在 $\pm 0.5LSB$ 内。

2、大约需要 10 个 τ 使转换结果的精度在 $\pm 0.5LSB$ 内

$T_{sample} = \ln(2^{N+1}) * (R_S + R_I) * C_I + 800ns$ 这里 $N=12, R_S=$ 外部输入阻抗。

12 位 ADC 线性特性

参数	测试条件	最小	典型	最大	单位
E_I	Integral linearity error $1.4V \leq (V_{eREF+} - V_{REF-} - V_{eREF-}) \min \leq 1.6V$ $1.6V < (V_{eREF+} - V_{REF-} - V_{eREF-}) \min \leq [AVCC]$			± 2 ± 1.7	LSB
E_D	Differential linearity error $(V_{eREF+} - V_{REF-} - V_{eREF-}) \min \leq (V_{eREF+} - V_{REF-} - V_{eREF-})$, $C_{VREF+} = 10 \mu F$ (tantalum) and 100 nF (ceramic)			± 1	LSB
E_O	Offset error $(V_{eREF+} - V_{REF-} - V_{eREF-}) \min \leq (V_{eREF+} - V_{REF-} - V_{eREF-})$, Internal impedance of source $R_S < 100 \Omega$, $C_{VREF+} = 10 \mu F$ (tantalum) and 100 nF (ceramic)			± 2 ± 4	LSB
E_G	Gain error $(V_{eREF+} - V_{REF-} - V_{eREF-}) \min \leq (V_{eREF+} - V_{REF-} - V_{eREF-})$, $C_{VREF+} = 10 \mu F$ (tantalum) and 100 nF (ceramic)			± 1.1 ± 2	LSB
E_T	Total unadjusted error $(V_{eREF+} - V_{REF-} - V_{eREF-}) \min \leq (V_{eREF+} - V_{REF-} - V_{eREF-})$, $C_{VREF+} = 10 \mu F$ (tantalum) and 100 nF (ceramic)			± 2 ± 5	LSB

12 位 ADC 内部温度传感器内置 Vmid

参数	测试条件	VCC	最小	典型	最大	单位
I _{SENSOR} Operating supply current into AV _{CC} terminal (see Note 1)	REFON = 0, INCH = 0Ah, ADC12ON=NA, T _A = 25°C	2.2 V		40	120	μA
		3 V		60	160	
V _{SENSOR} [†] (see Note 2)	ADC12ON = 1, INCH = 0Ah, T _A = 0°C	2.2 V/ 3 V		986		mV
TC _{SENSOR} [†]	ADC12ON = 1, INCH = 0Ah	2.2 V/ 3 V		3.55±3%		mV/°C
t _{SENSOR(sample)} [†] Sample time required if channel 10 is selected (see Note 3)	ADC12ON = 1, INCH = 0Ah, Error of conversion result ≤ 1 LSB	2.2 V	30			μs
		3 V	30			
I _{VMID} Current into divider at channel 11 (see Note 4)	ADC12ON = 1, INCH = 0Bh,	2.2 V			NA	μA
		3 V			NA	
V _{MID} AV _{CC} divider at channel 11	ADC12ON = 1, INCH = 0Bh, V _{MID} is ~0.5 × V _{AVCC}	2.2 V		1.1	1.1±0.04	V
		3 V		1.5	1.50±0.04	
t _{VMID(sample)} Sample time required if channel 11 is selected (see Note 5)	ADC12ON = 1, INCH = 0Bh, Error of conversion result ≤ 1 LSB	2.2 V	1400			ns
		3 V	1220			

- 注 1、当 ADC12ON=1,REFON=1 或 ADC12ON=1,INCH=0Ah 并且采样信号为高时温度传感器消耗电流 I_{SENSOR}。当 REFON=1 时,I_{SENSOR} 已经包含在 I_{REF+} 中。
- 2、该温度传感器的最大漂移可达到 ±20 ，故推荐使用单点校正减小这种漂移错误。
- 3、该传感器的典型阻抗为 51K 。采样时间包括传感器开启时间 T_{SENSOR(ON)}。
- 4、VMID 在采样时使用不需要额外的电流。
- 5、采样时间 t_{VMID(SAMPLE)} 包含了 t_{VMID(ON)}。

12 位 DAC 供电说明

参数	测试条件	VCC	最小	典型	最大	单位
AV _{CC} Analog supply voltage	AV _{CC} = DV _{CC} , AV _{SS} = DV _{SS} = 0 V		2.20		3.60	V
I _{DD} Supply Current: Single DAC Channel (see Notes 1 and 2)	DAC12AMPx=2, DAC12IR=0, DAC12_xDAT=0800h	2.2V/3V		50	110	μA
	DAC12AMPx=2, DAC12IR=1, DAC12_xDAT=0800h, V _{eREF+} =V _{REF+} = AV _{CC}	2.2V/3V		50	110	
	DAC12AMPx=5, DAC12IR=1, DAC12_xDAT=0800h, V _{eREF+} =V _{REF+} = AV _{CC}	2.2V/3V		200	440	
	DAC12AMPx=7, DAC12IR=1, DAC12_xDAT=0800h, V _{eREF+} =V _{REF+} = AV _{CC}	2.2V/3V		700	1500	
PSRR Power supply rejection ratio (see Notes 3 and 4)	DAC12_xDAT = 800h, V _{REF} = 1.5 V ΔAV _{CC} = 100mV	2.2V		70		dB
	DAC12_xDAT = 800h, V _{REF} = 1.5 V or 2.5 V ΔAV _{CC} = 100mV	3V				

- 注：1、假定共用引脚已经合适设置电平,DAC12_0 和 DAC12_1 引脚上没有输出负载。
- 2、不包括流入到参考端的电流.当 DAC12IR=1 时经输入均分器流出。
- 3、 $PSRR = 20 * \log\{\Delta AV_{CC} / \Delta V_{DAC12_X}^{OUT}\}$
- 4、采用外部 V_{REF} 而不是内部参考

12 位 DAC 线性度特性说明

参数		测试条件	VCC	最小	典型	最大	单位
Resolution		(12-bit Monotonic)		12			bits
INL	Integral nonlinearity (see Note 1)	V _{ref} = 1.5 V DAC12AMPx = 7, DAC12IR = 1	2.2V	±2.0		±8.0	LSB
		V _{ref} = 2.5 V DAC12AMPx = 7, DAC12IR = 1	3V				
DNL	Differential nonlinearity (see Note 1)	V _{ref} = 1.5 V DAC12AMPx = 7, DAC12IR = 1	2.2V	±0.4		±1.0	LSB
		V _{ref} = 2.5 V DAC12AMPx = 7, DAC12IR = 1	3V				
EO	Offset voltage w/o calibration (see Notes 1, 2)	V _{ref} = 1.5 V DAC12AMPx = 7, DAC12IR = 1	2.2V			±21	mV
		V _{ref} = 2.5 V DAC12AMPx = 7, DAC12IR = 1	3V				
	Offset voltage with calibration (see Notes 1, 2)	V _{ref} = 1.5 V DAC12AMPx = 7, DAC12IR = 1	2.2V			±2.5	
		V _{ref} = 2.5 V DAC12AMPx = 7, DAC12IR = 1	3V				
dE(O)/dT	Offset error temperature coefficient (see Note 1)		2.2V/3V			±30	μV/C
EG	Gain error (see Note 1)	V _{REF} = 1.5 V	2.2V			±3.50	% FSR
		V _{REF} = 2.5 V	3V				
dE(G)/dT	Gain temperature coefficient (see Note 1)		2.2V/3V			10	ppm of FSR/°C
t _{Offset_Cal}	Time for offset calibration (see Note 3)	DAC12AMPx=2	2.2V/3V			100	ms
		DAC12AMPx=3,5	2.2V/3V			32	
		DAC12AMPx=4,6,7	2.2V/3V			6	

注 1.所有数据均是采用 0X0A 到 0XFFF 区间的线性拟合结果相比较的

2.漂移校正通过输出放大器工作的.通过 DAC12CALON 启动漂移校正.

3.当 DAC12AMPX={2,3,4,5,6,7}时可启动漂移校正.推荐先配置 DAC12 模块,后进行校正,因为引脚端口有信号时校正可能影响精度。

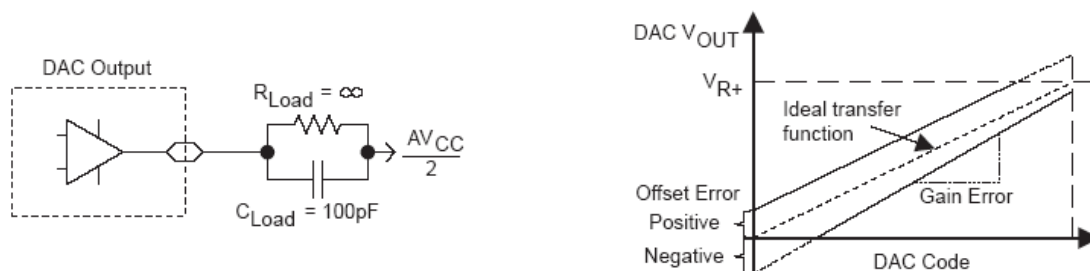
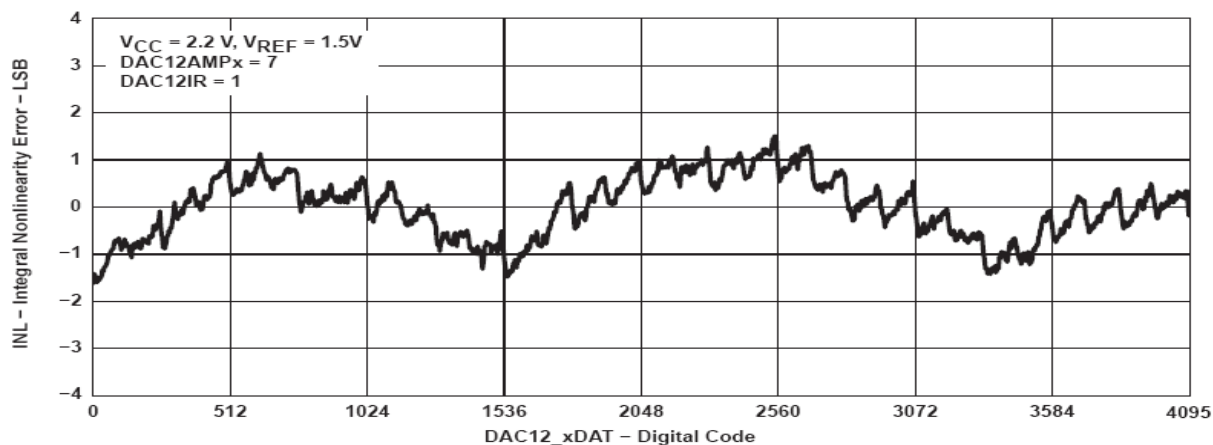
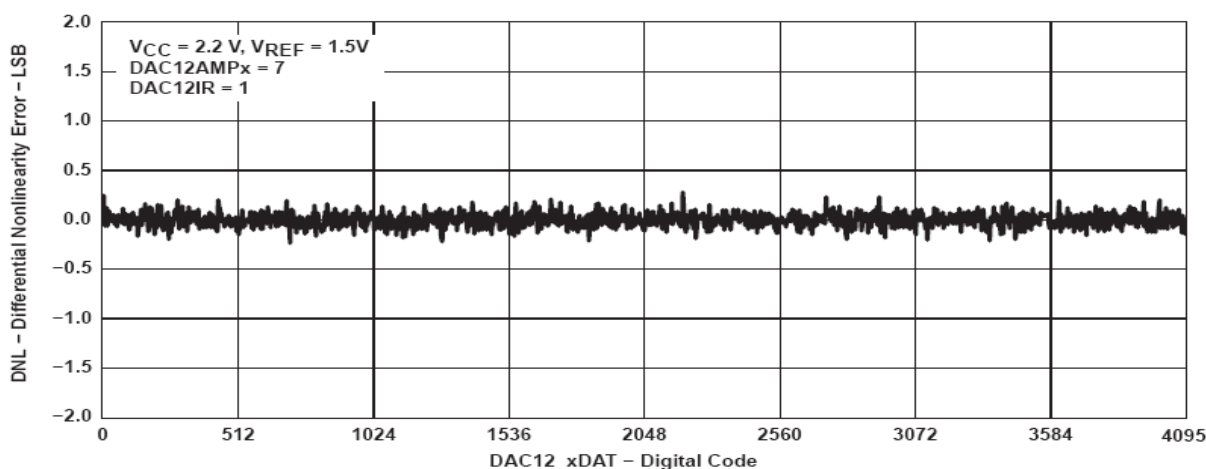


图 21 线性测试负载和增益/漂移定义



典型非线性漂移和输入数据



典型 DNL 漂移和输入数据

12 位 DAC 输出特性

参数	测试条件	VCC	最小	典型	最大	单位
V _O Output voltage range (see Note 1, Figure 24)	No Load, V _{REF+} = AV _{CC} , DAC12_xDAT = 0h, DAC12IR = 1, DAC12AMPx = 7	2.2V/3V	0		0.005	V
	No Load, V _{REF+} = AV _{CC} , DAC12_xDAT = 0FFFh, DAC12IR = 1, DAC12AMPx = 7	2.2V/3V	AV _{CC} -0.05		AV _{CC}	
	R _{Load} = 3 kΩ, V _{REF+} = AV _{CC} , DAC12_xDAT = 0h, DAC12IR = 1, DAC12AMPx = 7	2.2V/3V	0		0.1	
	R _{Load} = 3 kΩ, V _{REF+} = AV _{CC} , DAC12_xDAT = 0FFFh, DAC12IR = 1, DAC12AMPx = 7	2.2V/3V	AV _{CC} -0.13		AV _{CC}	
C _L (DAC12) Max DAC12 load capacitance		2.2V/3V			100	pF
I _L (DAC12) Max DAC12 load current		2.2V	-0.5		+0.5	mA
		3V	-1.0		+1.0	
R _{O/P} (DAC12) Output Resistance (see Figure 24)	R _{Load} = 3 kΩ, V _{O/P} (DAC12) < 0.3 V, DAC12AMPx = 2, DAC12_xDAT = 0h	2.2V/3V		150	250	Ω
	R _{Load} = 3 kΩ, V _{O/P} (DAC12) > AV _{CC} -0.3 V DAC12_xDAT = 0FFFh	2.2V/3V		150	250	
	R _{Load} = 3 kΩ, 0.3V ≤ V _{O/P} (DAC12) ≤ AV _{CC} - 0.3V	2.2V/3V		1	4	

注 1、在对输出放大器进行校正后的数据有效

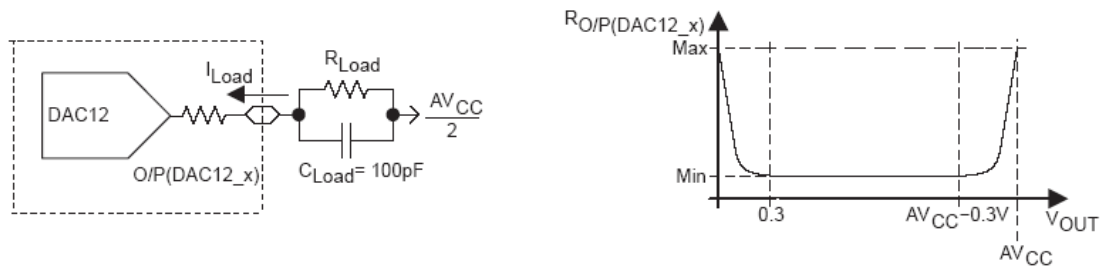


图 24 DAC12_X 输出测试电路

12 位 DAC 外部参考输入说明

参数	测试条件	VCC	最小	典型	最大	单位
V _{REF+} Reference input voltage range	DAC12IR=0, (see Notes 1 and 2)	2.2V/3V		AV _{CC} /3	AV _{CC} +0.2	V
	DAC12IR=1, (see Notes 3 and 4)	2.2V/3V		AV _{CC}	AV _{CC} +0.2	
R _{i(VREF+)} , R _{i(VeREF+)} Reference input resistance	DAC12_0 IR=DAC12_1 IR=0	2.2V/3V	20			MΩ
	DAC12_0 IR=1, DAC12_1 IR=0	2.2V/3V				kΩ
	DAC12_0 IR=0, DAC12_1 IR=1	2.2V/3V	40	48	56	
	DAC12_0 IR=DAC12_1 IR=1	2.2V/3V				kΩ
	DAC12_0 SREFx = DAC12_1 SREFx (see Note 5)	2.2V/3V	20	24	28	

注 1、满量程输出时,外部参考电压可以高达最高输出电压(AVCC)的 1/3.

2、加在外部参考电压输入端的最大电压为 $V_{Eref+}=[AV_{CC}-V_{E(O)}]/[3*(1+E_G)]$

3、满量程输出时,外部参考电压可以高达最高输出电压(AVCC).

4、加在外部参考电压输入端的最大电压为 $V_{Eref+}=[AV_{CC}-V_{E(O)}]/(1+E_G)$.

5、当 DAC12IR=1 并且 DAC12SREFX 同为 0 或 1 时,输入参考分压电阻对每个 DAC 通道来说是并联的,从而将减小输入参考电阻。

12 位 DAC 动态特性说明 Vref=VCC,DAC12IR=1

参数	测试条件	VCC	最大	典型	最小	单位
t _{ON} DAC12 on-time	DAC12_xDAT = 800h, Error _{V(O)} < ±0.5 LSB (see Note 1, Figure 25)	DAC12AMPx=0 → {2, 3, 4}	2.2V/3V	60	120	μs
		DAC12AMPx=0 → {5, 6}	2.2V/3V	15	30	
		DAC12AMPx=0 → 7	2.2V/3V	6	12	
t _{S(FS)} Settling time, full-scale	DAC12_xDAT = 80h → F7Fh → 80h	DAC12AMPx=2	2.2V/3V	100	200	μs
		DAC12AMPx=3,5	2.2V/3V	40	80	
		DAC12AMPx=4,6,7	2.2V/3V	15	30	
t _{S(C-C)} Settling time, code to code	DAC12_xDAT = 3F8h → 408h → 3F8h BF8h → C08h → BF8h	DAC12AMPx=2	2.2V/3V	5		μs
		DAC12AMPx=3,5	2.2V/3V	2		
		DAC12AMPx=4,6,7	2.2V/3V	1		
SR Slew Rate	DAC12_xDAT = 80h → F7Fh → 80h	DAC12AMPx=2	2.2V/3V	0.05	0.12	V/μs
		DAC12AMPx=3,5	2.2V/3V	0.35	0.7	
		DAC12AMPx=4,6,7	2.2V/3V	1.5	2.7	
Glitch energy: full-scale	DAC12_xDAT = 80h → F7Fh → 80h	DAC12AMPx=2	2.2V/3V	10		nV-s
		DAC12AMPx=3,5	2.2V/3V	10		
		DAC12AMPx=4,6,7	2.2V/3V	10		

注 1、在图 25 中 R_{Load} 和 C_{Load} 连接 AV_{SS} 而不是 AV_{CC}/2.

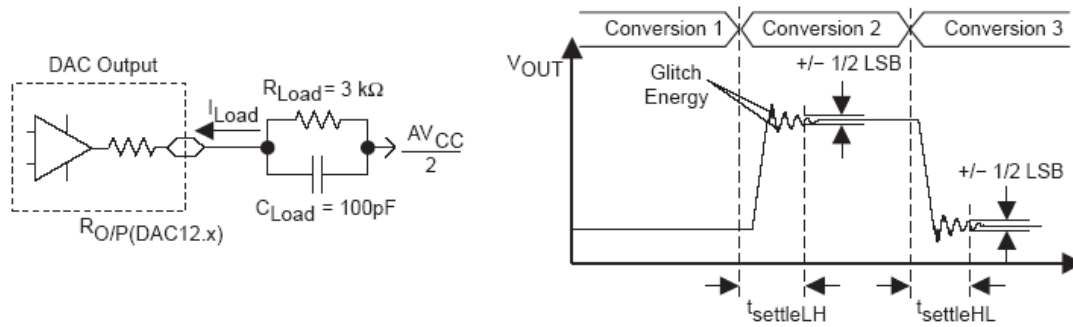


图 25 信号稳定时间和信号扰动测试

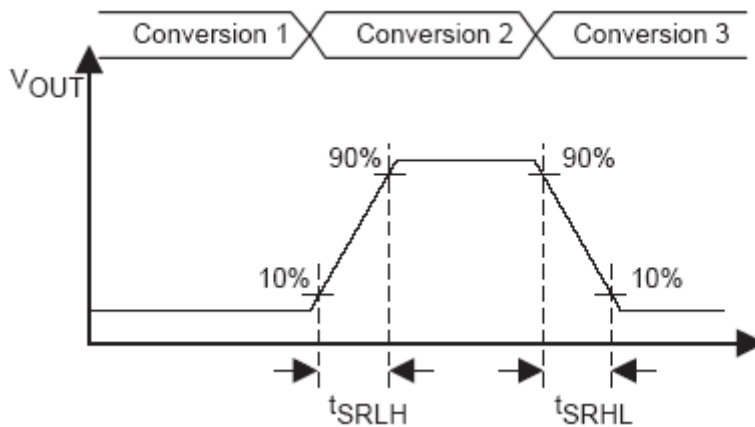


图 26 批量转换测试

12 位 DAC 动态特性说明 (TA=25)

PARAMETER	TEST CONDITIONS	V _{CC}	MIN	TYP	MAX	UNIT
参数 3-dB bandwidth, V _{DC} =1.5V, V _{AC} =0.1V _{PP} (see Figure 27)	DAC12AMPx = {3, 4}, DAC12SREFx = 2, DAC12IR = 1, DAC12_xDAT = 800h 测试条件	2.2V/3V	最大	典型	最小	单位
	DAC12AMPx = {5, 6}, DAC12SREFx = 2, DAC12IR = 1, DAC12_xDAT = 800h	2.2V/3V	180			kHz
	DAC12AMPx = 7, DAC12SREFx = 2, DAC12IR = 1, DAC12_xDAT = 800h	2.2V/3V	550			kHz
Channel-to-channel crosstalk (see Note 1 and Figure 28)	DAC12_0DAT = 800h, No Load, DAC12_1DAT = 80h<->F7Fh, R _{Load} = 3kΩ f _{DAC12_1OUT} = 10kHz @ 50/50 duty cycle	2.2V/3V		-80		dB
	DAC12_0DAT = 80h<->F7Fh, R _{Load} = 3kΩ, DAC12_1DAT = 800h, No Load f _{DAC12_0OUT} = 10kHz @ 50/50 duty cycle	2.2V/3V		-80		dB

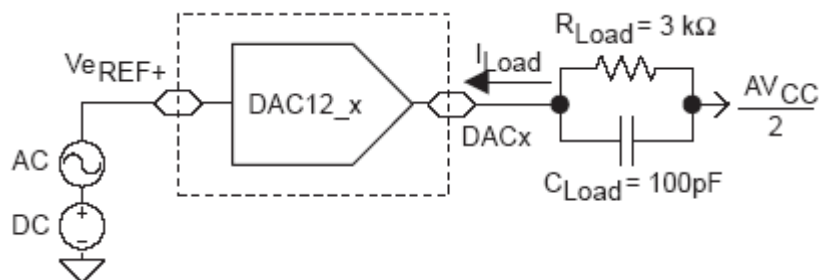
 注 1. R_{Load}=3K , C_{LOAD}=100PF


图 27 3-DB 带宽测试条件

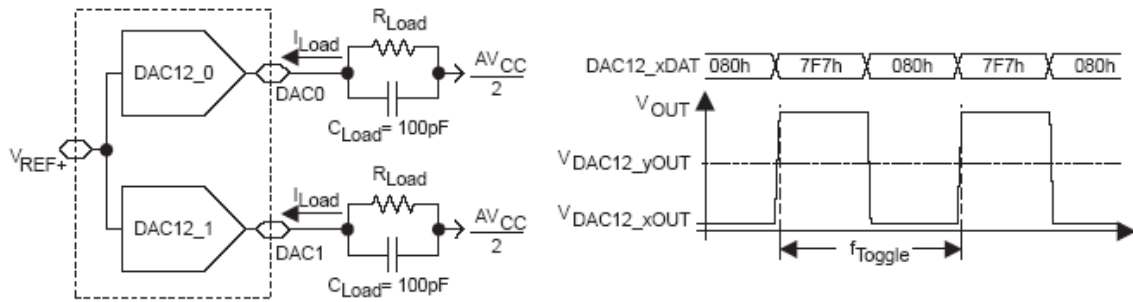


图 28 通道交互干扰测试

放大器输入说明

参数		测试条件	V _{CC}	最小	典型	最大	单位
V _{CC}	Supply voltage		—	2.2		3.6	V
I _{CC}	Supply current (see Note 1)	Fast Mode, RRIP OFF	2.2 V/3 V		180	290	μA
		Medium Mode, RRIP OFF	2.2 V/3 V		110	190	
		Slow Mode, RRIP OFF	2.2 V/3 V		50	80	
		Fast Mode, RRIP ON	2.2 V/3 V		300	490	
		Medium Mode, RRIP ON	2.2 V/3 V		190	350	
		Slow Mode, RRIP ON	2.2 V/3 V		90	190	
PSRR	Power supply rejection ratio	Non-inverting	2.2 V/3 V		70		dB

放大器 OA 输入/输出特性说明

参数		测试条件	V _{CC}	最小	典型	最大	单位
V _{I/P}	Voltage supply, I/P	RRIP OFF	—	-0.1		V _{CC} -1.2	V
		RRIP ON	—	-0.1		V _{CC} +0.1	V
I _{I/kg}	Input leakage current, I/P (see Notes 1 and 2)	T _A = -40 to +55°C	—	-5	±0.5	5	nA
		T _A = +55 to +85°C	—	-20	±5	20	nA
V _n	Voltage noise density, I/P	Fast Mode	f _{V(I/P)} = 1 kHz	—		50	nV/√Hz
		Medium Mode		—		80	
		Slow Mode		—		140	
		Fast Mode	f _{V(I/P)} = 10 kHz	—		30	
		Medium Mode		—		50	
		Slow Mode		—		65	
V _{IO}	Offset voltage, I/P		2.2 V/3 V			±10	mV
	Offset temperature drift, I/P	see Note 3	2.2 V/3 V			±10	μV/°C
	Offset voltage drift with supply, I/P	0.3V ≤ V _{IN} ≤ V _{CC} -0.3V ΔV _{CC} ≤ ±10%, T _A = 25°C	2.2 V/3 V			±1.5	mV/V
V _{OH}	High-level output voltage, O/P	Fast Mode, I _{SOURCE} ≤ -500μA	2.2 V	V _{CC} -0.2		V _{CC}	V
		Slow Mode, I _{SOURCE} ≤ -150μA	3 V	V _{CC} -0.1		V _{CC}	V
V _{OL}	Low-level output voltage, O/P	Fast Mode, I _{SOURCE} ≤ +500μA	2.2 V	V _{SS}		0.2	V
		Slow Mode, I _{SOURCE} ≤ +150μA	3 V	V _{SS}		0.1	V
R _{O/P} (OAx)	Output Resistance (see Figure 29 and Note 4)	R _{Load} = 3 kΩ, C _{Load} = 50pF, RRIP ON, V _{O/P} (OAx) < 0.2 V	2.2 V/3 V		150	250	Ω
		R _{Load} = 3 kΩ, C _{Load} = 50pF, RRIP ON, V _{O/P} (OAx) > AV _{CC} - 0.2 V	2.2 V/3 V		150	250	
		R _{Load} = 3 kΩ, C _{Load} = 50pF, RRIP ON, 0.2 V ≤ V _{O/P} (OAx) ≤ AV _{CC} - 0.2 V	2.2 V/3 V		0.1	4	
CMRR	Common-mode rejection ratio	Non-inverting	2.2 V/3 V		70		dB

- 注
- ESD 损坏将增大输入漏电流
 - 输入偏流被补偿输入漏电流补偿
 - 定性和计算采用数学方法,未经产品测试
 - 当 OAX 设置为电压跟随时有效

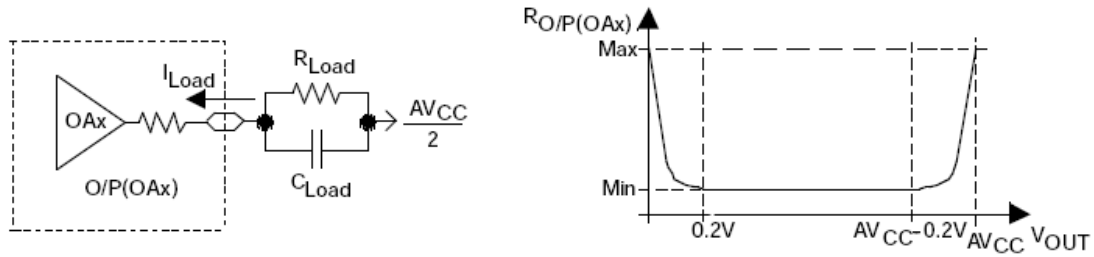


图 29 OAX 输出阻抗测试

放大器 OA 动态特性说明

参数		测试条件	V _{CC}	最小	典型	最大	单位
SR	Slew rate	Fast Mode	—	—	1.2	—	V/μs
		Medium Mode	—	—	0.8	—	
		Slow Mode	—	—	0.3	—	
	Open-loop voltage gain		—	—	100	—	dB
φ _m	Phase margin	C _L = 50 pF	—	—	60	—	deg
	Gain margin	C _L = 50 pF	—	—	20	—	dB
GBW	Gain-Bandwidth Product (see Figure 30 and Figure 31)	Non-inverting, Fast Mode, R _L = 47kΩ, C _L = 50pF	2.2 V/3 V	—	2.2	—	MHz
		Non-inverting, Medium Mode, R _L = 300kΩ, C _L = 50pF	2.2 V/3 V	—	1.4	—	
		Non-inverting, Slow Mode, R _L = 300kΩ, C _L = 50pF	2.2 V/3 V	—	0.5	—	
t _{en(on)}	Enable time on	t _{on} , non-inverting, Gain = 1	2.2 V/3 V	—	10	20	μs
t _{en(off)}	Enable time off		2.2 V/3 V	—	—	1	μs

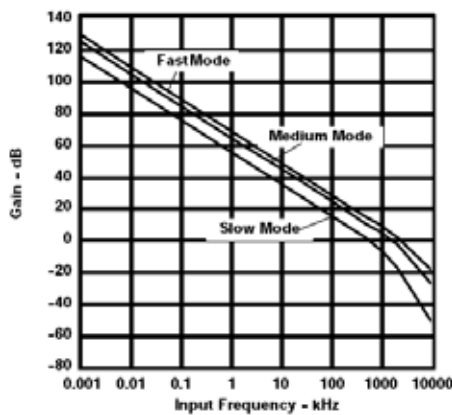


图 30 典型开环增益和频率

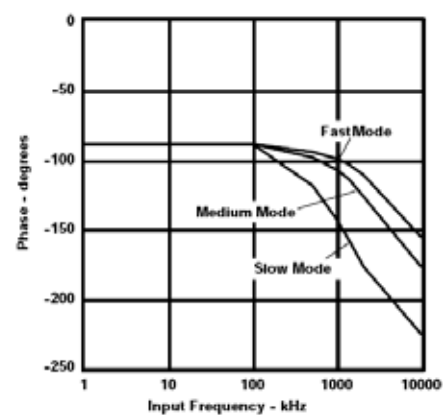


图 31 典型相位和频率

FLASH 存储器

参数		测试条件	V _{CC}	最小	典型	最大	单位
V _{CC} (PGM/ERASE)	Program and Erase supply voltage			2.7	—	3.6	V
f _{FTG}	Flash Timing Generator frequency			257	—	476	kHz
I _{PGM}	Supply current from DV _{CC} during program		2.7 V/ 3.6 V	—	3	5	mA
I _{ERASE}	Supply current from DV _{CC} during erase		2.7 V/ 3.6 V	—	3	7	mA
t _{CPT}	Cumulative program time	see Note 1	2.7 V/ 3.6 V	—	—	4	ms
t _{CMErase}	Cumulative mass erase time	see Note 2	2.7 V/ 3.6 V	200	—	—	ms
	Program/Erase endurance			10 ⁴	10 ⁵	—	cycles
t _{Retention}	Data retention duration	T _J = 25°C		100	—	—	years
t _{Word}	Word or byte program time			—	35	—	t _{FTG}
t _{Block_0}	Block program time for 1 st byte or word			—	30	—	
t _{Block_1-63}	Block program time for each additional byte or word			—	21	—	
t _{Block_End}	Block program end-sequence wait time	see Note 3		—	6	—	
t _{Mass Erase}	Mass erase time			—	5297	—	
t _{Seq Erase}	Segment erase time			—	4819	—	

- 注 1、不论是字节,字或是块写入,64 字节数据的写入时间不能小于该值。
- 2、由时序发生器控制的多段擦除最小时间为 11.1ms($=5297/f_{FTG,max}=5297/467\text{KHz}$),为达到该最小时间要求,FLASH 控制器可能会进行多次擦除(最坏的情况可能需要 19 次)
- 3、该值由引线送入 FLASH 控制器.($t_{FTG}=1/f_{FTG}$)

JTAG 接口

参数		测试条件	VCC	最大	典型	最小	单位
f _{TCK}	TCK input frequency	see Note 1	2.2 V	0		5	MHz
			3 V	0		10	MHz
R _{internal}	Internal pull-up resistance on TMS, TCK, TDI/TCLK	see Note 2	2.2 V/ 3 V	25	60	90	kΩ

- 注 1、选定模块可能对 f_{TCK} 有所要求
- 2、所有版本实现了 TMS,TDI/TCLK 和 TCK 的上拉电阻

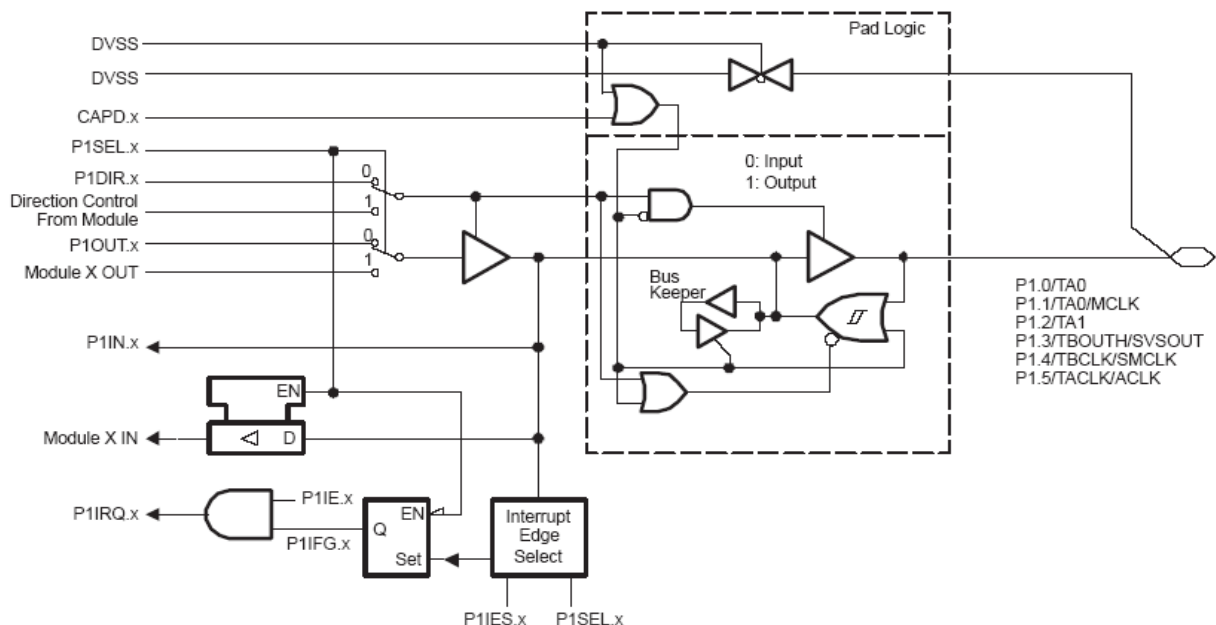
JTAG 熔丝图

参数		测试条件	VCC	最大	典型	最小	单位
V _{CC(FB)}	Supply voltage during fuse-blow condition	T _A = 25°C		2.5			V
V _{FB}	Voltage level on TDI/TCLK for fuse-blow: F versions			6		7	V
I _{FB}	Supply current into TDI/TCLK during fuse blow					100	mA
t _{FB}	Time to blow fuse					1	ms

- 注 1、一旦烧断安全熔丝,MSP430 JTAG/Test 仿真将不再可访问.JTAG 模块被置为旁路模式。

输入/输出图解

施密特触发器的 P1 口、P1.0—P1.5



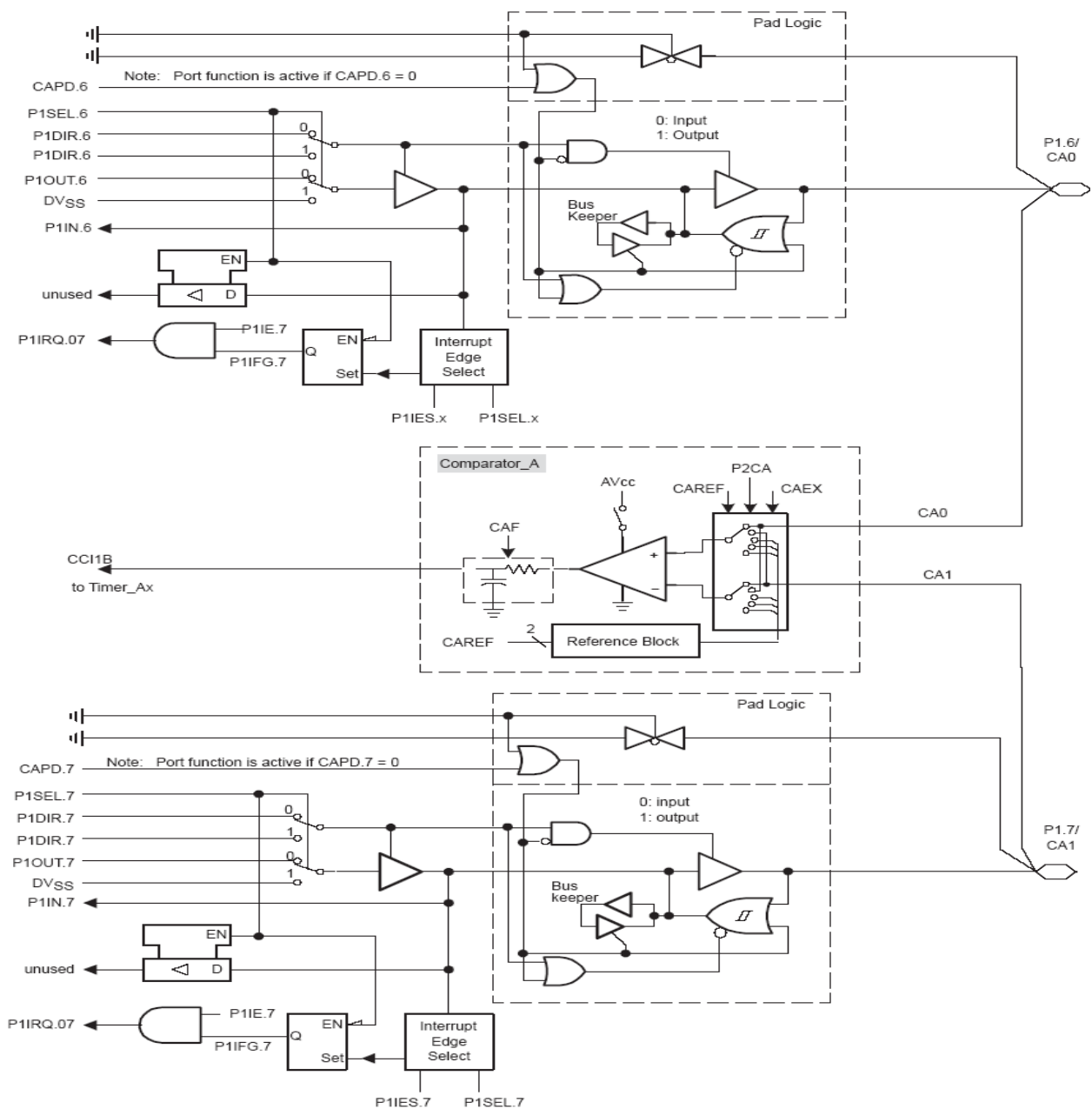
注 :0 x 5

注 : CAPD.x=0 时端口有效

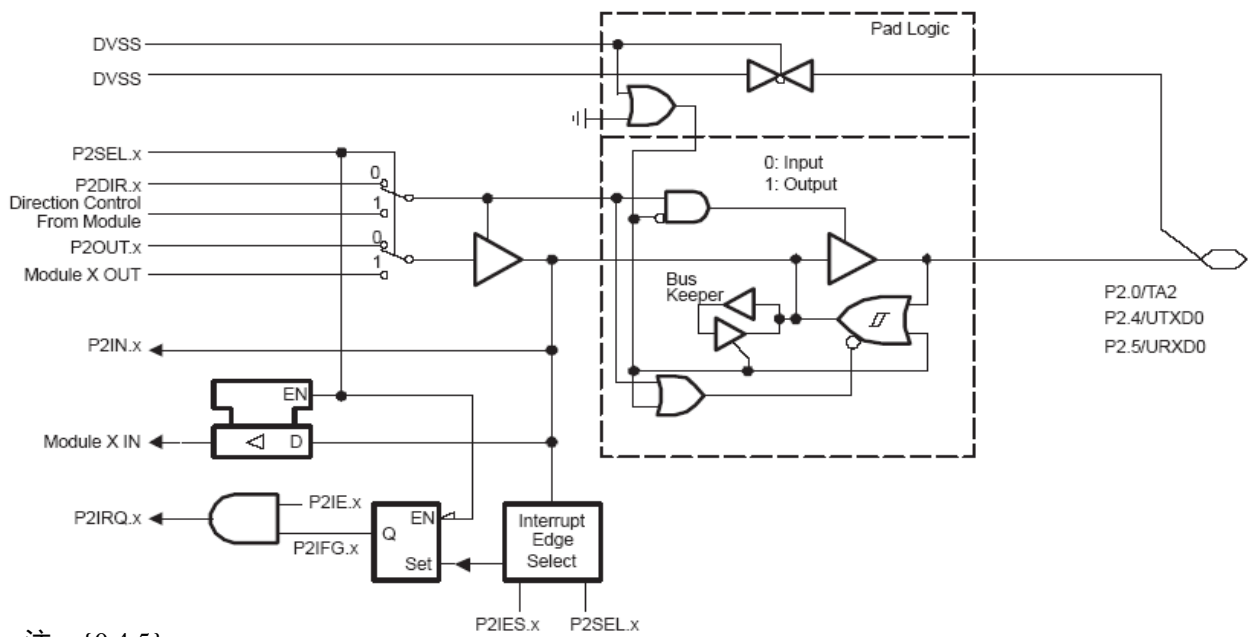
PnSEL.x	PnDIR.x	Dir. Control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x
P1SEL.0	P1DIR.0	P1DIR.0	P1OUT0	Out0 sig. [†]	P1IN.0	CCI0A [†]	P1IE.0	P1IFG.0	P1IES.0
P1SEL.1	P1DIR.1	P1DIR.1	P1OUT.1	MCLK	P1IN.1	CCI0B [†]	P1IE.1	P1IFG.1	P1IES.1
P1SEL.2	P1DIR.2	P1DIR.2	P1OUT.2	Out1 sig. [†]	P1IN.2	CCI1A [†]	P1IE.2	P1IFG.2	P1IES.2
P1SEL.3	P1DIR.3	P1DIR.3	P1OUT.3	SVSOUT	P1IN.3	TBOUTH [‡]	P1IE.3	P1IFG.3	P1IES.3
P1SEL.4	P1DIR.4	P1DIR.4	P1OUT.4	SMCLK	P1IN.4	TBCLK [‡]	P1IE.4	P1IFG.4	P1IES.4
P1SEL.5	P1DIR.5	P1DIR.5	P1OUT.5	ACLK	P1IN.5	TACLK [†]	P1IE.5	P1IFG.5	P1IES.5

注：†Timer_A ‡Timer_B

带施密特触发器的 P1.6, P1.7 口



施密特触发器的 P2.0, P2.4 和 P2.5 口

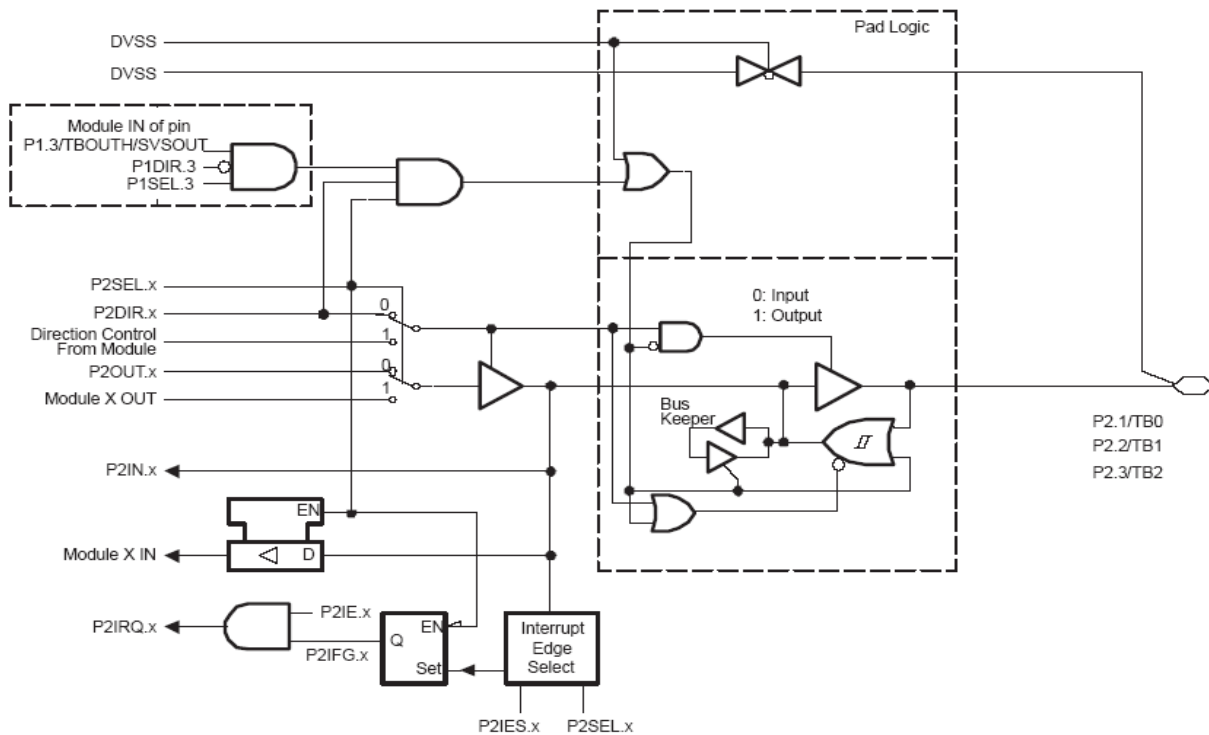


注: x {0,4,5}

PnSel.x	PnDIR.x	Dir. Control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.0	P2DIR.0	P2DIR.0	P2OUT.0	Out2 sig. †	P2IN.0	CCI2A †	P2IE.0	P2IFG.0	P2IES.0
P2Sel.4	P2DIR.4	DVCC	P2OUT.4	UTXD0 ‡	P2IN.4	unused	P2IE.4	P2IFG.4	P2IES.4
P2Sel.5	P2DIR.5	DVSS	P2OUT.5	DVSS	P2IN.5	URXD0 ‡	P2IE.5	P2IFG.5	P2IES.5

注: †Timer_A ‡USART0

施密特触发器的 P2.1 - P2.3 口

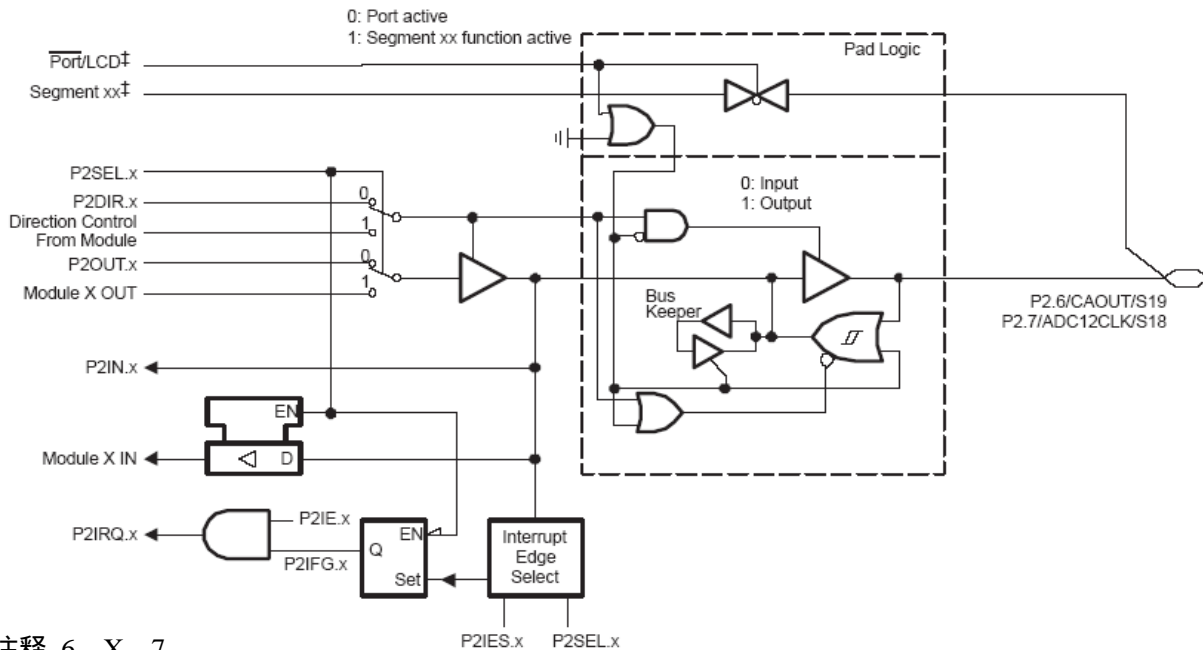


注: 1 x 3

PnSel.x	PnDIR.x	Dir. Control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.1	P2DIR.1	P2DIR.1	P2OUT.1	Out0 sig. †	P2IN.1	CCI0A † CCI0B	P2IE.1	P2IFG.1	P2IES.1
P2Sel.2	P2DIR.2	P2DIR.2	P2OUT.2	Out1 sig. †	P2IN.2	CCI1A † CCI1B	P2IE.2	P2IFG.2	P2IES.2
P2Sel.3	P2DIR.3	P2DIR.3	P2OUT.3	Out2 sig. †	P2IN.3	CCI2A † CCI2B	P2IE.3	P2IFG.3	P2IES.3

†Timer_B

带施密特触发器的 P2.6 - P2.7 口

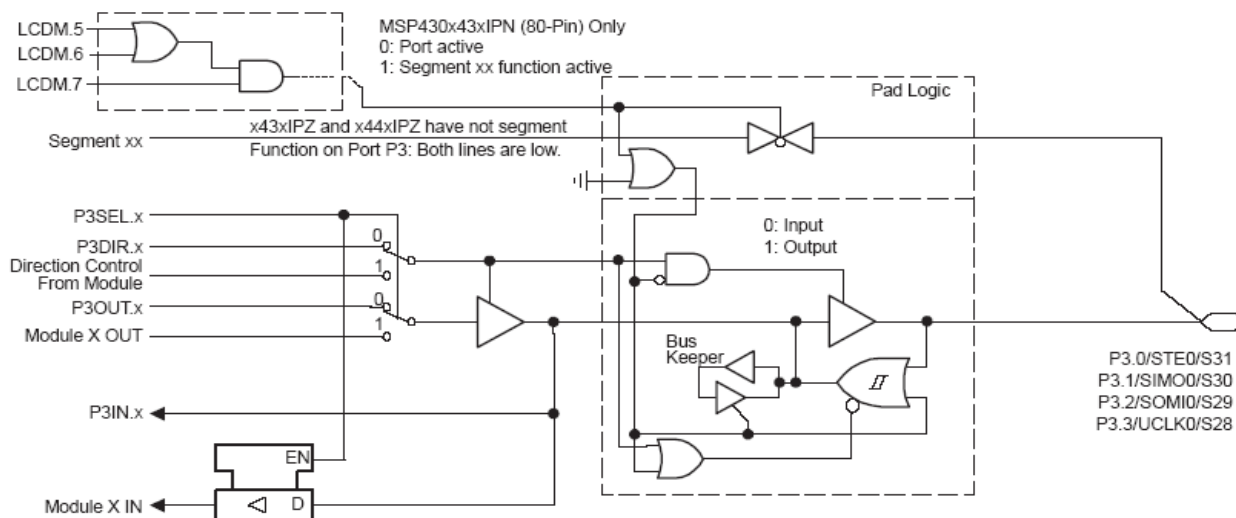


注释 6 X 7

PnSel.x	PnDIR.x	Dir. Control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x	Port/LCD
P2Sel.6	P2DIR.6	P2DIR.6	P2OUT.6	CAOUT †	P2IN.6	unused	P2IE.6	P2IFG.6	P2IES.6	0: LCDM<40h
P2Sel.7	P2DIR.7	P2DIR.7	P2OUT.7	ADC12CLK §	P2IN.7	unused	P2IE.7	P2IFG.7	P2IES.7	0: LCDM<40h

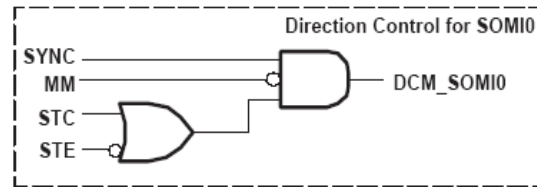
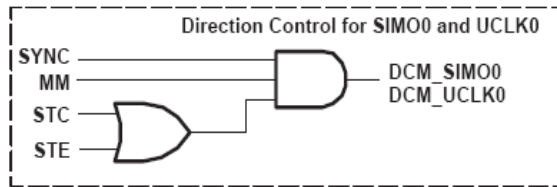
† Comparator_A , § ADC12

施密特触发器的 P3.0 - P3.3 口

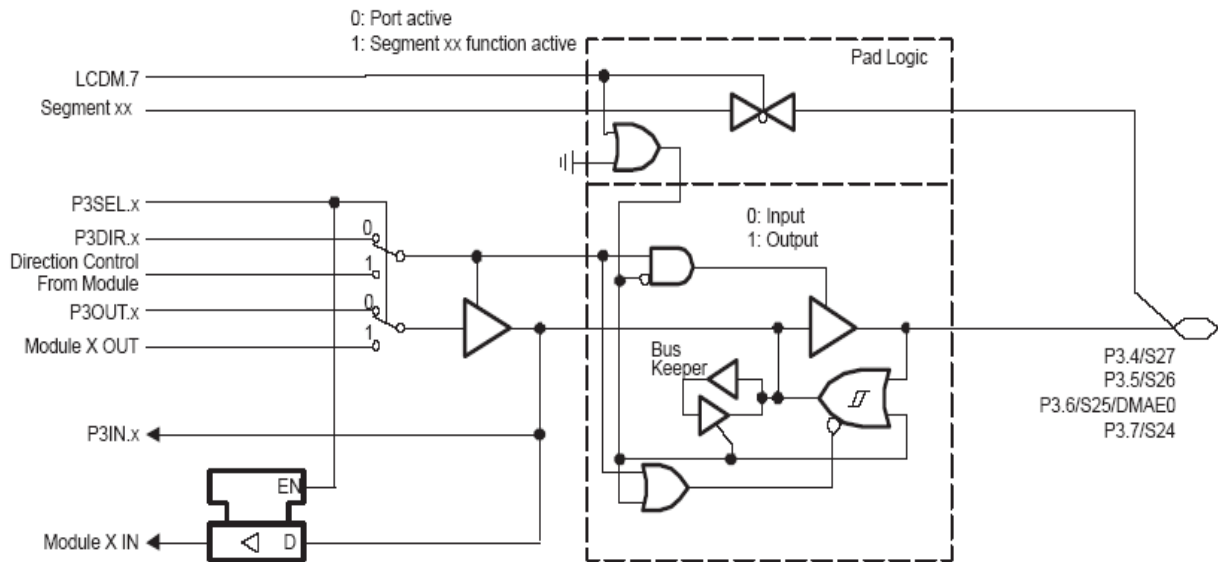


0 X 3

PnSel.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P3Sel.0	P3DIR.0	DVSS	P3OUT.0	DVSS	P3IN.0	STE0(in)
P3Sel.1	P3DIR.1	DCM_SIMO0	P3OUT.1	SIMO0(out)	P3IN.1	SIMO0(in)
P3Sel.2	P3DIR.2	DCM_SOMI0	P3OUT.2	SOMIO(out)	P3IN.2	SOMI0(in)
P3Sel.3	P3DIR.3	DCM_UCLK0	P3OUT.3	UCLK0(out)	P3IN.3	UCLK0(in)



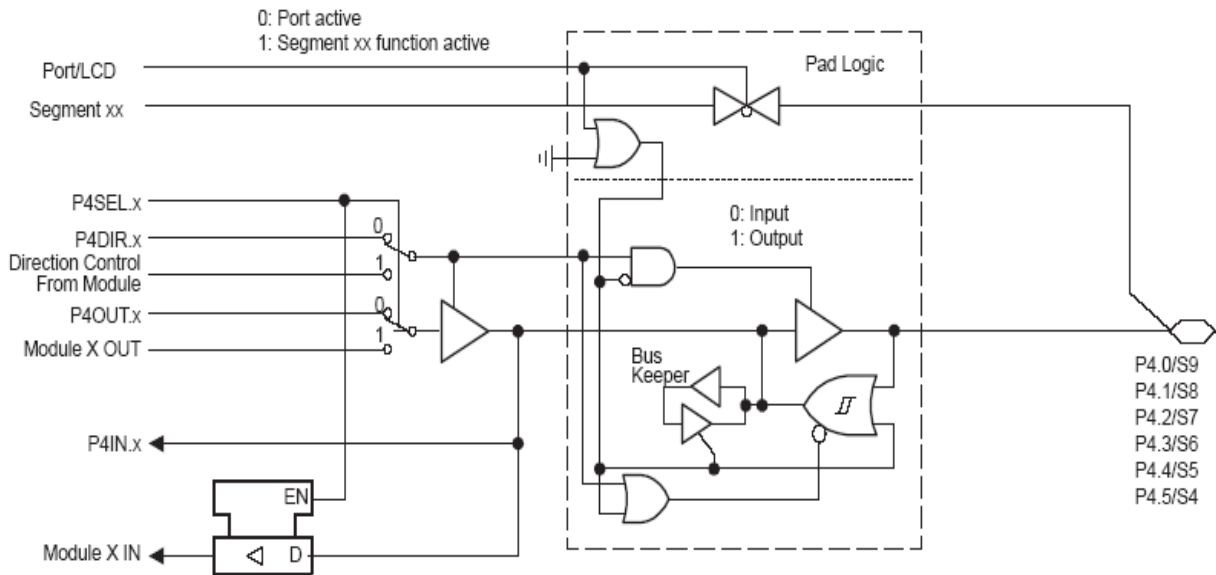
施密特触发器的 P3.4 – P3.7 口



Note: $4 \leq x \leq 7$

PnSel.x	PnDIR.x	Dir. Control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P3SEL.4	P3DIR.4	P3DIR.4	P3OUT.4	DVSS	P3IN.4	unused
P3SEL.5	P3DIR.5	P3DIR.5	P3OUT.5	DVSS	P3IN.5	unused
P3SEL.6	P3DIR.6	P3DIR.6	P3OUT.6	DVSS	P3IN.6	DMAE0
P3SEL.7	P3DIR.7	P3DIR.7	P3OUT.7	DVSS	P3IN.7	unused

施密特触发器的 P4.0 – P4.5 口

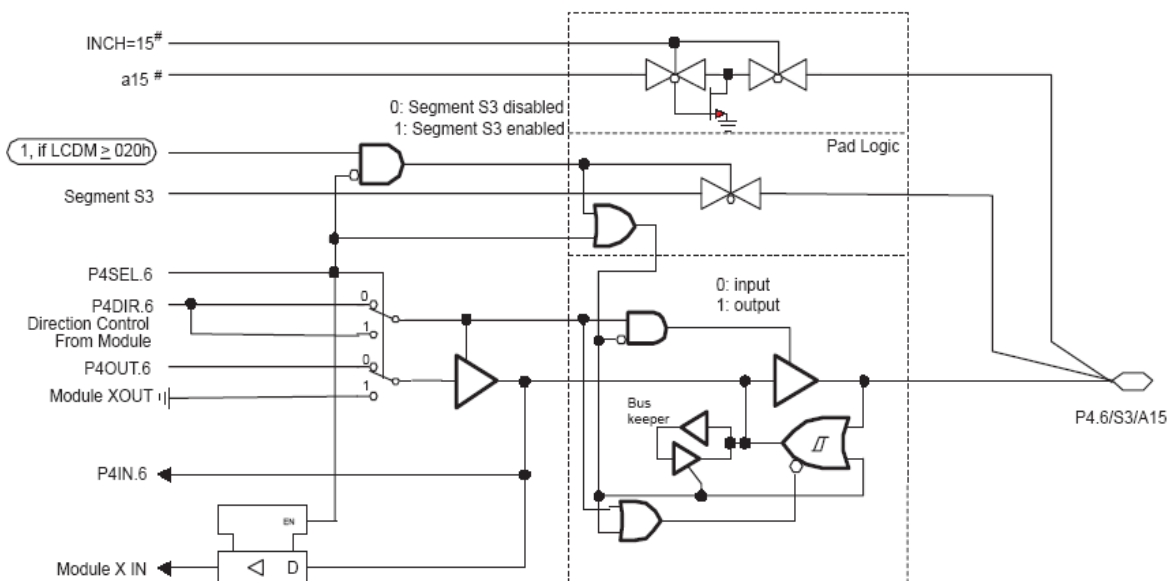


注：0 X 5

PnSEL.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P4SEL.0	P4DIR.0	P4DIR.0	P4OUT.0	DVSS	P4IN.0	unused
P4SEL.1	P4DIR.1	P4DIR.1	P4OUT.1	DVSS	P4IN.1	unused
P4SEL.2	P4DIR.2	P4DIR.2	P4OUT.2	DVSS	P4IN.2	unused
P4SEL.3	P4DIR.3	P4DIR.3	P4OUT.3	DVSS	P4IN.3	unused
P4SEL.4	P4DIR.4	P4DIR.4	P4OUT.4	DVSS	P4IN.4	unused
P4SEL.5	P4DIR.5	P4DIR.5	P4OUT.5	DVSS	P4IN.5	unused

DEVICE	PORT BITS	PORT FUNCTION	LCD SEG. FUNCTION
xG43xIPN 80-pin QFP	P4.0 to P4.5	LCDM < 020h	LVDM ≥ 020h

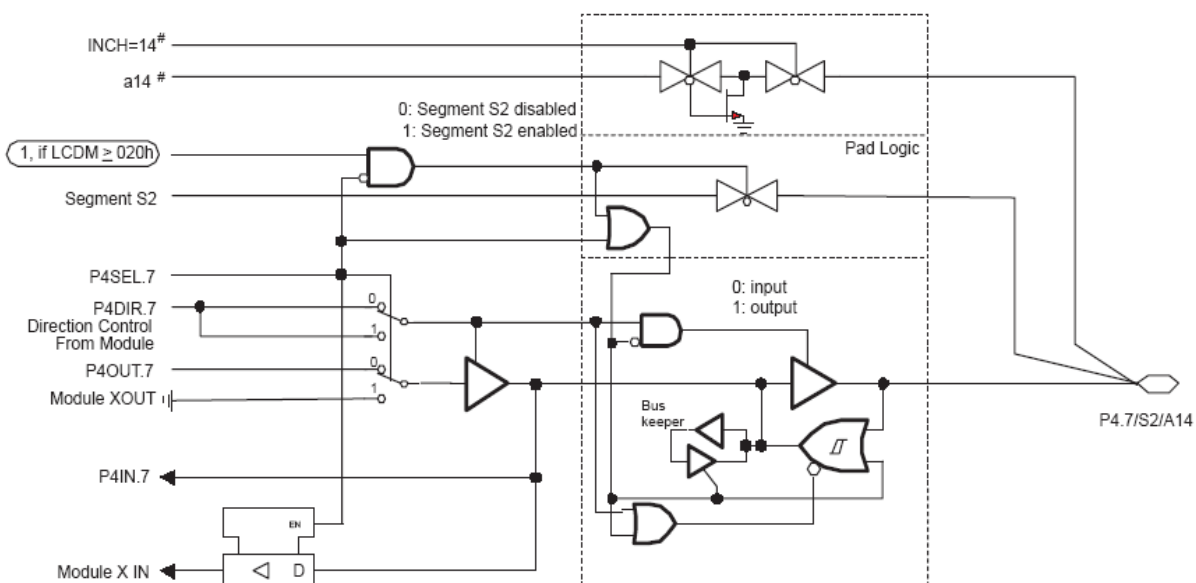
施密特触发器的 P4.6 口



PnSEL.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P4SEL.6	P4DIR.6	P4DIR.6	P4OUT.6	DVSS	P4IN.6	unused

DEVICE	PORT BITS	PORT FUNCTION	LCD SEG. FUNCTION
xG43xIPN 80-pin QFP	P4.6	LCDM < 020h	LVDM ≥ 020h

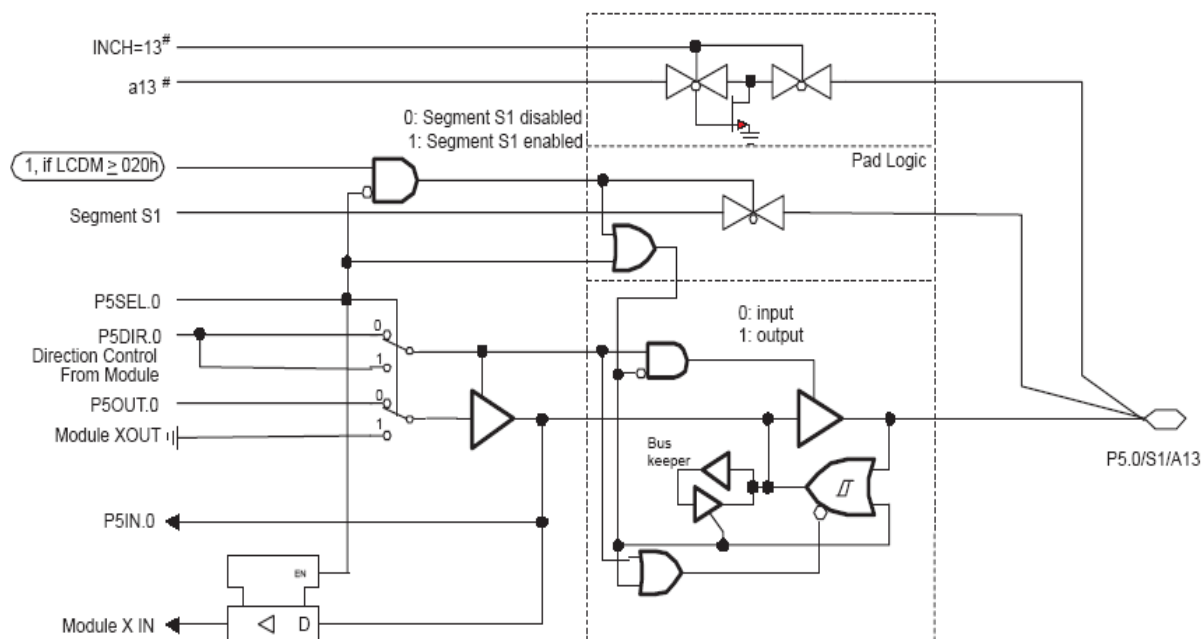
施密特触发器的 P4.7 口



PnSel.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P4Sel.7	P4DIR.7	P4DIR.7	P4OUT.7	DVSS	P4IN.7	Unused

DEVICE	PORT BITS	PORT FUNCTION	LCD SEG. FUNCTION
xG43xIPN 80-pin QFP	P4.7	LCDM < 020h	LVDM ≥ 020h

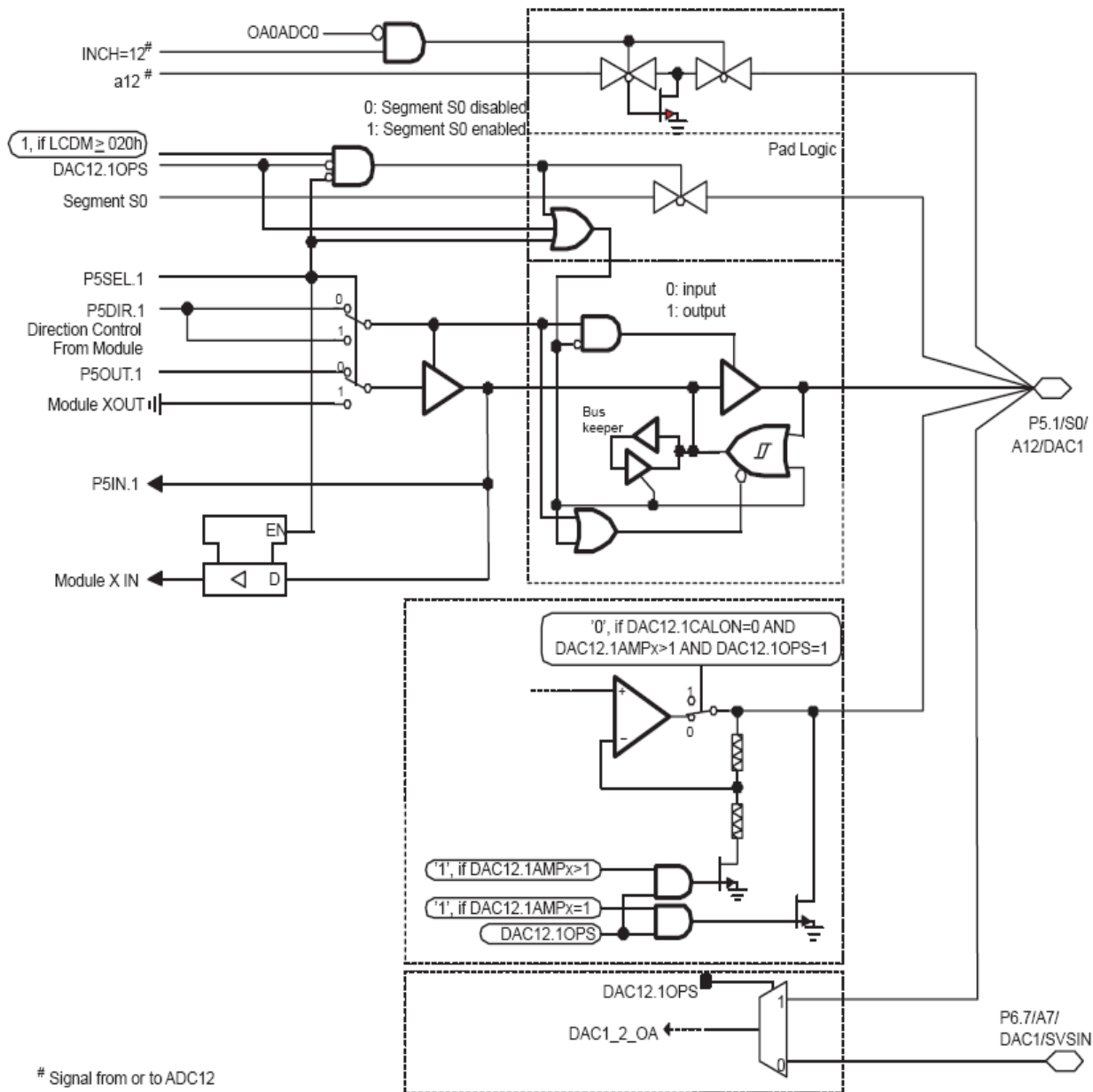
施密特触发器的 P5.0 口



PnSEL.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P5SEL.0	P5DIR.0	P5DIR.0	P5OUT.0	DVSS	P5IN.0	unused

DEVICE	PORT BITS	PORT FUNCTION	LCD SEG. FUNCTION
xG43xIPN 80-pin QFP	P5.0	LCDM < 020h	LVDM ≥ 020h

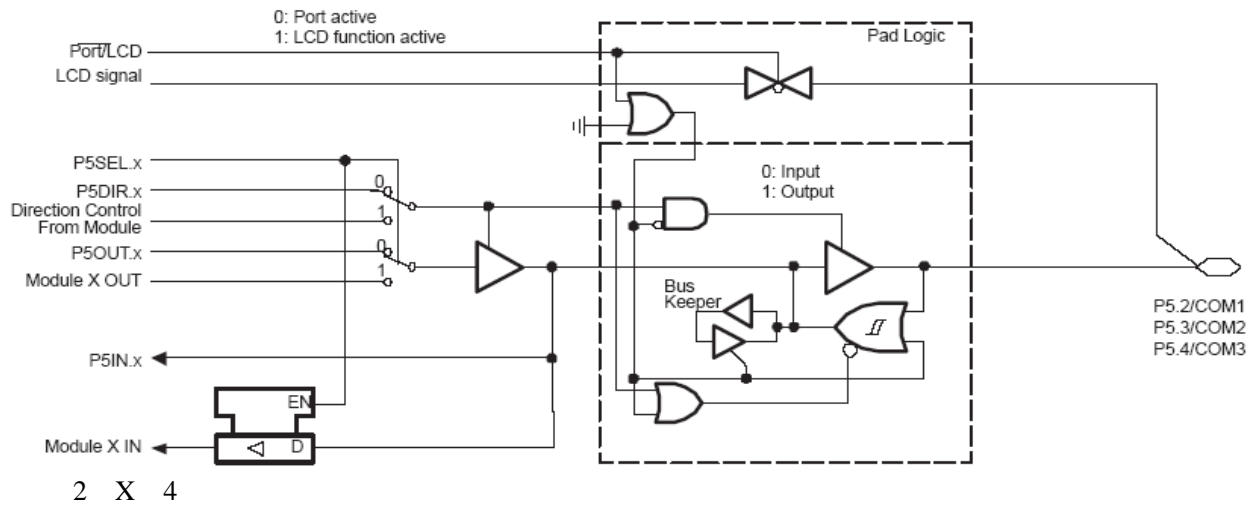
施密特触发器的 P5.1 口



Function	Description	P5SEL.1	LCDM	DAC12.10PS	DAC12.1AMPx
DAC12	3-State	X	X	1	= 0
	0 V	X	X	1	= 1
	DAC1 output (the o/p voltage can be converted with ADC12, channel A12)	X	X	1	> 1
ADC12	Channel 12, A12	1	X	0	X
LCD	Segment S0, initial state	0	≥ 20h	0	X
Port	P5.1	0	< 20h	0	X

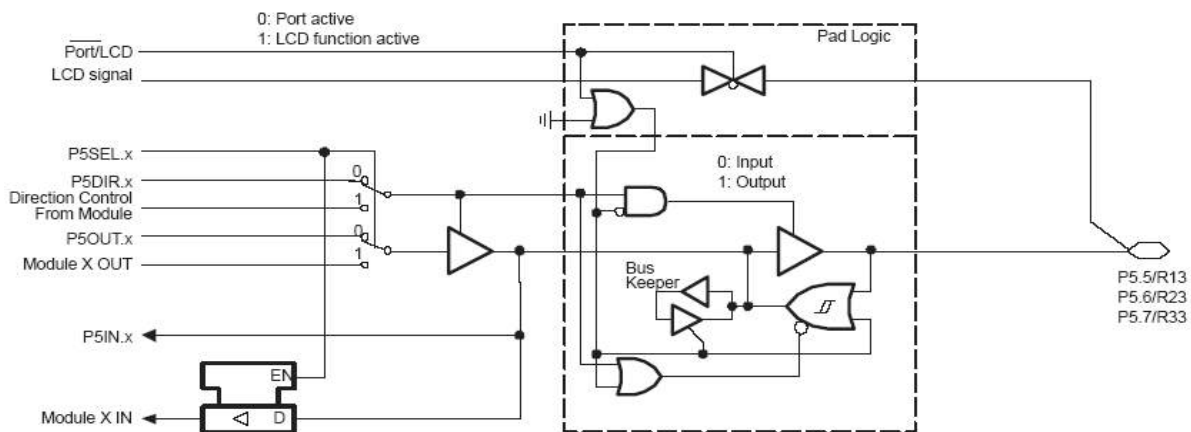
PnSEL.x	PnDIR.x	Dir. Control from Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	Segment	Port/LCD
P5SEL1.1	P5DIR.1	P5DIR.1	P5OUT.1	DVSS	P5IN.1	Unused	S0	0: LCDM<20h

施密特触发器的 P5.2 – P5.4 口



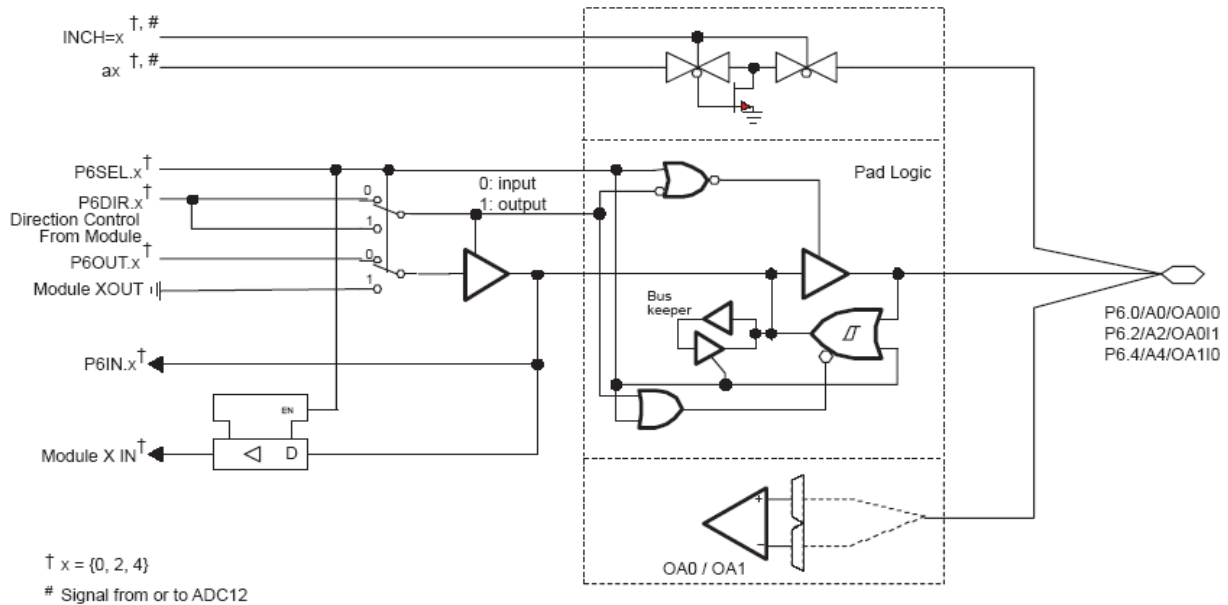
PnSel.x	PnDIR.x	Dir. Control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	LCD signal	$\overline{\text{Port/LCD}}$
P5Sel.2	P5DIR.2	P5DIR.2	P5OUT.2	DVSS	P5IN.2	Unused	COM1	P5SEL.2
P5Sel.3	P5DIR.3	P5DIR.3	P5OUT.3	DVSS	P5IN.3	Unused	COM2	P5SEL.3
P5Sel.4	P5DIR.4	P5DIR.4	P5OUT.4	DVSS	P5IN.4	Unused	COM3	P5SEL.4

施密特触发器的 P5.5- P5.7 口



PnSel.x	PnDIR.x	Dir. Control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	LCD signal	$\overline{\text{Port/LCD}}$
P5Sel.2	P5DIR.2	P5DIR.2	P5OUT.2	DVSS	P5IN.2	Unused	COM1	P5SEL.2
P5Sel.3	P5DIR.3	P5DIR.3	P5OUT.3	DVSS	P5IN.3	Unused	COM2	P5SEL.3
P5Sel.4	P5DIR.4	P5DIR.4	P5OUT.4	DVSS	P5IN.4	Unused	COM3	P5SEL.4

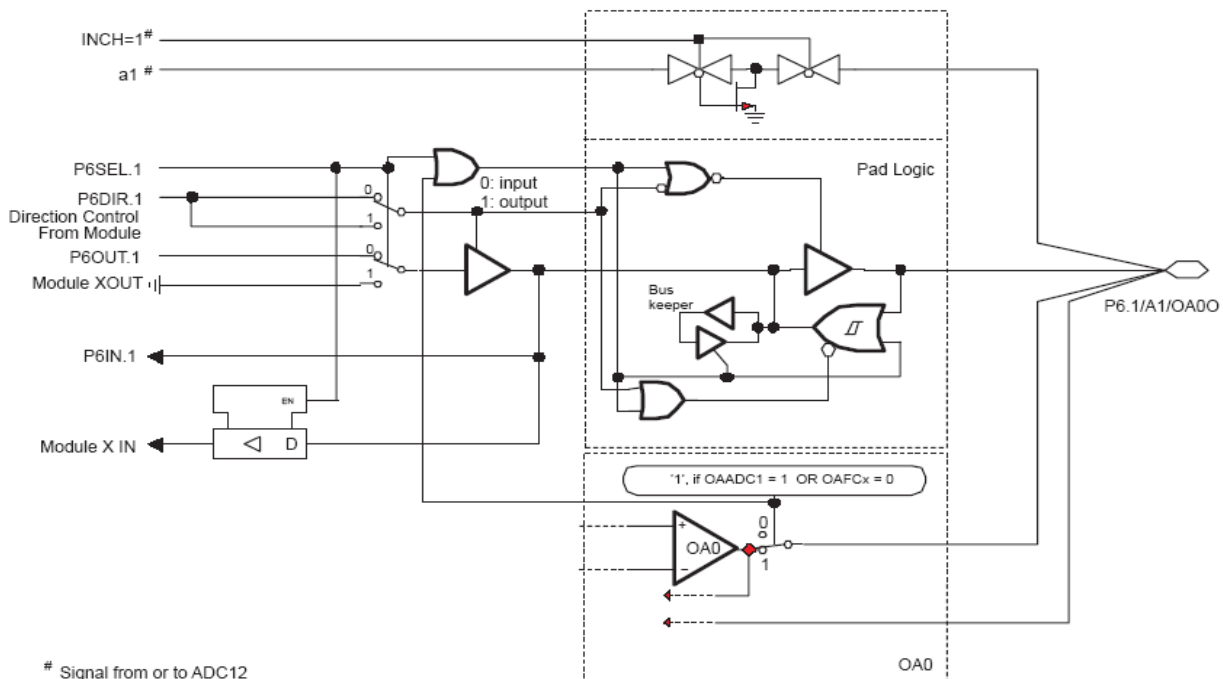
施密特触发器的 P6.0, P6.2 – P6.4 口



PnSel.x	PnDIR.x	Dir. Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P6Sel.0	P6DIR.0	P6DIR.0	P6OUT.0	DV _{SS}	P6IN.0	unused
P6Sel.2	P6DIR.2	P6DIR.2	P6OUT.2	DV _{SS}	P6IN.2	unused
P6Sel.4	P6DIR.4	P6DIR.4	P6OUT.4	DV _{SS}	P6IN.4	unused

注：P6.x/Ax 引脚的信号输入到 12 位 ADC 模块

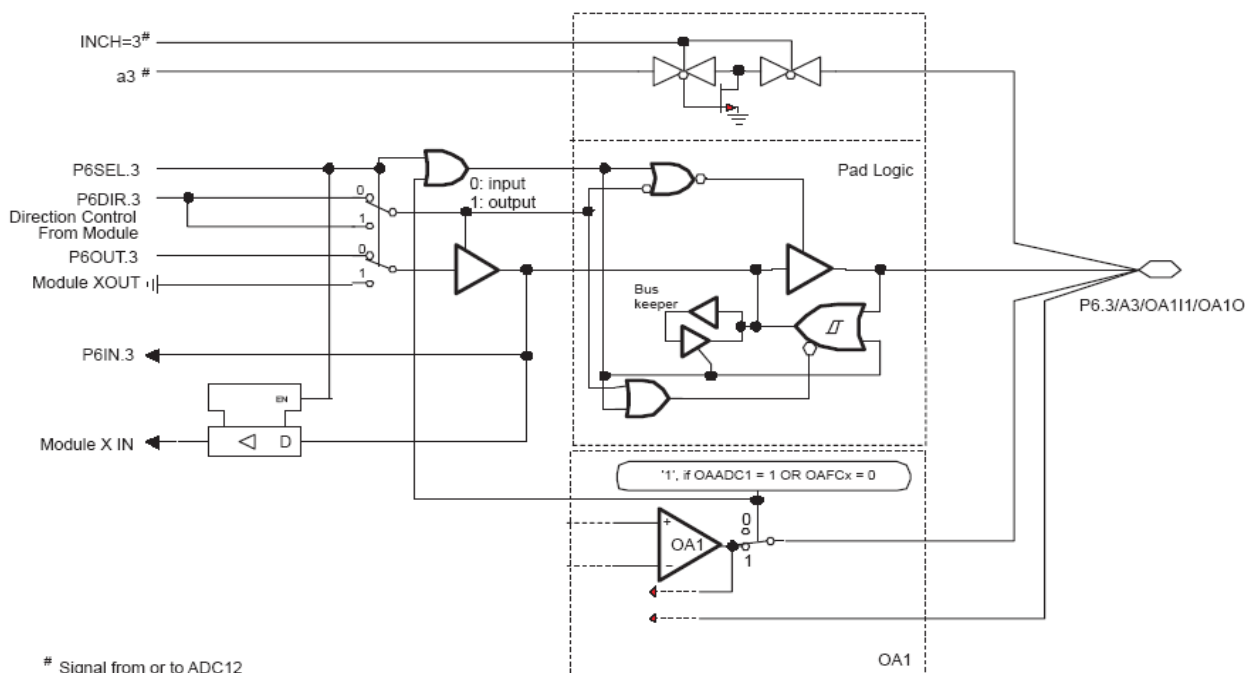
施密特触发器的 P6.1 口



PnSel.x	PnDIR.x	Dir. Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P6Sel.1	P6DIR.1	P6DIR.1	P6OUT.1	DV _{SS}	P6IN.1	unused

注：P6.x/Ax 引脚的信号输入到 12 位 ADC 模块。

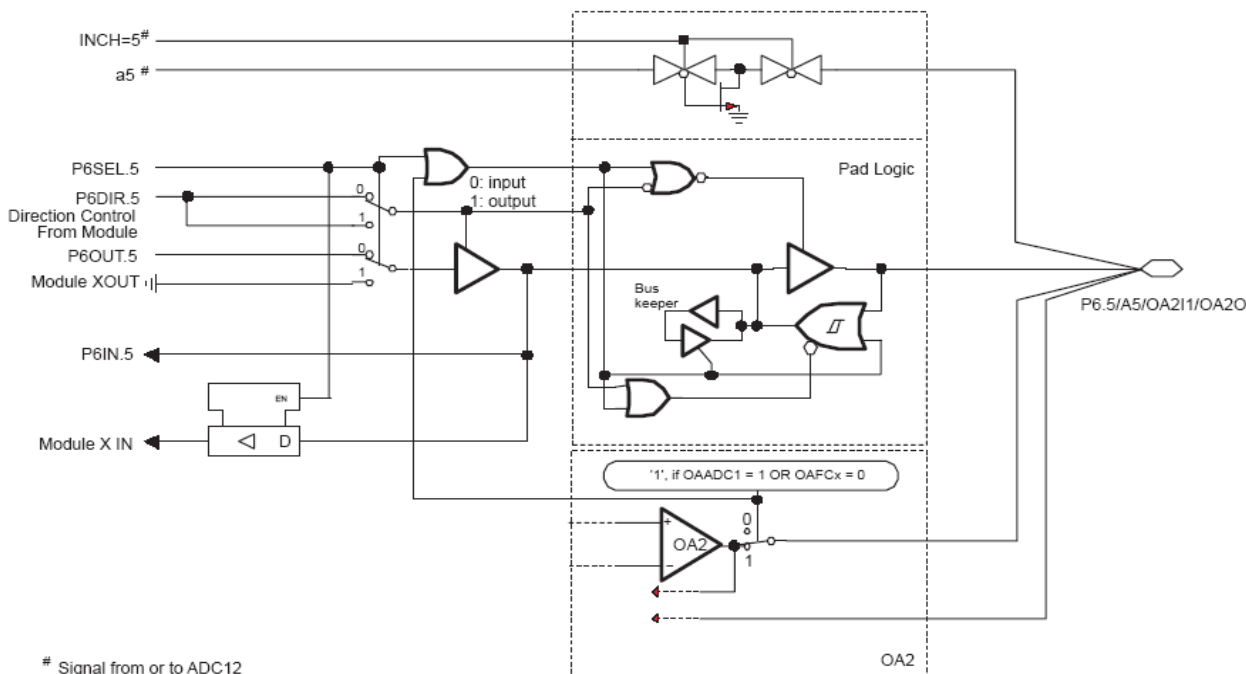
施密特触发器的 P6.3 口



PnSel.x	PnDIR.x	Dir. Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P6Sel.3	P6DIR.3	P6DIR.3	P6OUT.3	DV _{SS}	P6IN.3	unused

注：P6.x/Ax 引脚的信号输入到 12 位 ADC 模块。

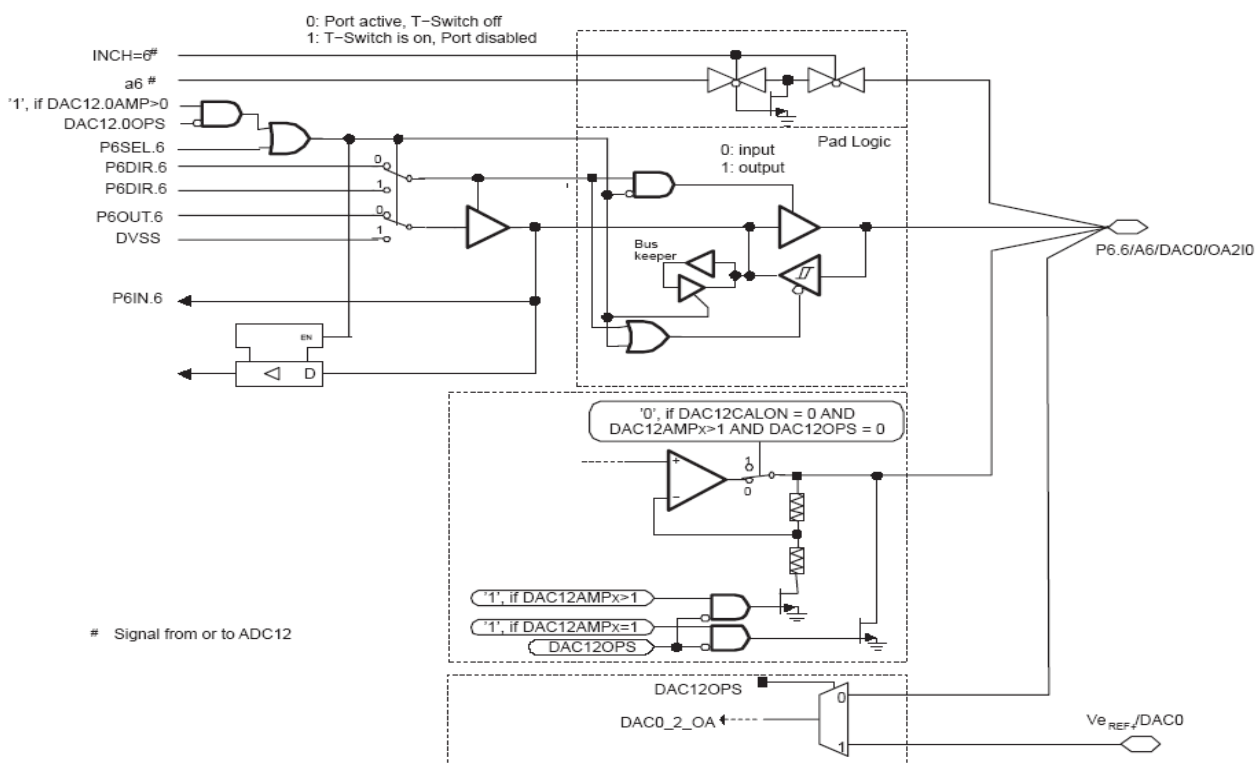
施密特触发器的 P6.5 口



PnSel.x	PnDIR.x	Dir. Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P6Sel.5	P6DIR.5	P6DIR.5	P6OUT.5	DV _{SS}	P6IN.5	unused

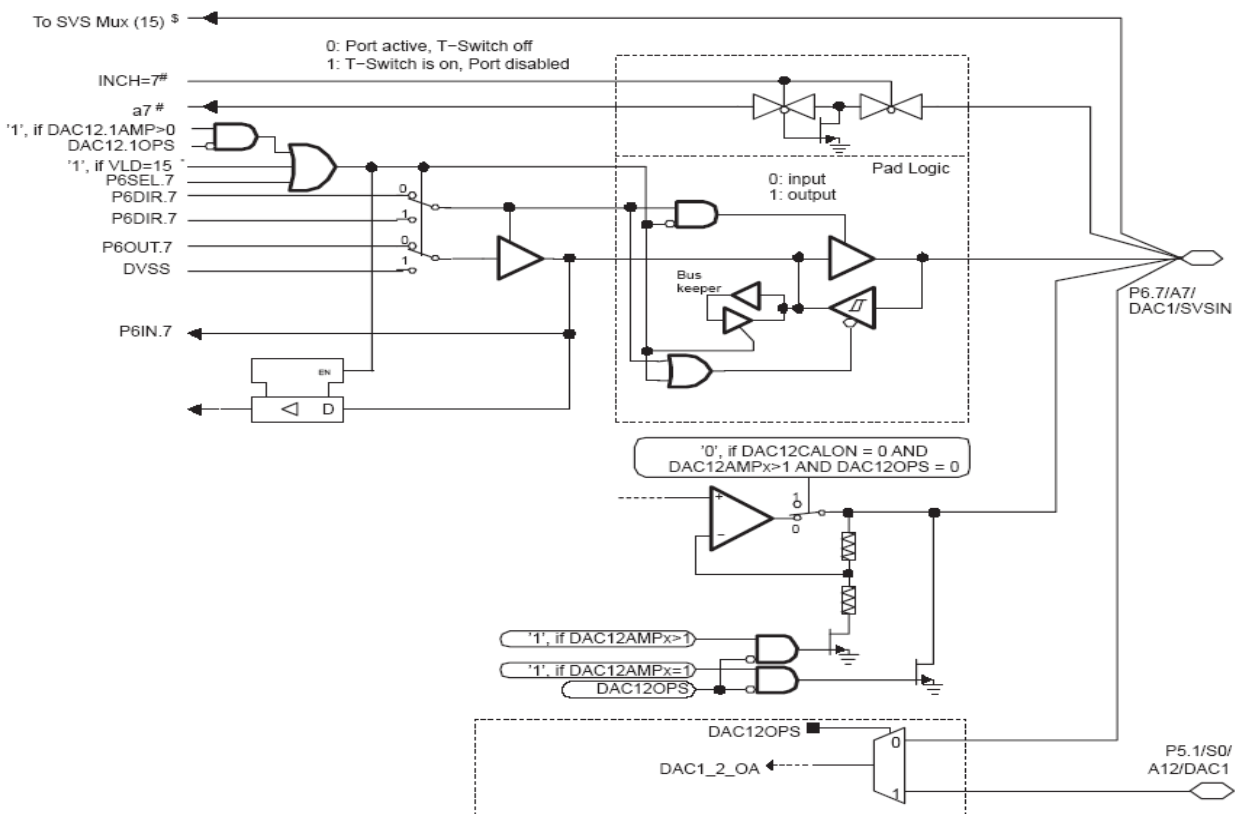
注：P6.x/Ax 引脚的信号输入到 12 位 ADC 模块

施密特触发器的 P6.6 口



PnSel.x	PnDIR.x	Dir. Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P6Sel.6	P6DIR.6	P6DIR.6	P6OUT.6	DVSS	P6IN.6	unused

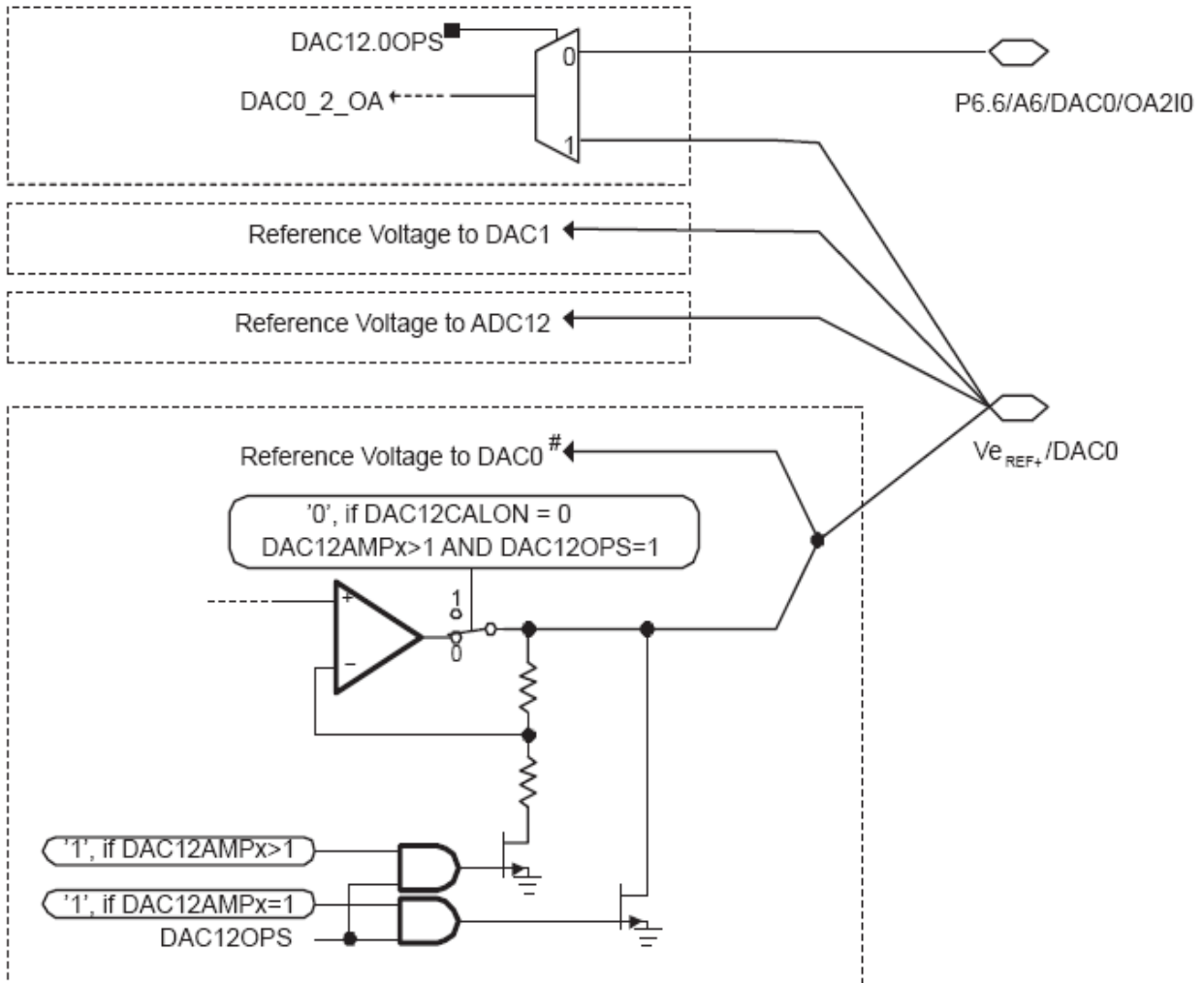
施密特触发器的 P6.7 口

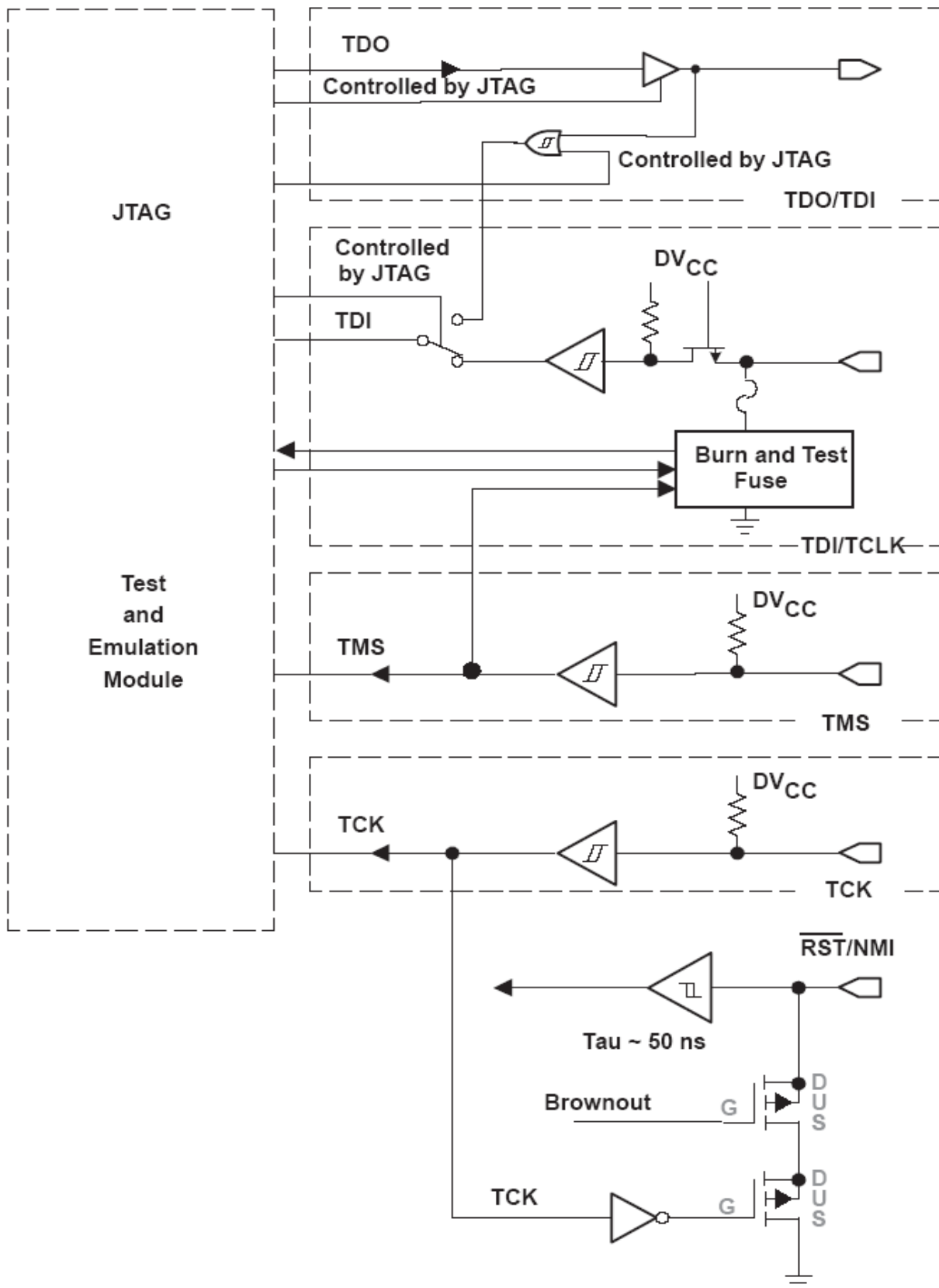


PnSel.x	PnDIR.x	Dir. Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P6Sel.7	P6DIR.7	P6DIR.7	P6OUT.7	DVSS	P6IN.7	unused

注：P6.x/Ax 引脚的信号输入到 12 位 ADC 模块。

P6.7/A7/SVSIN 引脚的信号通过输入复用器输入到 brownout/SVS 模块。



施密特触发器的 JTAG 引脚 TMS, TCK, TDI/TDO


JTAG 安全熔丝检测模式

上电复位(POR)后,MSP430 器件会进入 JTAG 的 TDI/TCLK 脚安全熔丝通断性检查模式.若熔丝没有烧断,将有熔丝检查电流 I_{TF} (3V,1 mA)从 TDI 引脚流到地,故需要防止意外激活熔丝检查模式,以免增大电流消耗.上电后 TMS 引脚的第一个下降沿或上电期间 TMS 一直保持低电平都将激活熔丝检查模式,TMS 引脚的第二个上升沿将关闭熔丝检查模式.该模式关闭后,熔丝检查模式保持无效直到另一个 POR 信号出现.每一次 POR 都有可能激活熔丝检查模式.

只有当熔丝检查模式激活时并且 TMS 引脚保持低电平时,才会出现熔丝检查电流(见图 32). 因此可以通过保持 TMS 引脚为高电平(缺省条件),防止额外电流消耗.

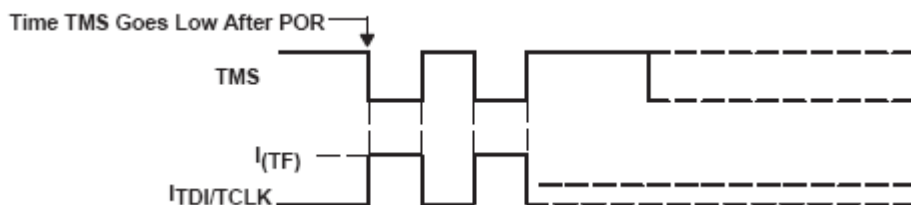
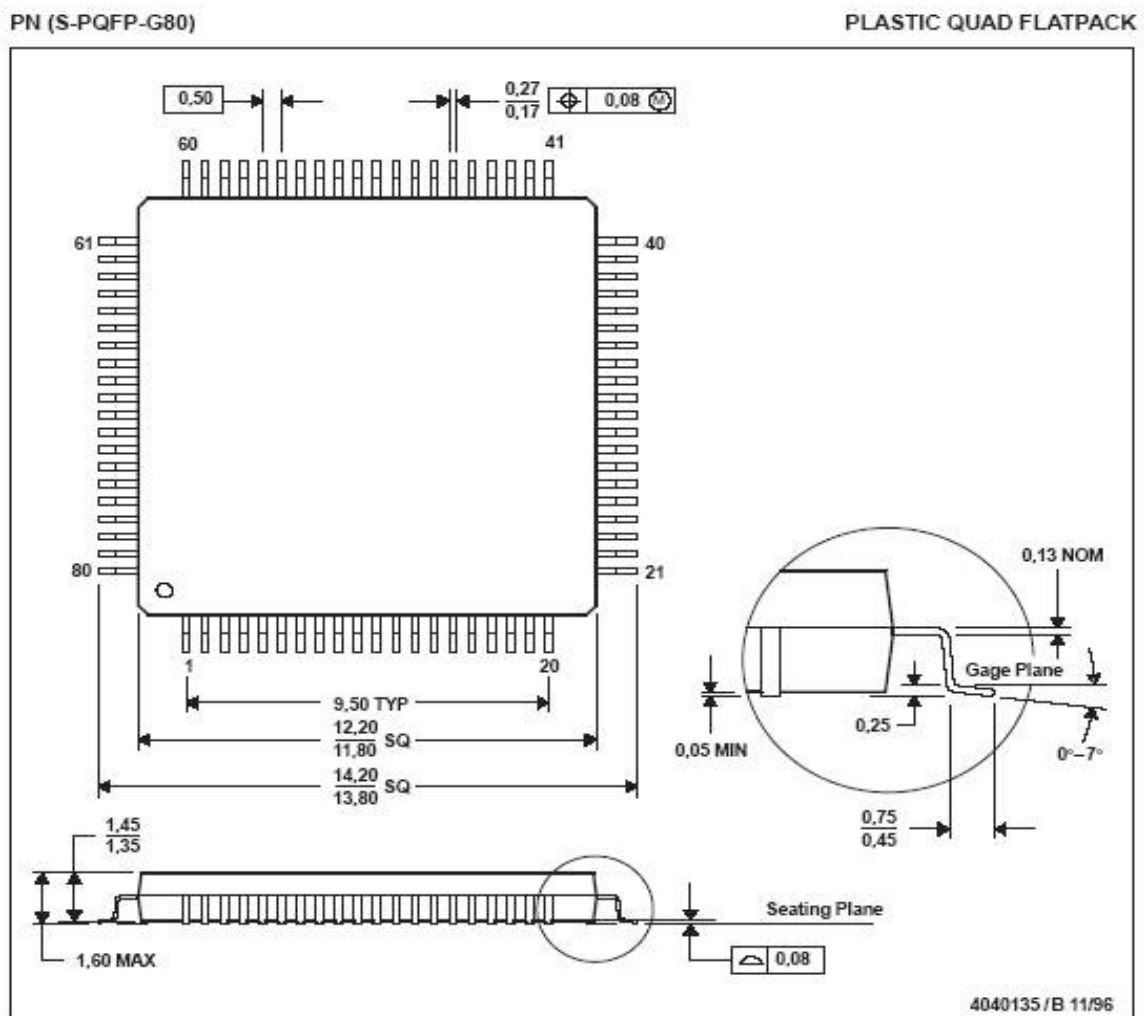


图 32 熔丝检查模式电流消耗



注：A、所有标度电位为毫米

B、芯片画法可能会改变,不另行通知

C、采用 JEDEC MS-026 封装

说明：该中文资料在翻译过程中难免存在不足和错误，请依照英文资料为准。