

P89LPC9408

1. 概述	5
2. 特性	5
2.1 主要特性.....	5
2.2 其它特性.....	5
3. 订购信息	6
3.1 订购选项.....	6
4. 方框图	7
5. 功能框图	8
6. 管脚信息	9
6.1 管脚图.....	9
6.2 管脚描述.....	9
7. 功能描述	12
7.1 特殊功能寄存器.....	12
7.2 增强型 CPU.....	17
7.3 时钟.....	17
7.3.1 时钟定义.....	17
7.3.2 CPU 时钟(OSCCLK).....	17
7.3.3 低速振荡器选项.....	17
7.3.4 中速振荡器选项.....	17
7.3.5 高速振荡器选项.....	18
7.3.6 时钟输出.....	18
7.4 片内 RC 振荡器选项	18
7.5 看门狗振荡器选项.....	18
7.6 外部时钟输入选项.....	18
7.7 CPU 时钟 (CCLK) 唤醒延迟	19
7.8 CCLK 调整: DIVM 寄存器	19
7.9 低功耗选择.....	19
7.10 存储器结构.....	19
7.11 数据 RAM 分配.....	20
7.12 中断.....	20
7.12.1 外部中断输入.....	21
7.13 I/O 口	21
7.13.1 I/O 口配置	22
7.13.1.1 准双向口输出配置.....	22
7.13.1.2 开漏输出配置.....	22
7.13.1.3 仅为输入配置.....	22
7.13.1.4 推挽输出配置.....	22
7.13.2 P0 口模拟功能	23

7.13.3 附加端口特性.....	23
7.14 电源监控功能.....	23
7.14.1 掉电检测.....	23
7.14.2 上电检测.....	23
7.15 节电模式.....	23
7.15.1 空闲模式.....	24
7.15.2 掉电模式.....	24
7.15.3 完全掉电模式.....	24
7.16 复位.....	24
7.16.1 复位向量.....	25
7.17 定时器 / 计数器 0 和 1.....	25
7.17.1 模式 0.....	25
7.17.2 模式 1.....	25
7.17.3 模式 2.....	25
7.17.4 模式 3.....	25
7.17.5 模式 6.....	25
7.17.6 定时器溢出触发输出.....	25
7.18 RTC/系统定时器.....	26
7.19 CCU.....	26
7.19.1 CCU 时钟 (CCUCLK).....	26
7.19.2 CCU 时钟预分频.....	26
7.19.3 基本定时器操作.....	26
7.19.4 输出比较.....	26
7.19.5 输入捕获.....	27
7.19.6 PWM 操作.....	27
7.19.7 交替输出模式.....	27
7.19.8 PLL 的操作.....	28
7.19.9 CCU 中断.....	28
7.20 UART.....	29
7.20.1 模式 0.....	29
7.20.2 模式 1.....	29
7.20.3 模式 2.....	29
7.20.4 模式 3.....	30
7.20.5 波特率发生器及选择.....	30
7.20.6 帧错误.....	30
7.20.7 间隔检测.....	30
7.20.8 双缓冲.....	30
7.20.9 双缓冲使能时发送中断 (模式 1, 2 和 3).....	30
7.20.10 双缓冲中的第 9 位 (位 8) 数据 (模式 1, 2 和 3).....	31
7.21 I ² C 总线串行接口.....	31
7.22 串行外围接口 (SPI).....	32
7.22.1 典型的 SPI 配置.....	33
7.23 模拟比较器.....	34
7.23.1 内部参考电压.....	35

7.23.2 比较器中断.....	35
7.23.3 比较器和节电模式.....	35
7.24 键盘中断 (KBI)	35
7.25 看门狗定时器.....	36
7.26 附加特性.....	36
7.26.1 软件复位.....	36
7.26.2 双数据指针.....	36
7.27 LCD 驱动器.....	37
7.27.1 概述.....	37
7.27.2 功能描述.....	37
7.27.3 LCD 偏压.....	37
7.27.4 振荡器.....	38
7.27.4.1 内部时钟.....	38
7.27.5 时序.....	38
7.27.6 显示寄存器.....	38
7.27.7 段输出.....	38
7.27.8 背板输出.....	38
7.27.9 显示 RAM.....	38
7.27.10 数据指针.....	38
7.27.11 输出区选择器.....	38
7.27.12 输入区选择器.....	39
7.27.13 闪烁.....	39
7.27.13.1 I ² C 总线控制器	39
7.27.14 输入滤波器.....	39
7.27.15 I ² C 总线从地址	39
7.28 数据 EEPROM	39
7.29 FLASH 程序存储器	40
7.29.1 概述.....	40
7.29.2 特性.....	40
7.29.3 Flash 的结构	40
7.29.4 使用 Flash 作为数据存储器	40
7.29.5 Flash 的编程和擦除	41
7.29.6 在线编程.....	41
7.29.7 在应用中编程.....	41
7.29.8 在系统编程.....	41
7.29.9 上电复位代码的执行.....	41
7.29.10 引导装载程序的硬件激活	42
7.30 用户配置字节.....	42
7.31 用户扇区保密字节.....	42
8. A/D 转换器 (ADC)	42
8.1 概述.....	42
8.2 特性.....	42
8.3 方框图.....	43
8.4 ADC 工作模式	44

8.4.1 固定通道, 单次转换模式.....	44
8.4.2 固定通道, 连续转换模式.....	44
8.4.3 自动扫描, 单次转换模式.....	44
8.4.4 自动扫描, 连续转换模式.....	44
8.4.5 双通道, 连续转换模式.....	44
8.4.6 单步模式.....	44
8.5 转换启动模式.....	44
8.5.1 定时器触发启动.....	44
8.5.2 立即启动.....	45
8.5.3 边沿触发.....	45
8.6 边界限制中断.....	45
8.7 时钟分频器.....	45
8.8 掉电和空闲模式.....	45
9. 极限值	45
10. 静态特性	46
11. 动态特性.....	47
11.1 波形.....	51
11.2 ISP 入口模式	54
12. 其它特性	54
12.1 比较器电气特性.....	54
13. ADC 电气特性.....	55
14. 封装	56
15. 缩写词	57
16. 修订记录	57

1. 概述

P89LPC9408 是一个由 P89LPC938 单片微控制器和 PCF8576D 通用 LCD 驱动器组成的多片模块，它采用低成本、64 引脚封装。LCD 控制器提供 32 段并支持 1~4 背极输出。带有自动增量地址的片上显示 RAM 将显示开销降至最低。

2. 特性

2.1 主要特性

- 8kB 可字节擦除的 Flash 程序存储器，具有 1kB 的扇区和 64 字节的页。单个字节可擦除特性使每个字节都可用作非易失性数据存储器。
- 256 字节 RAM 数据存储器。
- 片内的 512 字节用户数据 EEPROM 可用来串行化器件和存储启动参数等。
- 32 段×4 背板 LCD 控制器，支持 1~4 背板输出。
- 8 输入多路复用的 10 位 ADC。2 个可选择输入和参考源的模拟比较器。
- 2 个 16 位计数/定时器（每一个定时器均可设置为溢出时触发相应端口输出或作为 PWM 输出）和 1 个可用作实时时钟（RTC）的 23 位系统定时器。
- 增强型 UART。具有（分数）波特率发生器、间隔检测、帧错误检测和自动地址检测功能；400kHz 字节宽的 I²C 总线通信端口和 SPI 通信端口。
- CCU 提供 PWM、输入捕获和输出比较功能。
- 高精度的内部 RC 振荡器可使器件直接工作，而无需外接振荡器件。可选择 RC 振荡器选项并对它进行细调。
- 64 脚 LQFP 封装，最少 20 个微控制器 I/O 口，使用片内振荡器和复位选项时可多达 23 个微控制器 I/O 口。

2.2 其它特性

- V_{DD} 工作电压范围为 2.4~3.6V。I/O 口可承受 5V（可上拉或驱动至 5.5V）。
- 串行 Flash 在电路编程（ICP）允许使用商用 EPROM 编程器来进行简单的产品编码。Flash 保密位可防止敏感的应用程序被读出。
- 当工作频率为 18MHz 时，除乘法和除法指令外，高性能 80C51 CPU 的指令执行时间为 111~222ns。同一时钟频率下，其速度为标准 80C51 器件的 6 倍。只需要较低的时钟频率即可达到同样的性能，这样无疑降低了功耗和减少了电磁干扰（EMI）。
- 串行 Flash 的在系统编程（ISP）允许对固定在最终应用中的器件进行编程。
- Flash 程序存储器可实现在应用编程（IAP）。这允许在程序运行时改变代码。
- 看门狗定时器具有片内独立振荡器，无需外接元件。看门狗预分频器有 8 种选择。
- 低电压检测（掉电）可在电源故障时使系统安全关闭。该功能也可配置为一个中断。
- 空闲和两种不同的掉电节电模式。改良的唤醒功能（低电平中断输入启动执行）。

典型的掉电电流为 9 μ A（电压比较器被禁能的完全掉电模式）。

- 低电平复位。片内上电复位时不需要外接元件。复位计数器和复位干扰抑制电路可防止虚假和不完全的复位。另外还提供软件复位功能。
- 可配置的片内振荡器的频率范围可通过用户对 Flash 配置位进行编程来选择。振荡器选项支持的频率范围从 20KHz~18MHz（最高操作频率）。
- 振荡器故障检测。看门狗定时器具有完全独立的片内振荡器，因此它可用于振荡器的故障检测。
- 可编程 I/O 口输出模式：准双向口，开漏输出，推挽和仅为输入功能。
- 端口“输入模式匹配”检测。当 P0 口管脚的值与一个可编程的模式匹配或者不匹配时，可产生一个中断。
- 所有 I/O 引脚均有 20mA 的 LED 驱动能力。但整个芯片有一个最大值的限制。
- 可控制 I/O 引脚输出斜率以降低 EMI，输出最小跳变时间约为 10ns。
- 当选择片内复位时，P89LPC9408 只需连接电源和地。
- 4 个中断优先级。
- 8 个键盘中断输入，另加 2 个外部中断输入。
- 施密特触发端口输入。
- 双数据指针。

3. 订购信息

表 1 订购信息

器件型号	封装		
	名称	描述	版本
P89LPC9408FBD	LQFP64	塑料小型四方扁平封装；64 脚；本体 14×14×1.4mm	SOT791-1

3.1 订购选项

表 2 器件选项

器件型号	Flash 存储器	温度范围	频率
P89LPC9408FBD	8kB	-40℃~+85℃	0MHz~18MHz

4. 方框图

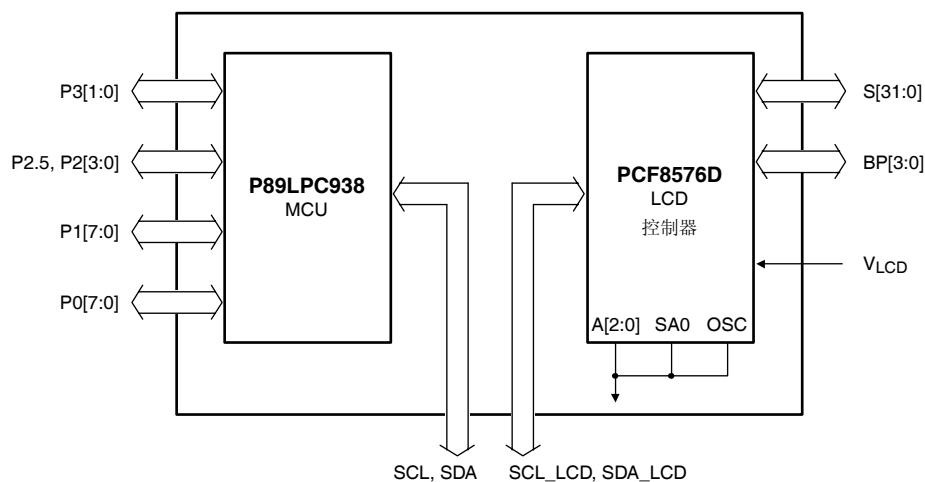


图 1 方框图

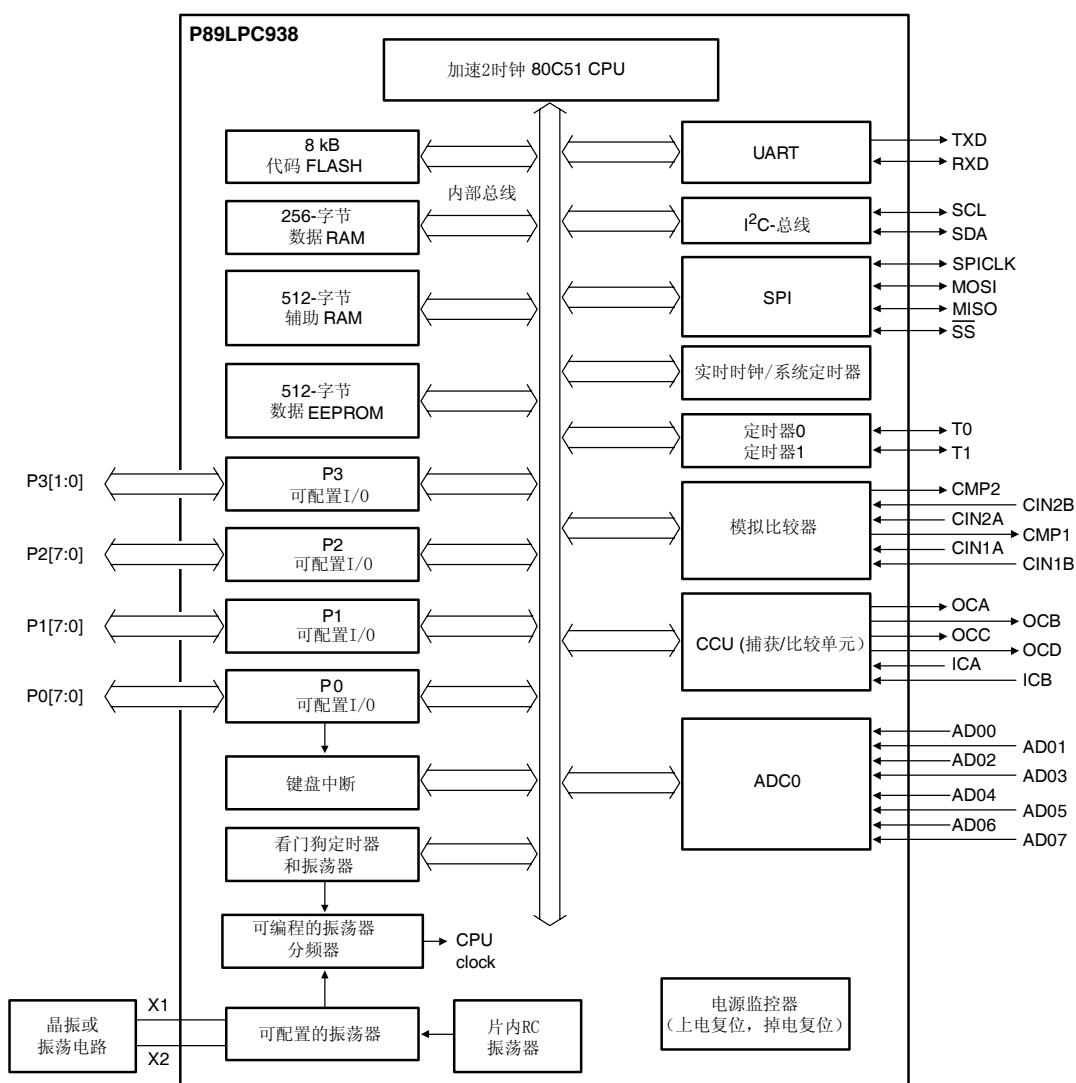


图 2 微控制器部分的方框图

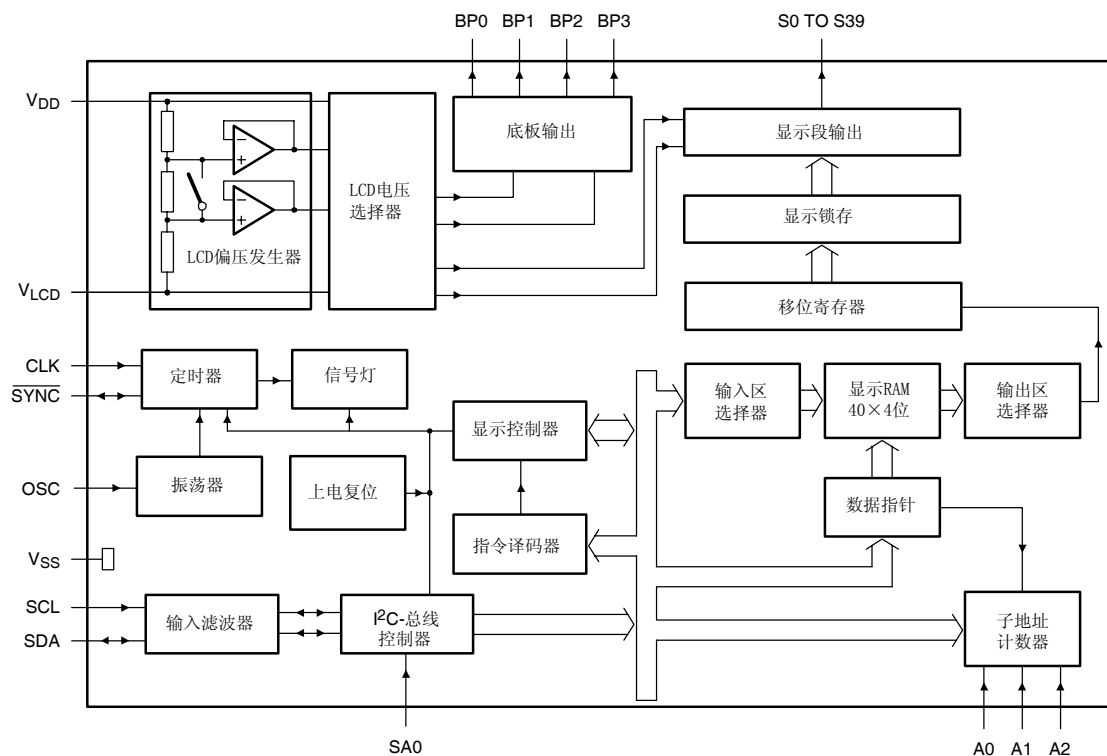


图 3 LCD 显示控制器方框图

5. 功能框图

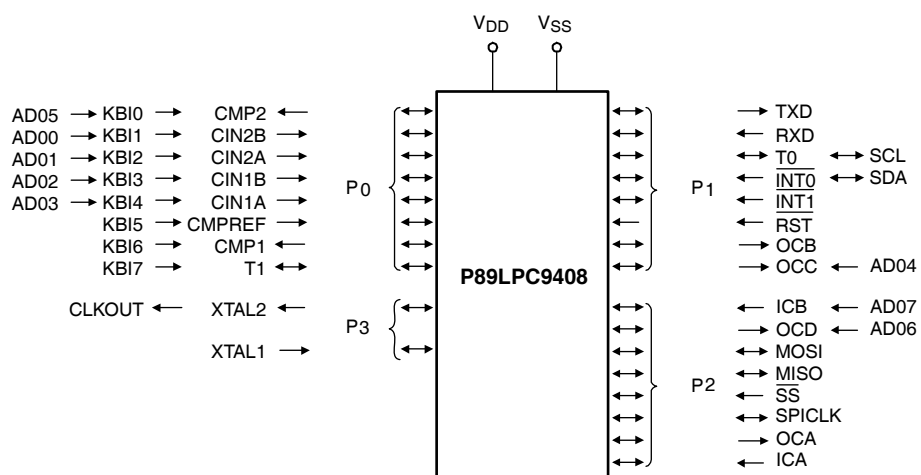


图 4 P89LPC9408 功能框图

6. 管脚信息

6.1 管脚图

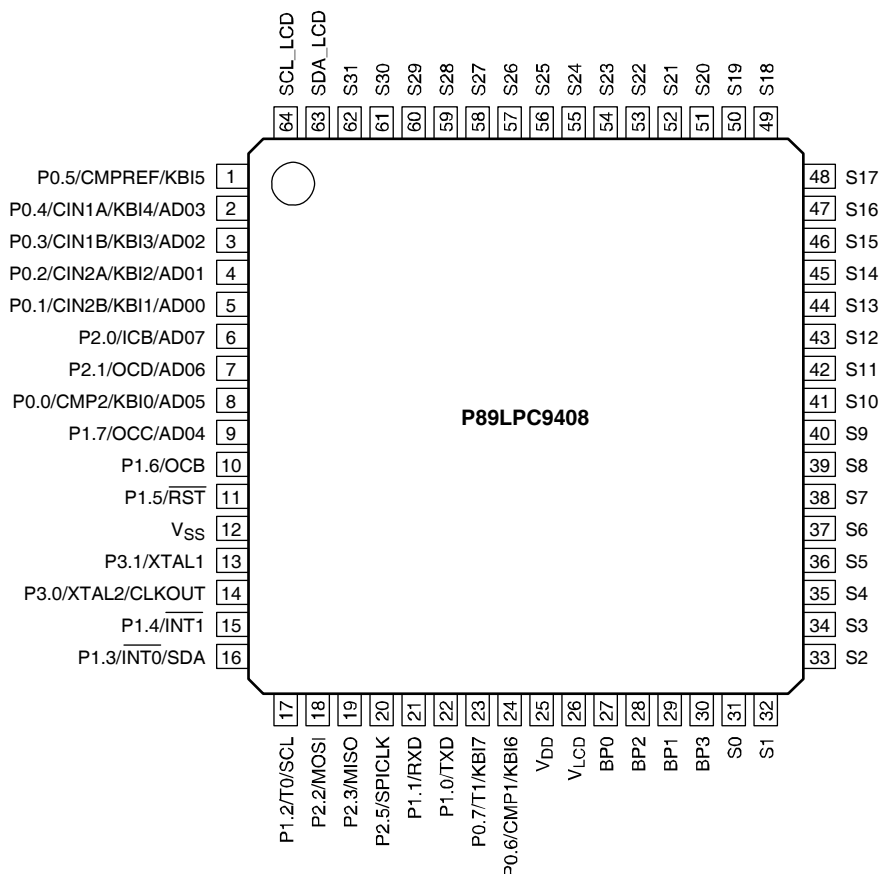


图 5 管脚配置图

6.2 管脚描述

表 3 管脚描述

符号	管脚	类型	描述
P0.0~P0.7		I/O	Port 0: P0 是一个可由用户定义输出类型的 8 位 I/O 口，在上电复位时，P0 锁存器配置为内部上拉禁止的仅为输入模式。P0 口由口配置寄存器设定为输出或输入模式，每一个管脚均可单独设定。详细请参考 7.13.1 节“I/O 口配置” 和表 12 “静态电气特性”。P0 口具有键盘输入中断功能。所有管脚都具有施密特触发输入。P0 口还可提供如下特殊功能：
P0.0/CMP2/ KBI0/AD05	8	I/O O I I	P0.0 P0 口位 0 CMP2 比较器 2 输出 KBI0 键盘输入 0 AD05 ADC0 通道 5 模拟输入

续上表

符号	管脚	类型	描述
P0.1/CIN2B/ KBI1/AD00	5	I/O I I I	P0.1 P0 口位 1 CIN2B 比较器 2 正向输入 B KBI1 键盘输入 1 AD00 ADC0 通道 0 模拟输入
P0.2/CIN2A/ KBI2/AD01	4	I/O I I I	P0.2 P0 口位 2 CIN2A 比较器 2 正向输入 A KBI2 键盘输入 2 AD01 ADC0 通道 1 模拟输入
P0.3/CIN1B/ KBI3/AD02	3	I/O I I I	P0.3 P0 口位 3 CIN1B 比较器 1 正向输入 B KBI3 键盘输入 3 AD02 ADC0 通道 2 模拟输入
P0.4/CIN1A/ KBI4/AD03	2	I/O I I I	P0.4 P0 口位 4 CIN1A 比较器 1 正向输入 A KBI4 键盘输入 4 AD03 ADC0 通道 3 模拟输入
P0.5/ CMPREF/ KBI5	1	I/O I I	P0.5 P0 口位 5 CMPREF 比较器参考（反向）输入 KBI5 键盘输入 5
P0.6/CMP1/ KBI6	24	I/O O I	P0.6 P0 口位 6 CMP1 比较器 1 输出 KBI6 键盘输入 6
P0.7/T1/ KBI7	23	I/O I/O I	P0.7 P0 口位 7 T1 定时/计数器 1 外部计数输入或溢出输出 KBI7 键盘输入 7
P1.0~P1.7		I/O, I ^[1]	Port 1: 除了下面说明的三个管脚外, P1 是一个可由用户定义输出类型的 8 位 I/O 口。在上电复位时, P1 锁存器配置为内部上拉禁止的仅为输入模式。P1 口由口配置寄存器设定为输出或输入模式, 每一位均可单独设定。详细请参考 7.13.1 节“ I/O 口配置 ”和表 12“ 静态电气特性 ”。 P1.2-P1.3 作为输出时为开漏。P1.5 为仅为输入模式。 所有管脚都具有施密特触发输入。 P1 口还可提供如下特殊功能:
P1.0/TXD	22	I/O O	P1.0 P1 口位 0 TxD 串行口发送器输出
P1.1/RXD	21	I/O I	P1.1 P1 口位 1 RxD 串行口接收器输入
P1.2/T0/SCL	17	I/O I/O I/O	P1.2 P1 口位 2 (作为输出时为开漏) T0 定时/计数器 0 外部计数输入或溢出输出 (作为输出时为开漏) SCL I ² C 串行时钟输入/输出
P1.3/ $\overline{\text{INT0}}$ / SDA	16	I/O I I/O	P1.3 P1 口位 3 (作为输出时为开漏) $\overline{\text{INT0}}$ 外部中断 0 输入 SDA I ² C 串行数据输入/输出

续上表

符号	管脚	类型	描述
P1.4/ $\overline{\text{INT1}}$	15	I I	P1.4 P1 口位 4 $\overline{\text{INT1}}$ 外部中断 1 输入。
$\overline{\text{P1.5/RST}}$	11	I I	P1.5 P1 口位 5 (仅为输入) $\overline{\text{RST}}$ 上电时的外部复位输入或通过 UCFG1 进行选择)。作为复位管脚时, 输入的低电平会使芯片复位, I/O 口和外围功能进入默认状态, 处理器从地址 0 开始执行。也可在上电时使器件强制进入 ISP 模式。 使用频率高于 12MHz 的振荡器时, 必须使能 P1.5 的复位输入功能。 上电时, 需要一个外部电路使器件保持复位状态, 直至 V_{DD} 到达指定的电平。当系统电源被移走时, V_{DD} 将降至低于指定的最低工作电压。在某些使用频率高于 12MHz 的振荡器的应用中, 当 V_{DD} 降至低于指定的最低工作电压时, 需要一个外部掉电检测电路使器件保持复位状态。
P1.6/OCB	10	I/O O	P1.6 P1 口位 6 OCB 输出比较 B
P1.7/OCC/ AD04	9	I/O O I	P1.7 P1 口位 7 OCC 输出比较 C AD04 ADC0 通道 4 模拟输入
P2.0~P2.3, P2.5		I/O	Port 2: P2 是一个可由用户定义输出类型的 5 位 I/O 口, 在上电复位时, P2 锁存器配置为内部上拉禁止的仅为输入模式。P2 口由口配置寄存器设定为输出或输入模式, 每一位均可单独设定。详细请参考 7.13.1 节“ I/O 口配置 ”和表 12“ 静态电气特性 ”。 所有管脚都具有施密特触发输入。 P2 口还可提供如下特殊功能:
P2.0/ICB/ AD07	6	I/O I I	P2.0 P2 口位 0 ICB 输入捕获 AD07 ADC0 通道 7 模拟输入
P2.1/OCD/ AD06	7	I/O O I	P2.1 P2 口位 1 OCD 输出比较 D AD06 ADC0 通道 6 模拟输入
P2.2/MOSI	18	I/O I/O	P2.2 P2 口位 2 MOSI SPI 主机输出/从机输入。当配置为主机时, 该管脚为输出; 当配置为从机时, 该管脚为输入。
P2.3/MISO	19	I/O I/O	P2.3 P2 口位 3 MISO 当配置为主机时, 该管脚为输入; 当配置为从机时, 该管脚为输出。
P2.5/SPICLK	20	I/O I/O	P2.5 P2 口位 5 SPICLK SPI 时钟。当配置为主机时, 该管脚为输出; 当配置为从机时, 该管脚为输入。

续上表...

符号	管脚	类型	描述
P3.0~P3.1		I/O	Port 3: P3 是一个可由用户定义输出类型的 2 位 I/O 口, 在上电复位时, P3 锁存器配置为内部上拉禁止的仅为输入模式。P3 口由口配置寄存器设定为输出或输入模式, 每一位均可单独设定。详细请参考 7.13.1 节“I/O 口配置” 和 表 12 “静态电气特性” 。 所有管脚都具有施密特触发输入。 P3 口还可提供如下特殊功能:
P3.0/XTAL2/ CLKOUT	14	I/O O O	P3.0 P3 口位 0 XTAL2 振荡放大器的输出 (当通过 flash 配置选择晶体振荡器选项时) CLKOUT 当通过 SFR 位(ENCLK-TRIM.6)使能时 CPU 时钟被 2 分频。如果 CPU 时钟为内部 RC 振荡器、看门狗振荡器或外部时钟输入时可使用该信号, 但当 XTAL1/XTAL2 用于产生 RTC/系统定时器的时钟源时除外。
P3.1/XTAL1	13	I/O I	P3.1 P3 口位 1 XTAL1 振荡器电路和内部时钟发生器电路的输入 (当通过 flash 配置选择时)。若内部 RC 振荡器或看门狗振荡器用作 CPU 时钟源且 XTAL1/XTAL2 不用于产生 RTC/系统定时器的时钟时, XTAL1 可作为端口管脚。
SDA_LCD	63	I/O	SDA LCD LCD 控制器的 I ² C 数据信号。
SCL_LCD	64	I/O	SCL LCD LCD 控制器的 I ² C 时钟信号。
BP0~BP3	27-30	O	BP0~BP3: LCD 背极输出。
S0~S31	31-62	O	S0-S31: LCD 段输出。
V _{SS}	12	I	地: 0V 参考点。
V _{DD}	25	I	电源: 正常操作模式、空闲模式和掉电模式时的电源。
V _{LCD}	26	I	LCD 电源: LCD 电源电压。

[1] P1.0~P1.4、P1.6、P1.7 为输入/输出口, P1.5 仅为输入口。

7. 功能描述

注: 更详细的功能描述请参阅 “P89LPC9408 用户手册”。

7.1 特殊功能寄存器

注: 对特殊功能寄存器 (SFR) 的访问有以下限制:

- 用户不要试图访问任何未经定义的 SFR 地址。
- 对任何已定义的 SFR 的访问必须符合 SFR 的功能。
- 标注为 ‘-’, ‘0’ 或 ‘1’ 的 SFR 位只能以如下方式读或写:
 - 除非特别说明, ‘-’ 必须写入 0, 但当读出时可返回任何值 (即使向其写入 0)。这是一个保留位, 作为将来功能扩展用。
 - ‘0’ 必须写入 0, 并且当读出时返回 0。
 - ‘1’ 必须写入 1, 并且当读出时返回 1。

表 4 特殊功能寄存器

* 表示该SFR 可位寻址

名称	描述	地址	位功能和位地址								复位值
			MSB				LSB				
位地址			E7	E6	E5	E4	E3	E2	E1	E0	
ACC*	累加器	E0H									00H
AD0CON	ADC0 控制寄存器	97H	ENBI0	ENADC10	TMM0	EDGE0	ADC10	ENADC0	ADCS01	ADCS00	00H
AD0INS	ADC0 输入选择	A3H	ADI07	ADI06	ADI05	ADI04	ADI03	ADI02	ADI01	ADI00	00H
AD0MODA	ADC0 方式寄存器 A	C0H	BNDI0	BURST0	SCC0	SCAN0	-	-	-	-	00H
AD0MODB	ADC0 方式寄存器 B	A1H	CLK2	CLK1	CLK0	-	-	-	-	-	00H
AUXR1	辅助功能寄存器	A2H	CLKLP	EBRR	ENT1	ENT0	SRST	0	-	DPS	00H
位地址			F7	F6	F5	F4	F3	F2	F1	F0	
B*	B 寄存器	F0H									00H
BRGRO ^[1]	波特率发生器低字节	BEH									00H
BRGR1 ^[1]	波特率发生器高字节	BFH									00H
BRGCON	波特率发生器控制	BDH	-	-	-	-	-	-	SBRGS	BRGEN	00H ^[1]
CCCRA	捕获比较 A 控制	EAH	ICECA2	ICECA1	ICECA0	ICESA	ICNFA	FCOA	OCMA1	OCMA0	00H
CCCRB	捕获比较 B 控制	EBH	ICECB2	ICECB1	ICECB0	ICESB	ICNFB	FCOB	OCMB1	OCMB0	00H
CCCRC	捕获比较 C 控制	ECH	-	-	-	-	-	FCOC	OCMC1	OCMC0	00H
CCCRD	捕获比较 D 控制	EDH	-	-	-	-	-	FCOD	OCMD1	OCMD0	00H
CMP1	比较器 1 控制寄存器	ACH	-	-	CE1	CP1	CN1	OE1	CO1	CMF1	00H ^[2]
CMP2	比较器 2 控制寄存器	ADH	-	-	CE2	CP2	CN2	OE2	CO2	CMF2	00H ^[2]
DEECON	数据 EEPROM 控制	F1H	EEIF	HVERR	ECTL1	ECTL0	-	-	-	EADR8	0EH
DEEDAT	数据 EEPROM 数据	F2H									00H
DEEADR	数据 EEPROM 地址	F3H									00H
DIVM	CPU 时钟 M 分频控制	95H									00H
DPTR	数据指针(双字节)										
DPH	数据指针高字节	83H									00H
DPL	数据指针低字节	82H									00H
FMADRH	编程 Flash 地址高字节	E7H									00H
FMADRL	编程 Flash 地址低字节	E6H									00H
FMCON	编程 Flash 控制 (读)	E4H	BUSY	-	-	-	HVA	HVE	SV	OI	70H
	编程 Flash 控制 (写)	E4H	FMC MD.7	FMC MD.6	FMC MD.5	FMC MD.4	FMC MD.3	FMC MD.2	FMC MD.1	FMC MD.0	
FMDATA	编程 Flash 数据	E5H									00H
I2ADR	I ² C 从地址寄存器	DBH	I2ADR.6	I2ADR.5	I2ADR. 4	I2ADR. 3	I2ADR. .2	I2ADR.1	I2ADR.0	GC	00H
位地址			DF	DE	DD	DC	DB	DA	D9	D8	
I2CON*	I ² C 控制寄存器	D8H	-	I2EN	STA	STO	SI	AA	-	CRSEL	00H
I2DAT	I ² C 数据寄存器	DAH									
I2SCLH	串行时钟发生器/SCL 占空比寄存器高字节	DDH									00H

续上表...

名称	描述	地址	位功能和位地址								复位值
			MSB				LSB				
I2SCLL	串行时钟发生器/SCL 占空比寄存器低字节	DCH									00H
I2STAT	I ² C 状态寄存器	D9H	STA.4	STA.3	STA.2	STA.1	STA.0	0	0	0	F8H
ICRAH	输入捕获 A 寄存器高	ABH									00H
ICRAL	输入捕获 A 寄存器低	AAH									00H
ICRBH	输入捕获 B 寄存器高	AFH									00H
ICRBL	输入捕获 B 寄存器低	AEH									00H
位地址			AF	AE	AD	AC	AB	AA	A9	A8	
IEN0*	中断使能 0	A8H	EA	EWDRT	EBO	ES/ESR	ET1	EX1	ET0	EX0	00H
位地址			EF	EE	ED	EC	EB	EA	E9	E8	
IEN1*	中断使能 1	E8H	-	EST	-	-	ESPI	EC	EKBI	EI2C	00H ^[2]
位地址			BF	BE	BD	BC	BBB	BA	B9	B8	
IP0*	中断优先级 0	B8H	-	PWDRT	PBO	PS/PSR	PT1	PX1	PT0	PX0	00H ^[2]
IP0H	中断优先级 0 高字节	B7H	-	PWDRTH	PBOH	PSH/PSRH	PT1H	PX1H	PT0H	PX0H	00H ^[2]
位地址			FF	FE	FD	FC	FB	FA	F9	F8	
IP1*	中断优先级 1	F8H	-	PST	-	-	PSPI	PC	PKBI	PI2C	00H ^[2]
IP1H	中断优先级 1 高字节	F7H	-	PSTH	-	-	PSPIH	PCH	PKBIH	PI2CH	00H ^[2]
IP2	中断优先级 2	D6H	-	-	-	-	-	-	PADC	-	00H ^[2]
IP2H	中断优先级 2 高字节	D7H	-	-	-	-	-	-	PADCH	-	00H ^[2]
KBCON	键盘控制寄存器	94H	-	-	-	-	-	-	PATN_S EL	KBIF	00H ^[2]
KBMASK	键盘中断屏蔽寄存器	86H									00H
KBPATN	键盘模式寄存器	93H									FFH
OCRAH	输出比较 A 寄存器高字节	EFH									00H
OCRAL	输出比较 A 寄存器低字节	EEH									00H
OCRBH	输出比较 B 寄存器高字节	FBH									00H
OCRBL	输出比较 B 寄存器低字节	FAH									00H
OCRCH	输出比较 C 寄存器高字节	FDH									00H
OCRCL	输出比较 C 寄存器低字节	FCH									00H
OCRDH	输出比较 D 寄存器高字节	FFH									00H
OCRDL	输出比较 D 寄存器低字节	FEH									00H
位地址			87	86	85	84	83	82	81	80	
P0*	P0 口	80H	T1/ KB7	CMP1/ KB6	CMPRE F/KB5	CIN1A/ KB4	CIN1B/ KB3	CIN2A/ KB2	CIN2B/ KB1	CMP2/ KB0	[2]
位地址			97	96	95	94	93	92	91	90	
P1*	P1 口	90H	-	-	RST	INT1	INT0/ SDA	T0/SCL	RxD	TxD	[2]
位地址			A7	A6	A5	A4	A3	A2	A1	A0	
P2*	P2 口	A0H	-	-	SPICK	SS	MISO	MOSI	-	-	[2]

续上表...

名称	描述	地址	位功能和位地址								复位值
			MSB				LSB				
位地址			B7	B6	B5	B4	B3	B2	B1	B0	
P3*	P3 口	B0H	-	-	-	-	-	-	XTAL1	XTAL2	[2]
P0M1	0 口输出模式选择 1	84H	P0M1.7	P0M1.6	P0M1.5	P0M1.4	P0M1.3	P0M1.2	P0M1.1	P0M1.0	FFH ^[2]
P0M2	0 口输出模式选择 2	85H	P0M2.7	P0M2.6	P0M2.5	P0M2.4	P0M2.3	P0M2.2	P0M2.1	P0M2.0	00H ^[2]
P1M1	1 口输出模式选择 1	91H	P1M1.7	P1M1.6	-	P1M1.4	P1M1.3	P1M1.2	P1M1.1	P1M1.0	D3H ^[2]
P1M2	1 口输出模式选择 2	92H	P1M2.7	P1M2.6	-	P1M2.4	P1M2.3	P1M2.2	P1M2.1	P1M2.0	00H ^[2]
P2M1	2 口输出模式选择 1	A4H	P2M1.7	P2M1.6	P2M1.5	P2M1.4	P2M1.3	P2M1.2	P2M1.1	P2M1.0	FFH ^[2]
P2M2	2 口输出模式选择 2	A5H	P2M2.7	P2M2.6	P2M2.5	P2M2.4	P2M2.3	P2M2.2	P2M2.1	P2M2.0	00H ^[2]
P3M1	3 口输出模式选择 1	B1H	-	-	-	-	-	-	P3M1.1	P3M1.0	03H ^[2]
P3M2	3 口输出模式选择 2	B2H	-	-	-	-	-	-	P3M2.1	P3M2.0	00H ^[2]
PCON	电源控制寄存器	87H	SMOD1	SMOD0	BOPD	BOI	GF1	GF0	PMOD1	PMOD0	00H
PCONA	电源控制寄存器 A	B5H	RTCPD	-	VCPD	-	I2PD	SPPD	SPD	-	00H ^[2]
位地址			D7	D6	D5	D4	D3	D2	D1	D0	
PSW*	程序状态字	D0H	CY	AC	F0	RS1	RS0	OV	F1	P	00H
PT0AD	0 口数字输入禁能	F6H	-	-	PT0AD. 5	PT0AD. 4	PT0AD. 3	PT0AD. 2	PT0AD. 1	-	00H
RSTSRC	复位源寄存器	DFH	-	-	BOF	POF	R_BK	R_WD	R_SF	R_EX	[3]
RTCCON	实时时钟控制	D1H	RTCF	RTCS1	RTCS0	-	-	-	ERTC	RTCEN	60H ^{[2][4]}
RTCH	实时时钟寄存器高字节	D2H									00H ^[4]
RTCL	实时时钟寄存器低字节	D3H									00H ^[4]
SADDR	串口地址寄存器	A9H									00H
SADEN	串口地址使能	B9H									00H
SBUF	串口数据缓冲区寄存器	99H									xxH
位地址			9F	9E	9D	9C	9B	9A	99	98	
SCON*	串行口控制	98H	SM0/FE	SM1	SM2	REN	TB8	RB8	TI	RI	00H
SSTAT	串行口扩展状态寄存器	BAH	DBMOD	INTLO	CIDIS	DBISEL	FE	BR	OE	STINT	00H
SP	堆栈指针	81H									07H
SPCTL	SPI 控制寄存器	E2H	SSIG	SPEN	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	04H
SPSTAT	SPI 状态寄存器	E1H	SPIF	WCOL	-	-	-	-	-	-	00H
SPDAT	SPI 数据寄存器	E3H									00H
TAMOD	定时器 0/1 附加模式	8FH	-	-	-	T1M2	-	-	-	T0M2	00H
位地址			8F	8E	8D	8C	8B	8A	89	88	
TCON*	定时器 0/1 控制	88H	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	00H
TH0	定时器 0 高字节	8CH									00H
TH1	定时器 1 高字节	8DH									00H
TH2	CCU 定时器高字节	CDH									00H
TICR2	CCU 中断控制寄存器	C9H	TOIE2	TOCIE2 D	TOCIE2 C	TOCIE2 B	TOCIE2 A	-	TICIE2B	TICIE2A	00H
TISE2	CCU 中断状态编码	DEH	-	-	-	-	-	-	TICF2B	TICF2A	00H
TL0	定时器 0 低字节	8AH									00H

续上表...

名称	描述	地址	位功能和位地址								复位值
			MSB				LSB				
TL1	定时器 1 低字节	8BH									00H
TL2	CCU 定时器低	CCH									00H
TMOD	定时器 0/1 模式	89H	T1GATE	T1C/T	T1M1	T1M0	TOGATE	T0C/T	T0M1	T0M0	00H
TOR2H	CCU 重载寄存器高字节	CFH									00H
TOR2L	CCU 重载寄存器低字节	CEH									00H
TPCR2H	预分频器控制寄存器高字节	CBH	-	-	-	-	-	-	TPCR2 H.1	TPCR2 H.0	00H
TPCR2L	预分频器控制寄存器低字节	CAH	TPCR2L 7	TPCR2L .6	TPCR2L 5	TPCR2L .4	TPCR2L .3	TPCR2L .2	TPCR2L .1	TPCR2L .0	00H
TRIM	内部振荡调整寄存器	96H	-	ENCLK	TRIM.5	TRIM.4	TRIM.3	TRIM.2	TRIM.1	TRIM.0	[4][5]
WDCON	看门狗控制寄存器	A7H	PRE2	PRE1	PRE0	-	-	WDRUN	WDTOF	WDCLK	[4][6]
WDL	看门狗装载	C1H									FFH
WFEED1	看门狗清零 1	C2H									
WFEED2	看门狗清零 2	C3H									

- [1] 只有当 BRGCON 中的 BRGEN 为 0 时, 才可对 BRGR1 和 BRGR0 进行写操作。当 BRGEN=1 时, 写入其中任意一个, 结果将是不可预知的。
- [2] 上电复位后所有的 I/O 口都为仅为输入 (高阻) 状态。
- [3] RSTSRC 寄存器反映 P89LPC9408 复位的原因。在上电复位时, 所有复位源标志都清零 (POF 和 BOF 除外)。上电复位值为 xx11 0000。
- [4] 上电复位是唯一影响这些特殊功能寄存器的复位。
- [5] 上电复位时, TRIM 寄存器初始化为出厂时的配置。其它复位不会引起 TRIM 寄存器的初始化。
- [6] 看门狗复位时 WDCON 复位值为 111001x1, 即 PRE2-PRE0 全 1, WDRUN=1, WDCLK=1。看门狗复位时, WDTOF=1; 上电复位时, WDTOF=0。其它复位不会影响 WDTOF。

表 5 P89LPC938 扩展的特殊功能寄存器

名称	描述	地址	位功能和位地址		复位值
			MSB	LSB	
ADC0HBND	ADC0 高_边界寄存器, 左边 (MSB)	FFEFH			FFH
ADC0LBND	ADC0 低_边界寄存器 (MSB)	FFEEH			00H
AD0DAT0R	ADC0 数据寄存器 0, 右边 (LSB)	FFFEH	AD0DAT0[7:0]		00H
AD0DAT0L	ADC0 数据寄存器 0, 左边 (MSB)	FFFH	AD0DAT0[9:2]		00H
AD0DAT1R	ADC0 数据寄存器 1, 右边 (LSB)	FFFCH	AD0DAT1[7:0]		00H
AD0DAT1L	ADC0 数据寄存器 1, 左边 (MSB)	FFFDH	AD0DAT1[9:2]		00H
AD0DAT2R	ADC0 数据寄存器 2, 右边 (LSB)	FFFAH	AD0DAT2[7:0]		00H
AD0DAT2L	ADC0 数据寄存器 2, 左边 (MSB)	FFFBH	AD0DAT2[9:2]		00H
AD0DAT3R	ADC0 数据寄存器 3, 右边 (LSB)	FFF8H	AD0DAT3[7:0]		00H
AD0DAT3L	ADC0 数据寄存器 3, 左边 (MSB)	FFF9H	AD0DAT3[9:2]		00H
AD0DAT4R	ADC0 数据寄存器 4, 右边 (LSB)	FFF6H	AD0DAT4[7:0]		00H

续上表...

名称	描述	地址	位功能和位地址		复位值
			MSB	LSB	
AD0DAT4L	ADC0 数据寄存器 4, 左边 (MSB)	FFF7H	AD0DAT4[9:2]		00H
AD0DAT5R	ADC0 数据寄存器 5, 右边 (LSB)	FFF4H	AD0DAT5[7:0]		00H
AD0DAT5L	ADC0 数据寄存器 5, 左边 (MSB)	FFF5H	AD0DAT5[9:2]		00H
AD0DAT6R	ADC0 数据寄存器 6, 右边 (LSB)	FFF2H	AD0DAT6[7:0]		00H
AD0DAT6L	ADC0 数据寄存器 6, 左边 (MSB)	FFF3H	AD0DAT6[9:2]		00H
AD0DAT7R	ADC0 数据寄存器 7, 右边 (LSB)	FFF0H	AD0DAT7[7:0]		
AD0DAT7L	ADC0 数据寄存器 7, 左边 (MSB)	FFF1H	AD0DAT7[9:2]		
BNDSTA0	ADC0 边界状态寄存器	FFEDH			

7.2 增强型 CPU

P89LPC9408 采用增强型 80C51 CPU, 其运行速度是标准 80C51 的 6 倍。一个机器周期由 2 个 CPU 时钟周期组成, 大多数指令执行时间为 1 到 2 个机器周期。

7.3 时钟

7.3.1 时钟定义

P89LPC9408 的几个内部时钟定义如下:

OSCCLK—输入到 DIVM 时钟分频器的时钟。OSCCLK 可选择 4 个时钟源之一 (见图 6), 也可以选择分频至更低的频率 (见 7.8 节“CCLK 调整: DIVM 寄存器”)。

注: f_{osc} 定义成 OSCCLK 的频率。

CCLK—CPU 时钟; 时钟分频器的输出。每个机器周期包含 2 个 CCLK 周期, 大多数指令执行时间为 1 到 2 个机器周期 (2 或 4 个 CCLK 周期)。

RCCLK—内部 7.373MHz RC 振荡器输出。

PCLK—用于不同外围器件的时钟, 为 CCLK/2。

7.3.2 CPU 时钟(OSCCLK)

P89LPC9408 提供几个可由用户选择的振荡器选项来产生 CPU 时钟。这样就满足了从高精度到低成本的不同需求。这些选项在对 Flash 进行编程时配置, 包括片内看门狗振荡器、片内 RC 振荡器、使用外部晶振的振荡器或外部时钟源。晶振可选择低、中或高频晶振, 频率范围为 20KHz 到 18MHz。

7.3.3 低速振荡器选项

此选项支持 20KHz~100KHz 的外部晶振, 同时也支持陶瓷谐振器。

7.3.4 中速振荡器选项

此选项支持 100KHz~4MHz 的外部晶振, 同时也支持陶瓷谐振器。

7.3.5 高速振荡器选项

此选项支持 4MHz~18MHz 外部晶振，同时也支持陶瓷谐振器。当使用频率高于 12MHz 的振荡器时，必须使能 P1.5 的复位输入功能。上电时，需要一个外部电路使器件保持复位状态，直至 V_{DD} 到达指定的电平。当系统电源被移走时， V_{DD} 将降至低于指定的最低工作电压。在某些使用频率高于 12MHz 的振荡器的应用中，当 V_{DD} 降至低于指定的最低工作电压时，需要一个外部掉电检测电路使器件保持复位状态。

7.3.6 时钟输出

P89LPC9408 支持可由用户选择的时钟输出功能。当不使用晶振时，可从 XTAL2/CLKOUT 输出时钟。要实现该功能的前提是已选择另外的时钟源（片内 RC 振荡器、看门狗振荡器或 X1 脚输入的外部时钟）并且 RTC 未使用晶振作为时钟源。这样可使外部器件与 P89LPC9408 同步。时钟输出的使能通过置位 TRIM 寄存器中的 ENCLK 位实现。

该时钟输出的频率为 $CCLK/2$ 。如果在空闲模式中不需要输出时钟，那么可在进入空闲模式之前将该功能关闭以节省功耗。

7.4 片内 RC 振荡器选项

P89LPC9408 具有一个 6 位 TRIM 寄存器，可对 RC 振荡器的频率进行调整。在复位时，TRIM 的值初始化为出厂时预编程值以将振荡器频率调整为 7.373MHz（室温下有 $\pm 1\%$ 的误差）。最终用户程序可修改 TRIM 寄存器将 RC 振荡器调整为其它频率。

7.5 看门狗振荡器选项

看门狗具有一个独立的振荡器，其频率为 400kHz。在无需高速时钟频率时，可使用该振荡器以降低功耗。

7.6 外部时钟输入选项

在此配置中，CPU 时钟由一个驱动 P3.1/XTAL 引脚的外部时钟源提供。频率可从 0Hz 到 18MHz。P3.0/XTAL2 脚可作为标准 I/O 口或者时钟输出。当使用频率高于 12MHz 的振荡器时，必须使能 P1.5 的复位输入功能。上电时，需要一个外部电路使器件保持复位状态，直至 V_{DD} 到达指定的电平。当系统电源被移走时， V_{DD} 将降至低于指定的最低工作电压。在某些使用频率高于 12MHz 的振荡器的应用中，当 V_{DD} 降至低于指定的最低工作电压时，需要一个外部掉电检测电路使器件保持复位状态。

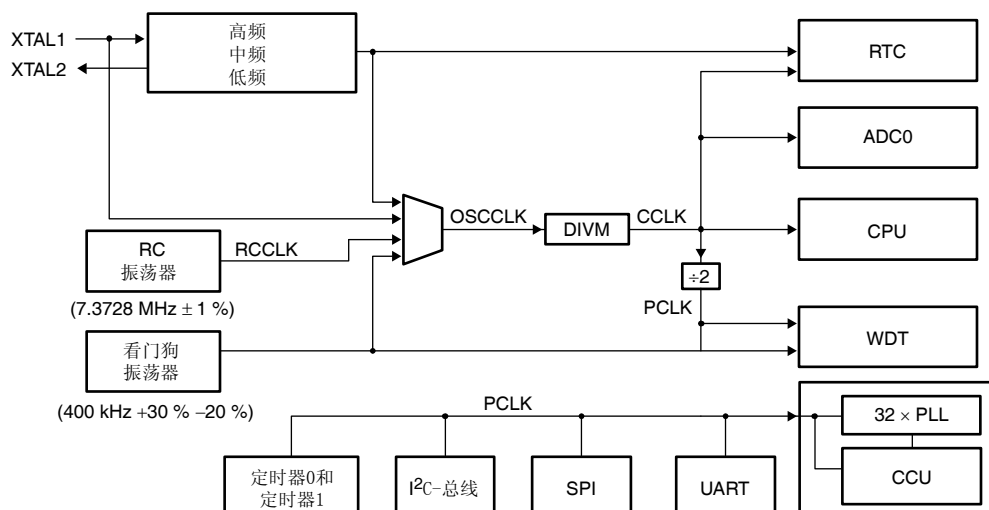


图 6 控制振荡器的方框图

7.7 CPU 时钟 (CCLK) 唤醒延迟

P89LPC9408 含有一个内部唤醒定时器，可使时钟延迟直到稳定下来，其延迟时间取决于使用的时钟源。如果时钟源为 3 个晶振选项中的任意一个（低、中或高频），延迟时间为 992 个 OSCCLK 周期加 60-100us。如果时钟源为内部 RC 振荡器、看门狗振荡器或外部时钟，则延迟时间为 224 个 OSCCLK 周期加 60-100us。

7.8 CCLK 调整：DIVM 寄存器

OSCCLK 频率可通过配置分频寄存器 DIVM 进行 510 分频来提供 CCLK。此特性可用于暂时使 CPU 以较低频率工作以降低功耗。通过分频，程序以较低速度运行时，使 CPU 仍保持对事件响应的能力，而不只是对能产生中断的事件（能使 CPU 从空闲模式退出）才响应。并且比掉电模式少了振荡器起振时间。在程序内 DIVM 的值可随时改变而无需中断程序运行。

7.9 低功耗选择

P89LPC9408 最大工作频率为 12MHz (CCLK)。但是如果 CCLK 为 8MHz 或更低，CLKLP 位 (AUXR1.7) 可置位以降低功耗。此外，在任何一次复位后，CLKLP 都为 0 以允许实现最高性能。但如果 CCLK 运行在 8MHz 或更低的频率时，该位又可以在软件中置位。

7.10 存储器结构

P89LPC9408 的不同存储空间如下所示：

- DATA

128 字节内部数据存储空间 (00H:7FH)。可使用除 MOVX 和 MOVC 之外的指令直接或间接寻址。此空间可作为全部或部分堆栈空间。

- IDATA

间接数据。256 字节内部数据存储空间 (00H:FFH)。可使用除 MOVX 和 MOVC 之外的指令进行间接寻址。全部或部分堆栈位于此空间。该区域包括了 DATA 区域和其上的 128 字节。

- SFR

特殊功能寄存器。选择的 CPU 寄存器和外设控制及状态控制寄存器，只能通过直接寻址访问。

- XDATA

“外部”数据或辅助 RAM。是通过使用 DPTR, R0 或 R1 的 MOVX 指令寻址的传统 80C51 64KB 存储空间的两倍。

- CODE

64K 字节代码存储空间。作为程序执行部分和通过 MOVC 指令访问。P89LPC9408 有 8kB 的片内代码存储器。

7.11 数据 RAM 分配

片内 RAM 的 768 字节分配如表 6 所示。

表 6 片内数据存储器使用

类型	数据 RAM	大小 (字节)
DATA	可直接或间接寻址的存储器	128
IDATA	可间接寻址的存储器	256
XDATA	辅助的 (“外部数据”) 片内存储器, 使用 MOVX 指令寻址	512

7.12 中断

P89LPC9408 采用 4 中断优先级结构。这为多中断源的处理提供了极大的灵活性。P89LPC9408 支持 16 个中断源：外部中断 0 和 1、定时器 0 和 1、串口 Tx、串口 Rx、组合的串口 Rx/Tx、掉电检测、看门狗/RTC、I²C 总线、键盘、比较器 1 和 2, SPI, CCU, 数据 EEPROM 写入以及 ADC。

每个中断源均可通过对 IEN0 和 IEN1 中相应的位置位或清零，实现单独使能或禁能。IEN0 中还包含了一个全局禁止位 EA，它可禁止所有的中断。

每个中断源都可被单独设置为四个中断优先级之一，分别通过清零或置位 IP0, IP0H, IP1, IP1H 中相应位来实现。一个中断服务程序可被更高级的优先级中断，但不能被同优先级或更低级的优先级中断。最高级中断服务程序不响应其它任何中断。如果两个不同中断优先级的中断源在指令开始同时申请中断，则响应较高优先级的中断申请。

如果两个同优先级的中断源在指令开始同时申请中断，那么通过一个内部查询序列确定首先响应哪一个中断请求，这叫做仲裁队列。注：仲裁队列只用来处理相同优先级别中断源同时申请中断的情况。

7.12.1 外部中断输入

P89LPC9408 有 2 个独立的外部中断输入和 1 个键盘中断。这两个外部中断输入和标准 80C51 微控制器相同。

通过清零或置位 TCON 寄存器中的 IT1 或 IT0, 可将外部中断设为电平触发或边沿触发。

在边沿触发模式下, 如果对 \overline{INTn} 脚连续采样时显示一个周期为高电平而下一个周期为低电平, 则置位 TCON 的中断请求标志 IEn, 产生中断请求。

如果 P89LPC9408 处于掉电或空闲状态时外部中断使能, 中断将唤醒处理器使其恢复运行。详见 7.15 节“节电模式”。

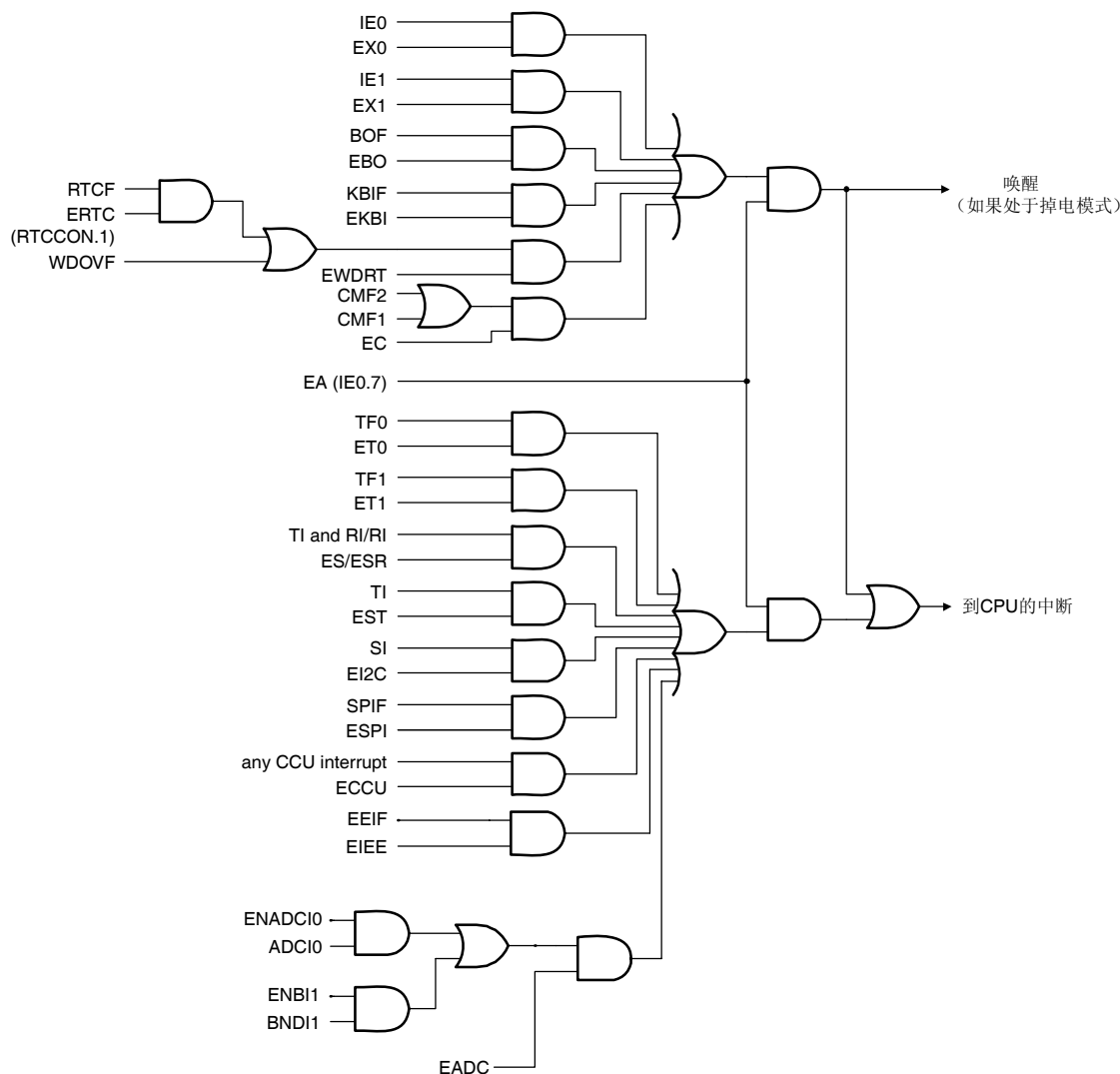


图 7 中断源、中断使能以及掉电唤醒源

7.13 I/O 口

P89LPC9408 有 4 个 I/O 口, P0、P1、P2 和 P3。P0、P1 是 8 位的 I/O 口, P2 是 5 位的 I/O 口, P3 是 2 位的 I/O 口。I/O 口的具体数目取决于所选择的振荡和复位方式, 见表 7。

表 7 可用的 I/O 口数目

时钟源	复位选项	I/O 口数目 (不包括 LCD 脚)
片内振荡器或看门狗振荡器	无外部复位 (上电时除外)	23
	使用外部复位脚 \overline{RST}	22
外部时钟输入	无外部复位 (上电时除外)	22
	使用外部复位脚 \overline{RST} [1]	21
低/中/高速振荡器 (外部晶振或振荡器)	无外部复位 (上电时除外)	21
	使用外部复位脚 \overline{RST} [1]	20

[1] 操作频率要求在 12MHz 以上。

7.13.1 I/O 口配置

除了 3 个口以外, P89LPC9408 其他所有的 I/O 口可逐位由软件配置成 4 种输出类型之一。四种输出类型分别为: 准双向口(标准 80C51 端口输出), 推挽, 开漏, 和仅为输入功能。每个口的 2 个配置寄存器为其选择输出类型。

1. P1.5(\overline{RST})只能作为输入口, 无法进行配置。
2. P1.2(SCL/T0)和 P1.3(SDA/ $\overline{INT0}$)只能配置为仅为输入或开漏。

7.13.1.1 准双向口输出配置

准双向口输出类型可用作输出和输入功能而不需重新配置端口状态。这是因为当端口输出为高电平时驱动能力很弱, 允许外部装置将其拉低。当管脚驱动为低电平时, 它的驱动能力很强, 可吸收相当大的电流。准双向口除了有三个上拉晶体管适应不同的需要外, 其特性和开漏输出有些相似。

P89LPC9408 为 3V 器件, 但管脚可承受 5V 电压。在准双向口模式中, 如果用户在管脚加上 5V 电压, 将会有电流从管脚流向 V_{DD} , 这将导致额外的功率消耗。因此, 建议不要在准双向口模式中向管脚施加 5V 电压。

准双向口带有一个施密特触发输入以及一个干扰抑制电路。

7.13.1.2 开漏输出配置

当口线锁存器为 ‘0’ 时, 开漏输出关闭所有的上拉晶体管而仅驱动端口的下拉晶体管。作为一个逻辑输出时, 这种配置方式必须有外部上拉, 一般通过电阻外接到 V_{DD} 。

开漏端口管脚带有一个施密特触发输入以及一个干扰抑制电路。

7.13.1.3 仅为输入配置

该配置无输出驱动器。它是一个施密特触发输入口并同时含有一个干扰抑制电路。

7.13.1.4 推挽输出配置

推挽输出配置具有与开漏输出和准双向输出模式相同的下拉结构, 但当锁存器为 ‘1’ 时提供持续的强上拉。推挽模式一般用于需要更大驱动电流的情况。推挽管脚带有一个施密特触发输入以及一个干扰抑制电路。

7.13.2 P0 口模拟功能

P89LPC9408 集成了两个模拟比较器。为了得到最佳的模拟性能以降低功耗，用于模拟功能的管脚必须禁止数字输入和输出功能。

将端口输出设置成仅为输入（高阻抗）时禁止数字信号输出。

P0 口的数字输入可通过 PT0AD 寄存器的位 1:5 来禁止。复位后，PT0AD[1:5]默认为 0 以使能数字功能。

7.13.3 附加端口特性

上电后所有的管脚都仅为输入模式。**请注意此配置不同于 LPC76x 系列的器件。**

- 上电之后，除 P1.5 之外，所有口都可由软件进行配置。
- P1.5 是仅为输入模式。P1.2 和 P1.3 可配置为仅为输入或开漏。

每个 P89LPC9408 输出口都可提供灌电流驱动 LED。但是所有口的输出电流总和不能超过规定的最大电流。请参考表 12 “静态电气特性”得到详细的规格。

P89LPC9408 所有端口的电平转换速度都可以控制，这就可避免因电平转换过快而导致的噪声。转换速度在出厂时设定为大约 10ns 的上升时间和下降时间。

7.14 电源监控功能

P89LPC9408 内含电源监控功能用于防止初始上电及掉电时的错误操作。这是通过两个硬件功能完成的：上电检测及掉电检测。

7.14.1 掉电检测

掉电检测功能可用于检测电源电压是否降至某一特定值以下。掉电检测的默认操作是使处理器复位。也可通过配置用来产生中断。

掉电检测的使能和禁止是通过软件来实现的。

如果掉电检测使能，当 V_{DD} 低于掉电电压 V_{bo} （见表 12 “静态电气特性”）时产生掉电条件，并在 V_{DD} 上升超过 V_{bo} 时取消。如果 P89LPC9408 器件的电源电压可以低于 2.7V，BOE 应当保持未编程状态，这样器件可在 2.4V 时工作。否则持续的掉电复位将使器件无法工作。

若要正确检测到掉电， V_{DD} 上升和下降时间必须符合一定规格。请参阅表 12 “静态电气特性”。

7.14.2 上电检测

上电检测功能类似于掉电检测，但设计成在电源初始上电时，上升到掉电检测门槛电平之前工作。RSTSRC 寄存器的 POF 标志置位表示检测到一个初始上电条件。POF 将会一直保持置位状态，直到通过软件将其清零。

7.15 节电模式

P89LPC9408 支持 3 种不同的节电模式。分别是空闲模式、掉电模式和完全掉电模式。

7.15.1 空闲模式

空闲模式下片内外围功能继续工作, 允许其在产生中断时激活处理器。任何一个使能的中断源或复位均可结束空闲模式。

7.15.2 掉电模式

掉电模式将振荡器停振以使功耗最小。任何的复位或中断动作都可使 P89LPC9408 退出掉电模式。在掉电模式中, 电源电压可以降低到数据保持电压 V_{RAM} 。这样将 RAM 内容保存为进入掉电模式时的状态。SFR 内容在 V_{DD} 低于 V_{RAM} 时不受保护。因此这种情况下建议通过复位唤醒处理器。在退出掉电模式前 V_{DD} 必须上升到操作电压范围之内。

在掉电模式中某些功能继续工作并消耗电流。这样就增加了掉电时的整体功耗。这些功能包括: 掉电检测、看门狗定时器、比较器(注: 比较器可单独实现掉电)、实时时钟(RTC)/系统定时器。内部 RC 振荡器被禁止, 除非选择 RC 振荡器作为系统时钟且 RTC 被使能。

7.15.3 完全掉电模式

完全掉电模式和掉电模式的区别在于: 完全掉电模式下掉电检测电路和电压比较器都被关闭以节省额外功耗。内部 RC 振荡器被禁止, 除非选择 RC 振荡器作为系统时钟且 RTC 被使能。在掉电模式下使用内部 RC 振荡器作为 RTC 时钟源会增加相当大的功耗。当实时时钟在掉电模式下运行时, 使用外部低频时钟可实现较低的功耗。

7.16 复位

P1.5/ \overline{RST} 管脚可作为低电平有效的复位输入或数字输入口。当 UCFG1 寄存器中的位 RPE(复位管脚使能)置位时, 使能 P1.5 的外部复位输入功能。当清零时, P1.5 可用作一个输入管脚。

注: 在上电过程中, RPE 选择无效, 该管脚总是作为外部复位输入。在上电过程中, 连接到该管脚的外部电路不应将其拉低, 否则将使器件一直处于复位状态。在上电完成之后, 该管脚可根据 RPE 位的状态作为外部复位输入或数字输入口。只有上电复位会暂时使 RPE 的设定失效, 其它复位源无法影响 RPE 位的设定。

复位可由下列复位源引起:

- 外部复位管脚(上电或通过 UCFG1 配置为使用外部复位)
- 上电检测
- 掉电检测
- 看门狗定时器
- 软件复位
- UART 间隔字符检测复位

每一个复位源在复位寄存器 RSTSRC 中都有一个对应的标志。用户可读取该寄存器以判断最近的复位源是哪一个。这些标志位可通过软件写入“0”清零来清除。可以有多于一个的标志位置位:

- 上电复位时, POF 和 BOF 都置位, 而其它标志位清零
- 对于其它的复位, 之前置位的标志位不会受到影响

7.16.1 复位向量

在复位之后，P89LPC9408 将从地址 0000H 或引导（Boot）地址处取指令。将引导向量作为地址高字节，00H 作为地址低字节即构成了引导地址。

在发生 UART 间隔复位或非易失性引导状态位（BOOTSTAT.0）=1，或上电时器件被强制进入 ISP 模式时（见 *P89LPC9408 使用指南*），将会使用引导地址。否则，指令将从地址 0000H 处开始执行。

7.17 定时器 / 计数器 0 和 1

P89LPC9408 有两个通用定时/计数器，与标准 80C51 定时器 0 及定时器 1 兼容。两者均可配置为定时器或事件计数器。另外增加了定时器 0/1 溢出时 T0/T1 脚自动翻转的功能选项。

用作“定时器”功能时，每经过一个机器周期，寄存器值加 1。

用作“计数器”功能时，寄存器在对应的外部输入管脚 T0/T1 上每发生一次 1 到 0 的跳变时加 1。使用该功能时，外部输入每个机器周期被采样一次。

定时器 0 及定时器 1 有 5 种工作模式（模式 0, 1, 2, 3 和 6）。模式 0、1、2 和 6 对于两个定时/计数器是一样的。模式 3 则不同。

7.17.1 模式 0

将定时器设置成模式 0 时类似 8048 定时器，即带 32 分频-预分频器的 8 位计数器。在此模式中，定时器寄存器配置为 13 位寄存器。定时器 0 及定时器 1 在模式 0 中的操作相同。

7.17.2 模式 1

模式 1 除了使用的是 16 位的定时器寄存器外，其它与模式 0 相同。

7.17.3 模式 2

在此模式中，定时器寄存器作为可自动重装的 8 位计数器。定时器 0 及定时器 1 在模式 2 中的操作相同。

7.17.4 模式 3

在模式 3 中定时器 1 停止工作。在此模式中，定时器 0 分成两个独立的 8 位计数器，用于需要一个额外的 8 位定时器的场合。当定时器 1 处于模式 3 时，它可用作串行口的波特率发生器。

7.17.5 模式 6

在该模式中，定时器可以改变为一个带有 256 个定时器时钟周期的 PWM。

7.17.6 定时器溢出触发输出

定时器 0 和 1 可配置为发生定时器溢出时自动触发端口输出。T0/T1 的计数输入和定时器触发输出占用相同的管脚。打开该模式后，在首次定时器溢出之前端口的输出为逻辑 1。

7.18 RTC/系统定时器

P89LPC9408 具有一个简单的实时时钟。它允许用户在器件其它部分掉电时能够继续运行一个精确的定时器。RTC 可以作为一个唤醒或一个中断源。RTC 可用作 1 个由 7 位预分频器组成的 23 位倒计时器或 1 个可装载的 16 位倒计时器。当定时时钟变为 0 后，计数器被重载，并置位 RTCF 标志。该定时器的时钟源可以是 CPU 时钟 (CCLK) 或者 XTAL 振荡器 (前提是 XTAL 振荡器不作为 CPU 的时钟源)。如果 XTAL 振荡器作为 CPU 时钟源，RTC 将使用 CCLK 作为它的时钟源。只有上电复位才能将 RTC 及其相关的寄存器复位为默认状态。

7.19 CCU

该单元的特性如下：

- 16 位定时器，并可在溢出时重装 16 位值
- 时钟可选，预分频器可将时钟源以 1 到 1024 任意整数进行分频
- 4 个比较/PWM 输出，可选择极性
- 对称/非对称 PWM 选择
- 带事件计数器和数字噪声抑制滤波器的两个捕获输入
- 7 个中断（1 个溢出，2 个捕获，4 个比较）使用同一中断向量
- 通过映像寄存器可实现安全的 16 位读/写

7.19.1 CCU 时钟 (CCUCLK)

CCU 的时钟是 CCUCLK，它可以是基本定时器模式中的 PCLK，或 PLL 输出。PLL 使用 0.5MHz 到 1MHz 的时钟源，32 倍频后产生 PWM 模式中的 16MHz 到 32MHz 的 CCUCLK（非对称/对称）。PLL 包含一个 4 位分频器，可将 PCLK 频率分成 0.5MHz 到 1MHz。

7.19.2 CCU 时钟预分频

CCUCLK 可通过预分频器进一步分频。该预分频器是一个 10 位自由运行的计数器，在溢出时可编程重新装载。

7.19.3 基本定时器操作

定时器是自由运行的带有方向控制位的递增/递减计数器。如果定时器的计数方向在计数器运行时发生变化，那么计数顺序将会发生反转。任意时刻都可以对定时器写入或读取。

7.19.4 输出比较

该单元含有 4 个输出比较通道 A, B, C, D。每个输出比较通道在进行操作之前都必须使能，并且必须将相应的 I/O 口设为所需的输出模式以与管脚相连。当定时器的内容和捕获比较控制寄存器相匹配时，定时器输出比较中断标志 (TOCFx) 置位。如果中断使能就会发生中断。

7.19.5 输入捕获

输入捕获总是处于使能状态。每当两个输入捕获管脚发生捕获事件时，定时器的内容就会传送到相应的 16 位输入捕获寄存器中。捕获事件可设定为上升沿或下降沿触发。通过使能输入捕获噪声滤波器可在输入捕获上使能简单的噪声滤波器。如果置位，捕获逻辑必须检测到 4 个相同值的连续采样以识别捕获事件的边沿。事件计数器可以设为在延迟一定数目的捕获事件之后再触发捕获。

7.19.6 PWM 操作

PWM 操作含 2 种主要的模式：对称的和非对称模式。

在非对称模式中，CCU 定时器按照递减计数模式工作，而不用考虑方向控制位的值。

在对称模式中，定时器交替地进行递增/递减计数。该模式与基本定时器操作的主要区别在于比较模块的操作，该模式在 PWM 模式中用于 PWM 波形的产生。

在基本定时器操作中，当 PWM（比较）管脚与比较逻辑连接时，他们的逻辑状态保持不变。但是因为 FCOx 位用于保持停止值，所以只有一个比较事件可以改变管脚的状态。

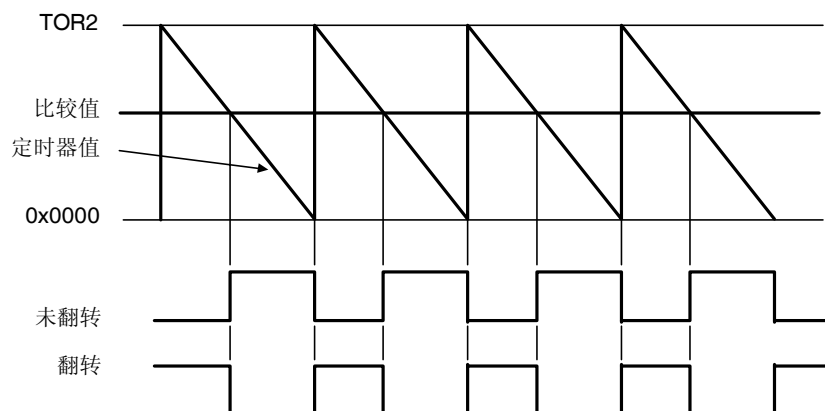


图 8 非对称的 PWM，减计数

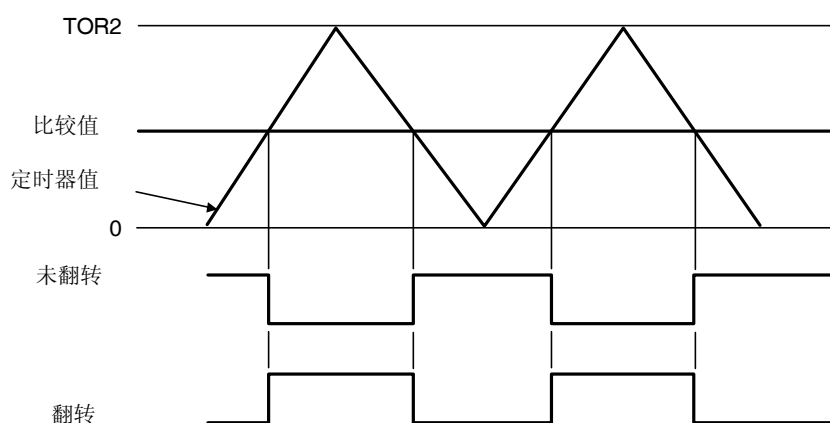


图 9 对称的 PWM

7.19.7 交替输出模式

在非对称模式中，用户可以将 PWM 通道 A/B 和 C/D 编程为交替输出对，以供桥驱动控制使用。在该模式下，这些 PWM 通道的输出在每个计数器周期交替选通。

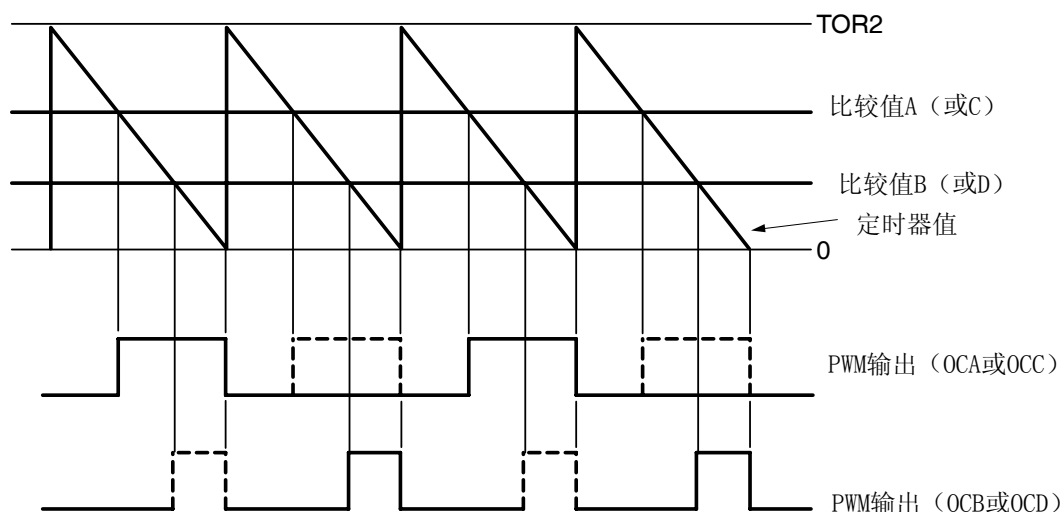


图 10 改变输出模式

7.19.8 PLL 的操作

PWM 模块的一个主要特点是它包含了一个锁相环，该锁相环可用来产生 16MHz 到 32MHz 频率的 CCUCLK。在该频率下，如果晶振频率等于或高于 1MHz，PWM 模块就可以为超声频率提供 10 位分辨率。PLL 的输入信号为 0.5MHz 到 1MHz，并且可以产生频率为输入频率的 32 倍的输出信号。该输出信号作为定时器的时钟。用户必须将 PCLK 进行 1 到 16 分频。该分频器位于特殊功能寄存器 TCR21 中。PLL 频率可以用等式 1 表示。

$$\text{PLL 频率} = \frac{\text{PCLK}}{(N+1)} \quad (1)$$

此处，N 是 PLLDV3:0 的值

由于 N 的范围是 0 到 15，因此 CCLK 频率的范围可以是 PCLK 到 $\frac{\text{PCLK}}{16}$ 。

7.19.9 CCU 中断

CCU 含 7 个中断源，这些中断源使用同一个中断向量。

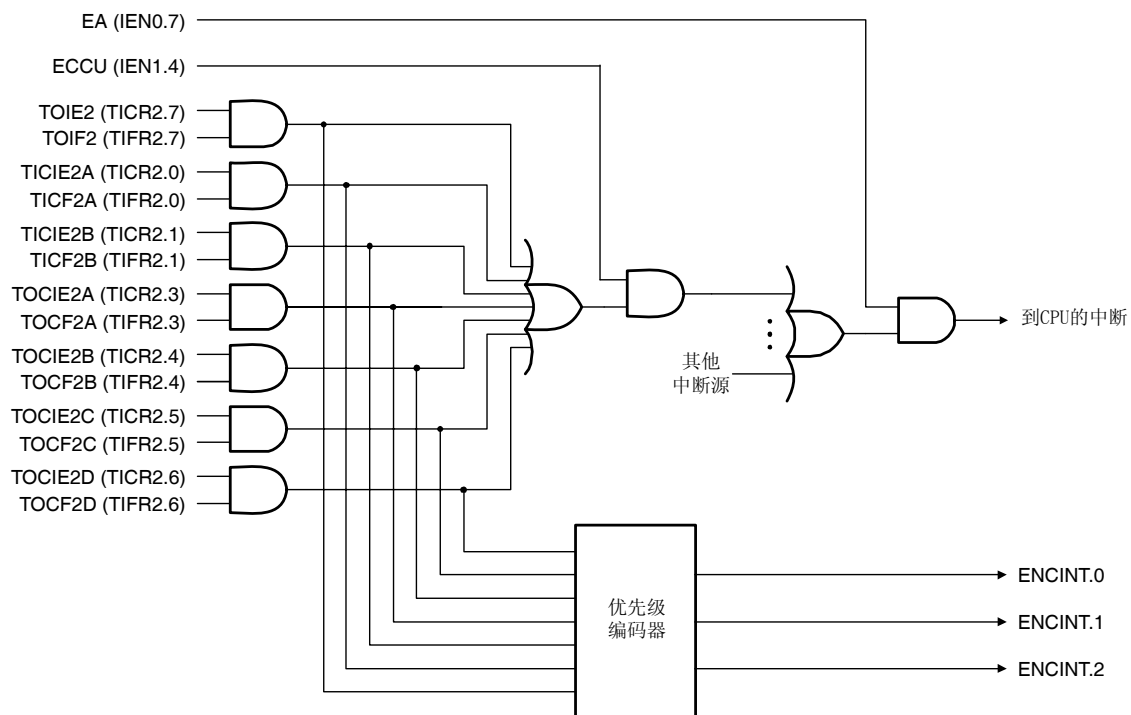


图 11 CCU 中断

7.20 UART

P89LPC9408 具有一个增强型的 UART,它和传统的 80C51 UART 兼容,但有一点除外,即定时器 2 的溢出不能用于产生波特率。P89LPC9408 还带有一个独立的波特率发生器。波特率可以选择由振荡器(由一个常数分频),定时器 1 溢出或者独立的波特率发生器产生。除了产生波特率以外,在标准 80C51 UART 基础上还增加了帧错误检测、自动地址识别、可选的双缓冲以及几个中断选项。UART 具有 4 种操作模式:移位寄存器、8 位 UART、9 位 UART 和 CPU 时钟/32 或 CPU 时钟/16。

7.20.1 模式 0

串行数据通过 RxD 进出。TxD 输出移位时钟。每次发送或接收都为 8 位,LSB(最低位)在前。波特率固定为 CPU 时钟频率的 1/16。

7.20.2 模式 1

TxD 脚发送,RxD 脚接收,每次数据为 10 位:1 个起始位(逻辑 0),8 个数据位(LSB 在前)以及 1 个停止位(逻辑 1)。当接收数据时,停止位保存在 SCON 中的 RB8。该模式的波特率可变,由定时器 1 溢出速率或波特率发生器决定(详见 [7.20.5 “波特率发生器及其选择”](#))。

7.20.3 模式 2

TxD 脚发送,RxD 脚接收,每次数据为 11 位:1 个起始位(逻辑 0),8 个数据位(LSB 在前),一个可编程第 9 位数据及 1 个停止位(逻辑 1)。发送数据时,第 9 个数据位(SCON 中的 TB8 位)可置为 0 或 1。例如可将奇偶位(PSW 内 P 位)放入 TB8。接收时,第 9 位数据存入 SCON 的 RB8 位,而停止位不会被保存。波特率可编程为 CPU 时钟频率的 1/16

或 1/32，由 PCON 内 SMOD1 位决定。

7.20.4 模式 3

TxD 脚发送，RxD 脚接收，每次数据为 11 位：1 个起始位（逻辑 0），8 个数据位（LSB 在前），1 个可编程的第 9 位数据及 1 个停止位（逻辑 1）。实际上，模式 3 除了波特率外其它均与模式 2 相同。模式 3 的波特率可变并由定时器 1 溢出率或波特率发生器决定（详见 7.20.5 “波特率发生器及其选择”）。

7.20.5 波特率发生器及选择

P89LPC9408 的增强型 UART 具有一个独立的波特率发生器。波特率取决于对 BRGR1 和 BRGR0 预先编程的值。它们组合起来作为一个 16 位的波特率分频值。这和定时器 1 的工作方式相似，但更精确。如果使用了波特率发生器，定时器 1 可用作其它的定时功能。

UART 也可使用定时器 1 或者波特率发生器的输出（见图 8）。需要注意的是，如果 SMOD1 位(PCON.7)清零，定时器 T1 被 2 分频。独立的波特率发生器使用 OSCCLK 作为时钟源。

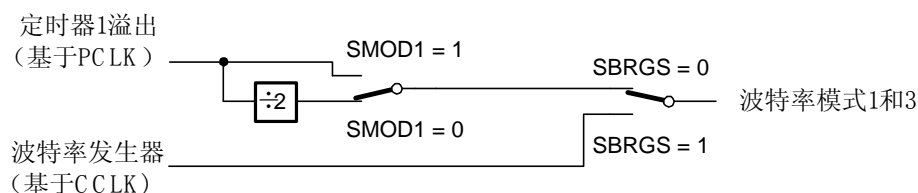


图 8 UART 波特率的产生（模式 1, 3）

7.20.6 帧错误

帧错误在状态寄存器（SSTAT）中报告。此外，如果 SMOD0(PCON.6)为 1，则 SCON.7 单独作为帧错误位。如果 SMOD0 为 0，则 SCON.7 作为 SM0。建议在 SMOD0 为 0 时对 SM0 和 SM1(SCON.7:6)进行设置。

7.20.7 间隔检测

间隔检测在状态寄存器 SSTAT 中报告。当连续检测到 11 个位都为低电平位时，则认为检测到一个间隔。间隔检测可用于对器件复位并强制器件进入 ISP 模式。

7.20.8 双缓冲

UART 具有一个发送双缓冲器，这就允许第一个字符正在发送的时候向 SBUF 写入第二个字符。只要下个字符在前一个字符的起始位和停止位之间写入 SBUF，那么发送的字符串中两个字符之间就只有一个停止位。

双缓冲可以被禁止。当禁止时（DBMOD=0，也就是 SSTAT.7=0），UART 和传统的 80C51 UART 兼容。如果使能该功能，UART 允许在移出前一个数据之前向 SBUF 写入新数据。只有在模式 1, 2 和 3 中才可以使能双缓冲。当处于模式 0 时，必须禁止双缓冲（DBMOD=0）。

7.20.9 双缓冲使能时发送中断（模式 1, 2 和 3）

与传统的 UART 不同的是，在双缓冲模式中，Tx 中断发生在双缓冲器准备好接收新数据的时候。

7.20.10 双缓冲中的第 9 位（位 8）数据（模式 1，2 和 3）

如果双缓冲被禁止，对 TB8 的写操作可以在写入 SBUF 之前或之后进行，只要在第 9 位数据被移出之前将其更新即可。在该位移出（通过 Tx 中断指示）之前不要改变 TB8。

如果双缓冲使能，TB8 必须在写 SBUF 之前更新，因为 TB8 将和 SBUF 的数据一起双缓冲。

7.21 I²C 总线串行接口

I²C 总线用两条线（SDA 和 SCL）在与总线相连的器件间传递信息。总线的主要特性如下：

- 主机和从机之间为双向数据传送
- 多主机总线（无中央主机）
- 多主机同时传送时进行仲裁而不会破坏总线上的串行数据
- 串行时钟同步使得不同位速率的器件可以通过一条串行总线进行通信
- 串行时钟同步可作为握手机制，用于挂起和恢复串行传输
- I²C 总线可用于测试和诊断

典型的 I²C 总线配置如图 13 所示。P89LPC9408 器件提供字节方式的 I²C 接口。所支持的最大数据传输速率为 400kHz。

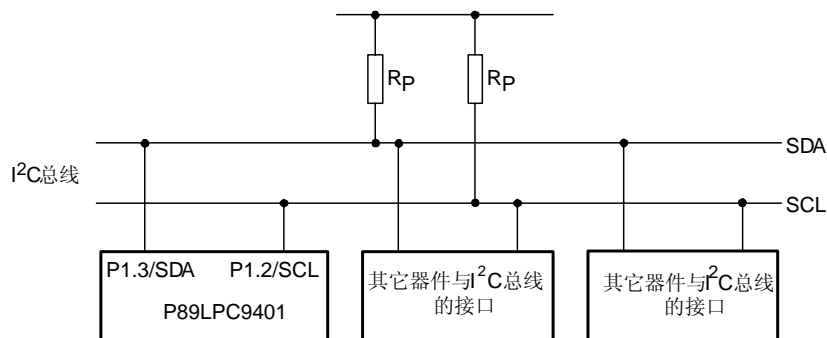


图 13 I²C 总线配置

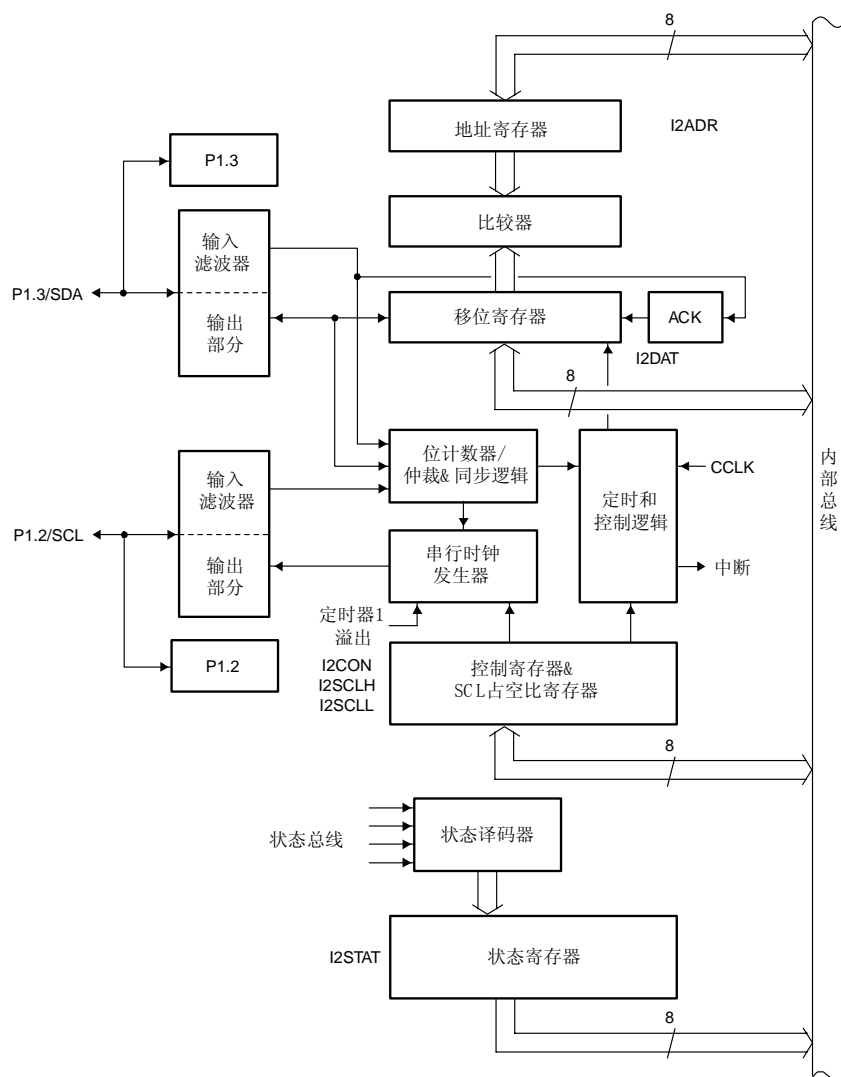


图 14 I²C 总线串行接口方框图—P89LPC9408

7.22 串行外围接口 (SPI)

P89LPC9408 还提供另一种高速串行通信接口——SPI 接口。SPI 是一种全双工、高速、同步的通信总线，有两种操作模式：主模式和从模式。主模式支持高达 4.5Mbit/s 的速率，从模式支持 3Mbit/s 的速率。还具有传输完成标志和写冲突标志保护。

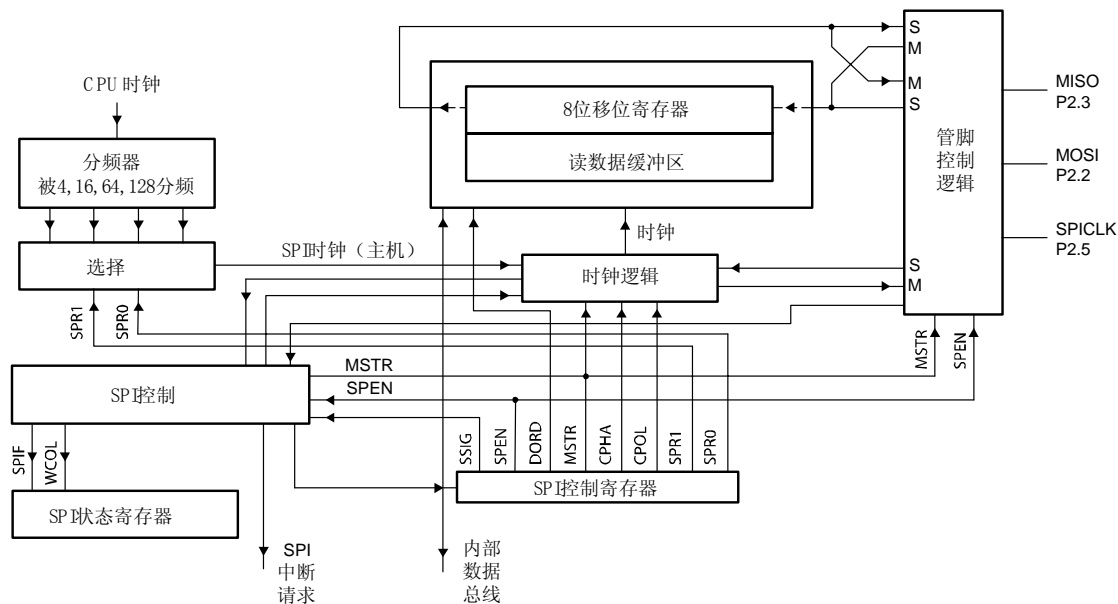


图 15 SPI 方框图

SPI 接口有 3 个管脚：SPICLK, MOSI, MISO:

- SPICLK, MOSI 和 MISO 通常在 2 个或 2 个以上的 SPI 器件之间配合使用。数据通过 MOSI 从主机传送到从机（主机输出，从机输入），通过 MISO 从从机传送到主机（主机输入，从机输出）。SPICLK 信号在主模式时为输出，在从模式时为输入。如果 SPI 系统被禁止，即 SPEN(SPCTL.6)=0(复位值)，这些管脚都可作为 I/O 口使用。

典型连接如图 16—图 18 所示。

7.2.2.1 典型的 SPI 配置

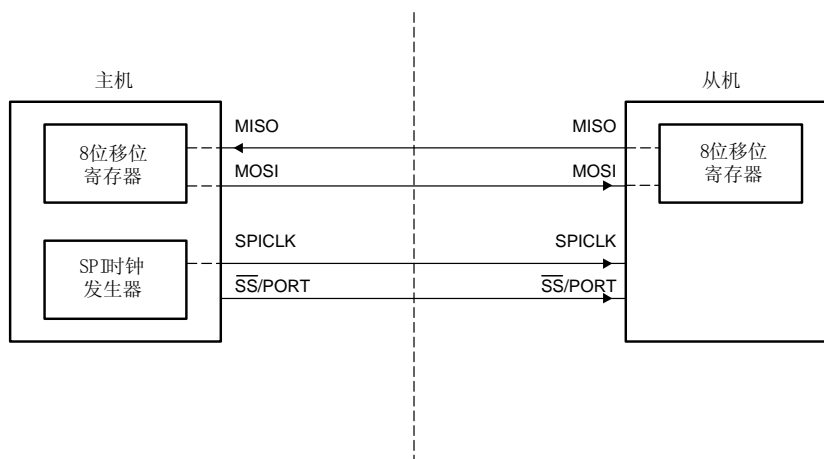


图 16 SPI 单主机单从机配置

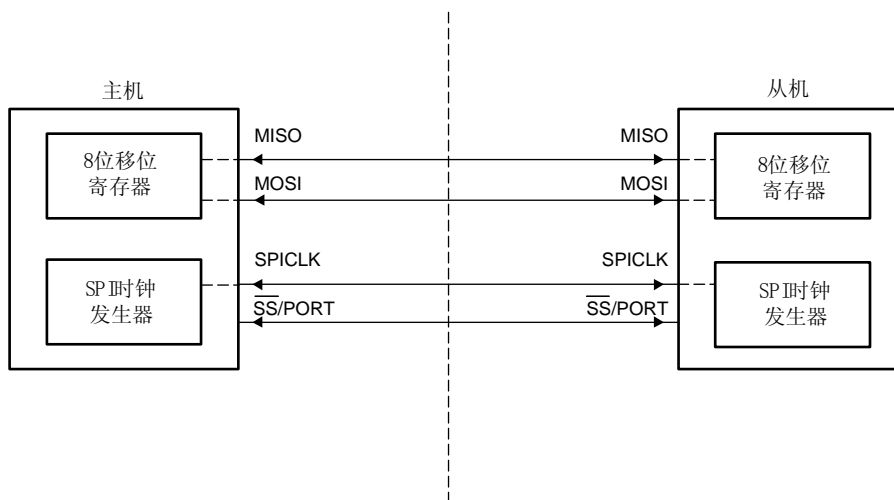


图 17 SPI 双器件配置 (两器件可互为主从)

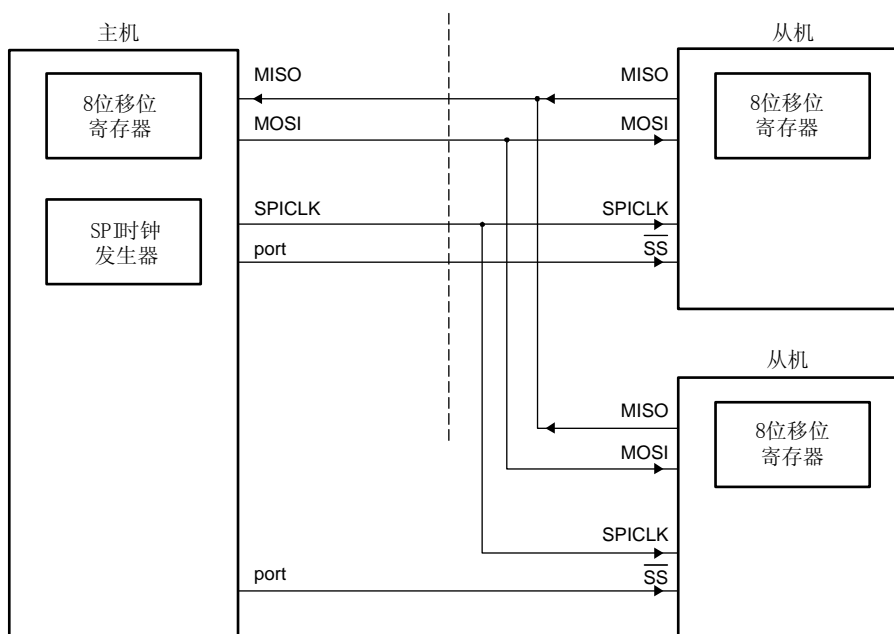


图 18 SPI 单主机多从机配置

7.23 模拟比较器

P89LPC9408 有 2 个模拟比较器，输入和输出选项使得允许将比较器配置成不同模式来使用。当正向输入（二个可选择脚之一）电压大于反向输入时（可选择外部管脚输入或内部参考电压），输出信号为“1”（可从寄存器读出和/或输出到管脚），反之则输出为“0”。每个比较器都可配置为当输出发生改变时产生中断。

两个比较器总的连接方式如图 19 所示。比较器的最低工作电压为 $V_{DD}=2.4V$ 。

当每个比较器初次被使能时，比较器输出和中断标志需要 10 微秒的稳定时间，在这段时间里，相应的比较器中断不应使能，并且在使能中断以前必须清零相应的比较器中断标志，以避免立即响应中断服务。

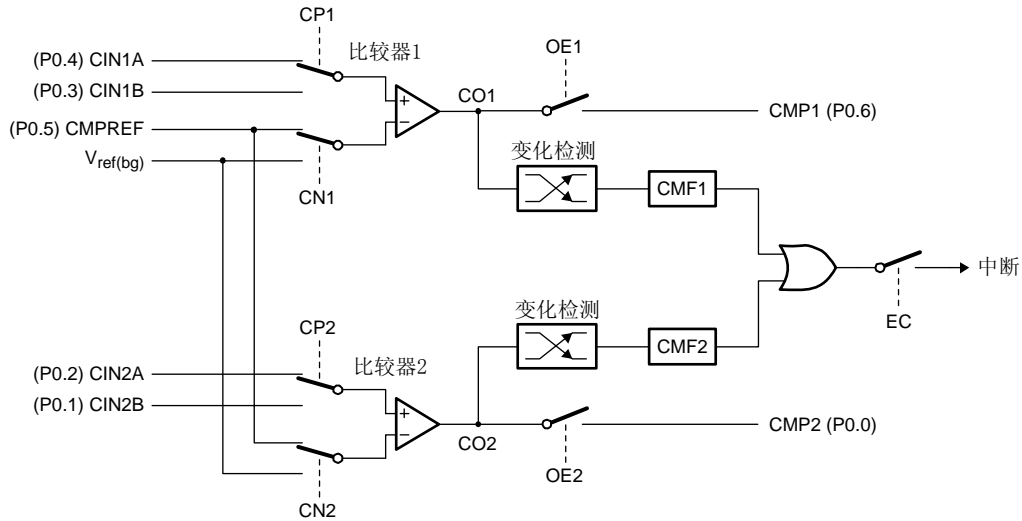


图 19 比较器输入和输出连接

7.23.1 内部参考电压

当使用单个比较器输入管脚时，内部参考电压发生器可提供一个默认的参考电压。参考电压的值为 $V_{ref} = 1.23V \pm 10\%$ 。

7.23.2 比较器中断

每个比较器配置寄存器中都有一个比较器中断标志位。当比较器输出状态改变时中断标志位置位，此标志位可通过软件查询或用于产生一个中断。两个比较器使用同一个中断向量。如果两个比较器都使能中断，在进入中断服务程序之后，用户需要读取中断标志以确定是哪一个比较器产生的中断。

7.23.3 比较器和节电模式

在掉电模式或空闲模式下，两个比较器或其中一个可以继续保持使能状态。但在完全掉电模式中，两个比较器都被自动禁止。

当比较器中断使能时（完全掉电模式除外），比较器输出发生改变时将会产生一个中断并将处理器唤醒。比较器输出到管脚使能时，此管脚应该配置为推挽输出模式以便在掉电工作模式下获得较快的开关速度。这样做是因为当振荡器停止后，打开双向口不会产生正常情况下的短时强上拉。

比较器在掉电模式和空闲模式以及正常操作模式下都会消耗功率。当系统功耗是一个重要的指标时，就必须将这种情况考虑在内。若要降低功耗，用户可通过 PCONA.5 禁止比较器，或将器件设置为完全掉电模式。

7.24 键盘中断（KBI）

键盘中断(KBI)功能主要用于当 P0 口等于或不等于特定的模式时产生一个中断。该功能可用于总线地址识别或键盘识别。通过 SFR 将端口配置为不同的用途。

键盘中断屏蔽寄存器 (KBMASK) 用于决定连接至 P0 口的哪个输入管脚可以触发中断。键盘模式寄存器 (KBPATN) 用于定义与 P0 口值相比较的模式。当键盘中断功能有效且条件匹配时，键盘中断控制寄存器 (KBCON) 中的键盘中断标志 (KBIF) 置位。如果中断使

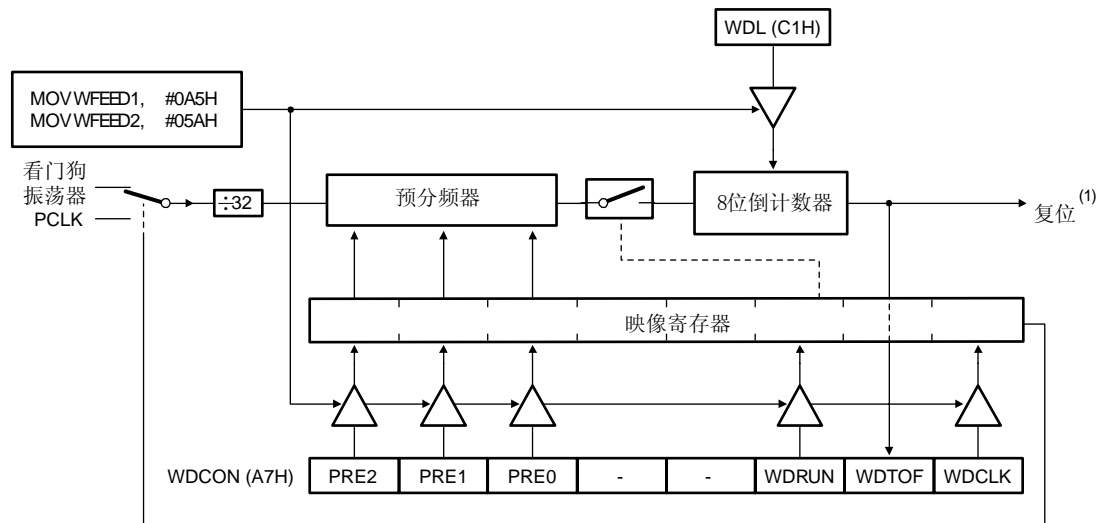
能，则会产生一个中断。键盘中断控制寄存器（KBCON）中的 PATN_SEL 位用于比较时定义等于或不等于。

为了将键盘中断设置为类似 87LPC76x 的 KBI 功能，用户必须设置 KBPATH=0FFH 和 PATN_SEL=1（不相等），这样由 KBMASK 寄存器使能的任何连接到 P0 口管脚按键都将使硬件置位 KBIF 并产生中断（如果中断使能）。中断可用于将 CPU 从空闲模式或掉电模式中唤醒。此特性尤其适合便携式且使用电池供电的系统，因为这些系统需要对功耗进行管理同时又要方便用户使用。

为了置位中断标志并导致中断产生，P0 口的模式的保持时间必须长于 6 个 CCLK。

7.25 看门狗定时器

当看门狗定时器在到达其最终计数之前由于喂养定时器失败而溢出时，看门狗定时器就会产生复位。它包含一个可编程的 12 位预分频器和一个 8 位倒计数器。该倒计数器以预分频器的节拍减少。预分频器的时钟源可选择 PCLK 或标称为 400KHz 的看门狗振荡器。看门狗定时器只能通过上电实现复位。当看门狗被禁止时，它可作为一个间隔定时器并可产生中断。图 16 所示为看门狗模式中的看门狗定时器。通过按顺序执行两条指令来喂狗看门狗。如果将 PCLK 作为看门狗的时钟源并且 CPU 处于掉电模式中，则看门狗被禁止。看门狗定时器的超时周期范围从几微秒到几秒。详见“P89LPC9408 的使用指南”。



(1) 无效的喂狗序列或写 WDCON 后未立即执行喂狗都会引起看门狗复位。

图 20 看门狗模式中的看门狗定时器（WDTE=1）

7.26 附加特性

7.26.1 软件复位

AUXR1 寄存器的 SRST 位使软件能像发生外部复位或看门狗复位一样，使处理器彻底复位。写入 AUXR1 时，务必小心以防止产生意外的软件复位。

7.26.2 双数据指针

双数据指针（DPTR）提供两个不同的数据指针来指定使用特定指令的地址。AUXR1 寄存器的 DPS 位选择两个数据指针中的一个。AUXR1 的第 2 位的逻辑电平永远都为“0”，

这样 DPS 位可以简单地通过将 AUXR1 加 1 进行翻转（因此对数据指针进行切换）而不会因为疏忽更改寄存器的其它位。

7.27 LCD 驱动器

7.27.1 概述

P89LPC9408 中的 LCD 段驱动器可与大多数低复用率的 LCD 相连。它产生静态或多路复用的 LCD 的驱动信号，包含多达 4 路背板输出和 32 路段输出。LCD 控制器使用 I²C 总线与主机进行通信。微控制器和 LCD 控制器的 I2C 总线时钟和数据信号可供 P89LPC9408 使用，为系统提供了灵活性。

自动增量寻址的片上显示 RAM、硬件子地址和显示存储器切换（静态和 2 路驱动方式）等特性大大减少了通信开销。

7.27.2 功能描述

LCD 控制器是一个通用外围器件，用于微控制器和各种 LCD 之间的连接。它可直接驱动任何静态或含多达 4 个背板输出和多达 32 段输出的多路复用 LCD。LCD 控制器的显示配置由需要的有效背板输出路数决定。显示配置的选择如表 8 所示。所有的这些配置都可以在一个典型的系统中执行。

微控制器使用 I²C 总线与 LCD 控制器通信。多路复用 LCD 波形的合适偏压由器件内部产生。只需将应用中选择的电源（V_{DD}、V_{SS} 和 V_{LCD}）和 LCD 显示器连接在一起就完成了系统的连线。

表 8 显示配置的选择

数目		7 段数字字符		14 段字母数字字符		点阵
背板	段	数字	显示字符	字符	显示字符	
4	128	16	16	8	16	128
3	96	12	12	6	12	96
2	64	8	8	4	8	64
1	32	4	4	2	4	32

7.27.3 LCD 偏压

通过 V_{LCD} 和 V_{SS} 之间串联的 3 个电阻组成的内部分压器得到 LCD 偏压。LCD 电压可通过到管脚 V_{LCD} 的电源进行温度补偿。电压选择器基于可编程配置驱动 LCD 的多路复用。

7.27.4 振荡器

7.27.4.1 内部时钟

内部振荡器为 LCD 控制器内部逻辑及其 LCD 驱动信号提供时钟信号。上电后，SDA 脚必须为高电平来保证时钟的可靠启动。

7.27.5 时序

LCD 控制器的时序控制着器件的内部数据流。这包括显示数据从显示 RAM 传输到显示段输出的过程。该时序同时可产生 LCD 帧信号，帧信号的频率来自时钟频率，由内部或外部时钟分频（分频因子固定）得到。

$$\text{帧频率} = f_{\text{osc(LCD)}}/24$$

7.27.6 显示寄存器

当复用信号产生时，显示锁存器将相应的显示数据锁存。显示锁存器的数据、LCD 段输出和显示 RAM 的列之间是一一对应的。

7.27.7 段输出

LCD 驱动部分包括 32 路段输出（S0~S31）。根据多路背板信号和显示锁存数据产生段输出信号。当需要的段输出数目少于 32 路时，未使用的段输出必须保持开路。

7.27.8 背板输出

LCD 驱动部分包括 4 路背板输出（BP0~BP3）。根据所选的 LCD 驱动模式产生背板输出信号。当需要使用的背极数目少于 4 路时，未使用的输出保持开路。在 1:3 复用驱动方式中，BP3 和 BP1 传送相同的信号，因此可将这两个相邻的输出连接到一起来增强驱动能力。在 1:2 复用驱动方式中，BP0 和 BP2、BP1 和 BP3 分别传送相同的信号，可将它们配对连接来增强驱动能力。在静态驱动方式中，所有 4 路背极输出相同的信号，它们可并联到一起来获得很强的驱动能力。

7.27.9 显示 RAM

显示 RAM 是一个静态 32×4 位的 RAM，用来存放 LCD 数据。RAM 地址和段输出之间以及 RAM 中字的每一位和背极输出之间一一对应。RAM 的第一列对应背板 BP0 的 32 段。在多路 LCD 应用中，显示 RAM 的第二、三和四列的段数据分别和 BP1、BP2 和 BP3 分时复用。

7.27.10 数据指针

显示 RAM 使用数据指针进行寻址。因此，单个字节或一串显示数据字节可以写入显示 RAM 的任意单元。

7.27.11 输出区选择器

在静态和 1:2 驱动方式下，LCD 控制器包含 RAM 区切换特性。在静态驱动方式下，使用 BANK SELECT 命令可请求选择显示位 2（代替位 0）的内容；在 1:2 方式下，选择显示位 2 和 3 的内容（代替位 0 和位 1）。这样就可预先将显示内容存放到显示区中，之后再选中该显示区显示。

7.27.12 输入区选择器

输入区选择器根据所选的 LCD 驱动配置将显示数据写入显示 RAM。利用 BANK SELECT 命令可在静态驱动方式下将显示数据装入位 2，在 1:2 方式下将显示数据装入位 2 和位 3。输入区选择器与输出区选择器互相独立。

7.27.13 闪烁

LCD 驱动器可实现显示的正常闪烁。整个显示以 BLINK 命令选择的频率闪烁。每个闪烁频率都是时钟频率的整数倍频；时钟频率与闪烁频率的比值由选择的闪烁模式决定，见表 9。

在静态和 1:2 驱动方式中有另一种闪烁方式允许任意选择 LCD 段来闪烁。通过输出区选择器交替选择显示 RAM 区和另一个可选的 RAM 区，使它们的内容以闪烁频率显示，无需任何通信开销。该方式也可通过 BLINK 命令来实现。

除了指定的闪烁频率外，整个显示也可以在一个频率下闪烁，这个频率使用 MODE SET 命令，在要求的速度下连续地复位和置位显示使能位 E 来得到。

表 9 闪烁频率

闪烁方式	正常工作模式的比值	正常闪烁频率
不闪烁	-	关闭闪烁
2Hz	$f_{\text{osc(LCD)}}/768$	2Hz
1Hz	$f_{\text{osc(LCD)}}/1536$	1Hz
0.5Hz	$f_{\text{osc(LCD)}}/3072$	0.5Hz

0.5Hz、1Hz 和 2Hz 的闪烁方式以及 0.5Hz、1Hz 和 2Hz 的标称闪烁频率与管脚 CLK 的 1536Hz 的振荡器频率 ($f_{\text{osc(LCD)}}$) 相对应。振荡器的频率范围为 397Hz~3046Hz。

7.27.13.1 I²C 总线控制器

LCD 控制器用作 I²C 总线从接收器。在 P89LPC9408 中，硬件子地址输入 A0、A1 和 A2 通常与 V_{SS} 相连来设置硬件子地址为 0。

7.27.14 输入滤波器

为了增强器件在不利的电环境的抗干扰能力，SDA 和 SCL 线都连接了 RC 低通滤波器。

7.27.15 I²C 总线从地址

I²C 总线从地址为 0111 0000。LCD 控制器是一个只写器件，不会响应读访问。

7.28 数据 EEPROM

P89LPC9408 含 512 字节的片内数据 EEPROM。数据 EEPROM 由 SFR 控制、可字节读、字节写和字节擦除（通过行填充和扇区填充）。用户通过 SFR 和一个中断可以进行读取、写入、填充内存。该数据 EEPROM 可为每个字节提供至少 10 万个擦除/编程周期。

- **字节模式：**该模式下，一次只可读写一个字节数据
- **行填充：**该模式下，用单个值填充被寻址的行（64 字节）。整行的内容可以通过向其写入 00H 来擦除。

- **扇区填充:** 该模式下, 用一个值填充所有 512 字节。整个扇区的内容可以通过向其写入 00H 来擦除。

操作完成后, 硬件将置位 EEIF 位, EEIF 位如果使能, 将会产生中断。该标志通过软件清零。

7.29 FLASH 程序存储器

7.29.1 概述

P89LPC9408 Flash 存储器提供在电路中的电擦除和编程。Flash 可以字节为单位进行读取、擦除或写入操作。扇区和页擦除功能可擦除任意的 Flash 扇区(1KB)或页(64 字节)。芯片擦除功能可实现整个程序存储器的擦除。ICP 编程通过使用标准的商用编程器来实现。另外, IAP 编程方法和字节擦除特性使程序存储器可用于非易失性数据存储。片内产生的擦除和写时序为用户提供了友好的编程接口。P89LPC9408 Flash 存储器甚至在经过 100,000 次擦除和编程之后仍然能可靠地保存存储器的内容。存储单元的设计优化了擦除和编程结构。P89LPC9408 使用 V_{DD} 电压来执行编程/擦除算法。

7.29.2 特性

- 可在整个操作电压范围内执行编程和擦除。
- 字节擦除允许程序存储器用于数据存储。
- 使用 ISP/IAP/ICP 进行读取/编程/擦除。
- 内部固化的引导 ROM, 包含了一个低级的在应用编程(IAP)子程序, 可作用用户代码。
- 默认的装载程序可通过串口进行 ISP 编程。该程序位于用户程序存储器空间的顶端。
- Boot 向量允许用户提供的 Flash 装载程序存放在 Flash 存储空间的任意位置。这种配置为用户提供了应用的灵活性。
- 任意编程/擦除时间小于 2ms。
- 使用工业标准的商用编程器进行编程。
- 可对每一个 Flash 扇区进行编程加密。
- 每个字节至少可执行 100,000 次擦除/编程。
- 数据至少可保存 10 年。

7.29.3 Flash 的结构

P89LPC9408 的程序存储器由 8 个 1kB 的扇区组成。每个扇区可进一步分成 64 字节的页。除了扇区擦除、页擦除和字节擦除外, 还包含一个 64 字节的页寄存器, 它可实现给定页 1 到 64 字节的同时编程, 彻底减少了编程时间。

7.29.4 使用 Flash 作为数据存储器

器件的 Flash 程序存储器阵列支持单个字节的擦除和编程。程序存储器中每个字节的内容都可利用 MOVC 指令读出, 只要包含该字节的扇区未加密 (MOVC 指令不能读出加密扇区的程序存储器内容)。这样, 未加密扇区中的任何字节都可用于非易失性数据的存储。

7.29.5 Flash 的编程和擦除

有 4 种方法可实现对 Flash 的编程或擦除。第一，在应用固件的控制下，可以在最终用户应用程序中（IAP）对 Flash 进行编程或擦除。第二，使用 ICP 机制。通过系统提供的串行时钟——串行数据接口来实现 ICP 编程。第三，出厂时，用户代码空间的高 512 字节包含一个串行 ISP 程序，通过串行端口可以实现对器件的在线编程。第四，使用支持该器件的商用 EPROM 编程器进行编程或擦除。该器件不提供对程序存储器内容的直接校验。而是提供一个扇区或整个用户代码区的 32 位 CRC 结果。

7.29.6 在线编程

ICP 编程执行时不需要将微控制器从系统中移出。ICP 设备包含了一系列内部的硬件资源，通过一个两线结构的串行接口就可实现对 P89LPC9408 的远程编程。PHILIPS 的 ICP 设备使嵌入式应用中的在电路编程变得可行（使用支持器件的商用编程器，最大限度减少了额外的元件开销和电路板面积。ICP 功能使用芯片的 5 个管脚。为了使用该特性，只需使用一个小的连接器就可将应用与商用编程器相连。详情请参考“P89LPC9408 的使用指南”。

7.29.7 在应用中编程

在微控制器固件控制下在应用中实现 IAP。IAP 设备包含的内部硬件资源可方便地实现对芯片的编程和擦除。PHILIPS 的 IAP 已使嵌入式应用中的在应用中编程（IAP）变得可行，编程执行时不需要其它的元件。有两种方法可实现 IAP。引导 ROM 提供有一系列预定义的 IAP 功能，这些功能可通过一个公共接口 PGM_MTP 来调用。通过在一个应用程序中对几个 IAP 子程序的调用，可实现有选择地对 Flash 扇区、页、保密位、配置字节和器件 ID 进行擦除和编程。这些功能通过在调用位于地址 FF03H 的 PGM_MTP 之前，设置微控制器的寄存器来选择。引导 ROM 占用程序存储器顶部 FF00 到 FEFFH 的地址空间，因此不会与用户代码空间冲突。

另外，IAP 操作也可利用四个 SFR：1 个控制/状态寄存器、1 个数据寄存器和 2 个地址寄存器来完成。详情请参考“P89LPC9408 使用指南”。

7.29.8 在系统编程

ISP 编程执行时不需要将微控制器从系统中移出。ISP 设备包含了一系列内部的硬件资源，与内部固件相结合通过串口来实现对 P89LPC9408 的远程编程。固件由 Philips 公司提供并嵌入到每一个 P89LPC9408 芯片当中。PHILIPS 的 ISP 设备使嵌入式应用中的在系统编程变得可行，并最大限度减小了额外的元件开销和电路板面积。ISP 功能使用芯片的 5 个管脚（ V_{DD} 、 V_{SS} 、TxD、RxD 和 \overline{RST} ）。为了使用该特性，只需使用一个小的连接器就可将应用与商用编程器相连。

7.29.9 上电复位代码的执行

P89LPC9408 包含两个特殊的 Flash 单元：引导向量和引导状态位。复位后，P89LPC9408 检查引导状态位的内容。如果引导状态位为 0，则在 0000H 地址开始执行上电。这是用户应用代码的正常起始地址。如果引导状态位非 0，则将引导向量的值作为程序计数器的高字节，低字节固定为 00H。

表 10 所示为器件引导向量的出厂默认设置。注意：这些设置与 P89LPC932 完全不同。支持 P89LPC9408 的工具应该用来编程该器件，如 Flash Magic 1.98 或之后的版本。出厂提供的引导装载程序在指定地址空间被预先编程，用户可利用该引导装载程序的入口来执行

ISP 功能。引导装载代码可被用户擦除。用户如果需要使用这部分代码，就必须小心以避免将包含了该引导装载程序的 1KB 扇区擦除。但是，可使用页擦除功能将该扇区第一个 8 个 64 字节的页擦除。如果需要的话，可以将引导向量设置成用户引导装载程序入口来写用户引导装载程序。

表 10 默认引导向量值和 ISP 入口

器件	默认引导向量	默认引导装载程序入口	默认引导装载代码的空间范围	1kB扇区范围
P89LPC9408	1FH	1F00H	1E00H – 1FFFH	1C00H – 1FFFH

7.29.10 引导装载程序的硬件激活

在上电时，通过强制将器件进入 ISP 模式也可执行引导装载程序（详见“P89LPC9408 的使用指南”）。这和非零引导状态字节的效果是一样的。这样就可以在正常时执行用户代码，但又可以手动强制进入 ISP 操作。如果改变引导向量出厂时的默认设定值(1FH)，将不再指向工厂预先编程的 ISP 引导装载程序。在对 Flash 进行编程后，引导状态字节可编程为 0，以允许用户应用程序从地址 0000H 处开始执行。

7.30 用户配置字节

P89LPC9408 的某些用户可配置的特性必须在上电时定义，因而在开始执行程序后便不可再设置了。这些特性是通过配置 Flash 字节 UCFG1 实现。请参阅“P89LPC9408 使用指南”。

7.31 用户扇区保密字节

P89LPC9408 具有 8 个用户扇区保密字节，每个字节都对应一个扇区。请参阅“P89LPC9408 使用指南”。

8. A/D 转换器 (ADC)

8.1 概述

P89LPC9408 含一个 10 位、8 路逐次逼近式模拟—数字转换模块。ADC 的方框图如图 21 所示。ADC 由一个 8 输入多路转换器组成，多路转换器的输出通过采样保持电路，为比较器的其中一个输入端提供输入信号。控制逻辑连同 SAR 一起驱动数字—模拟转换器，该转换器再向比较器提供另外一个输入信号。比较器的输出又回到 SAR。

8.2 特性

- ◆ 10 位 8 路输入的逐次逼近式 ADC
- ◆ 8 个结果寄存器对
- ◆ 6 种操作模式
 - 固定通道，单次转换模式
 - 固定通道，连续转换模式

- 自动扫描，单次转换模式
- 自动扫描，连续转换模式
- 双通道，连续转换模式
- 单步模式
- ◆ 3种转换启动模式
 - 定时器触发启动
 - 立即启动
 - 边沿触发
- ◆ 在9MHzADC时钟下，10位转换时间为4 μ s
- ◆ 中断或查询操作
- ◆ 高和低边界限制中断；可选择超出或不超出范围
- ◆ 时钟分频器
- ◆ 掉电模式

8.3 方框图

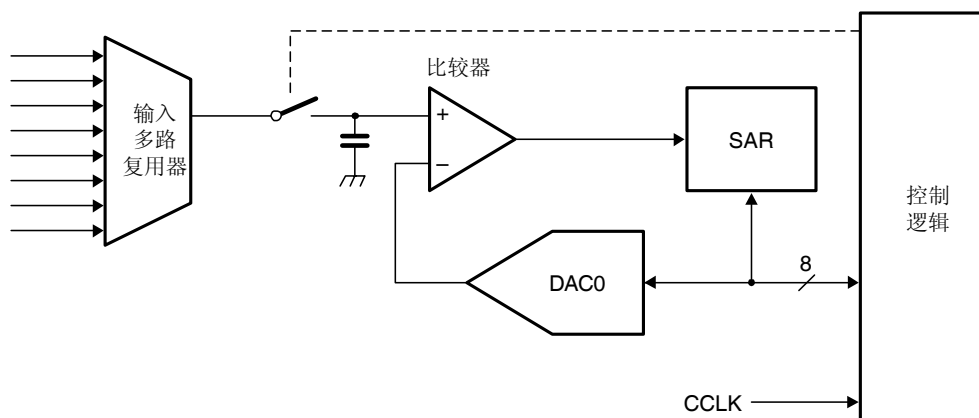


图 21 ADC 方框图

8.4 ADC 工作模式

8.4.1 固定通道，单次转换模式

可以选择单个输入通道进行转换。执行单次转换且将转换结果存放在所选输入通道对应的结果寄存器中。如果有中断被使能，那么转换结束后将会产生中断。

8.4.2 固定通道，连续转换模式

可以选择单个输入通道进行连续转换。转换结果将顺序地存放在 8 个结果寄存器对中。完成 4 次或 8 次转换后用户可以选择是否产生中断。额外的转换结果将再次循环存放到结果寄存器对中，覆盖之前的结果。连续转换过程由用户终止。

8.4.3 自动扫描，单次转换模式

可以选择 8 个输入通道的任意组合用于转换。执行每个所选输入通道的单次转换且将结果存放在所选输入通道对应的寄存器对中。在最先的 4 个转换发生或所选通道都被转换后，用户可以选择是否可以产生中断（如果中断使能）。如果用户选择在转换完最先的 4 个输入通道后产生中断，那么第二个中断将会在转换完剩下的输入通道后产生。如果只选择一个转换通道，该模式就相当于单通道，单次转换模式。

8.4.4 自动扫描，连续转换模式

可以选择 8 个输入通道的任意组合用于转换。执行每个所选输入通道的转换且将结果存放在所选输入通道对应的结果寄存器对中。在最先的 4 个转换已经发生或所选通道都被转换后，用户可以选择是否产生中断（如果中断使能）。如果用户选择在转换完最先的 4 个输入通道后产生中断，那么第二个中断将会在转换完剩下的输入通道后产生。在所有所选通道都被转换后，将继续从第一个所选通道重复上述步骤。额外的转换结果将再次循环存放到 8 个结果寄存器对中，覆盖之前的结果。连续转换过程由用户终止。

8.4.5 双通道，连续转换模式

自动扫描连续转换模式下，可以从 8 个通道中选择任意 2 个通道进行转换，是自动扫描连续转换模式的一个变体。第一个输入通道的转换结果存放在结果寄存器对 AD0DAT0R 和 AD0DAT0L 中。第二个输入通道的转换结果存放在结果寄存器对 AD0DAT1R 和 AD0DAT1L 中。第一个输入通道再次转换且其结果存放在 AD0DAT3R 和 AD0DAT3L 中，依此类推。每完成 4 次或 8 次转换后（用户可选）将产生中断（如果中断使能）。

8.4.6 单步模式

这是一种特殊的工作模式。它允许在自动扫描转换模式中进行“单步”转换。该模式下，用户可以选择 8 个输入通道的任意组合进行转换。每个通道转换结束后，都会产生一个中断（如果中断使能），ADC 再等等下次转换的启动条件。该模式可以和任何启动模式结合使用。

8.5 转换启动模式

8.5.1 定时器触发启动

定时器 0 溢出时 ADC 启动一次转换。一旦转换开始，其他的定时器 0 触发操作均无效直至转换完成。该模式适用于所有 ADC 工作模式。

8.5.2 立即启动

使用该模式时可以立即启动一个转换。该启动模式适用于所有 ADC 工作模式。

8.5.3 边沿触发

由 P1.4 的下降沿或上升沿出现来启动 A/D 转换。一旦转换开始，其他的定时器 0 触发操作均无效直至转换完成。该模式适用于所有 ADC 工作模式。

8.6 边界限制中断

每个 A/D 转换器 (ADC) 都包含一个高、低边界限制寄存器。在转换结果小于 (或等于) 高和低边界限制, 或转换结果超出边界限制时, 用户可以选择是否产生中断。如果结果满足所选中断的要求, 那么就会产生中断 (如果中断使能)。边界限制可以通过清零边界限制中断使能位来禁止。

早期检测机制的中断条件超出边界限制。在这种情况下, 完成 4 个 MSB 位转换后, 这 4 个位与边界高、低寄存器的 4 个 MSB 位比较。如果转换的 4 个 MSB 位满足中断条件 (即超出边界限制) 那么将会产生中断 (如果中断使能)。如果 4 个 MSB 位没有满足中断条件, 所有 8 个 MSB 位转换后, 将再次与边界限制值进行比较。边界状态寄存器 (BNDSTA0) 会标记引发边界中断的通道。

8.7 时钟分频器

ADC 要求器内部时钟源位于 500kHz 到 3MHz 之间以保证其精确性。为了满足此要求, 可编程的时钟分频器可对时钟进行 1 到 8 分频。

8.8 掉电和空闲模式

空闲模式下, A/D 转换器 (ADC) (如果使能) 将继续工作。如果 ADC 中断被使能, 转换结束后可使器件退出空闲模式。掉电模式或完全掉电模式下 ADC 停止工作。如果 ADC 被使能, 将继续消耗功率。因此, 可通过关闭 ADC 降低功耗。

9. 极限值

表 11 极限值

遵循最大绝对额定值系统 (IEC 60134)。 [U](#)

符号	参数	条件	最小	最大	单位
Tamb(bias)	Bias 工作环境温度		-55	+125	°C
Tstg	储存温度		-65	+150	°C
I _{OH(I/O)}	每个 I/O 口的高电平输出电流		-	20	mA
I _{OL(I/O)}	每个 I/O 口的低电平输出电流		-	20	mA
I _{I/Otot(max)}	总 I/O 口电流的最大值		-	100	mA
Vn	其它脚的电压	(V _{SS} 除外) 相对 V _{DD} 的电压	-	3.5	V
P _{tot(pack)}	每种封装的总功率损耗	基于封装的热传递, 并非器件的功耗	-	1.5	W

[1] 以下是关于表 11 的描述:

- a) 本产品带有保护器件内部的电路设计, 以避免超负荷的损坏性影响。但是建议不要在超过极限值的情况下工作。
- b) 参数在操作温度范围内是有效的, 除非另有规定。所有的电压都是相对 V_{SS} 而言的, 除非另有说明。

10. 静态特性

表 12 静态电气特性

除非特别说明, $V_{DD}=2.4V\sim 3.6V$ $T_{amb}=-40^{\circ}C\sim +85^{\circ}C$, 工业级

符号	参数	测试条件	最小	典型 ^[1]	最大	单位
$I_{DD(oper)}$	电源电流, 正常工作模式	$V_{DD}=3.6V; f_{osc}=12MHz$ ^[2]	-	11	15	mA
		$V_{DD}=3.6V; f_{osc}=18MHz$ ^[2]	-	17	23	mA
$I_{DD(idle)}$	电源电流, 空闲模式	$V_{DD}=3.6V; f_{osc}=12MHz$ ^[2]	-	3.7	5	mA
		$V_{DD}=3.6V; f_{osc}=18MHz$ ^[2]	-	6	8	mA
$I_{DD(pd)}$	电源电流, 掉电模式	$V_{DD}=3.6V$; 电压比较器掉电 ^[2]	-	60	85	μA
$I_{DD(tpd)}$	电源电流, 完全掉电模式	$V_{DD}=3.6V$ ^[3]	-	9	25	μA
$(dV/dt)_r$	上升速率	V_{DD}	-	-	2	mV/ μs
$(dV/dt)_f$	下降速率	V_{DD}	-	-	50	mV/ μs
V_{DDR}	数据保持电压		1.5	-	-	V
$V_{th(HL)}$	高一低门槛电压	(SCL, SDA 除外)	$0.22V_{DD}$	$0.4V_{DD}$	-	V
V_{IL}	低电平输入电压	(仅为 SCL, SDA)	-0.5	-	$0.3V_{DD}$	V
$V_{th(LH)}$	低一高门槛电压	(SCL, SDA 除外)		$0.6V_{DD}$	$0.7V_{DD}$	V
V_{IH}	高电平输入电压	(仅为 SCL, SDA)	$0.7V_{DD}$		5.5	V
V_{hys}	滞后电压	P1 口	-	$0.2V_{DD}$	-	V
V_{OL}	低电平输出电压	$I_{OL}=20mA$; $V_{DD}=2.4V\sim 3.6V$, 所有端口; 高阻模式除外的其它模式 ^[4]	-	0.6	1.0	V
		$I_{OL}=3.2mA$ $V_{DD}=2.4V\sim 3.6V$, 所有端口; 高阻模式除外的其它模式 ^[4]		0.2	0.3	V
V_{OH}	高电平输出电压	$I_{OH}=-20\mu A$, $V_{DD}=2.4V\sim 3.6V$ 所有端口; 准双向模式 ^[4]	$V_{DD}-0.3$	$V_{DD}-0.2$	-	V
		$I_{OH}=-3.2mA$, $V_{DD}=2.4V\sim 3.6V$ 所有端口; 推挽模式	$V_{DD}-0.7$	$V_{DD}-0.4$	-	V
V_{xtal}	晶体电压	相对于 V_{SS}	-0.5	-	+4.0	V
V_n	其它任何管脚上的电压 (XTAL1, XTAL2, V_{DD} 除外)	相对于 V_{SS}	-0.5	-	+5.5	V
C_i	输入电容	^[5]	-	-	15	pF
I_{IL}	低电平输入电流	$V_I=0.4V$ ^[6]	-	-	-80	μA
I_{LI}	输入漏电流	$V_I=V_{IL}, V_{IH}$ 或 $V_{th(HL)}$ ^[7]	-	-	± 10	μA

I_{THL}	高到低跳变电流(所有端口)	$V_I=1.5V, V_{DD}=3.6V$ [8]	-30	-	-450	μA
$R_{RST_N(int)}$	管脚 RST_N 内部上拉电阻	管脚 \overline{RST}	10	-	30	$k\Omega$
V_{bo}	掉电电压	$2.4V < V_{DD} < 3.6V$ BOV=1, BOPD=0	2.40	-	2.70	V
$V_{ref(bg)}$	带隙参考电压		1.11	1.23	1.34	V
TC_{bg}	带隙温度效应		-	10	20	ppm/ $^{\circ}C$

[1]不能保证得到典型的标称值。表中所列值为在室温， $V_{DD}=3V$ 。

[2] $I_{DD(oper)}$ ， $I_{DD(idle)}$ 和 $I_{DD(pd)}$ 的规格在以下条件下测得：使用外部时钟源，关闭比较器、实时时钟和看门狗定时器。

[3] $I_{DD(tpd)}$ 的规格在以下条件下测得：使用外部时钟源，关闭比较器、实时时钟、掉电检测和看门狗定时器。

[4]在稳态（非瞬态）条件下， I_{OL} 或 I_{OH} 必须受到限制（参阅表 8 “极限参数”）。如果 I_{OL}/I_{OH} 超出测试条件， V_{OL}/V_{OH} 也会超出相应的规格。

[5]管脚电容由其特性得到，但未作测试。

[6]在准双向模式下测得。

[7]在高阻模式下测得。

[8]准双向口模式和外部驱动 1 变 0 时的管脚的跳变电流。当 V_I 大约为 2V 时，该电流最大。

11. 动态特性

表 13 动态特性（12MHz）

除非特别说明， $V_{DD}=2.4V\sim 3.6V$ ， $T_{amb}=-40^{\circ}C\sim +85^{\circ}C$ ，工业级^{[1][2]}

符号	参数	条件	可变时钟		$f_{osc}=12MHz$		单位
			最小	最大	最小	最大	
$f_{OSC(RC)}$	内部 RC 振荡器频率		7.189	7.557	7.189	7.557	MHz
$f_{OSC(WD)}$	内部看门狗振荡器频率		320	520	320	520	KHz
f_{OSC}	振荡器频率		0	12	-	-	MHz
$T_{cy(clk)}$	时钟周期时间	见图 23	83	-	-	-	ns
f_{CLKLP}	管脚 CLKLP 上的有效频率		0	8	-	-	MHz
干扰滤波器							
tgr	过滤信号时间	P1.5/ \overline{RST} 脚	-	50	-	50	ns
		任意脚 (P1.5/ \overline{RST} 除外)	-	15	-	15	ns
tsa	信号接收时间	P1.5/ \overline{RST} 脚	125	-	125	-	ns
		任意脚 (P1.5/ \overline{RST} 除外)	50	-	50	-	ns
外部时钟							
t_{CHCX}	时钟高电平时间	见图 23	33	$T_{cy(CLK)}-t_{CLCX}$	33	-	ns
t_{CLCX}	时钟低电平时间	见图 23	33	$T_{cy(CLK)}-t_{CHCX}$	33	-	ns
t_{CLCH}	时钟上升时间	见图 23	-	8	-	8	ns

续上表...

符号	参数	条件	可变时钟		f _{osc} =12MHz		单位
			最小	最大	最小	最大	
t _{CHCL}	时钟下降时间	见图 23	-	8	-	8	ns
移位寄存器 (UART 模式 0)							
T _{XLXL}	串行口时钟周期时间	见图 22	16T _{cy(CLK)}	-	1333	-	ns
t _{QVXH}	输出数据建立到时钟上升沿时间	见图 22	13T _{cy(CLK)}	-	1083	-	ns
t _{XHQX}	输出数据在时钟上升沿后保持时间	见图 22	-	T _{cy(CLK)} +20	-	103	ns
t _{XHDX}	时钟上升沿后输入数据保持时间	见图 22	-	0	-	0	ns
t _{XHDV}	输入数据有效到时钟上升沿时间	见图 22	150	-	150	-	ns
SPI 接口							
f _{SPI}	SPI 操作频率 - 从机 - 主机		0	CCLK/6	0	2.0	MHz
			-	CCLK/4	-	3.0	MHz
T _{SPICYC}	SPI 周期时间 - 从机 - 主机	见图 24, 25, 26, 27	6/CCLK	—	500	—	ns
			4/CCLK	—	333	—	ns
t _{SPILEAD}	SPI 使能前导时间(从)	见图 26, 27	250	—	250	—	ns
t _{SPILAG}	SPI 使能滞后时间(从)	见图 26, 27	250	—	250	—	ns
t _{SPICLKH}	SPICLK 高电平时间 - 主机 - 从机	见图 24, 25, 26, 27	2/CCLK	—	165	—	ns
			3/CCLK	—	250	—	ns
t _{SPICLKL}	SPICLK 低电平时间 - 主机 - 从机	见图 24, 25, 26, 27	2/CCLK	—	165	—	ns
			3/CCLK	—	250	—	ns
t _{SPIDSU}	SPI 数据建立时间 (主或从)	见图 24, 25, 26, 27	100	—	100	—	ns
t _{SPIDH}	SPI 数据保持时间 (主或从)	见图 24, 25, 26, 27	100	—	100	—	ns
t _{SPIA}	SPI 访问时间 (从)	见图 26, 27	0	120	0	120	ns
t _{SPIDIS}	SPI 禁止时间 (从)	见图 26, 27	0	240	—	240	ns
t _{SPIDV}	SPI 使能到输出数据有效时间 - 从机 - 主机	见图 24, 25, 26, 27	—	240	—	240	ns
			—	167	—	167	
t _{SPIOH}	SPI 输出数据保持时间	见图 24, 25, 26, 27	0	—	0	—	ns

续上表...

符号	参数	条件	可变时钟		f _{osc} =12MHz		单位
			最小	最大	最小	最大	
t _{SPIR}	SPI 上升时间 - SPI 输出 (SPICLK,MOSI,MISO)	见图 24, 25, 26, 27	—	100	—	100	ns
	-SPI 输入 (SPICLK,MOSI,MISO, \overline{SS})		—	2000	—	2000	
t _{SPIF}	SPI 下降时间 - SPI 输出 (SPICLK,MOSI,MISO)	见图 24, 25, 26, 27	—	100	—	100	ns
	- SPI 输入 (SPICLK,MOSI,MISO, \overline{SS})		—	2000	—	2000	

[1]如果没有特别说明，这些参数在操作温度范围内有效

[2]器件在 2MHz 下测得，但可以保证操作频率降到 0Hz 测得。

表 14 动态特性 (18MHz)

除非特别说明，V_{DD}=3.0V~3.6V。T_{amb}=-40℃~+85℃^{[1][2]}

符号	参数	条件	可变时钟		f _{osc} =18MHz		单位
			最小	最大	最小	最大	
f _{OSC(RC)}	内部 RC 振荡器频率		7.189	7.557	7.189	7.557	MHz
f _{OSC(WD)}	内部看门狗振荡器频率		320	520	320	520	KHz
f _{OSC}	振荡器频率		0	18	-	-	MHz
T _{cy(CLK)}	时钟周期时间	见图 23	55	-	-	-	ns
f _{CLKLP}	管脚 CLKLP 的有效频率		0	8	-	-	MHz
干扰滤波器							
t _{gr}	过滤信号时间	P1.5/ \overline{RST} 脚	-	50	-	50	ns
		任意脚 (P1.5/ \overline{RST} 除外)	125	-	125	-	ns
t _{sa}	信号接收时间	P1.5/ \overline{RST} 脚	-	15	-	15	ns
		任意脚 (P1.5/ \overline{RST} 除外)	50	-	50	-	ns
外部时钟							
t _{CHCX}	时钟高电平时间	见图 23	22	T _{cy(CLK)} -t _{CLCX}	22	-	ns
t _{CLCX}	时钟低电平时间	见图 23	22	T _{cy(CLK)} -t _{CHCX}	22	-	ns
t _{CLCH}	时钟上升时间	见图 23	-	5	-	5	ns
t _{CHCL}	时钟下降时间	见图 23	-	5	-	5	ns

续上表...

符号	参数	条件	可变时钟		f _{osc} =18MHz		单位
			最小	最大	最小	最大	
移位寄存器 (UART 模式 0)							
T _{XLXL}	串行口时钟周期时间	见图 22	16T _{cy(CLK)}	-	888	-	ns
t _{QVXH}	输出数据建立到时钟上升沿时间	见图 22	13T _{cy(CLK)}	-	722	-	ns
t _{XHQX}	输出数据在时钟上升沿后保持时间	见图 22	-	T _{cy(CLK)} +20	-	75	ns
t _{XHDX}	时钟上升沿后输入数据保持时间	见图 22	-	0	-	0	ns
t _{XHDV}	输入数据有效到时钟上升沿时间	见图 22	150	-	150	-	ns
SPI 接口							
f _{SPI}	SPI 操作频率 - 从机 - 主机		0 -	CCLK/6 CCLK/4	0 -	3.0 4.5	MHz MHz
T _{SPICYC}	SPI 周期时间 - 从机 - 主机	见图 24, 25, 26, 27	6/CCLK 4/CCLK	- -	333 222	- -	ns ns
t _{SPILEAD}	SPI 使能前导时间(从)	见图 26, 27	250	-	250	-	ns
t _{SPILAG}	SPI 使能滞后时间(从)	见图 26, 27	250	-	250	-	ns
SPI 接口							
t _{SPICLKH}	SPICLK 高电平时间 - 主机 - 从机	见图 24, 25, 26, 27	2/CCLK 3/CCLK	- -	111 167	- -	ns ns
t _{SPICLKL}	SPICLK 低电平时间 - 主机 - 从机	见图 24, 25, 26, 27	2/CCLK 3/CCLK	- -	111 167	- -	ns ns
t _{SPIDSU}	SPI 数据建立时间 (主或从)	见图 24, 25, 26, 27	100	-	100	-	ns
t _{SPIDH}	SPI 数据保持时间 (主或从)	见图 24, 25, 26, 27	100	-	100	-	ns
t _{SPIA}	SPI 访问时间 (从)	见图 26, 27	0	80	0	80	ns
t _{SPI DIS}	SPI 禁止时间 (从)	见图 26, 27	0	160	-	160	ns
t _{SPIDV}	SPI 使能到输出数据有效时间 - 从机 - 主机	见图 24, 25, 26, 27	- -	160 111	- -	160 111	ns ns
t _{SPIOH}	SPI 输出数据保持时间	见图 24, 25, 26, 27	0	-	0	-	ns

续上表...

符号	参数	条件	可变时钟		f _{osc} =18MHz		单位
			最小	最大	最小	最大	
t _{SPIR}	SPI 上升时间 - SPI 输出 (SPICLK, MOSI, MISO)	见图 24, 25, 26, 27	—	100	—	100	ns
	-SPI 输入 (SPICLK, MOSI, MISO, \overline{SS})		—	2000	—	2000	ns
t _{SPIF}	SPI 下降时间 - SPI 输出 (SPICLK, MOSI, MISO)	见图 24, 25, 26, 27	—	100	—	100	ns
	- SPI 输入 (SPICLK, MOSI, MISO, \overline{SS})		—	2000	—	2000	ns

[1]如果没有特别说明，这些参数在操作温度范围内有效

[2]器件在 2MHz 下测得，但可以保证操作频率降到 0Hz 测得。

11.1 波形

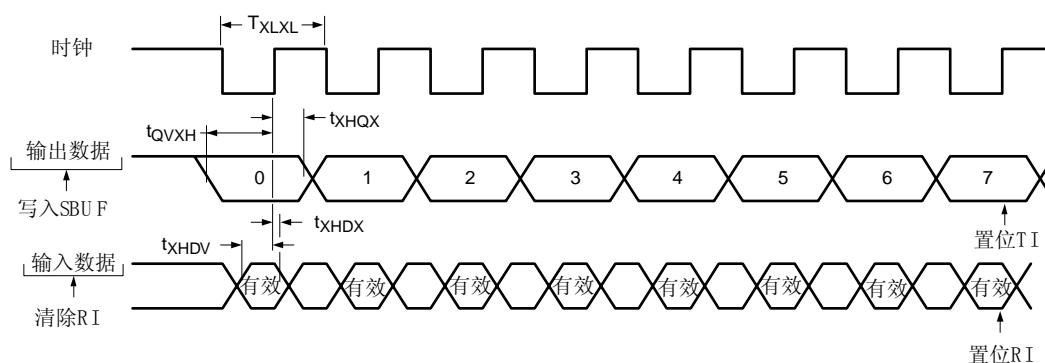


图 22 移位寄存器模式时序

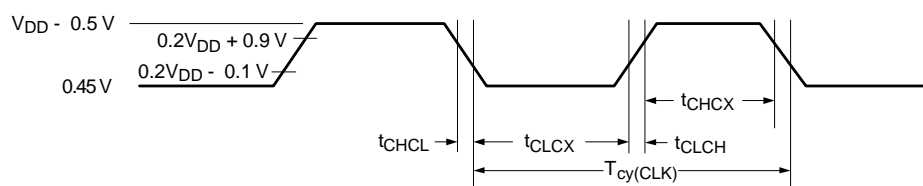


图 23 外部时钟时序

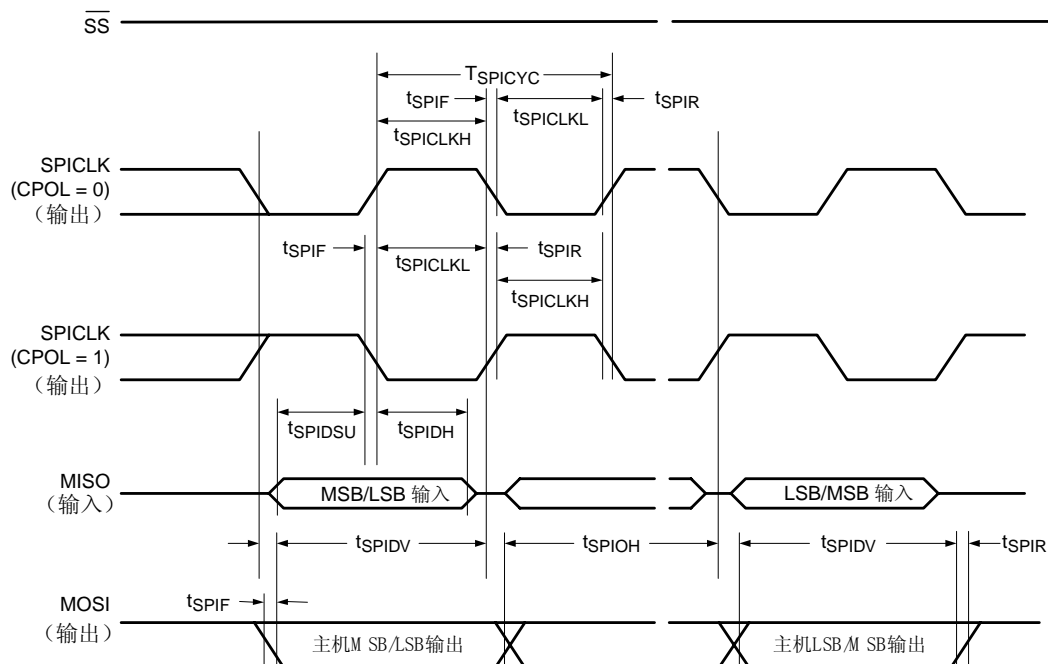


图 24 SPI 主机时序 (CPHA=0)

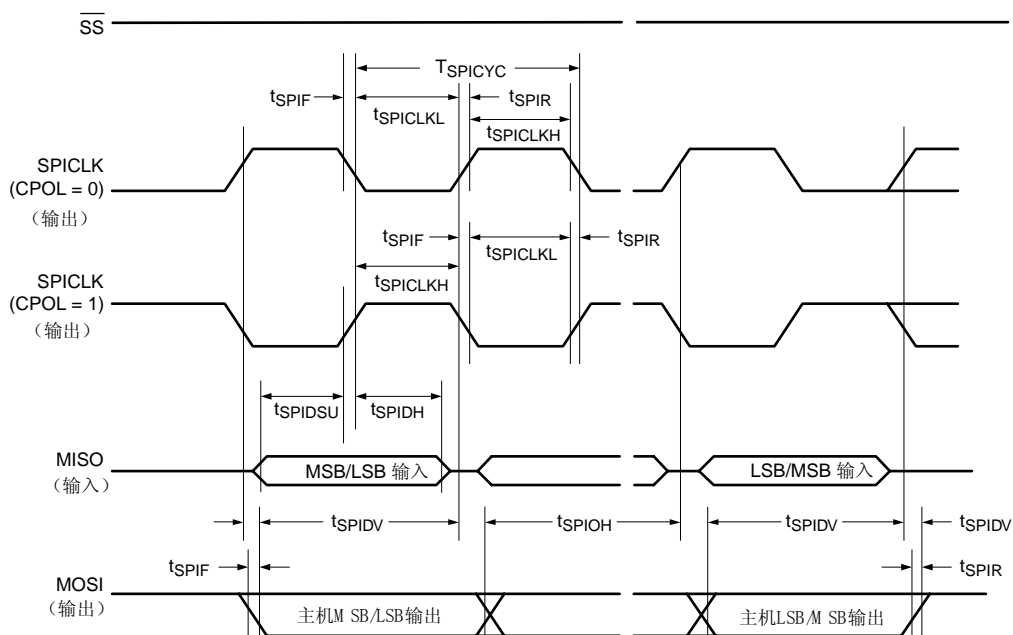


图 25 SPI 主机时序 (CPHA=1)

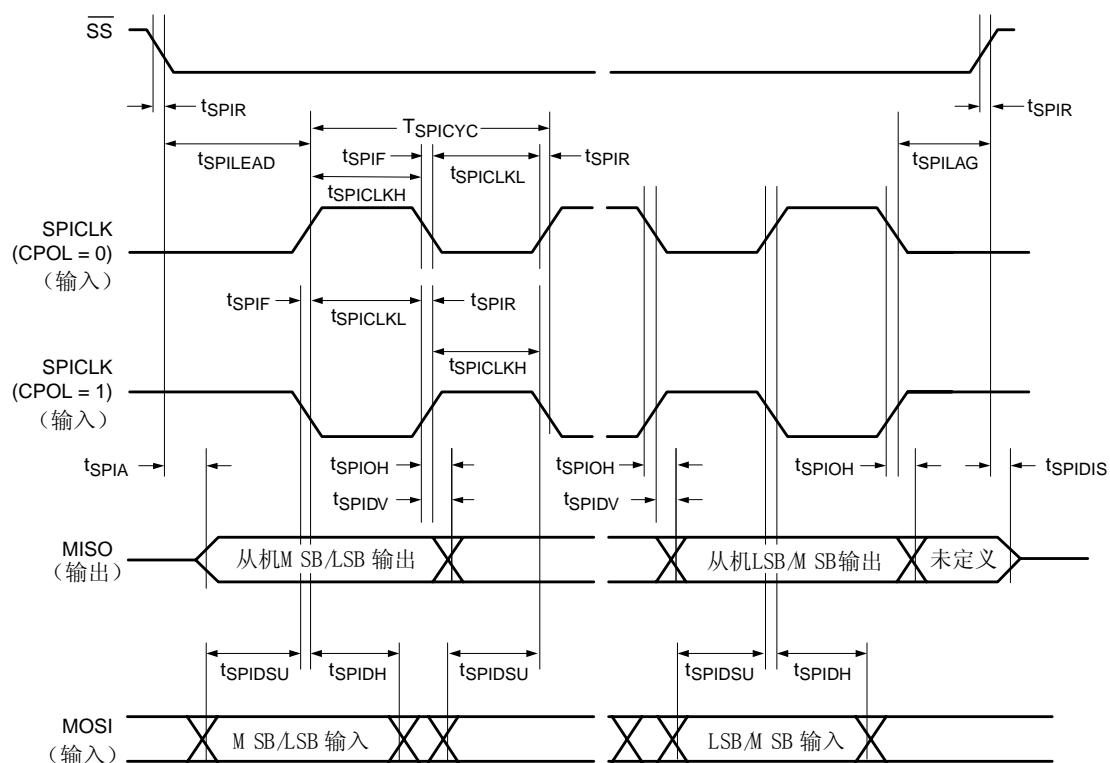


图 26 SPI 从机时序 (CPHA=0)

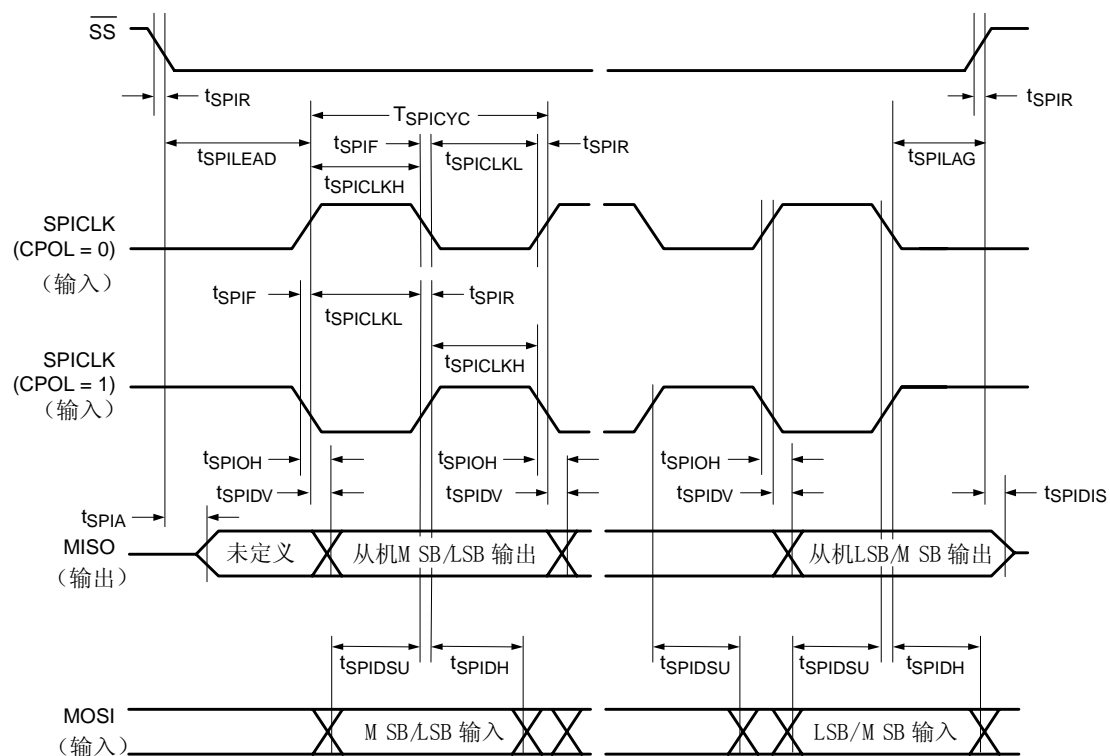


图 27 SPI 从机时序 (CPHA=1)

11.2 ISP 入口模式

表 15 动态特性, ISP 入口模式

除非特别说明, $V_{DD} = 2.4V \sim 3.6V$, $T_{amb} = -40^{\circ}C \sim +85^{\circ}C$, 工业级

符号	参数	条件	最小	典型	最大	单位
t_{VR}	V_{DD} 有效到 RST_N 的有效延迟时间	管脚 \overline{RST}	50	-	-	μs
t_{RH}	RST_N 高电平时间	管脚 \overline{RST}	1	-	32	μs
t_{RL}	RST_N 低电平时间	管脚 \overline{RST}	1	-	-	μs

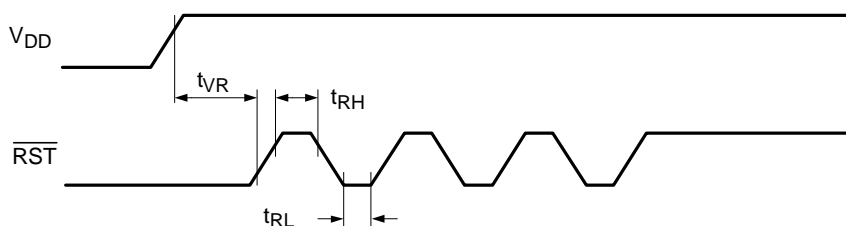


图 28 ISP 入口波形

12. 其它特性

12.1 比较器电气特性

表 16 比较器电气特性

除非特别说明, $V_{DD} = 2.4V \sim 3.6V$, $T_{amb} = -40^{\circ}C \sim +85^{\circ}C$, 工业级

符号	参数	测试条件	最小	典型	最大	单位
V_{IO}	输入偏移电压	-	-	-	± 20	mV
V_{IC}	共模输入电压	-	0	-	$V_{DD}-0.3$	V
CMRR	共模抑制比	[1]	-	-	-50	dB
$t_{res(tot)}$	整个响应时间	-	-	250	500	ns
$t_{(CE-OV)}$	比较器使能到输出有效	-	-	-	10	μs
I_{LI}	输入漏电流	$0V < V_I < V_{DD}$	-	-	± 10	μA

[1] 该参数由其特性保证, 而不是由产品测得。

13. ADC 电气特性

表 17 ADC 电气特性

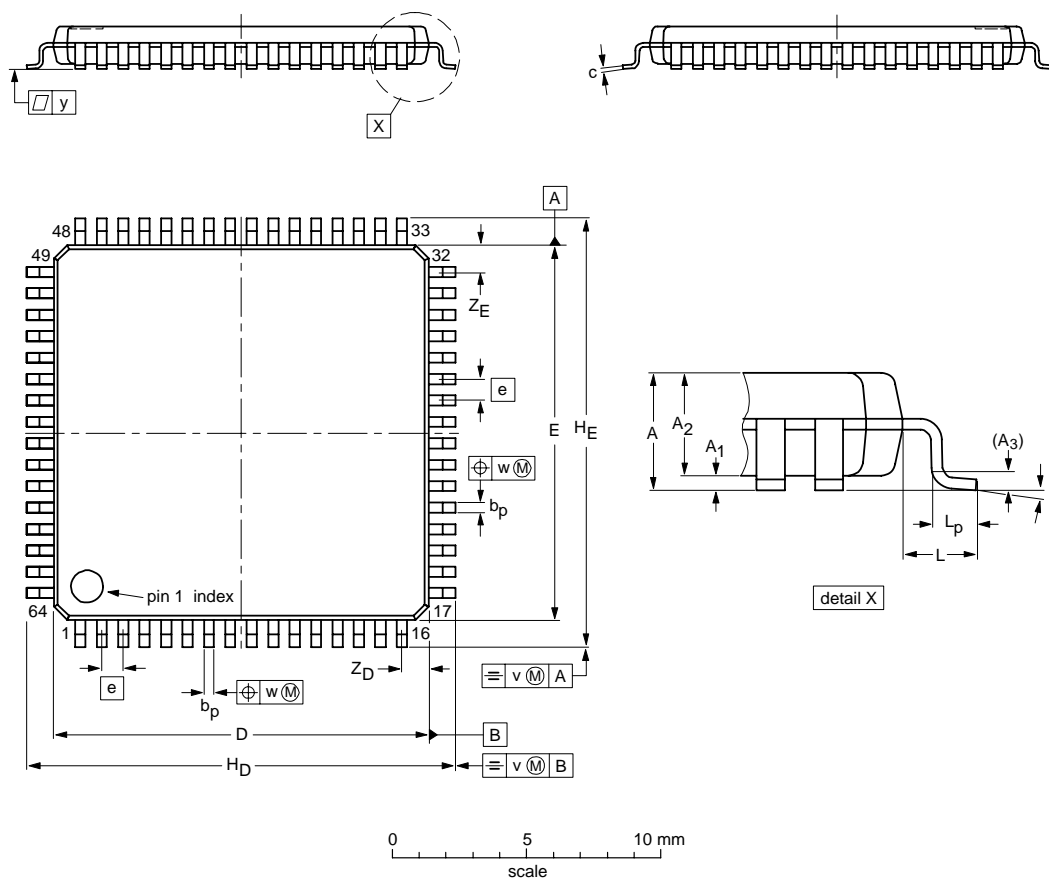
除非特别说明, $V_{DD} = 2.4V \sim 3.6V$, $T_{amb} = -40^{\circ}C \sim +85^{\circ}C$, 工业级

所有极限值对于小于 $10K\Omega$ 的外部电源阻抗都有效

符号	参数	条件	最小值	典型值	最大值	单位
V_{IA}	模拟输入电压		$V_{SS}-0.2$	-	$V_{SS}+0.2$	V
C_{ia}	模拟输入电容		-	-	15	pF
E_D	差分线性度误差		-	-	± 1	LSB
INL	积分非线性度		-	-	± 1	LSB
E_{offset}	偏移误差		-	-	± 2	LSB
E_G	增益误差		-	-	± 1	%
$E_{u(tot)}$	总不可调整误差		-	-	± 2	LSB
M_{CTC}	通道-通道匹配		-	-	± 1	LSB
$\alpha_{ct(port)}$	端口输入之间的串话	0kHz 到 100kHz	-	-	-60	dB
SR_{in}	输入斜率		-	-	100	V/ms
$T_{cy(ADC)}$	ADC 时钟周期时间		111	-	3125	ns
t_{ADC}	ADC 转换时间	ADC 使能	-	-	$36T_{cy(ADC)}$	μs

14. 封装

LQFP64: 塑料小型四方扁平封装 (LQFP) ; 64脚; 本体 14×14×1.4mm



DIMENSIONS (mm are the original dimensions)

UNIT	A max.	A ₁	A ₂	A ₃	b _p	c	D ⁽¹⁾	E ⁽¹⁾	e	H _D	H _E	L	L _p	v	w	y	Z _D ⁽¹⁾	Z _E ⁽¹⁾	q
mm	1.6	0.15 0.05	1.45 1.35	0.25	0.45 0.30	0.20 0.09	14.1 13.9	14.1 13.9	0.8	16.15 15.85	16.15 15.85	1	0.75 0.45	0.2	0.2	0.1	1.2 0.8	1.2 0.8	7° 0°

Note

1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	JEITA			
SOT791-1	136E18	MS-026	ED-7311EC			02-10-22

15. 缩写词

表 18 首字母缩写词列表

首字母缩写词	描述
ADC	模拟—数字转换器
CPU	中央处理单元
EPROM	可擦写可编程只读存储器
EEPROM	可电擦写可编程只读存储器
EMI	电磁干扰
ISP	在系统编程
LCD	液晶显示
LED	电子发光二极管
PWM	脉宽调制器
RAM	随机存储器
RC	阻容
SFR	特殊功能寄存器
SPI	串行外围接口
UART	通用异步收发器

16. 修订记录

表 19 修订记录

文件编号	发布日期	数据手册状态	更改通知	Doc.number	取代
P89LPC9408_1	2005/12/16	产品数据手册	-	-	-