

## 簡介

PT2399 是一採 CMOS 製程製造的迴音/環繞音效處理器。內建 ADC 和 DAC，可轉換類比訊號至數位處理器內產生時間延遲效果，它的特色在於內建 VCO(Voltage Control OSC)，此 VCO 可簡化外部應用線路且易於控制振盪頻率，使達到延遲時間微調的效果。同時，PT2399 採用高速的取樣頻率(Sampling Frequency)及大容量的記憶體(Memory, 44K)，使得經由 PT2399 所產生的迴音音效品質更趨細緻及真實，具有同級產品中最低的失真(THD<0.5%)及最低的雜訊(No< -90dBV)。此外，PT2399 僅 16 pin，所需外加零件極少，有助於 PCB 佈局的簡易化且能更加節省成本。

## 特色

- 低雜訊，No<-90dBV Typical
- 低失真率，THD<0.5% Typical
- 簡化外部元件
- 自動復置(Reset)功能
- 可由外部電阻調整的 VCO
- 低工作電流

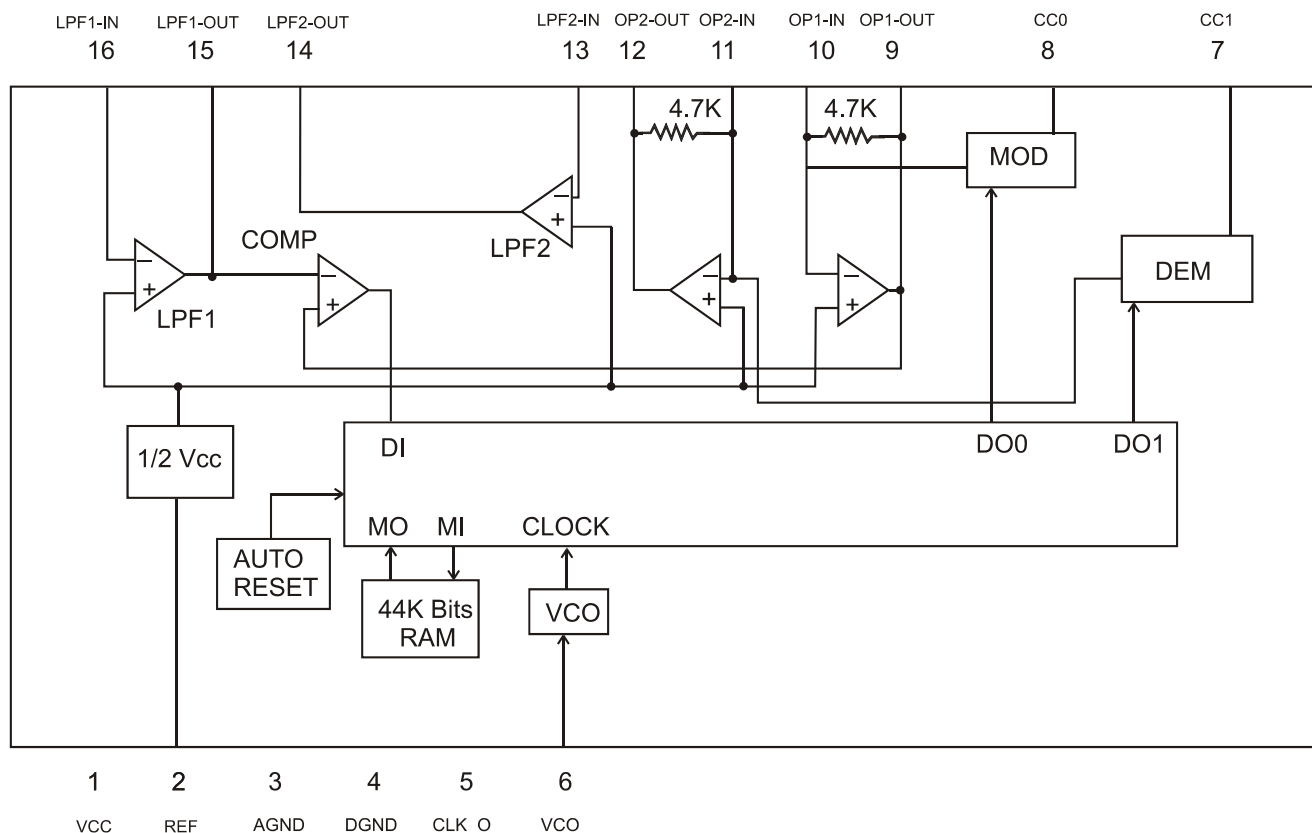
## 應用範圍

- 錄影機
- 影碟機
- 電視
- CD 唱盤
- 汽車音響
- 卡拉 OK 混音器
- 電子音樂設備
- 具有迴音音效處理器的音響設備

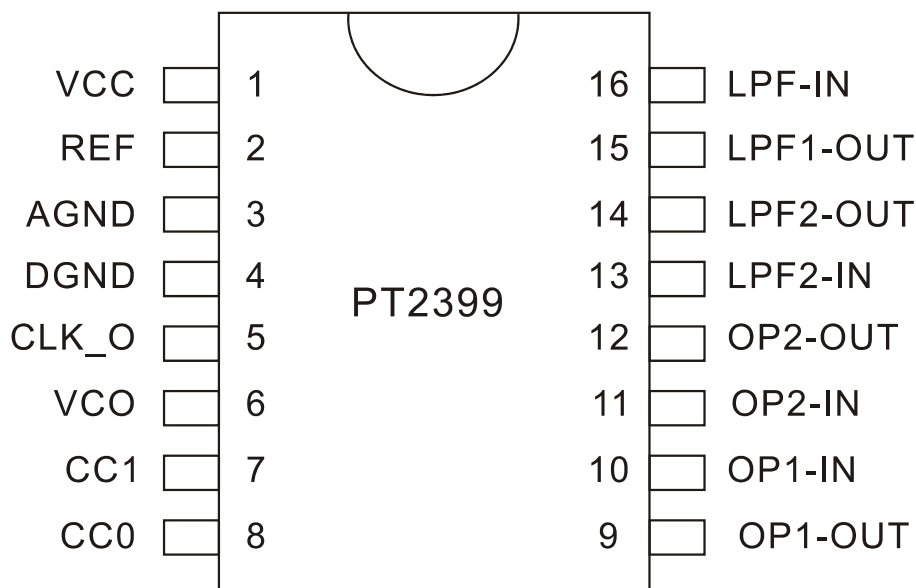
迴音/環繞音效處理器

PT2399

方塊圖



腳位圖



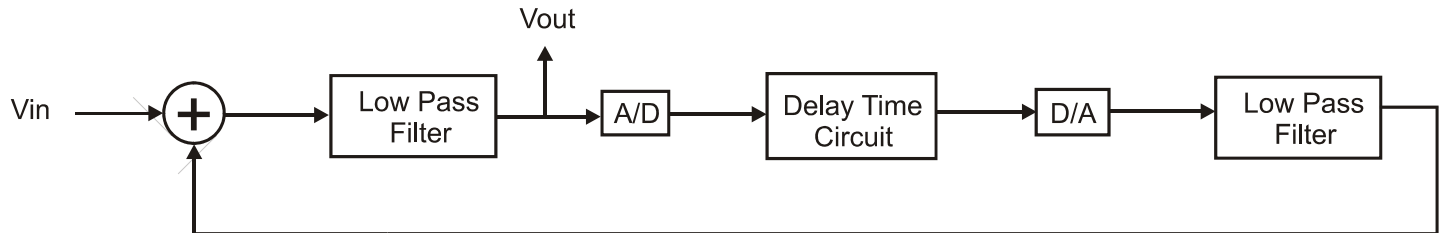
## 腳位說明

腳位名稱	I/O	敘述	腳位編號
VCC	—	類比電源輸入	1
REF	—	類比參考電壓(1/2VCC)	2
AGND	—	類比電源接地	3
DGND	—	數位電源接地	4
CLK_O	O	系統時基(clock)輸出腳位	5
VCO	I	系統時基(clock)頻率調整腳位	6
CC1	—	電流控制 1	7
CC0	—	電流控制 0	8
OP1-OUT	O	運算放大器 1 輸出/輸入腳位	9
OP1-IN	I	兩腳位並聯一電容器後，為一積分器	10
OP2-IN	I	運算放大器 2 輸入/輸出腳位	11
OP2-OUT	O	兩腳位並聯一電容器後，為一積分器	12
LPF2-IN	I	低通濾波器 2 的輸入/輸出腳位	13
LPF2-OUT	O		14
LPF1-OUT	O	低通濾波器 1 的輸出/輸入腳位	15
LPF1-IN	I		16

## 功能敘述

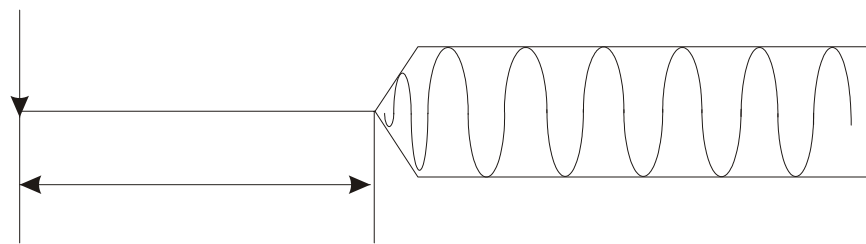
### 迴音模式

其動作原理說明請參閱下圖：



### 自動復置功能

開啓電源



復置時間 = 400 ms

## 最大容許規格

(除非特別規定，否則內定 Ta=25°C)

符號	參數	額定值	單位
VCC	供給電壓	6.5	V
Icc	供給電流	100	mA
Pd	功率消耗	1.7	W
Topr	工作環境溫度	-40~+85	°C
Tstg	儲存環境溫度	-65~+150	°C

## 建議工作條件

符號	參數	容許範圍			單位
		最小值	標準值	最大值	
Vcc	供給電壓	4.5	5	5.5	V
fck	時基頻率		4	5	MHz

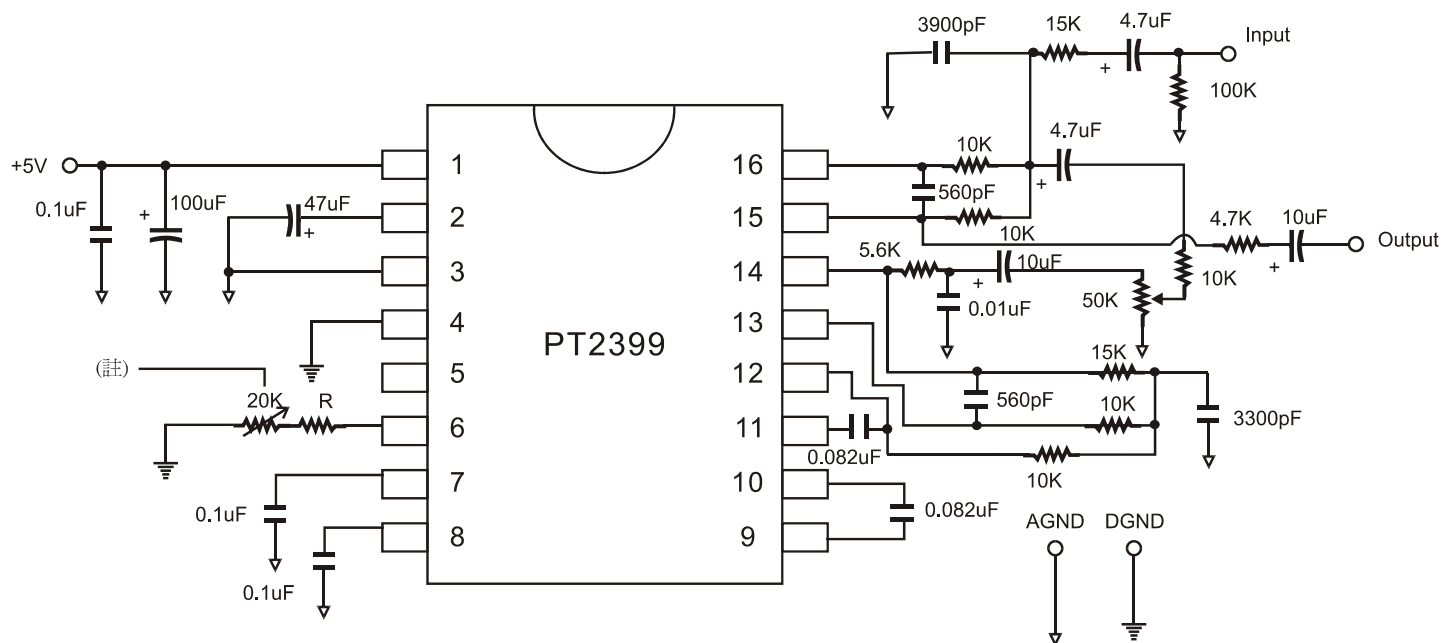
## 交流電氣特性

除非特別規定，否則內定 Vcc=5.0V，fin=1KHz，Vi=100mVrms，fck=4MHz，Ta=25°C

符號	參數	測試條件	最小	標準	最大	單位
Vcc	供給電壓		4.5	5.0	5.5	V
Icc	供給電流			30	40	mA
Gv	電壓增益	RL=47Kohms		-0.5	2.5	dB
Vomax	最大輸出電壓	THD=10%	1.5	2	2.5	Vrms
THD	總諧波失真	filter=Audio		0.3	1.0	%
No	輸出雜訊電壓	filter=A-Weighting		-90	-80	dBV
PSRR	電源互斥比 (power supply rejection ratio)	$\Delta V_{cc}=-20\text{dBV}(0.1\text{Vrms})$ f=100Hz		-40	-30	dB

應用電路圖

迴音音效

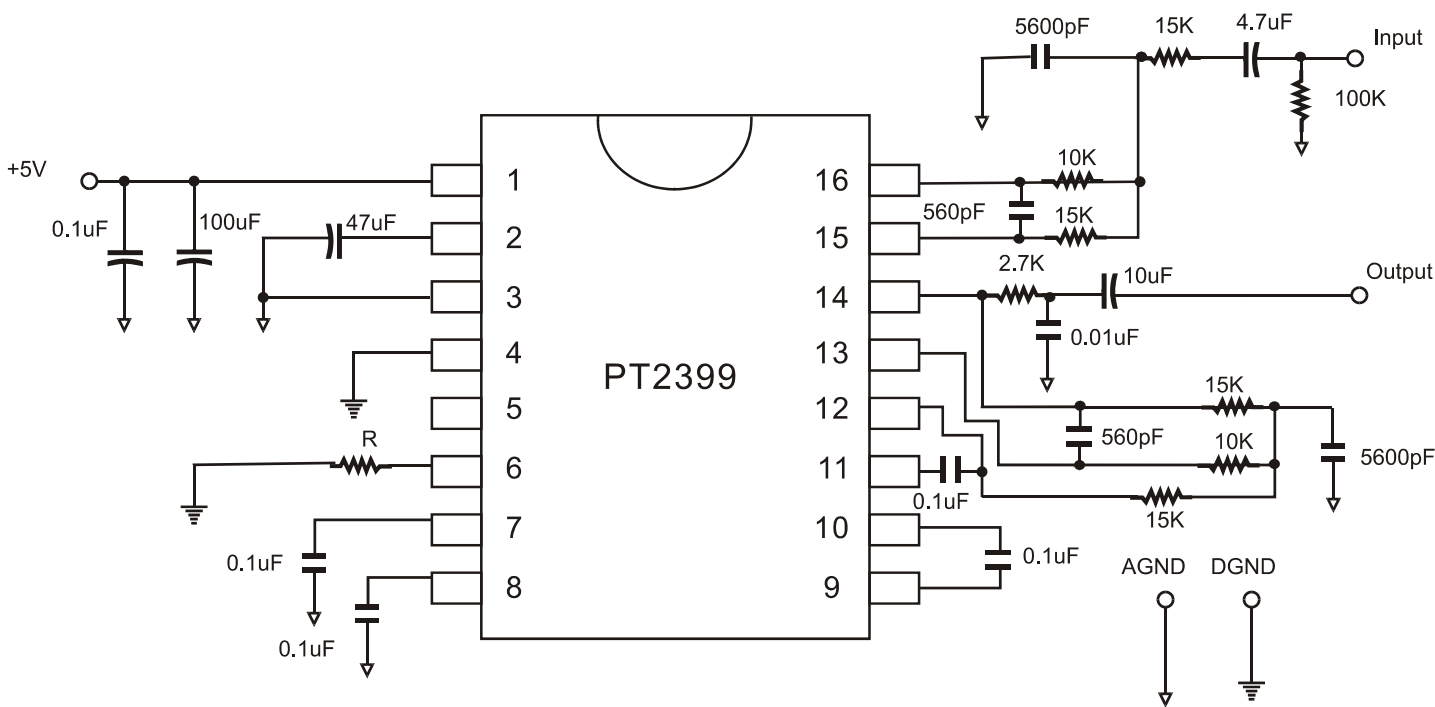


註：此外接電阻阻值可使用 10K~50K 歐姆的阻值，建議使用阻值為 10K 歐姆。當此電阻阻值增大時，延遲時間的範圍也隨著增加。

迴音/ 環繞音效處理器

PT2399

環繞延遲



註：外接電阻 R 請下列外接阻值/延遲時間對照表，而後依需要選取適當阻值。

R	27.6K	21.3K	17.2K	14.3K	12.1K	10.5K	9.2K	8.2K
fck	2.0M	2.5M	3.0M	3.5M	4.0M	4.5M	5.0M	5.5M
td	342ms	273ms	228ms	196ms	171ms	151ms	136.6ms	124.1ms
THD	1.0%	0.8%	0.63%	0.53%	0.46%	0.41%	0.36%	0.33%

R	7.2K	6.4K	5.8K	5.4K	4.9K	4.5K	4K	3.4K
fck	6.0M	6.5M	7.0M	7.5M	8.0M	8.5M	9.0M	10M
td	113.7ms	104.3ms	97.1ms	92.2ms	86.3ms	81ms	75.9ms	68.1ms
THD	0.29%	0.27%	0.25%	0.25%	0.23%	0.22%	0.21%	0.19%

R	2.8K	2.4K	2K	1.67K	1.47K	1.28K	1.08K	894
fck	11M	12M	13M	14M	15M	16M	17M	18M
td	61.6ms	56.6ms	52.3ms	48.1ms	45.8ms	43ms	40.6ms	38.5ms
THD	0.18%	0.16%	0.15%	0.15%	0.15%	0.15%	0.14%	0.14%

R	723	519	288	0.5
fck	19M	20M	21M	22M
td	36.6ms	34.4ms	32.6ms	31.3ms
THD	0.14%	0.13%	0.13%	0.13%

說明:R=外接電阻阻值(單位:Ω)  
 fck=振盪頻率(單位:Hz)  
 td=延遲時間  
 THD=總諧波失真

## 訂購資訊

產品編號	包裝型式	正印
PT2399	16 Pins, DI Package (300mil)	PT2399
PT2399S	16 Pins, SO Package (300mil)	PT2399S
PT2399 (L)	16 Pins, DI Package (300mil)	PT2399
PT2399S (L)	16 Pins, SO Package (300mil)	PT2399S

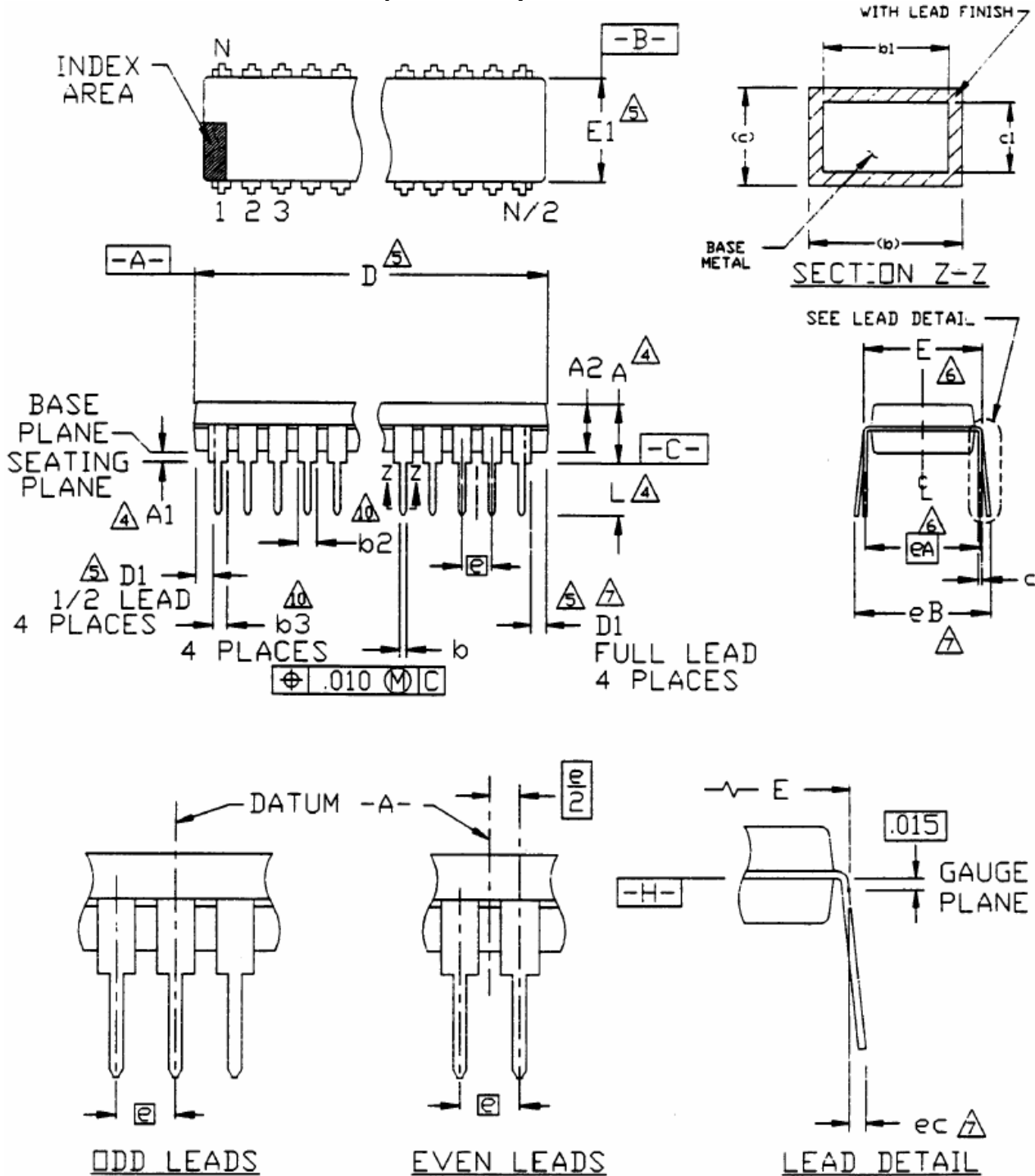
### Notes:

1. (L) = Lead Free
2. The Lead Free mark is put in front of the date code.



包裝資訊

16 PINS, DI PACKAGE (300 MIL)



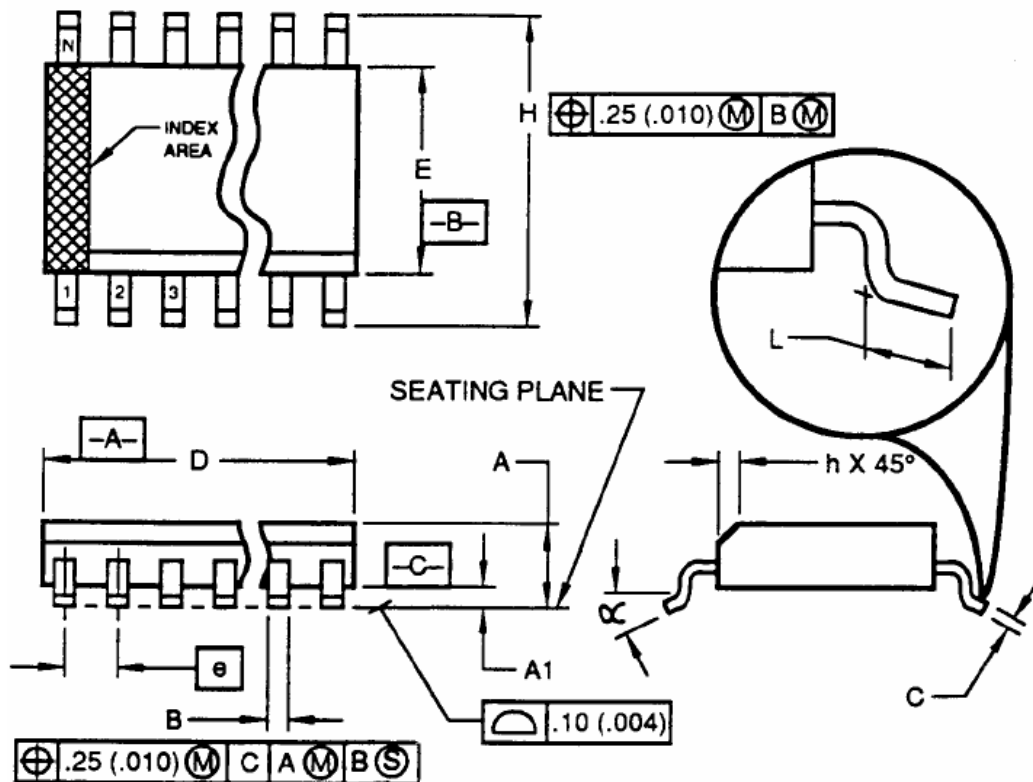
Symbol	Min.	Nom.	Max.
A	-	-	0.210
A1	0.015	-	-
A2	0.115	0.130	0.195
b	0.014	0.018	0.022
b1	0.014	0.018	0.020
b2	0.045	0.060	0.070
b3	0.030	0.039	0.045
c	0.008	0.010	0.014
c1	0.008	0.010	0.011
D	0.780	0.790	0.800
D1	0.005	-	-
E	0.300	0.310	0.325
E1	0.240	0.250	0.280
e		0.100 bsc	
eA		0.300 bsc	
eB	-	-	0.430
eC	0.000	-	0.060
L	0.115	0.130	0.150

**Notes:**

- Controlling Dimension: INCHES.
- Dimensioning and tolerancing per ANSI Y14.5M-1982.
- Dimensions A, A1 and L are measured with the package seated in JEDEC Seating Plane Gauge GS-3.
- D, D1 and E1 dimensions do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.010 inch.
- E and eA measured with the leads constrained to be perpendicular to datum -C-.
- eB and eA are measured at the lead tips with the leads unconstrained.
- N is the maximum number of terminal positions (N=16).
- Pointed or rounded lead tips are preferred to ease insertion.
- b2 and b3 maximum dimensions do not include dambar protrusions. Dambar protrusions shall not exceed 0.010 (0.25mm).
- Variation AB is a full lead package.
- Distance between leads including dambar protrusions to be 0.005 in minimum.
- Datum plane -H- coincident with the bottom of lead where lead exits body.
- Refer to JEDEC MS-001 Variation AB.

JEDEC is the registered trademark of JEDEC SOLID STATE TECHNOLOGY ASSOCIATION.

16 PINS, SO PACKAGE (300 MIL)



Symbol	Min.	Max
A	2.35	2.65
A1	0.10	0.30
B	0.33	0.51
C	0.23	0.32
D	10.10	10.50
E	7.40	7.60
e	1.27 BSC	
H	10.00	10.65
h	0.25	0.75
L	0.40	1.27
α	0°	8°

Notes:

1. Controlling Dimension: MILLIMETER
2. Dimensioning and tolerancing per ANSI Y14.5M-1982.
3. Dimension D does not include mold flash, protrusions or gate burrs. Mold flash, protrusions and gate burrs shall not exceed 0.15mm (0.006 in) per side.
4. Dimension E does not include interlead flash or protrusions. Interlead flash and protrusions shall not exceed 0.25 mm (0.010 in.) per side.
5. The chamfer on the body is optional. If it is not present, a visual index feature must be located within the crosshatched area.
6. L is the length of the terminal for soldering to a substrate.
7. N is the number of terminal positions (N=16).
8. The lead width B, as measured 0.36 mm (0.014in) or greater above the seating plane, shall not exceed a maximum value of 0.61mm (0.024in.)
9. Refer to JEDEC MS-013 Variation AA.

JEDEC is the registered trademark of JEDEC SOLID STATE TECHNOLOGY ASSOCIATION.