

S3C44B0X 中文数据手册

目 录

S3C44B0X 中文数据手册	1
16 IIC 总线接口	2
16. 4 S3C44B0X 的 I ² C 接口	2
16. 4. 1 读写操作	2
16. 4. 2 配置 IIC 总线	2
16. 4. 3 各种模式下的操作流程	2
16. 4. 4 I ² C 总线接口专用寄存器	7
16. 4. 4. 1 多主 I ² C 总线控制寄存器 (IICCON)	7
16. 4. 4. 2 I ² C 状态寄存器 (IICSTAT)	8
16. 4. 4. 3 I ² C 总线地址寄存器	8
16. 4. 4. 4 I ² C 总线发送/接收数据移位寄存器 (IICDS)	8

16 IIC 总线接口

16. 4 S3C44B0X 的 I²C 接口

S3C44B0X 处理器支持多主模式的 I²C 总线串行接口。S3C44B0X 采用专门的串行数据线 (SDA) 和串行时钟线 (SCL)，与总线上的其它外设传输信息。

S3C44B0X 支持的操作模式有：

- 主设备发送模式；
- 主设备接收模式；
- 从设备发送模式；
- 从设备接收模式。

16. 4. 1 读写操作

在发送器模式下，数据被发送之后，I²C 总线接口会等待直到 IICDS (I²C 数据移位寄存器) 被程序写入新的数据。在新的数据被写入之前，SCL 线都被拉低。新的数据写入之后，SCL 线被释放。S3C44B0X 利用中断来判别当前数据字节是否已经完全送出。在 CPU 接收到中断请求后，再中断处理中再次将下一个新的数据写入 IICDS，如此循环。

在接收模式下，数据被接收到后，I²C 总线接口将等待直到 IICDS 寄存器被程序读出。在数据被读出之前，SCL 线保持低电平。新的数据从读出之后，SCL 线才释放。S3C44B0X 也利用中断来判别是否接收到了新的数据。CPU 收到中断请求之后，处理程序将从 IICDS 读取数据。

16. 4. 2 配置 IIC 总线

要控制串行时钟 SCL 的频率，可以通过 IICCON 寄存器中的 4 位预分频值来设置。I²C 总线接口地址保存在 IIC 总线地址寄存器 IICADD 内。参考 3.4.4 节。

16. 4. 3 各种模式下的操作流程

在任何 IIC 发送/接收操作中，遵循以下步骤：

- 1) 如果需要，在自身的从地址寄存器 IICADD 中写入地址；
- 2) 设置 IICCON 寄存器：a) 使能中断；b) 定义 SCL 周期；
- 3) 设置 IICSTAT 来使能串行输出

发送/接收数据流程图如下：

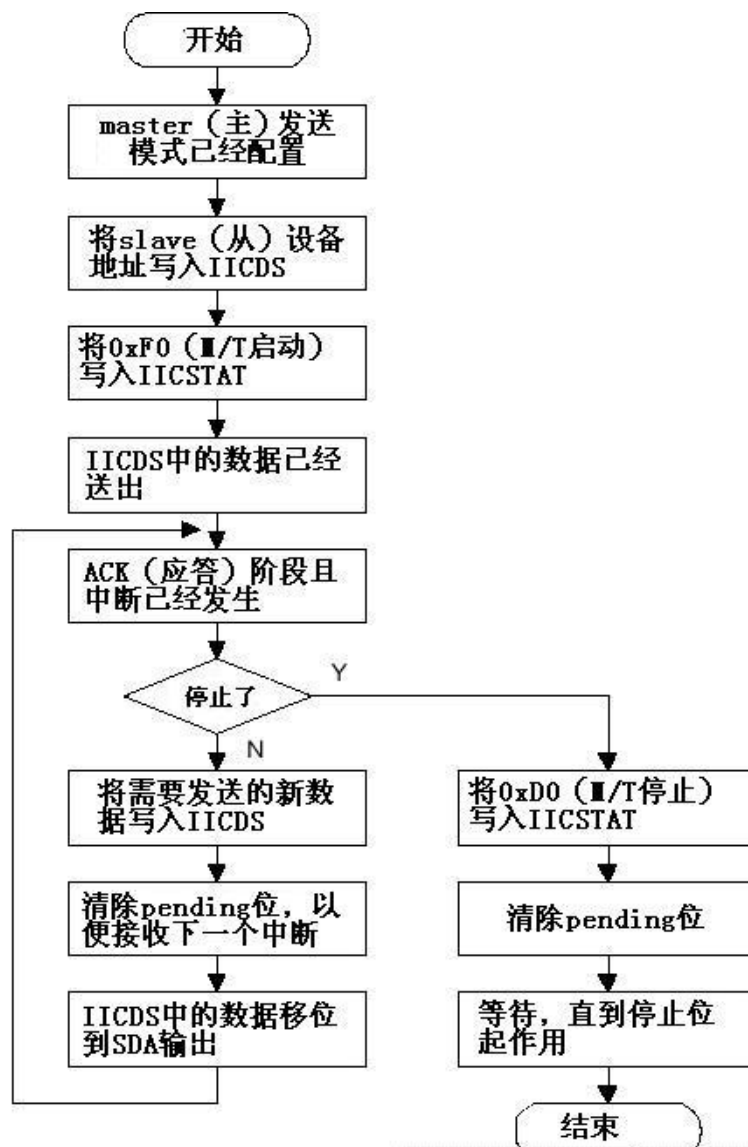


图 12-8 IIC 主 (master) 模式发送数据流程

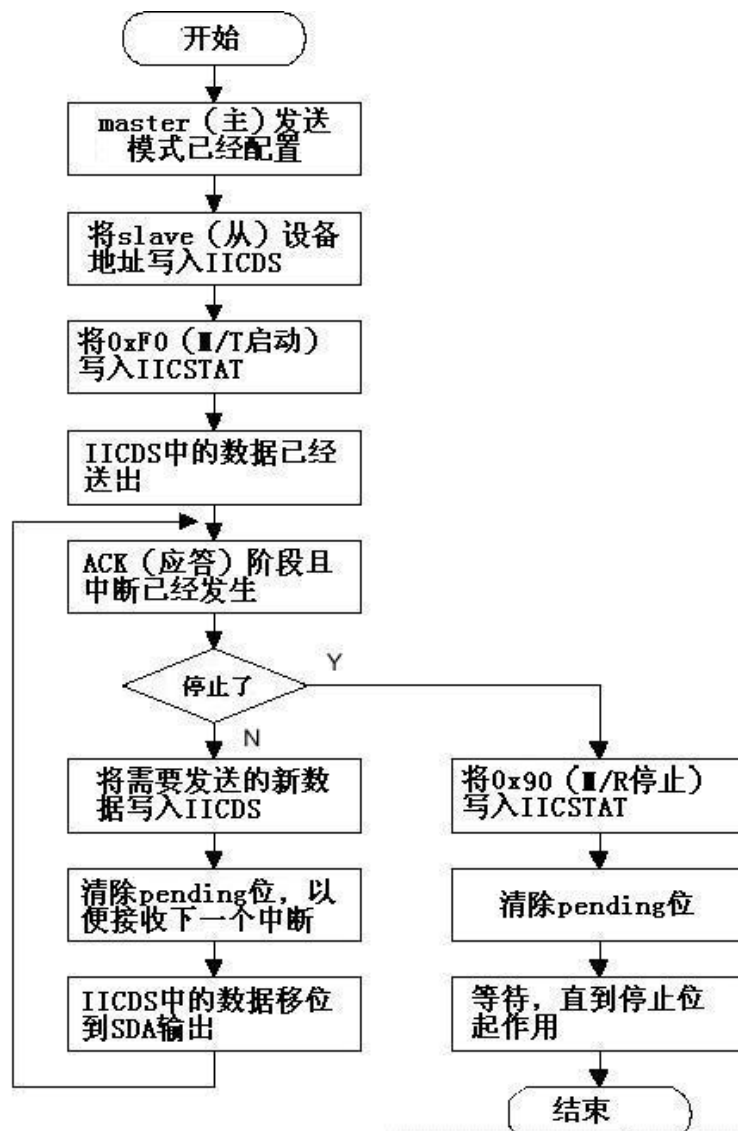


图 12-9 IIC 主(master)模式接收数据流程

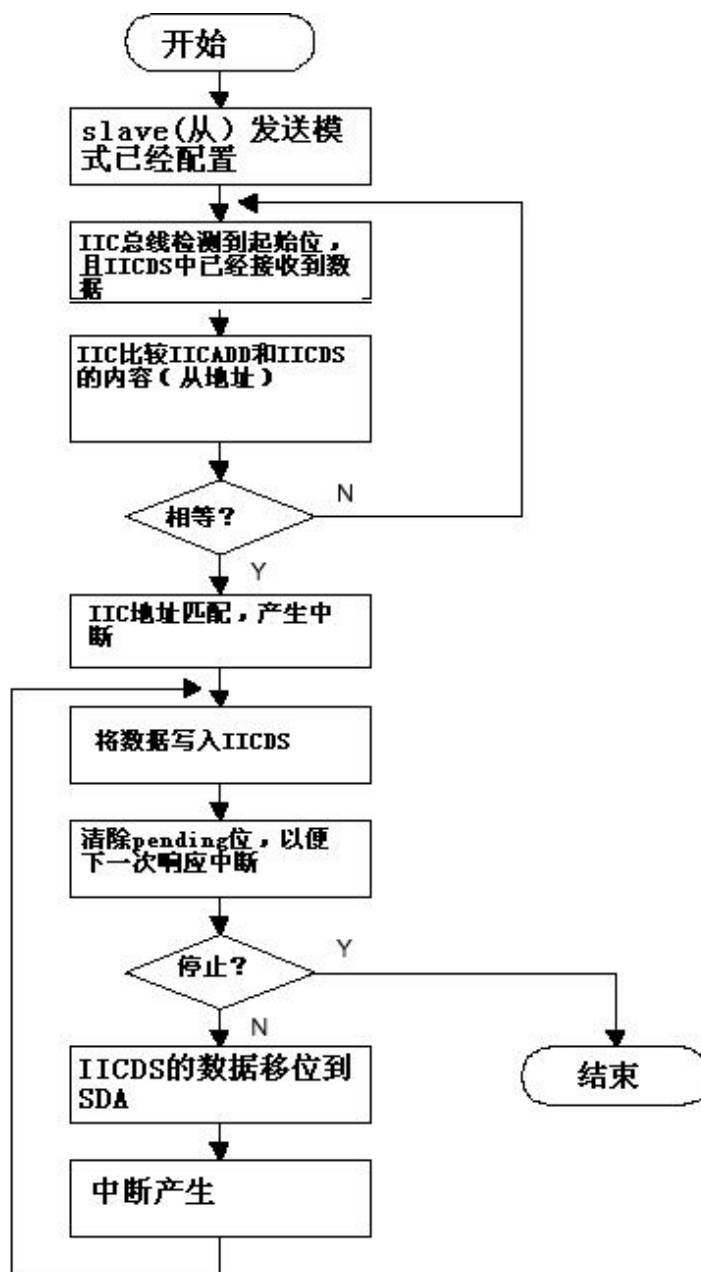


图 12-10 IIC 总线从 (slave) 模式发送数据流程

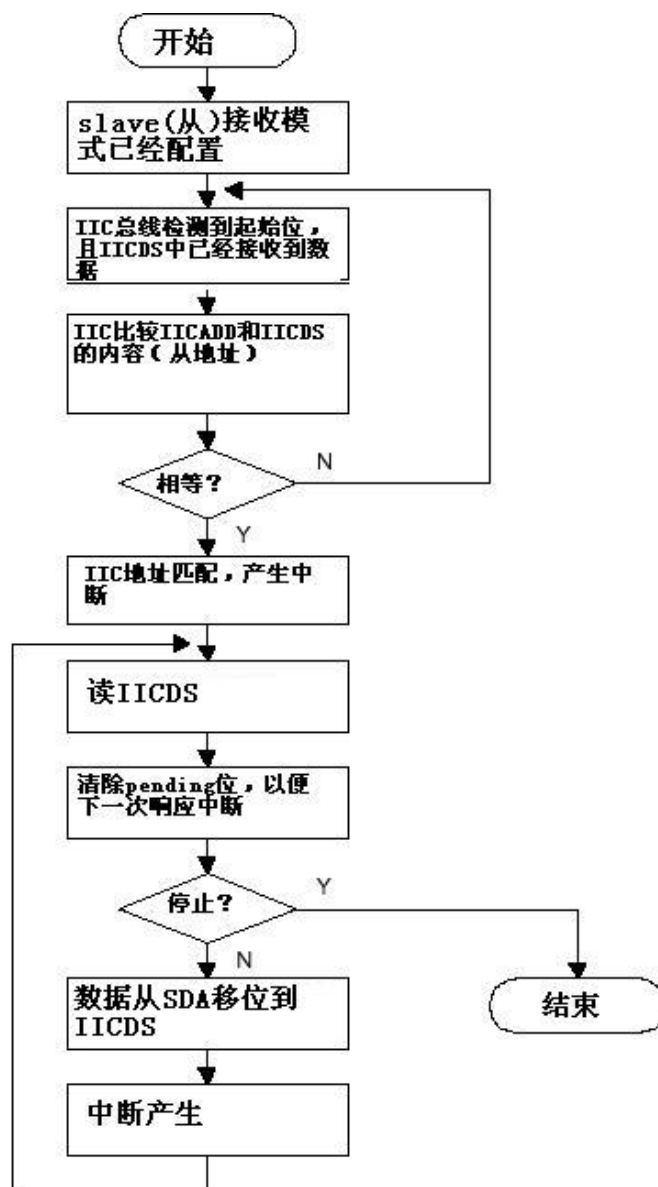


图 12-11 IIC 总线从 (slave) 模式接收数据流程

16. 4. 4 I²C 总线接口专用寄存器

16. 4. 4. 1 多主 I²C 总线控制寄存器 (IICCON)

IICCON	Bit	Description	Initial State
应答使能	[7]	IIC总线应答使能 0=Disable ACK generation 1=Enable ACK generation 在输出模式下，IICSDA在ACK时间被释放。 在输入模式下，IICSDA在ACK时间内被拉低。	0
输出时钟源选择	[6]	IIC总线发送时钟预分频选择位 0 = IICCLK = $f_{MCLK}/16$ 1 = IICCLK = $f_{MCLK}/512$	0
发送/接收中断使能	[5]	IIC总线中断使能 0 = Disable interrupt, 1 = Enable interrupt	0
中断pending位	[4]	IIC总线未处理中断标志 Writing 1 is impossible. When this bit is read as 1, the IIC is tied to L and the IIC is stopped. To resume the operation, clear this bit as 0. 0 = 1) No interrupt pending (when read), 2) Clear pending condition & Resume the operation (when write). 1 = 1) Interrupt is pending (when read) 2) N/A (when write)	0
发送时钟值	[3:0]	发送时钟预分频器的值 IIC-Bus transmit clock frequency is determined by this 4-bit prescaler value, according to the following formula: Tx clock = IICCLK/(IICCON[3:0]+1)	Undefined

16. 4. 4. 2 I²C 状态寄存器 (IICSTAT)

IICSTAT	Bit	Description	Initial State
模式选择	[7:6]	IIC总线主/从, 发送/接收工作模式选择位 00: 从接收模式 01: 从发送模式 10: 主接收模式 11: 主发送模式	0
忙信号状态/ 起始停止条件	[5]	IIC总线忙信号状态位 0 = 被读取时为0, 表示总线不忙 写入0, 产生停止条件 1 = 被读取值为1, 表示总线忙 写入1, 产生起始条件 IICDS中的数据, 在起始条件之后自动被送出。	0
串行输出使能	[4]	串行输出使能/禁止 0=Disable Rx/Tx, 1=Enable Rx/Tx	0
仲裁状态位	[3]	IIC总线仲裁程序状态标志位 0 = Bus arbitration successful 1 = Bus arbitration failed during serial I/O	0
从地址状态标志位	[2]	IIC总线从地址状态标志位 0 = 在探测到起始或停止条件时, 被清零 1 = 如果接收到的从设备地址与保存在IICADD中的地址相符, 则置1	0
0地址状态标志	[1]	IIC总线0地址状态标志位 0 = 在探测到起始或停止条件时, 被清零 1 = 如果接收到的从设备地址为0	0
最后接收到的位 (应答位) 状态标志寄存器	[0]	应答位状态标志寄存器 0 = 最后接收位为0 (ACK接收到了) 1 = 最后接收位为1 (ACK没有接收到)	0

16. 4. 4. 3 I²C 总线地址寄存器

IICADD	Bit	Description	Initial State
从设备地址	[7:0]	7位的从设备地址。 如果IICSTAT中的串行输出使能位为0, IICADD就变得写使能。但IICADD无论何时都是可读的。 Slave address = [7:1] Not mapped = [0]	XXXX_XXXX

16. 4. 4. 4 I²C 总线发送/接收数据移位寄存器 (IICDS)

IICDS	Bit	Description	Initial State
数据移位寄存器	[7:0]	IIC接口发送/接收数据所用的8位数据寄存器: 当IICSTAT中的串行数据输出使能位为1, 则IICDS写使能。但IICDS在任何时候都是可读的。	XXXX_XXXX