

SC16C2550B—带 16 字节 FIFO 的 5V、3.3V 和 2.5V 双 UART (最大 5Mbit/s)

1. 描述

SC16C2550B 是用于串行通信的 2 通道通用异步收发器 (UART)。它的基本功能是将并行数据转换成串行数据, 反之亦然。UART 可处理高达 5Mbit/s 的串行数据。

SC16C2550B 的管脚与 ST16C2550 兼容。上电后的功能等效于 16C2450。SC16C2550B 还提供了一些增强型 UART 功能: 16 字节 FIFO、调制解调器控制接口、DMA 模式数据传输。DMA 模式数据传输受 FIFO 触发点、TXRDY 和 RXRDY 信号的控制。片内的状态寄存器为用户提供错误指示和器件的工作状态。可通过软件对系统中断和调制解调器控制特性进行调整来满足特定的用户要求。内部的环回功能实现了片内的故障诊断。独立的可编程波特率发生器可用来选择发送和接收的波特率。

SC16C2550B 可工作在 5V、3.3V 和 2.5V 的电压下和工业级温度范围内, 含有塑料 PLCC44、LQFP48 和 DIP40 3 种封装形式。

2. 特性

- 2 通道 UART。
- 5V、3.3V 和 2.5V 的工作电压。
- 工业级温度范围。
- 管脚和功能与 16C2450 兼容, 软件兼容 INS8250 和 SC16C550。
- 5V 和 3.3V 电压下数据速率高达 5Mbit/s, 2.5V 电压下的数据速率为 3Mbit/s。
- 16 字节的发送 FIFO, 可降低外部 CPU 的带宽要求。
- 带错误标志的 16 字节接收 FIFO, 可降低外部 CPU 的带宽要求。
- 独立的发送和接收 UART 控制。
- 4 种可选的接收 FIFO 中断触发点。
- 可软件选择的波特率发生器。
- 标准异步错误和数据帧位 (起始、停止和奇偶超时间隔)。
- 发送、接收、线状态和数据设置中断可单独控制。
- 完全可编程的字符格式:
 - ◆ 5-, 6-, 7-或 8-位字符
 - ◆ 偶、奇或无奇偶格式
 - ◆ 1-, $1\frac{1}{2}$ 或 2-停止位
 - ◆ 波特率产生 (DC 到 1.5Mbit/s)
- 错误起始位的检测。
- 完善的状态报告功能。
- 双向数据总线和控制总线的 3 态输出 TTL 驱动能力。
- Line Break 的产生和检测。
- 内部故障诊断功能:
 - ◆ 用于通信链路的故障隔离的环回控制。
- 中断优先级系统控制。
- 调制解调器控制功能 ($\overline{\text{CTS}}$ 、 $\overline{\text{RTS}}$ 、 $\overline{\text{DSR}}$ 、 $\overline{\text{DTR}}$ 、 $\overline{\text{RI}}$ 、 $\overline{\text{DCD}}$)。

3. 订购信息

表 1 订购信息

器件类型	封装		
	名称	描述	版本
SC16C2550BIN40	DIP40	塑料双列直插; 40 脚 (600mil)	SOT129-1
SC16C2550BIA44	PLCC44	塑料有引线芯片载体; 44 脚	SOT187-2
SC16C2550BIB48	LQFP48	塑料小尺寸四方扁平封装; 48 脚; 本体大小: 7×7×1.4mm	SOT313-2

4. 功能框图

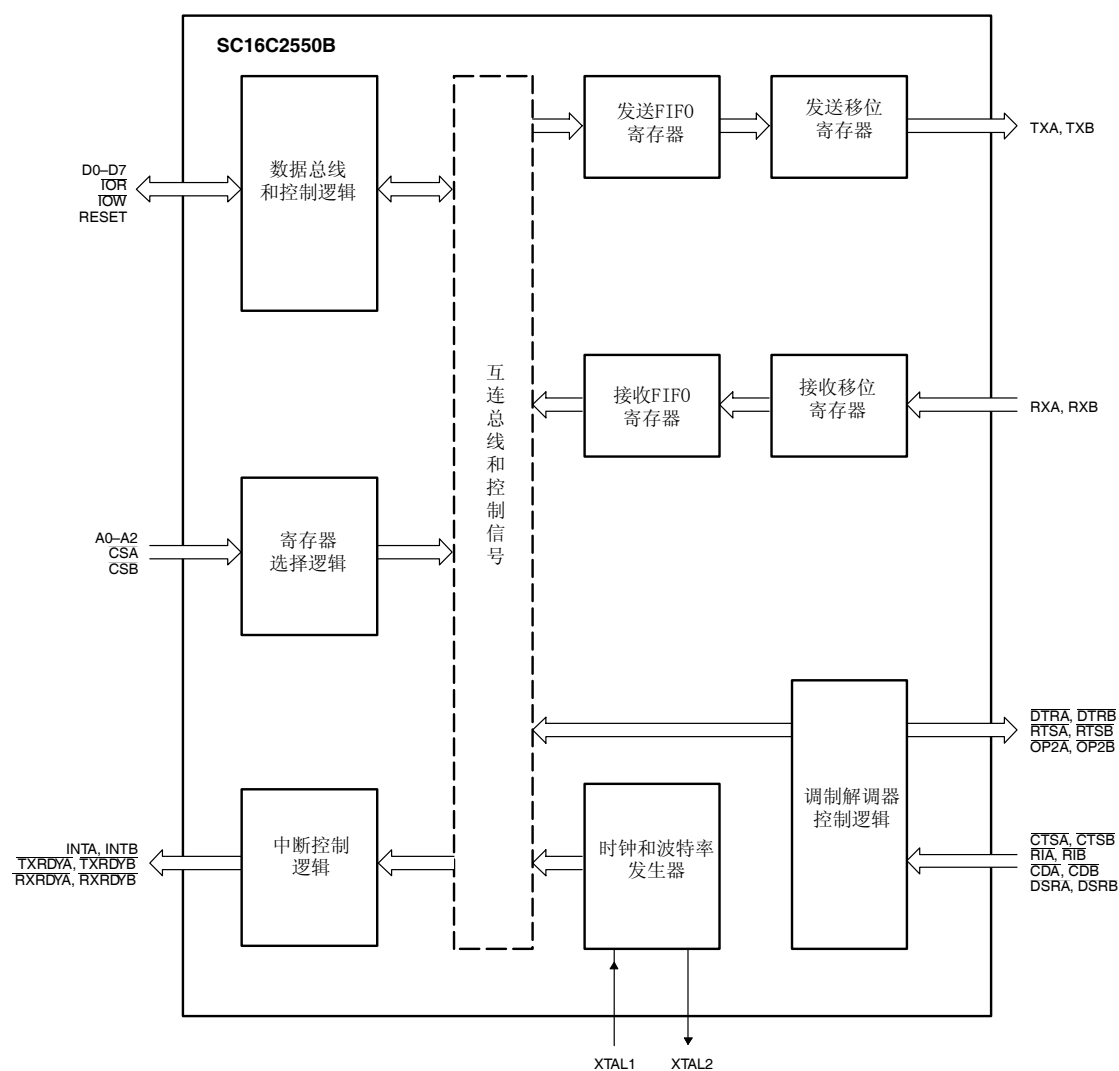


图 1 SC16C2550B 功能框图

5. 管脚信息

5.1 管脚

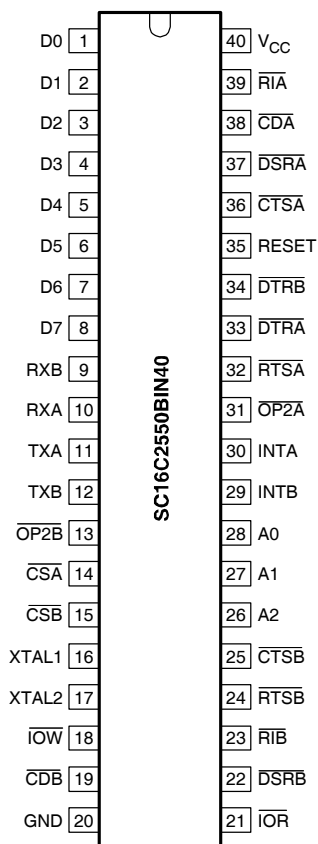


图 2 DIP40 管脚配置

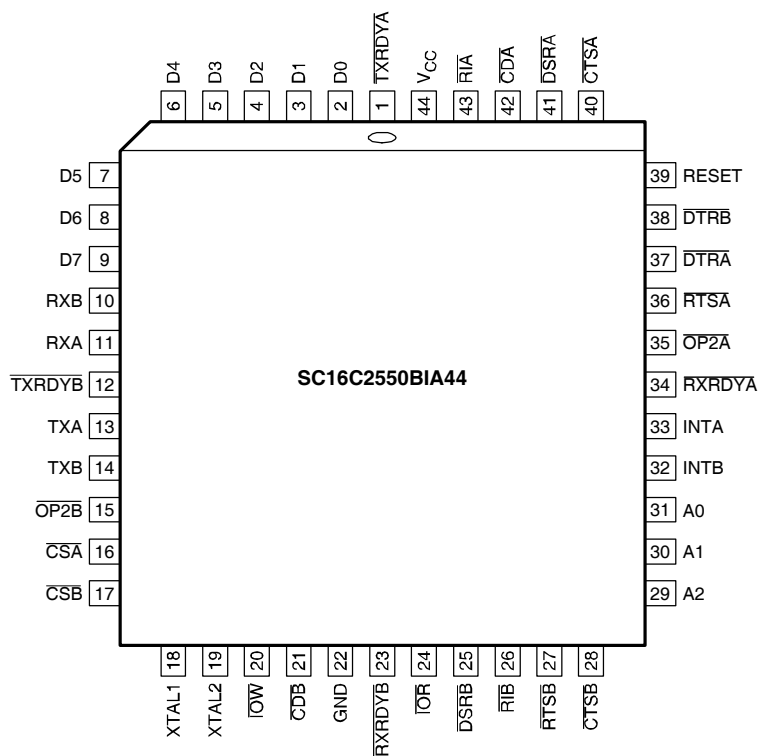


图 3 PLCC44 管脚配置

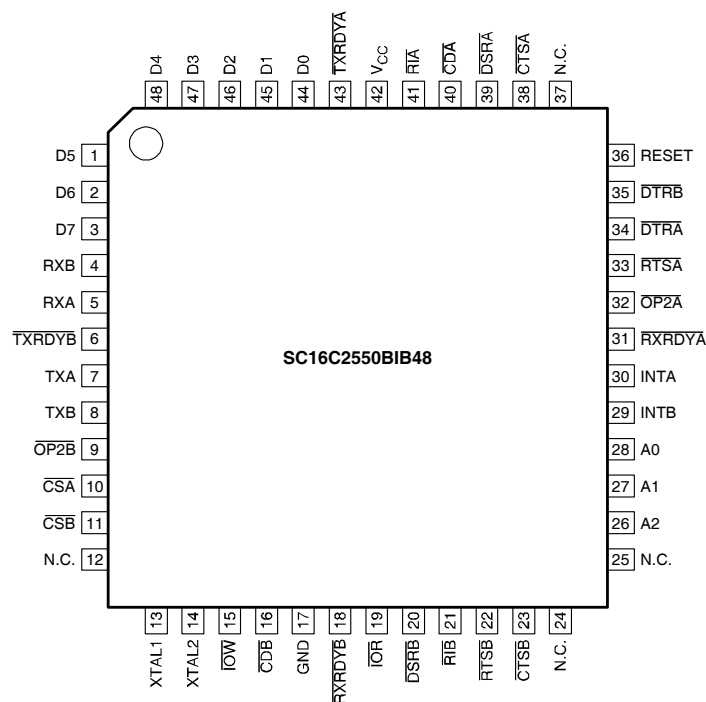


图 4 LQFP48 管脚配置

5.2 管脚描述

表 2 管脚描述

符号	管脚			类型	描述
	DIP40	PLCC44	LQFP48		
A0	28	31	28	I	地址 0 选择位。 内部寄存器地址选择。
A1	27	30	27	I	地址 1 选择位。 内部寄存器地址选择。
A2	26	29	26	I	地址 2 选择位。 内部寄存器地址选择。
$\overline{CSA}, \overline{CSB}$	14,15	16,17	10,11	I	芯片选择 A,B (低电平有效)。 管脚功能与通道 A—B 有关。这两个管脚用来使能用户 CPU 和 SC16C2550B 被寻址通道之间的数据传输。每个 UART (A,B) 分别通过使 $\overline{CSA}, \overline{CSB}$ 管脚变为低电平来寻址。
D0~D7	1-8	2-9	44-48, 1-3	I/O	数据总线 (双向)。 这些管脚是发送或接收控制 CPU 数据的 8 位、3 态数据总线。D0 是最低位, 也是发送或接收的串行数据流的第一个数据位。
GND	20	22	17	I	信号和电源地。
INTA, INTB	30,29	33, 32	30, 29	O	中断 A,B (3 态)。 管脚功能与 INTA, INTB 通道的中断有关。MCR 位 3 置位时 INTA 和 INTB 使能, 中断的使能由中断使能寄存器 (IER) 来控制, 中断条件出现时中断有效。中断条件包括: 接收器出错、接收缓冲区的数据可用、发送缓冲区为空或检测到一个调制解调器状态标志。

续上表

符号	管脚			类型	描述
	DIP40	PLCC44	LQFP48		
$\overline{\text{IOR}}$	21	24	19	I	读选通 (选通低有效) 。当该管脚变为逻辑 0 时,地址位 A0-A2 定义的内部寄存器的内容放置到 SC16C2550B 的数据总线上 (D0-D7), 供外部 CPU 访问。
$\overline{\text{IOW}}$	18	20	15	I	写选通 (选通低有效) 。当该管脚变为逻辑 0 时,数据总线 (D0-D7) 的数据从外部 CPU 写入地址位 A0-A2 定义的内部寄存器中。
$\overline{\text{OP2A}}$, $\overline{\text{OP2B}}$	31, 13	35, 15	32, 9	O	输出 2 (用户定义) 。管脚功能与通道 A—B 有关。这两个管脚的状态由用户通过 MCR 寄存器的位 3 来定义。当 MCR[3]置位时, INTA 和 INTB 设置成有效模式, $\overline{\text{OP2}}$ 为逻辑 0。当 MCR[3]清零时, INTA 和 INTB 设置成 3 态模式, $\overline{\text{OP2}}$ 为逻辑 1。请参考模式控制寄存器位 3 的描述 (MCR[3])。因此, 这两位控制着 INTA、INTB 的操作和 $\overline{\text{OP2}}$ 的输出, 但一次只能使用一种功能—INT 或 $\overline{\text{OP2}}$ 。
RESET	35	39	36	I	复位 (高电平有效) 。当管脚为逻辑 1 时, 内部寄存器和所有的输出被复位。UART 发送器输出和接收器输入在复位期间被禁能。(详见 7.10 节“SC16C2550B 外部复位条件”)
$\overline{\text{RXRDYA}}$, $\overline{\text{RXRDYB}}$	-	34, 23	31, 18	O	接收准备就绪 A, B (低电平有效) 。只有 PLCC44 和 LQFP48 封装包含该功能。该功能为每个接收通道 (A-B) 提供 RX FIFO/RHR 状态。 $\overline{\text{RXRDYn}}$ 主要用来监测接收数据 FIFO 的 DMA 模式 1 传输。管脚为 0 来指示有可读取/装入的接收数据, 即指示 FIFO/RHR 中有一个或多个 RX 字符的接收准备就绪状态。当 FIFO/RHR 为空或未达到编程触发点时该管脚为逻辑 1。该信号也可用于单模式传输 (DMA 模式 0)。
$\overline{\text{TXRDYA}}$, $\overline{\text{TXRDYB}}$	-	1, 12	43, 6	O	发送准备就绪 A, B (低电平有效) 。只有 PLCC44 和 LQFP48 封装包含该功能。这些输出为每个发送通道 (A-B) 提供 TX FIFO/THR 状态。 $\overline{\text{TXRDYn}}$ 主要用来监测 DMA 模式 1 传输的发送数据 FIFO。每个通道的 $\overline{\text{TXRDYA}}$, $\overline{\text{TXRDYB}}$ 缓冲区准备就绪状态通过管脚的逻辑 0 电平指示, 即 FIFO 或 THR 中至少有一个地址单元为空。当 FIFO 或 THR 中没有空的地址单元时管脚变为逻辑 1 电平(DMA 模式 1)。该信号也可用于单模式传输 (DMA 模式 0)。
Vcc	40	44	42	I	电源输入 。

续上表

符号	管脚			类型	描述
	DIP40	PLCC44	LQFP48		
XTAL1	16	18	13	I	晶体或外部时钟输入。 该管脚可用作一个晶体输入或外部时钟输入。晶体可连接到该管脚和 XTAL2 之间构成一个内部振荡电路。另外,也可在 XTAL1 管脚上连接一个外部时钟来实现特定的数据传输速率(见 6.5 节“可编程波特率发生器”)。见图 5。
XTAL2	17	19	14	O	晶振或缓冲时钟的输出。 (见 XTAL1) 晶体振荡器输出或缓冲时钟输出。如果 XTAL1 连接了一个外部时钟, XTAL2 应当悬空。在扩展频率的操作中,该管脚应通过一个 2kΩ 的电阻连接到 Vcc。
$\overline{\text{CDA}}$, $\overline{\text{CDB}}$	38, 19	42, 21	40, 16	I	载波检测(低电平有效)。 这两个输入与 UART 通道 A-B 有关。该管脚的逻辑 0 用来指示调制解调器检测到某个通道的载波。
$\overline{\text{CTSA}}$, $\overline{\text{CTSB}}$	36, 25	40, 28	38, 23	I	清除发送(低电平有效)。 这两个输入与 UART 通道 A-B 有关。当 CTS 管脚为逻辑 0 时,表明调制解调器和数据设备已准备好接收 SC16C2550B 发送的数据。状态通过读取 MSR[4]来测试。该管脚不影响 UART 的发送或接收操作。
$\overline{\text{DSRA}}$, $\overline{\text{DSRB}}$	37, 22	41, 25	39, 20	I	数据设备就绪(低电平有效)。 这两个输入与 UART 通道 A-B 有关。该管脚的逻辑 0 用来指示调制解调器和数据设备准备好与 UART 的数据交换。该管脚不影响 UART 的发送或接收操作。
$\overline{\text{DTRA}}$, $\overline{\text{DTRB}}$	33, 34	37, 38	34, 35	O	数据终端就绪(低电平有效)。 这两个输出与 UART 通道 A-B 有关。当该管脚为逻辑 0 时,表明 SC16C2550B 已经上电和准备就绪。该管脚可通过调制解调器控制寄存器来控制。置位 MCR[0]将使 $\overline{\text{DTR}}$ 输出变为逻辑 0,来使能调制解调器。该管脚在 MCR[0]清零后或复位后为逻辑 1。该管脚不影响 UART 的发送或接收操作。
$\overline{\text{RIA}}$, $\overline{\text{RIB}}$	39, 23	43, 26	41, 21	I	响铃指示器(低电平有效)。 这两个输入与 UART 通道 A-B 有关。该管脚为逻辑 0 表明调制解调器接收到电话线的响铃信号。该输入管脚的逻辑 1 跳变将产生中断。

续上表

符号	管脚			类型	描述
	DIP40	PLCC44	LQFP48		
$\overline{\text{RTSA}}$, $\overline{\text{RTSB}}$	32, 24	36, 27	33, 22	O	请求发送 (低电平有效) 。这两个输出与 UART 通道 A-B 有关。 $\overline{\text{RTS}}$ 管脚上的逻辑 0 用来指示发送器已经准备好数据, 等待发送。置位模式控制寄存器 MCR[1]将使管脚值设为逻辑 0, 用来指示数据可用。复位后, 该管脚被设置成逻辑 1。管脚不影响 UART 的发送或接收操作。
RXA, RXB	10, 9	11, 10	5, 4	I	接收数据 A, B 。这两个输入与到 SC16C2550B 接收输入电路的串行通道 (A-B) 的数据有关。RX 信号在复位、空闲 (无数据传输) 或发送器禁能时为逻辑 1。在局部环回模式下, RX 输入禁能, TX 数据内部连接到 UART RX 输入。
TXA, TXB	11, 12	13, 14	7, 8	O	发送数据 A, B 。这两个输出与 SC16C2550B 的串行发送通道的数据有关。TX 信号在复位、空闲 (无数据传输) 或发送器禁能时为逻辑 1。在局部环回模式下, TX 输出管脚被禁能, TX 数据内部连接到 UART RX 输入。

6. 功能描述

SC16C2550B 提供了串行异步接收数据的同步处理、发送器和接收器之间的数据的并串和串并转换。这些都是数字数据系统将串行数据流转换成并行数据所必需的功能。串行数据流的同步通过在发送的数据上添加起始位和停止位形成一个数据字符 (指定方向的字符传输协议) 来实现。通过在数据字符后增加一个奇偶位可保证数据的完整性。接收器通过奇偶位来检查任何发送位的错误。电子电路可以实现这些功能, 但是非常复杂, 尤其是要将它们集成到一块硅芯片上。SC16C2550B 就是这样一个具有增强特性的集成芯片的代表, 它由先进的 CMOS 技术制造而成。

SC16C2550B 是一个超前的解决方案, 提供了一个双 UART, 具有 16 字节的发送和接收 FIFO 存储器, 这是 16C2450 所不具备的。SC16C2550B 可与高速调制解调器进行通信, 可工作在需要高速率数据处理的共用网络环境中。SC16C2550B 增加的特性都是通过发送和接收 FIFO 来实现。外部处理器利用发送和接收 FIFO 可在一个固定时间内处理更多的网络任务。例如, 如果使用无接收 FIFO 的 ST16C2450, 则需要 93us 的时间来装载 RHR (假设处理的是 11 位的字符, 包含起始/停止位, 速率为 115.2kbit/s)。这就意味着外部 CPU 每隔小于 100us 的时间就要为接收 FIFO 提供服务。但是, 使用含有 16 字节 FIFO 的 SC16C2550B 时情况就不同了, 在 1.53ms 的时间内不需要上载/装载数据缓冲区。这样服务间隔时间就增加了, 使外部 CPU 有多余的时间处理其它的应用, 减少了整个 UART 的中断服务时间。另外, 特有的 4 种可选接收 FIFO 触发中断电平提供了最大的数据吞吐量, 尤其是在多通道的应用中。由此可见, FIFO 存储器极大地降低了外部控制 CPU 需要的带宽、提高了性能、降低了功耗。

在 80MHz 的时钟下 SC16C2550B 的数据传输速率可高达 5Mbit/s。当使用一个 7.3728MHz 的晶体或外部时钟输入时, 用户可选择高达 460.8kbit/s 的数据速率。

SC16C2550B 丰富的特性可通过内部寄存器得到。可选的接收 FIFO 触发点、可选 TX 和 RX 波特率和调制解调器接口控制都是标准特性。上电复位或外部复位后, SC16C2550B 的软件可与之前的 ST16C2450 兼容。

6.1 UART A-B 功能

用户利用 UART 可完成外部 CPU、SC16C2550B 和外部串行器件之间的双向信息传输。芯片选择管脚 \overline{CSA} 和/或 \overline{CSB} 为逻辑 0 时，用户可以通过 UART 通道 A-B 进行配置、发送数据和/或接收数据。每个通道的选择如表 3 所示。

表 3 串口选择

芯片选择	功能
$\overline{CSA} - \overline{CSB} = 1$	无
$\overline{CSA} = 0$	UART 通道 A
$\overline{CSB} = 0$	UART 通道 B

6.2 内部寄存器

SC16C2550B 提供两套内部寄存器 (A 和 B)，每套寄存器由 12 个寄存器组成，用来监测和控制 UART 每个通道的功能。这些寄存器如表 4 所示。UART 寄存器可用作数据保存寄存器 (THR/RHR)、中断状态和控制寄存器 (IER/ISR)、FIFO 控制寄存器 (FCR)、线状态和控制寄存器 (LCR/LSR)、调制解调器状态和控制寄存器 (MCR/MSR)、可编程数据速率 (时钟) 控制寄存器 (DLL/DLM) 和一个用户可访问的暂存寄存器 (SPR)。

表 4 内部寄存器译码

A2	A1	A0	读模式	写模式
通用寄存器集 (THR/RHR, IER/ISR, MCR/MSR, FCR, LSR, SPR) ^[1]				
0	0	0	接收保存寄存器	发送保存寄存器
0	0	1	中断使能寄存器	中断使能寄存器
0	1	0	中断状态寄存器	FIFO 控制寄存器
0	1	1	线控制寄存器	线控制寄存器
1	0	0	调制解调器控制寄存器	调制解调器控制寄存器
1	0	1	线状态寄存器	n/a
1	1	0	调制解调器状态寄存器	n/a
1	1	1	暂存寄存器	暂存寄存器
波特率寄存器集 (DLL/DLM) ^[2]				
0	0	0	除数 LSB 保存	除数 LSB 保存
0	0	1	除数 MSB 保存	除数 MSB 保存

[1] 这些寄存器只能在 LCR[7]为逻辑 0 时被访问。

[2] 这些寄存器只能在 LCR[7]为逻辑 1 时被访问。

6.3 FIFO 操作

16 字节的发送和接收数据 FIFO 通过 FIFO 控制寄存器 (FCR) 的位 0 来使能。用户可以通过 FCR 位 6-7 来对接收触发点进行设置，但不能设置发送触发点。接收器 FIFO 包含超时检测功能，可保证数据发送到外部 CPU。当字符装入后接收保存寄存器 (RHR) 还未被读出或未达到接收触发点时将产生中断。

表 5 流程控制机制

选择的触发点 (字符数)	INT 脚激活次数
1	1
4	4
8	8
14	14

6.4 硬件/软件和超时中断

中断可通过 IER[0-3]来使能。这些中断必须小心处理。复位后，如果中断使能寄存器（IER）位 1=1，SC16C2550B 将产生一个发送保存寄存器中断。这个中断被处理完后才能继续其它操作。ISR 寄存器只提供一个当前优先级最高的中断。允许出现高优先级中断将低优先级的 CTS/RTS 中断屏蔽的情况。只有在服务完高优先级的中断后，低优先级中断才能在状态寄存器中反映出来。未深入检测中断条件就服务中断可能造成数据出错。

当 2 个中断的优先级相同时，必须要正确处理这些中断。接收数据就绪中断和接收超时中断的优先级相同（如果通过 IER[0]使能）。当接收的字符数到达编程设定的触发点时接收器产生一个中断。这种情况下，SC16C2550B FIFO 可能保存比编程触发点更多的字符。数据字节移走后，用户应当为另外的数据重新检查 LSR[0]。如果接收 FIFO 为空，接收超时将不会发生。超时计数器在接收到的每个停止位的中间时刻或每次接收保存寄存器（RHR）被读出时复位。实际的超时值是 4 个字符时间，包括数据信息长度、起始位、奇偶位和停止位的大小，即 1×、1.5×或 2×位时间。

6.5 可编程波特率发生器

SC16C2550B 支持高速调制解调器技术，它使用数据压缩机制来提高输入数据速率。例如，使用数据压缩机制的 33.6kbit/s 调制解调器要求输入的数据速率为 115.2kbit/s。支持数据压缩的 128.0kbit/s ISDN 调制解调器要求输入的数据速率为 460.8kbit/s。SC16C2550B 也支持 921.6kbit/s 的标准数据速率。

发送器和接收器共用一个波特率发生器，允许波特率发生器对 TX/RX 通道进行单独控制。可编程波特率发生器可工作在高达 80MHz 的频率下。为了获得最大的数据速率，必须使用时钟输入上的所有满幅信号。SC16C2550B 可配置成内部或外部时钟工作模式。对于内部时钟振荡器，在 XTAL1 和 XTAL2 之间连接一个工业标准的微处理器晶体。另外，也可在 XTAL1 管脚连接一个外部时钟来作为波特率发生器的时钟，产生标准或指定的波特率（见表 6）。

发生器可对输入 16×时钟进行 $1 \sim 2^{16} - 1$ 分频。SC16C2550B 将基本的外部时钟 16 分频。基本的 16×时钟为使用相同系统设计的标准和指定应用提供了一个稳定的波特率。稳定的波特率通过 DLL 和 DLM 内部寄存器功能进行配置。通过为波特率发生器的 MSB 和 LSB 选择适当的除数值来获得指定的波特率。

用户可通过编程波特率发生器寄存器 DLM（MSB）和 DLL（LSB）来选择需要的最终波特率。表 6 列出了使用 1.8432MHz 的外部时钟输入时可选择的波特率。

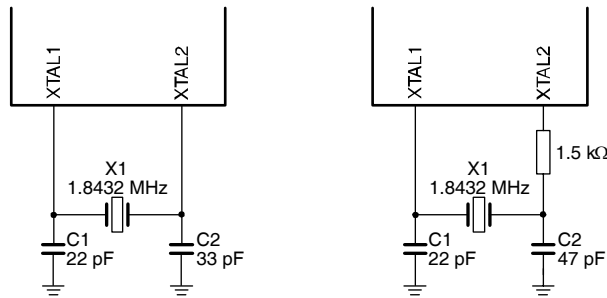


图 5 晶体振荡器的连接

表 6 使用 1.8432MHz 时钟的波特率编程表

输出波特率	输出 16×时钟分频值 (十进制)	输出 16×时钟分频值 (HEX)	DLM 编程值 (HEX)	DLL 编程值 (HEX)
50	2304	900	09	00
75	1536	600	06	00
110	1047	417	04	17
150	768	300	03	00

接上表

输出波特率	输出 16×时钟分频值 (十进制)	输出 16×时钟分频值 (HEX)	DLM 编程值 (HEX)	DLL 编程值 (HEX)
300	384	180	01	80
600	192	C0	00	C0
1200	96	60	00	60
2400	48	30	00	30
3600	32	20	00	20
4800	24	18	00	18
7200	16	10	00	10
9600	12	0C	00	0C
19.2k	6	06	00	06
38.4k	3	03	00	03
57.6k	2	02	00	02
115.2k	1	01	00	01

6.6 DMA 操作

SC16C2550B FIFO 触发点便于用户执行字符块传输模式。LSR[5, 6]用来指示发送器为空或有一个空的地址单元的情况。在 DMA 模式中, 用户可以选择对发送和接收 FIFO 进行操作 (FCR[3])。当发送和接收 FIFO 被使能且 DMA 模式无效 (DMA 模式 0) 时, SC16C2550B 在每次发送和接收时都激活中断输出管脚。当 DMA 模式有效时 (DMA 模式 1), 用户可利用字符块传输模式的优点, 以字符块传输时序来装载或卸载 FIFO, 时序由接收触发点和发送 FIFO 来决定。这种模式下, 当发送 FIFO 中的字符数小于 16 或接收 FIFO 中的字符数超出接收触发点时 SC16C2550B 将设置 TXRDY (或 RXRDY) 输出管脚。

6.7 环回模式

内部环回模式实现了片内诊断功能。在环回模式中, 正常的调制解调器接口管脚断开原来的连接而被重新配置 (见图 6)。MCR[0-3]寄存器位控制着环回诊断测试。在环回模式中, 发送器输出 (TX) 和接收器输入 (RX) 断开与之相关的接口管脚的连接, 在器件内部被连接到一起。 \overline{CTS} 、 \overline{DSR} 、 \overline{CD} 和 \overline{RI} 均与原来的调制解调器控制输入管脚断开连接, 取而代之的是分别内部连接到 \overline{RTS} 、 \overline{DTR} 、MCR[3] ($\overline{OP2}$) 和 MCR[2] ($\overline{OP1}$)。环回测试数据通过用户数据总线接口 D0-D7 送入发送保存寄存器。然后, 发送 UART 再将这些并行数据变成串行数据, 通过内部环回连接将其发送给接收 UART, 最后接收 UART 把接收到的串行数据重新转变为并行数据, 这样, 就可在用户数据接口 D0~D7 上得到最终的数据。用户可将接收到的数据与最初发送的数据相比较来验证 UART TX/RX 电路的操作无误。

环回模式下, 接收器和发送器中断可用。调制解调器控制中断也可用。

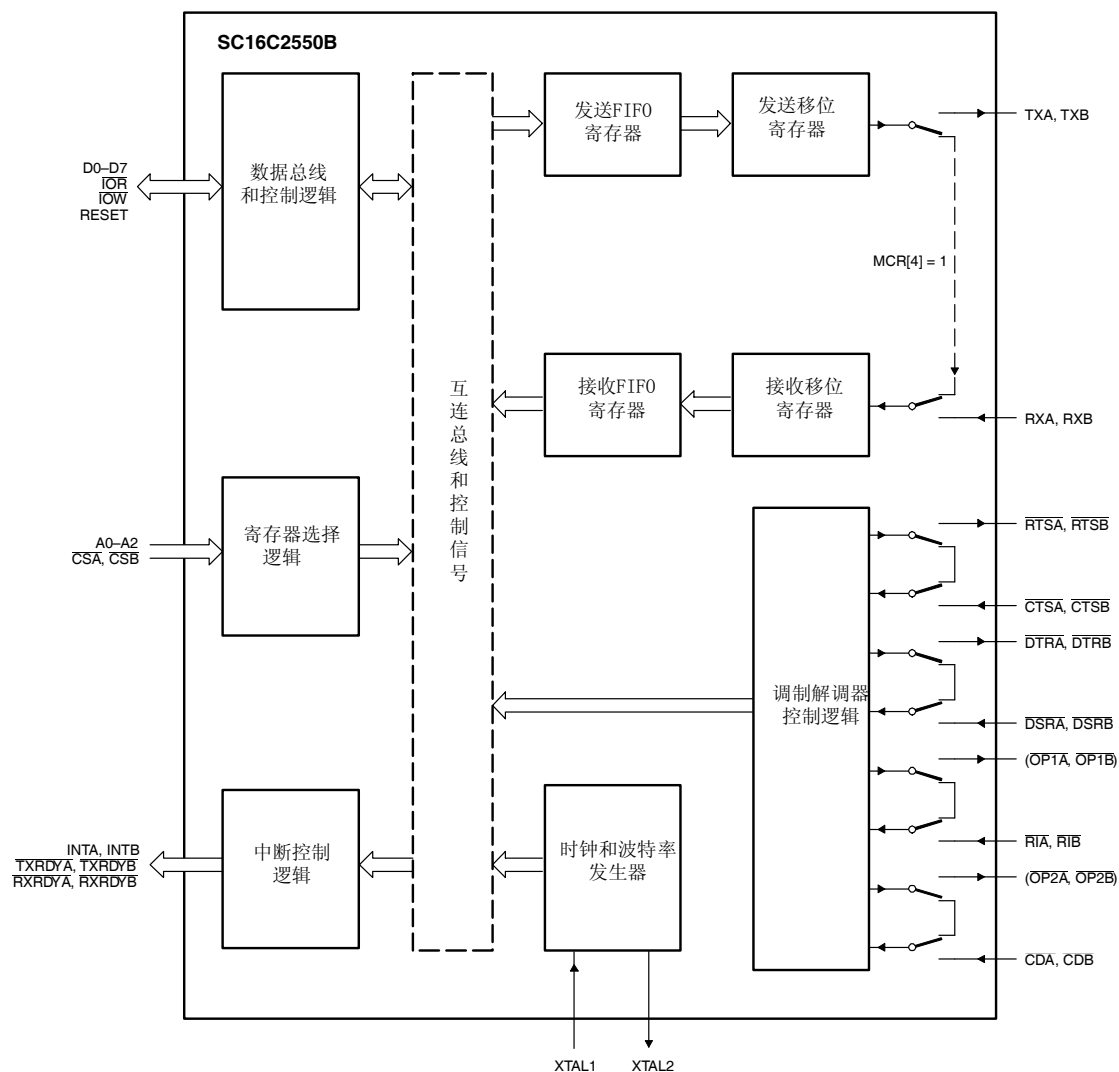


图6 内部环回模式框图

7. 寄存器描述

表7列出了SC16C2550B各个内部寄存器的位功能。详细的位功能描述见7.1节~7.10节。

表7 SC16C2550B 内部寄存器

A2	A1	A0	寄存器	默认值 [1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
通用寄存器集 ^[2]												
0	0	0	RHR	XX	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0	0	0	THR	XX	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0	0	1	IER	00	0	0	0	0	调制解调器状态中断	接收线状态中断	发送保存寄存器中断	接收保存寄存器
0	1	0	FCR	00	RCVR触发(MSB)	RCVR触发(LSB)	保留0	保留0	DMA模式选择	XMIT FIFO复位	RCVR FIFO复位	FIFO使能

续上表

A2	A1	A0	寄存器	默认值 ^[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0	1	0	ISR	01	FIFO使能	FIFO使能	0	0	INT优先级位2	INT优先级位1	INT优先级位0	INT状态
0	1	1	LCR	00	除数锁存使能	设置间隔	奇偶固定	偶选择	奇偶使能	停止位	字长度位1	字长度位0
1	0	0	MCR	00	0	0	0	环回	$\overline{OP2}/INT$ 使能	(\overline{OPI})	\overline{RTS}	\overline{DTR}
1	0	1	LSR	60	FIFO数据错误	THR和TSR为空	THR为空	间隔中断	帧错误	奇偶错误	超时错误	接收数据就绪
1	1	0	MSR	X0	CD	RI	DSR	CTS	$\Delta \overline{CD}$	$\Delta \overline{RI}$	$\Delta \overline{DSR}$	$\Delta \overline{CTS}$
1	1	1	SPR	FF	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
特殊寄存器集 ^[3]												
0	0	0	DLL	XX	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0	0	1	DLM	XX	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8

[1] 给出的值是寄存器的初始 HEX 值; X=n/a。

[2] 只有当 LCR[7]为逻辑 0 时才能访问。

[3] 只有当 LCR[7]为逻辑 1 时波特率寄存器才能访问。

7.1 发送 (THR) 和接收 (RHR) 保存寄存器

串行发送器部分由一个 8 位的发送保存寄存器 (THR) 和发送移位寄存器 (TSR) 组成。THR 的状态在线状态寄存器 (LSR) 中给出。如果 THR 为空, 写 THR 时, 数据总线 (D7-D0) 的数据将通过 THR 传输到 TSR 和 UART。当发送器为空或数据传输到 TSR 时, LSR 寄存器中的 THR 空标志置位。注意: THR 空 (逻辑 0=FIFO/THR 中至少含有 1 个字节, 逻辑 1=FIFO/THR 为空) 标志置位时仍可执行写操作。

串行接收器部分也包含一个 8 位的接收保持寄存器 (RHR) 和接收串行移位寄存器 (RSR)。接收数据通过读 RHR 寄存器从 SC16C2550B 和接收 FIFO 中移走。接收部分还提供一种防止错误起始的机制。在起始位或错误起始位的下降沿, 内部的接收器计数器以 16×时钟的速率开始计数时钟。7-1/2 个时钟过后, 起始位时间应当移至起始位的中间。这时对起始位进行采样, 如果起始位仍然为 0, 则该起始位有效。用这种方法来评估起始位可以防止接收器接收到错误的字符。接收器状态码可在 LSR 中得到。

7.2 中断使能寄存器 (IER)

中断使能寄存器 (IER) 用来屏蔽接收器就绪、发送器空、线状态和调制解调器状态寄存器的中断。这些中断一般都出现在 INTA、INTB 输出管脚上。

表 8 中断使能寄存器位描述

位	符号	描述
7-4	IER[7-4]	不使用。
3	IER[3]	调制解调器状态中断。只要 modem 的状态改变反映在 MSR[0-3]中, 就产生该中断。 逻辑 0=禁能调制解调器状态寄存器中断 (默认条件)。 逻辑 1=使能调制解调器状态寄存器中断。

续上表

位	符号	描述
2	IER[2]	接收线状态中断。只要接收数据错误条件反映在 LSR[1-4]中，就产生该中断。 逻辑 0=禁能接收器线状态中断（默认条件）。 逻辑 1=使能接收器线状态中断。
1	IER[1]	发送保持寄存器中断。16C450 模式中，当 THR 为空时产生该中断。它与 LSR[5]相对应。FIFO 模式中，只要 FIFO 为空就产生该中断。 逻辑 0=禁能发送保持寄存器空（TXRDY）中断（默认条件）。 逻辑 1=使能 TXRDY（ISR 优先级 3）中断。
0	IER[0]	接收保存寄存器。16C450 模式中，当 RHR 中含有数据时产生该中断，当 RHR 为空时清除该中断。FIFO 模式中，FIFO 到达编程的触发点时产生该中断；FIFO 降至低于触发点时该中断被清除。 逻辑 0=禁能接收就绪（ISR 优先级 2，RXRDY）中断（默认条件）。 逻辑 1=使能 RXRDY（ISR 优先级 2）中断。

7.2.1 IER 与发送/接收 FIFO 中断模式操作

当接收 FIFO（FCR[0]=逻辑 1）和接收中断（IER[0]=逻辑 1）被使能时，接收中断和寄存器状态将反映以下情况：

- 当接收 FIFO 到达编程触发点时向外部 CPU 申请接收 RXRDY 中断(优先级 2 ISR 中断)。当接收 FIFO 降到编程触发点以下时该中断被清除。
- 当到达接收 FIFO 触发点时，接收 FIFO 状态将反映在用户可访问的 ISR 寄存器中。当 FIFO 降到触发点以下时 ISR 寄存器接收状态位和中断被清除。
- 每当一个字符从移位寄存器（RSR）传输到接收 FIFO，接收数据就绪位（LSR[0]）就置位。FIFO 为空时接收数据就绪位被复位。
- 如果发送 FIFO 和中断使能，当由于 TSR 引起的数据输出和 UART 通过发送媒介发送数据而造成发送 FIFO 为空时，将产生中断。中断可通过读 ISR 寄存器或向 THR 装入新的数据字符来清除。

7.2.2 IER 与接收/发送 FIFO 查询模式操作

当 FCR[0]=逻辑 1 时，复位 IER[0-3]来使能 SC16C2550B 的 FIFO 查询模式。该模式下不会产生中断，用户必须通过查询 LSR 寄存器来获得 TX 和/或 RX 数据的状态。由于接收器和发送器在 LSR 寄存器中都对应不同的位，因此通过选择相应的发送或接收控制位可使任何一位和两个位用在查询模式中。

- 只要接收 FIFO 中含有一个字节的的数据，LSR[0]就置位。
- LSR[1-4]将指出接收错误的类型或接收间隔（如果出现的话）。
- LSR[5]用来指示发送 FIFO 为空。
- LSR[6]用来指示发送 FIFO 和发送移位寄存器都为空的情况。
- LSR[7]用来指示 FIFO 数据出错。

7.3 FIFO 控制寄存器（FCR）

该寄存器用来使能 FIFO、清空 FIFO、设置接收 FIFO 触发点和选择 DMA 模式。

7.3.1 DMA 模式

模式 0 (FCR 位 3=0): 设置和使能每个单次发送或接收操作，与 16C450 模式类似。只要 FIFO (THR, 如果 FIFO 不使能) 为空, PLCC44 和 LQFP48 封装的发送就绪管脚 (TXRDY) 就变为逻辑 0。只要接收保存寄存器 (RHR) 装入一个字符, PLCC44 和 LQFP48 封装的接收就绪管脚 (RXRDY) 就变为逻辑 0。

模式 1 (FCR 位 3=1): 设置和使能字符块模式操作的中断。发送 FIFO 为空时产生发送中断。只要有一个空 FIFO 单元可用, PLCC 和 LQFP48 封装的 $\overline{\text{TXRDY}}$ 仍然保持逻辑 0。接收 FIFO 装载的字符数到达编程触发点时产生接收中断。但是, FIFO 将继续装入数据, 直到 FIFO 装满, 与编程触发点无关。PLCC44 和 LQFP48 封装的 $\overline{\text{RXRDY}}$ 管脚在 FIFO 到达触发点时变为低电平, 在 FIFO 为空时变为高电平。

7.3.2 FIFO 模式

表 9 FIFO 控制寄存器位描述

位	符号	描述
7-6	FCR[7-6]	RCVR 触发。这两位用来设置接收 FIFO 中断的触发点。 逻辑 0 (或清零) = 正常默认条件。 逻辑 1 = RX 触发点。 当 FIFO 中的字符数等于编程触发点时产生中断。但是, FIFO 将继续装载数据, 直到 FIFO 装满。请参考表 10。
5-4	FCR[5-4]	未使用; 初始化为逻辑 0。
3	FCR[3]	DMA 模式选择。 逻辑 0 = 设置 DMA 模式 '0' 逻辑 1 = 设置 DMA 模式 '1' 模式 '0' 的发送操作: 当 SC16C2550B 工作在 16C450 模式 (FIFO 禁能; FCR[0]=逻辑 0) 或 FIFO 模式且发送 FIFO 或发送保存寄存器中没有字符时, PLCC44 和 LQFP48 封装的 $\overline{\text{TXRDY}}$ 管脚将变为逻辑 0。一旦有效, 当第一个字符装入发送保存寄存器后 $\overline{\text{TXRDY}}$ 管脚将变为逻辑 1。 模式 '0' 的接收操作: 当 SC16C2550B 工作在模式 '0' (FCR[0]=逻辑 0) 或 FIFO 模式 (FCR[3]=逻辑 0) 且接收 FIFO 中至少含有一个字符时, $\overline{\text{RXRDY}}$ 管脚将变为逻辑 0。一旦有效, 当接收器中无字符时 PLCC44 和 LQFP48 封装的 $\overline{\text{RXRDY}}$ 脚将变为逻辑 1。 模式 '1' 的发送操作: 如果 SC16C2550B 工作在 FIFO 模式 (FCR[0]=逻辑 1; FCR[3]=逻辑 1), 当发送 FIFO 完全装满时 PLCC44 和 LQFP48 封装的 $\overline{\text{TXRDY}}$ 管脚将变为逻辑 1。如果有一个或更多的 FIFO 地址单元为空, $\overline{\text{TXRDY}}$ 将变为逻辑 0。 模式 '1' 的接收操作: 当 SC16C2550B 工作在 FIFO 模式 (FCR[0]=逻辑 1; FCR[3]=逻辑 1) 和已经达到触发点或接收超时出现时, PLCC44 和 LQFP48 封装的 $\overline{\text{RXRDY}}$ 管脚将变为逻辑 0。一旦有效, 当 FIFO 中无字符后 $\overline{\text{RXRDY}}$ 脚将变为逻辑 1。
2	FCR[2]	XMIT FIFO 复位。 逻辑 0 = 发送 FIFO 不复位 (正常默认条件)。 逻辑 1 = 清空发送 FIFO 并复位 FIFO 计数器逻辑 (发送移位寄存器的内容不清除或改变)。FIFO 清空后该位将返回逻辑 0。
1	FCR[1]	RCVR FIFO 复位。 逻辑 0 = 接收 FIFO 不复位 (正常默认条件)。 逻辑 1 = 清空接收 FIFO 并复位 FIFO 计数器逻辑 (接收移位寄存器的内容不清除或改变)。FIFO 清空后该位将返回逻辑 0。
0	FCR[0]	FIFO 使能。 逻辑 0 = 禁能发送和接收 FIFO (正常默认条件)。 逻辑 1 = 使能发送和接收 FIFO。当其它 FCR 为被写入或不被编程时该位必须为 '1'。

表 10 RCVR 触发点

FCR [7]	FCR [6]	RX FIFO 触发点
0	0	01
0	1	04
1	0	08
1	1	14

7.4 中断状态寄存器 (ISR)

SC16C2550B 提供了 4 种中断优先级, 可以最大限度地降低外部软件的关联。中断状态寄存器 (ISR) 为用户提供了 4 个中断状态位。用户可通过读取 ISR 来得知被服务的最高优先级中断。这时, 不会响应其它中断, 直到该中断被处理完。只能在处理完高优先级的中断和重新读取中断状态位后才能知道待处理下一个优先级更低的中断。表 11 “中断源” 列出了 4 个中断优先级对应的数据值 (bit0~3) 和每个中断优先级对应的中断源。

表 11 中断源

优先级	ISR[3]	ISR[2]	ISR[1]	ISR[0]	中断源
1	0	1	1	0	LSR (接收器线状态寄存器)
2	0	1	0	0	RXRDY (接收数据就绪)
2	1	1	0	0	RXRDY (接收数据超时)
3	0	0	1	0	TXRDY (发送器保存寄存器空)
4	0	0	0	0	MSR (调制解调器状态寄存器)

表 12 中断状态寄存器位描述

位	符号	描述
7-6	ISR[7-6]	FIFO 使能。当 FIFO 未用在 16C450 模式中时这两位清零。当在 SC16C255 模式中使能 FIFO 时, 它们被置位。 逻辑 0 或被清零 = 默认条件。
5-4	ISR[5-4]	不使用。
3-1	ISR[3-1]	INT 优先级位 2-0。这些位用来指示优先级 1、2 和 3 的中断源 (见表 11)。 逻辑 0 或被清零 = 默认条件。
0	ISR[0]	INT 状态。 逻辑 0 = 有待处理的中断, ISR 的内容可用作相应中断服务程序的指针。 逻辑 1 = 无待处理的中断 (正常默认条件)。

7.5 线控制寄存器 (LCR)

线控制寄存器用来指定异步数据通信的格式。通过向寄存器写入合适的值来选择数据通信的字长度、停止位个数和奇偶性。

表 13 线控制寄存器位描述

位	符号	描述
7	LCR[7]	除数锁存使能。内部波特率计数器锁存且增强特性模式使能。 逻辑 0 = 除数锁存禁能 (正常默认条件)。 逻辑 1 = 除数锁存使能。

续上表

6	LCR[6]	设置间隔。使能时，间隔控制位使得间隔条件被发送（TX 输出强制为逻辑 0 状态）。该条件将一直保持，直到通过清零 LCR[6]将其禁能。 逻辑 0=无 TX 间隔条件（正常默认条件） 逻辑 1=强制发送器输出（TX）变为 0，报警远程接收器出现了线间隔条件。
5-3	LCR[5-3]	编程奇偶条件（见表 14）。
2	LCR[2]	停止位。停止位的长度由该位和编程的字长度决定（见表 15）。 逻辑 0 或被清零=默认条件。
1-0	LCR[1-0]	字长度位 1,0。这两位用来指定发送或接收的字长度（见表 16）。 逻辑 0 或被清零=默认条件。

表 14 LCR[5-3]奇偶选择

LCR[5]	LCR[4]	LCR[3]	奇偶选择
X	X	0	无奇偶
X	0	1	奇数
0	1	1	偶数
0	0	1	强制为 ‘1’
1	1	1	强制为 ‘0’

表 15 LCR[2]停止位长度

LCR[2]	字长度	停止位长度（位时间）
0	5, 6, 7, 8	1
1	5	1- $\frac{1}{2}$
1	6, 7, 8	2

表 16 LCR[1-0]字长度

LCR[1]	LCR[0]	字长度
0	0	5
0	1	6
1	0	7
1	1	8

7.6 调制解调器控制寄存器（MCR）

该寄存器控制着 SC16C2550B 和调制解调器以及外围器件的连接。

表 17 调制解调器控制寄存器位描述

位	符号	描述
7-5	MCR[7-5]	保留；设置为 ‘0’。

续上表

位	符号	描述
4	MCR[4]	环回。使能局部环回模式（诊断）。该模式中，发送器输出（ $\overline{\text{TX}}$ ）和接收器输入（ $\overline{\text{RX}}$ ）、 $\overline{\text{CTS}}$ 、 $\overline{\text{DSR}}$ 、 $\overline{\text{CD}}$ 和 $\overline{\text{RI}}$ 断开与 SC16C2550B I/O 管脚的连接。调制解调器数据和控制管脚连接成环回数据配置（见图 6）。环回模式下，接收器和发送器中断仍然有效。调制解调器控制中断也还有效，但中断源变为调制解调器控制寄存器低 4 位所控制的中断。中断继续受 IER 寄存器的控制。 逻辑 0=禁能环回模式（正常默认条件）。 逻辑 1=使能局部环回模式（诊断）。
3	MCR[3]	$\overline{\text{OP2}}$ /INT 使能 逻辑 0=强制 INT (A-B)输出为三态模式， $\overline{\text{OP2}}$ 设置成逻辑 1（正常默认条件）。 逻辑 1=强制 INT (A-B)输出有效， $\overline{\text{OP2}}$ 设置成逻辑 0。
2	MCR[2]	$\overline{\text{OP1}}$ 。 $\overline{\text{OP1A}}$ / $\overline{\text{OP1B}}$ 不能用作 SC16C2550B 的外部信号。该位的用途只在环回模式中被改变。环回模式下，它用来写调制解调器 $\overline{\text{RI}}$ 接口信号状态。
1	MCR[1]	$\overline{\text{RTS}}$ 逻辑 0=强制 $\overline{\text{RTS}}$ 输出为逻辑 1（正常默认条件）。 逻辑 1=强制 $\overline{\text{RTS}}$ 输出为逻辑 0。
0	MCR[0]	$\overline{\text{DTR}}$ 逻辑 0=强制 $\overline{\text{DTR}}$ 输出为逻辑 1（正常默认条件）。 逻辑 1=强制 $\overline{\text{DTR}}$ 输出为逻辑 0。

7.7 线状态寄存器（LSR）

该寄存器提供了 SC16C2550B 和 CPU 之间数据传输的状态。

表 18 线状态寄存器位描述

位	符号	描述
7	LSR[7]	FIFO 数据错误。 逻辑 0=无错误（正常默认条件）。 逻辑 1=当前 FIFO 数据中至少有一个奇偶错误、帧错误或间隔指示。
6	LSR[6]	THR 和 TSR 为空。该位是发送空指示器。当发送保存寄存器和发送移位寄存器都为空时该位置位。只要 THR 或 TSR 包含一个数据字符该位就复位为 0。在 FIFO 模式中，当发送 FIFO 和发送移位寄存器都为空时该位置位。
5	LSR[5]	THR 为空。该位是发送保存寄存器空指示器。该位用来指示 UART 准备接收一个新数据，以供发送。另外，如果 THR 中断被使能，该位可使 UART 向 CPU 申请中断。当一个字符从发送保存寄存器发送到发送移位寄存器时，THR 位被置位。该位被清零时，CPU 装载发送保存寄存器。在 FIFO 模式中，发送 FIFO 为空时该位置位；至少有一个字节写入发送 FIFO 时该位被清零。

续上表

位	符号	描述
4	LSR[4]	间隔中断。 逻辑 0=无间隔条件（正常默认条件）。 逻辑 1=接收器接收到一个间隔信号(一个字符帧时间内 RX 为逻辑 0)。在 FIFO 模式中，只有一个间隔字符被装入 FIFO。
3	LSR[3]	帧错误。 逻辑 0=无帧错误（正常默认条件）。 逻辑 1=帧错误。接收字符不含有效停止位。在 FIFO 模式中，帧错误与 FIFO 顶端的字符有关。
2	LSR[2]	奇偶错误。 逻辑 0=无奇偶错误（正常默认条件）。 逻辑 1=奇偶错误。接收的字符不包含正确的奇偶信息，因而其准确性受到置疑。在 FIFO 模式中，奇偶错误与 FIFO 顶端的字符有关。
1	LSR[1]	超时错误。 逻辑 0=无超时错误（正常默认条件）。 逻辑 1=超时错误。数据的超时错误出现在接收移位寄存器中。当 FIFO 满时还有数据到达时出现该错误。这时，移位寄存器里前面的数据将被覆盖。注意：这种条件下，接收移位寄存器的数据不会传输到 FIFO，因此超时错误并不会破坏 FIFO 中的数据。
0	LSR[0]	接收数据就绪。 逻辑 0=接收保存寄存器或 FIFO 中无数据（正常默认条件）。 逻辑 1=数据被接收并保存在接收保存寄存器或 FIFO 中。

7.8 调制解调器状态寄存器（MSR）

该寄存器给出了 SC16C2550B 连接的调制解调器或其它外围器件的控制接口信号的当前状态。MSR 中有 4 个位用来指示信息的改变。当调制解调器的控制输入状态发生改变时这 4 位被置位。当 CPU 读 MSR 时它们被清零。

表 19 调制解调器状态寄存器位描述

位	符号	描述
7	MSR[7]	CD。正常工作模式下，该位是 \overline{CD} 输入的补码。环回模式中读取该位将得到 MCR[3]的状态（ $\overline{OP2}$ ）。
6	MSR[6]	RI。正常工作模式下，该位是 \overline{RI} 输入的补码。环回模式中读取该位将得到 MCR[2]的状态（ $\overline{OP1}$ ）。
5	MSR[5]	DSR。正常工作模式下，该位是 \overline{DSR} 输入的补码。环回模式中该位等效于 MCR[0]（ \overline{DTR} ）。
4	MSR[4]	CTS。正常工作模式下，该位是 \overline{CTS} 输入的补码。环回模式中该位等效于 MCR[1]（ \overline{RTS} ）。
3	MSR[3]	$\Delta \overline{CD}^{[1]}$ 。 逻辑 0= \overline{CD} 状态不发生改变（正常默认条件）。 逻辑 1=SC16C2550B 的 \overline{CD} 输入的状态自从上次被读取后就发生了改变。这时将产生调制解调器状态中断。

续上表

位	符号	描述
2	MSR[2]	$\Delta \overline{RI}^{[1]}$ 。 逻辑 0 = \overline{RI} 状态不发生改变（正常默认条件）。 逻辑 1 = SC16C2550B 的 \overline{RI} 输入从逻辑 0 变为逻辑 1。这时将产生调制解调器状态中断。
1	MSR[1]	$\Delta \overline{DSR}^{[1]}$ 。 逻辑 0 = \overline{DSR} 状态不发生改变（正常默认条件）。 逻辑 1 = SC16C2550B 的 \overline{DSR} 输入的状态自从上次被读取后就发生了改变。这时将产生调制解调器状态中断。
0	MSR[0]	$\Delta \overline{CTS}^{[1]}$ 。 逻辑 0 = \overline{CTS} 状态不发生改变（正常默认条件）。 逻辑 1 = SC16C2550B 的 \overline{CTS} 输入的状态自从上次被读取后就发生了改变。这时将产生调制解调器状态中断。

[1] MSR 位 0~3 中的任何一位被置位都将产生调制解调器状态中断。

7.9 暂存寄存器（SPR）

SC16C2550B 提供了一个暂时的数据存储寄存器，用来存放 8 位的用户信息。

7.10 SC16C2550B 外部复位条件

表 20 寄存器的复位状态

寄存器	复位状态
IER	IER[7-0]=0
FCR	FCR[7-0]=0
ISR	ISR[7-1]=0; ISR[0]=1
LCR	LCR[7-0]=0
MCR	MCR[7-0]=0
LSR	LSR[7]=0; LSR[6-5]=1; LSR[4-0]=0
MSR	MSR[7-4]=输入信号; MSR[3-0]=0
SPR	SFR[7-0]=1
DLL	DLL[7-0]=X
DLM	DLM[7-0]=X

表 21 输出的复位状态

输出	复位状态
TXA, TXB	逻辑 1
$\overline{OP2A}$, $\overline{OP2B}$	逻辑 1
\overline{RTSA} , \overline{RTSB}	逻辑 1
\overline{DTRA} , \overline{DTRB}	逻辑 1
INTA, INTB	三态条件

8. 极限值

表 22 极限值

遵循绝对额定系统规范 (IEC 60134)

符号	参数	条件	最小	最大	单位
V _{CC}	电源电压		-	7	V
V _n	任何管脚的电压		GND - 0.3	V _{CC} +0.3	V
T _{amb}	工作温度		- 40	+85	°C
T _{stg}	存储温度		- 65	+150	°C
P _{tot(pack)}	每个封装的总功耗		-	500	mW

9. 静态特性

表 23 DC 电气特性

T_{amb} = -40°C ~ +85°C; V_{CC} = 2.5V、3.3V 或 5.0V ± 10%, 除非特别说明。

符号	参数	条件	2.5V		3.3V		5.0V		单位
			最小	最大	最小	最大	最小	最大	
V _{IL(CK)}	低电平时钟输入电压		-0.3	0.45	-0.3	0.6	-0.5	0.6	V
V _{IH(CK)}	高电平时钟输入电压		1.8	V _{CC}	2.4	V _{CC}	3.0	V _{CC}	V
V _{IL}	低电平输入电压 (X1 时钟除外)		-0.3	0.65	-0.3	0.8	-0.5	0.8	V
V _{IH}	高电平输入电压 (X1 时钟除外)		1.6	-	2.0	-	2.2	-	V
V _{OL}	所有输出的低电平输出电压 ^[1]	I _{OL} = 5mA (数据总线)	-	-	-	-	-	0.4	V
		I _{OL} = 4mA (其它输出)	-	-	-	0.4	-	-	V
		I _{OL} = 2mA (数据总线)	-	0.4	-	-	-	-	V
		I _{OL} = 1.6mA (其它输出)	-	0.4	-	-	-	-	V
V _{OH}	高电平输出电压	I _{OH} = - 5mA (数据总线)	-	-	-	-	2.4	-	V
		I _{OH} = - 1mA (其它输出)	-	-	2.0	-	-	-	V
		I _{OH} = - 800uA (数据总线)	1.85	-	-	-	-	-	V
		I _{OH} = - 400uA (其它输出)	1.85	-	-	-	-	-	V
I _{LIL}	低电平输入漏电流		-	± 10	-	± 10	-	± 10	uA
I _{CL}	时钟漏电流		-	± 30	-	± 30	-	± 30	uA
I _{CC}	电源电流	f = 5MHz	-	3.5	-	4.5	-	4.5	mA
C _i	输入电容		-	5	-	5	-	5	pF

[1] 除 X2 管脚外, V_{OL} = 1V (典型值)。

10. 动态特性

表 24 AC 电气特性

Tamb = -40℃ ~ +85℃; Vcc = 2.5V、3.3V 或 5.0V ± 10%, 除非特别说明。

符号	参数	条件	2.5V		3.3V		5.0V		单位
			最小	最大	最小	最大	最小	最大	
t _{1w} , t _{2w}	时钟脉冲周期		10	-	6	-	6	-	ns
t _{3w}	振荡器/时钟频率	[1]	-	48	-	80		80	MHz
t _{6s}	地址建立时间		0	-	0	-	0	-	ns
t _{6h}	地址保持时间		0	-	0	-	0	-	ns
t _{7d}	芯片选择到 $\overline{\text{IOR}}$ 的延时		10	-	10	-	10	-	ns
t _{7w}	$\overline{\text{IOR}}$ 选通宽度	25pF 负载	77	-	26	-	23	-	ns
t _{7h}	$\overline{\text{IOR}}$ 到芯片选择保持时间		0	-	0	-	0	-	ns
t _{9d}	读周期延时	25pF 负载	20	-	20	-	20	-	ns
t _{12d}	$\overline{\text{IOR}}$ 到数据延时	25pF 负载	-	77	-	26	-	23	ns
t _{12h}	数据禁能时间	25pF 负载	-	15	-	15	-	15	ns
t _{13d}	芯片选择到 $\overline{\text{IOW}}$ 的延时		10	-	10	-	10	-	ns
t _{13w}	$\overline{\text{IOW}}$ 选通宽度		20	-	20	-	15	-	ns
t _{13h}	$\overline{\text{IOW}}$ 到芯片选择保持时间		0	-	0	-	0	-	ns
t _{15d}	写周期延时		25	-	25	-	20	-	ns
t _{16s}	数据建立时间		20	-	20	-	15	-	ns
t _{16h}	数据保持时间		15	-	5	-	5	-	ns
t _{17d}	$\overline{\text{IOW}}$ 到输出的延时	25pF 负载	-	100	-	33	-	29	ns
t _{18d}	调制解调器输入到设置中断的延时	25pF 负载	-	100	-	24	-	23	ns
t _{19d}	$\overline{\text{IOR}}$ 到复位中断的延时	25pF 负载	-	100	-	24	-	23	ns
t _{20d}	停止到设置中断的延时		-	1	-	1	-	1	R _{CLK}
t _{21d}	$\overline{\text{IOR}}$ 到复位中断的延时	25pF 负载	-	100	-	29	-	28	ns
t _{22d}	开始到设置中断的延时		-	100	-	45	-	40	ns
t _{23d}	$\overline{\text{IOW}}$ 到发送开始的延时		8	24	8	24	8	24	R _{CLK}
t _{24d}	$\overline{\text{IOW}}$ 到复位中断的延时		-	100	-	45	-	40	ns

续上表

符号	参数	条件	2.5V		3.3V		5.0V		单位
			最小	最大	最小	最大	最小	最大	
t_{25d}	停止到设置 \overline{RXRDY} 的延时		-	1	-	1	-	1	R_{CLK}
t_{26d}	\overline{IOR} 到复位 \overline{RXRDY} 的延时		-	100	-	45	-	40	ns
t_{27d}	\overline{IOW} 到设置 \overline{TXRDY} 的延时		-	100	-	45	-	40	ns
t_{28d}	开始到复位 \overline{TXRDY} 的延时		-	8	-	8	-	8	R_{CLK}
t_{RESET}	复位脉冲宽度		200	-	40	-	40	-	ns
N	波特率除数		1	$2^{16}-1$	1	$2^{16}-1$	1	$2^{16}-1$	R_{CLK}

[1] 用于外部时钟，晶体振荡器最大为 24MHz。

10.1 时序图

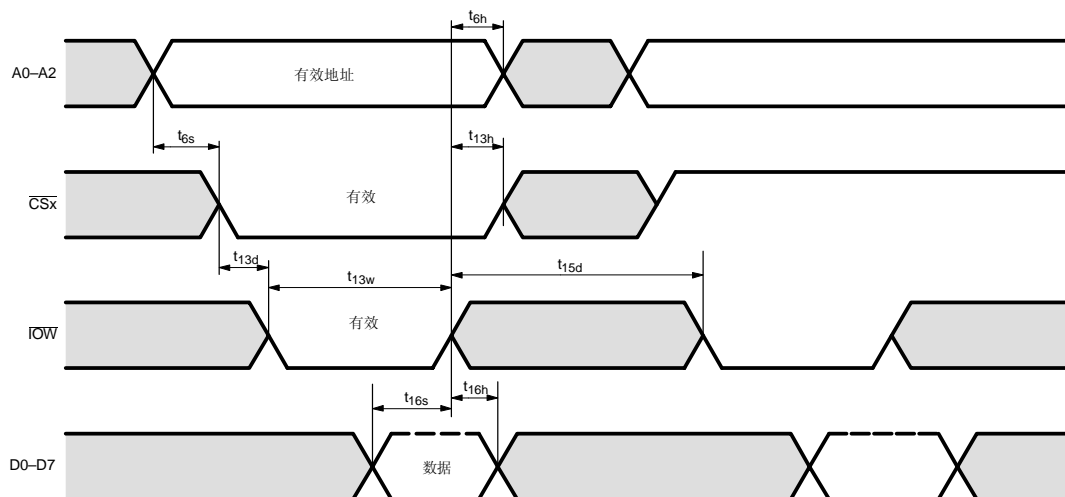


图 7 通用写时序

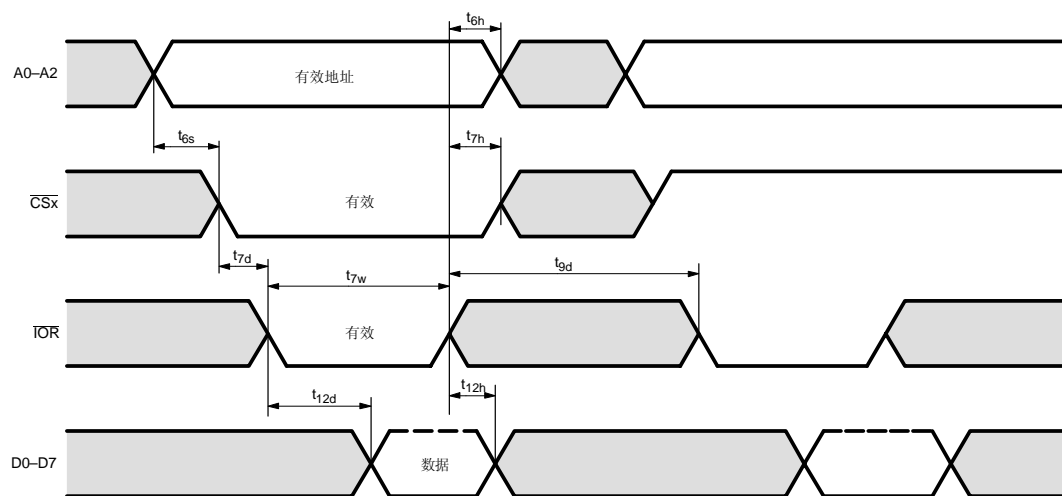


图 8 通用读时序

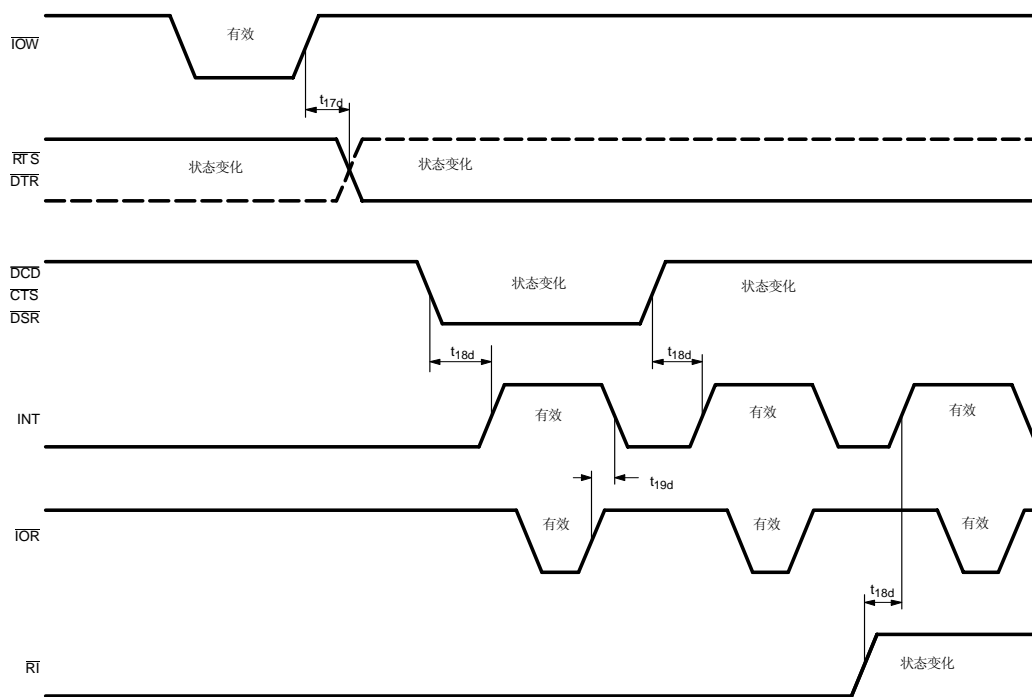


图9 调制解调器输入/输出时序

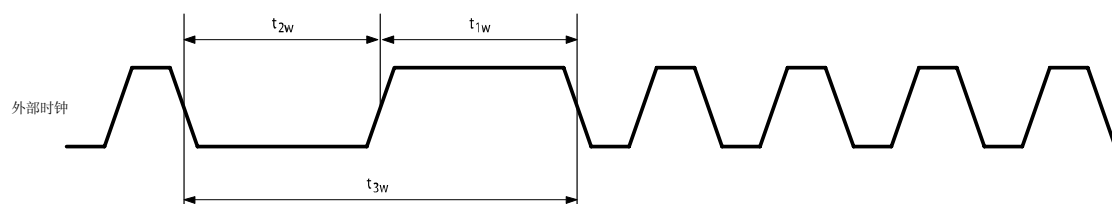


图10 外部时钟时序

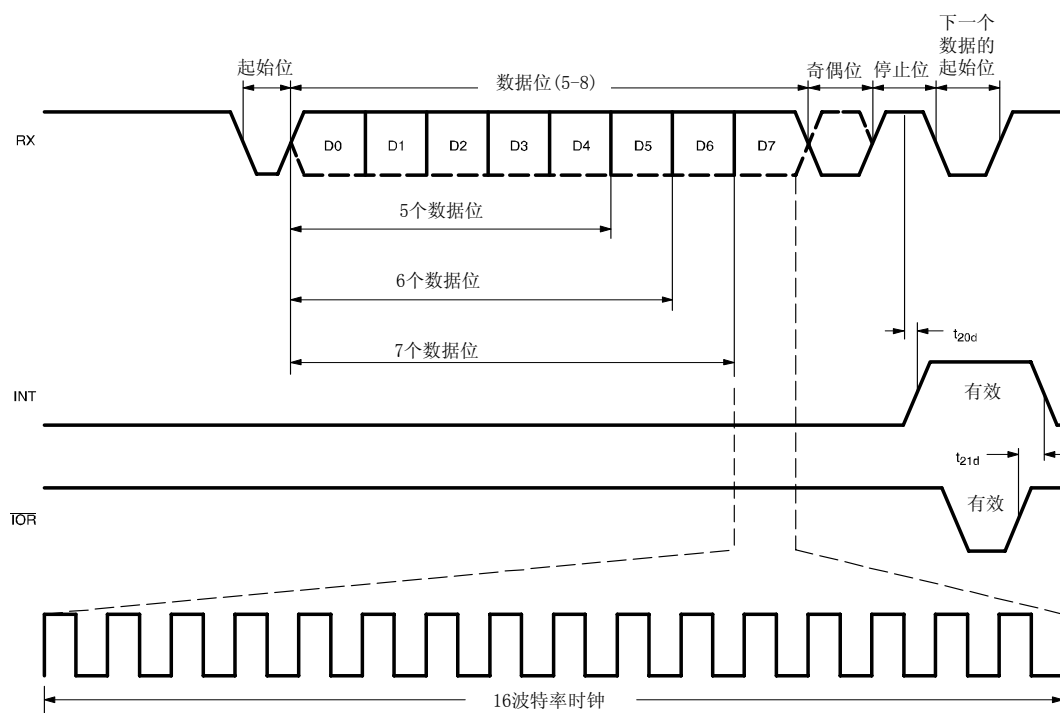


图11 接收时序

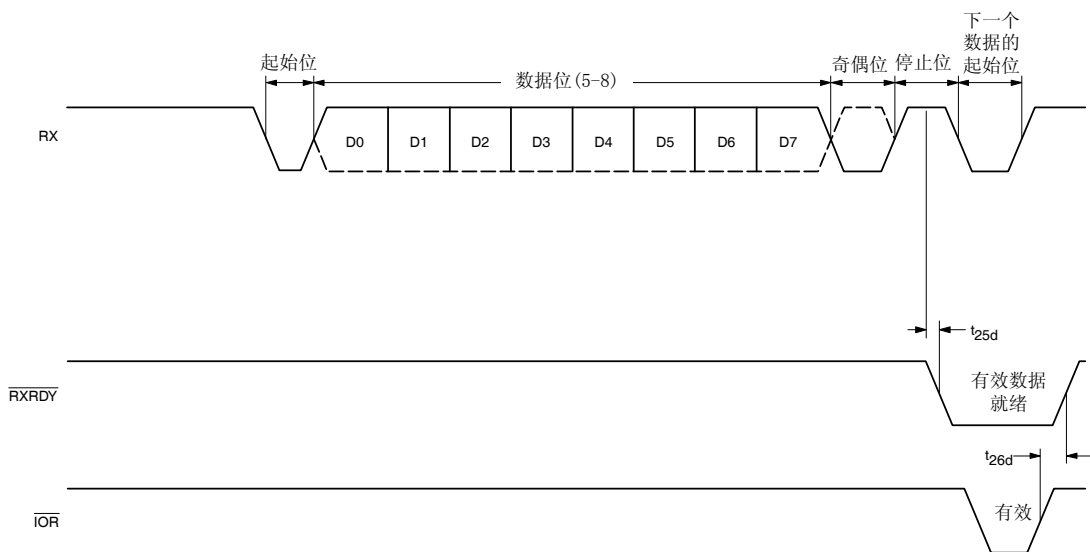


图 12 非 FIFO 模式下的接收就绪时序

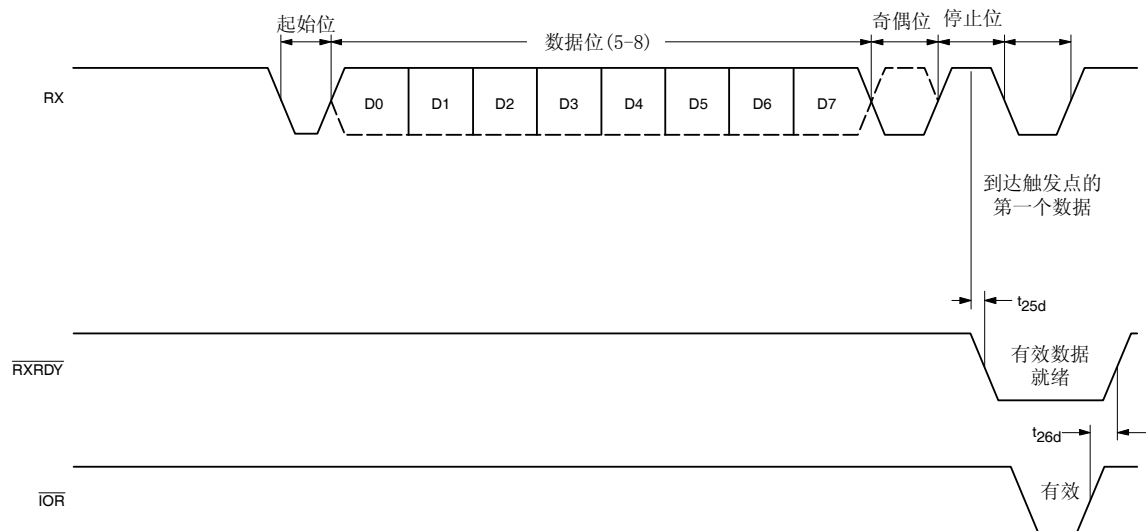


图 13 FIFO 模式下的接收就绪时序

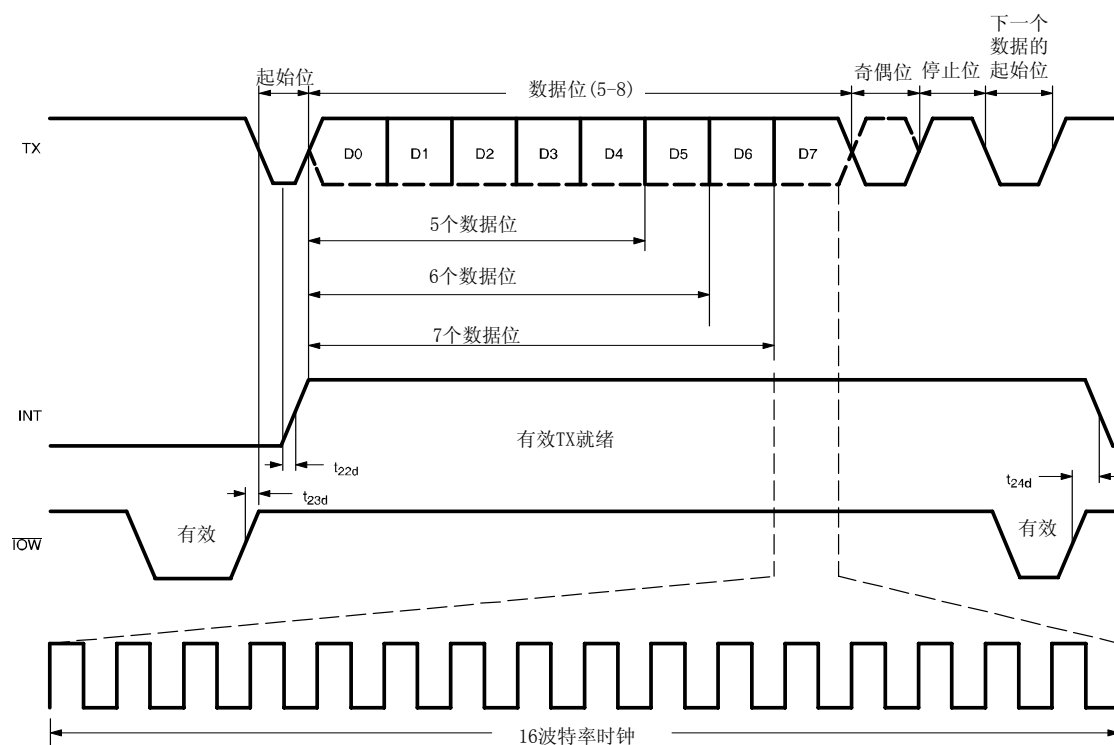


图 14 发送时序

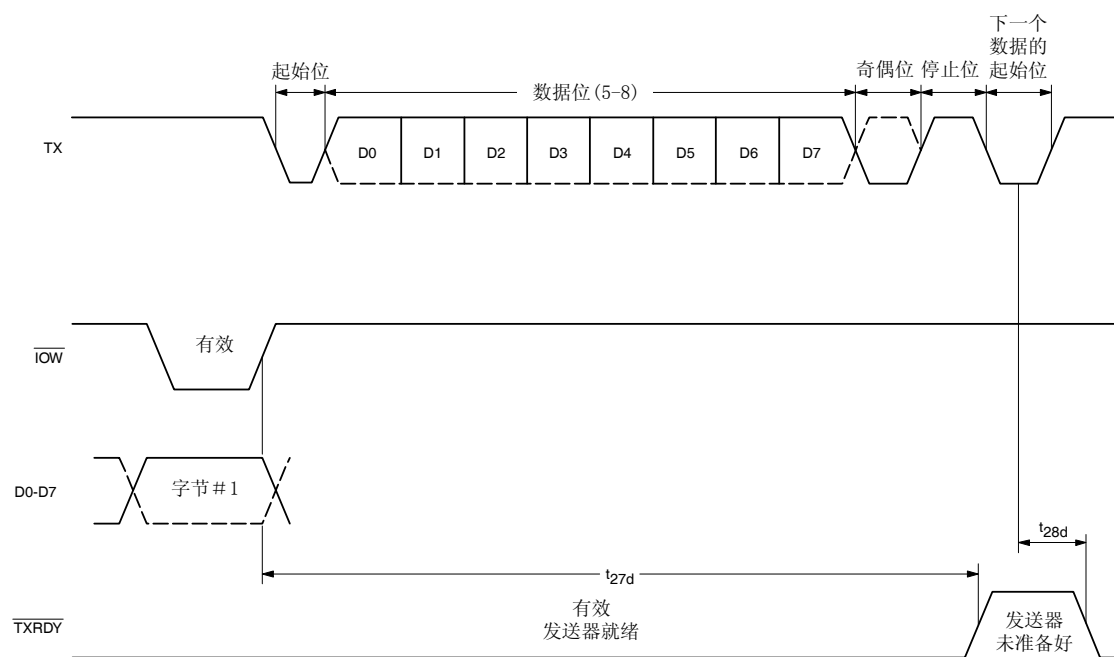


图 15 非 FIFO 模式下的发送就绪时序

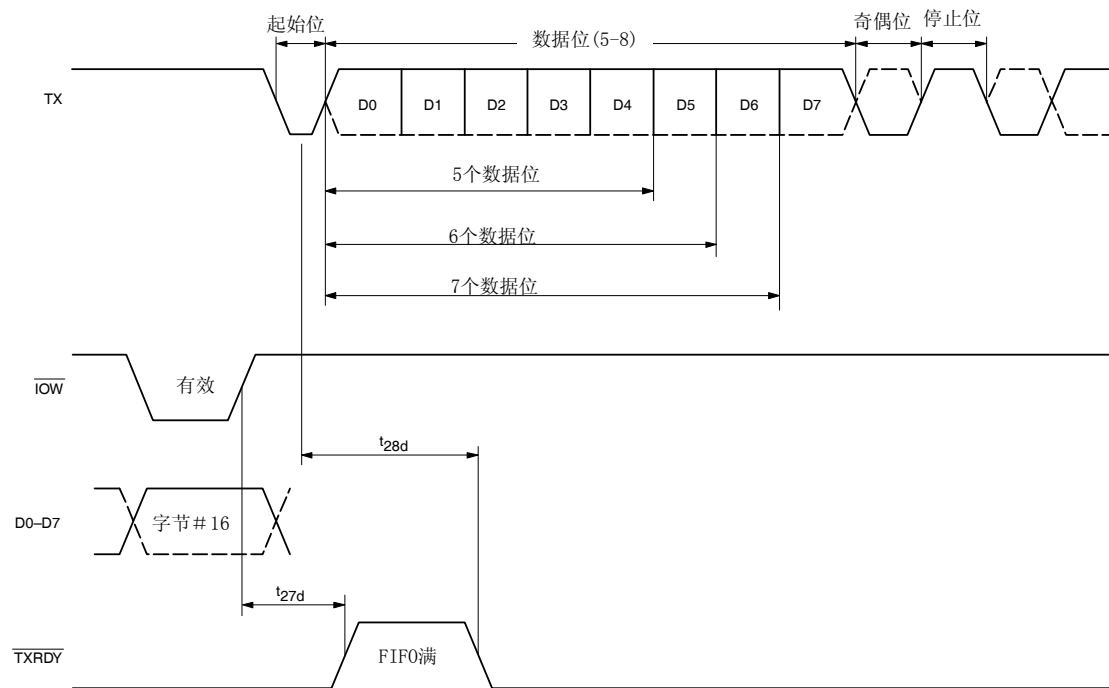
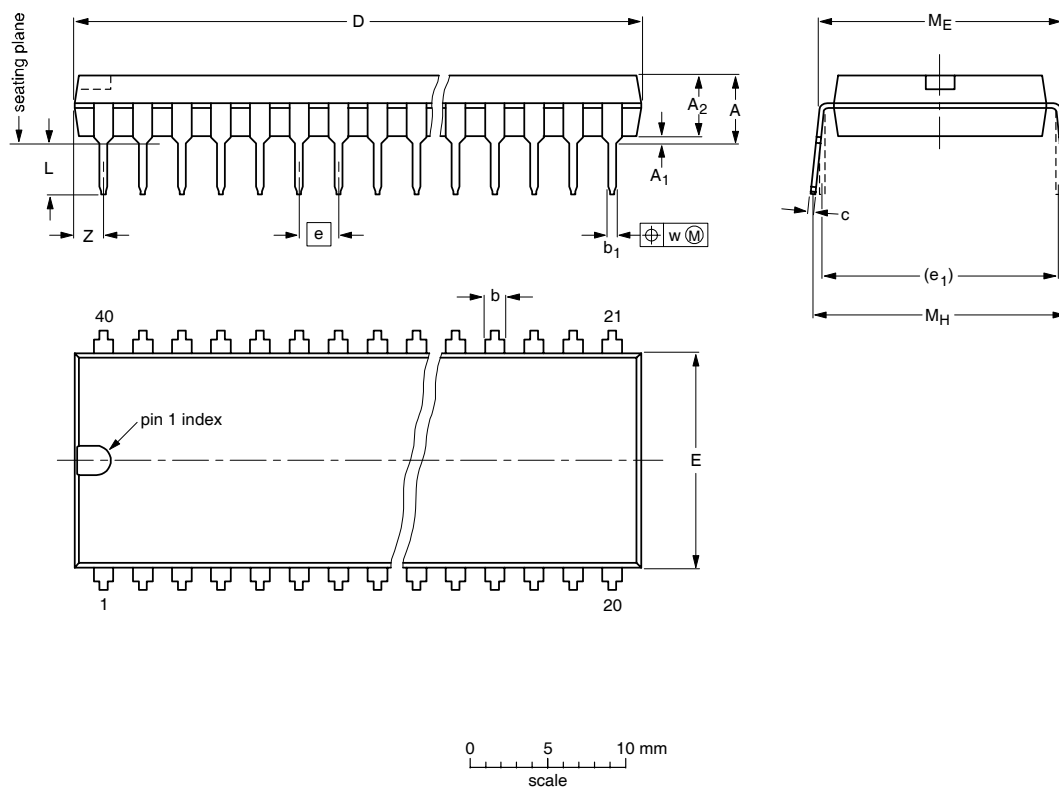


图 16 FIFO 模式下的发送就绪时序 (DMA 模式 '1')

11. 封装

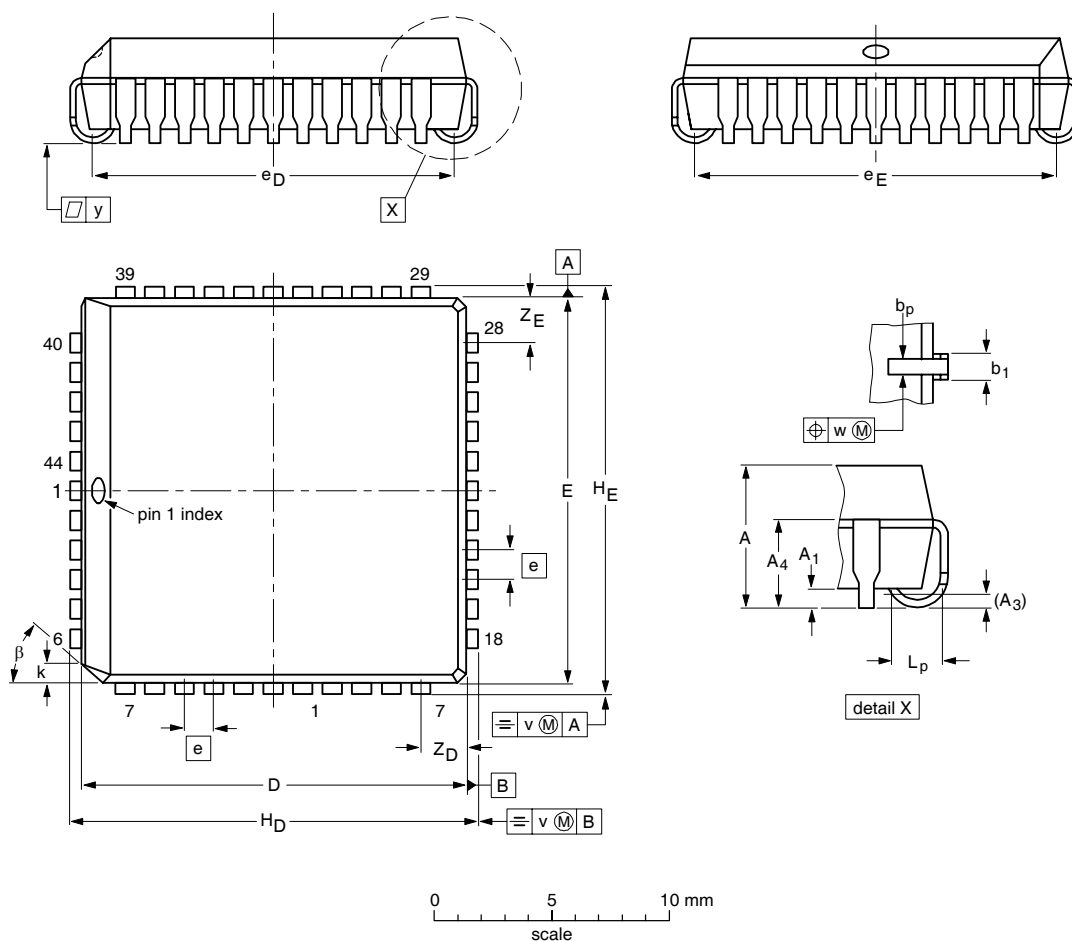
DIP40: 塑料双列直插; 40脚 (600mil)



DIMENSIONS (inch dimensions are derived from the original mm dimensions)

UNIT	A max.	A ₁ min.	A ₂ max.	b	b ₁	c	D ⁽¹⁾	E ⁽¹⁾	e	e ₁	L	M _E	M _H	w	Z ⁽¹⁾ max.
mm	4.7	0.51	4	1.70 1.14	0.53 0.38	0.36 0.23	52.5 51.5	14.1 13.7	2.54	15.24	3.60 3.05	15.80 15.24	17.42 15.90	0.254	2.25
inches	0.19	0.02	0.16	0.067 0.045	0.021 0.015	0.014 0.009	2.067 2.028	0.56 0.54	0.1	0.6	0.14 0.12	0.62 0.60	0.69 0.63	0.01	0.089

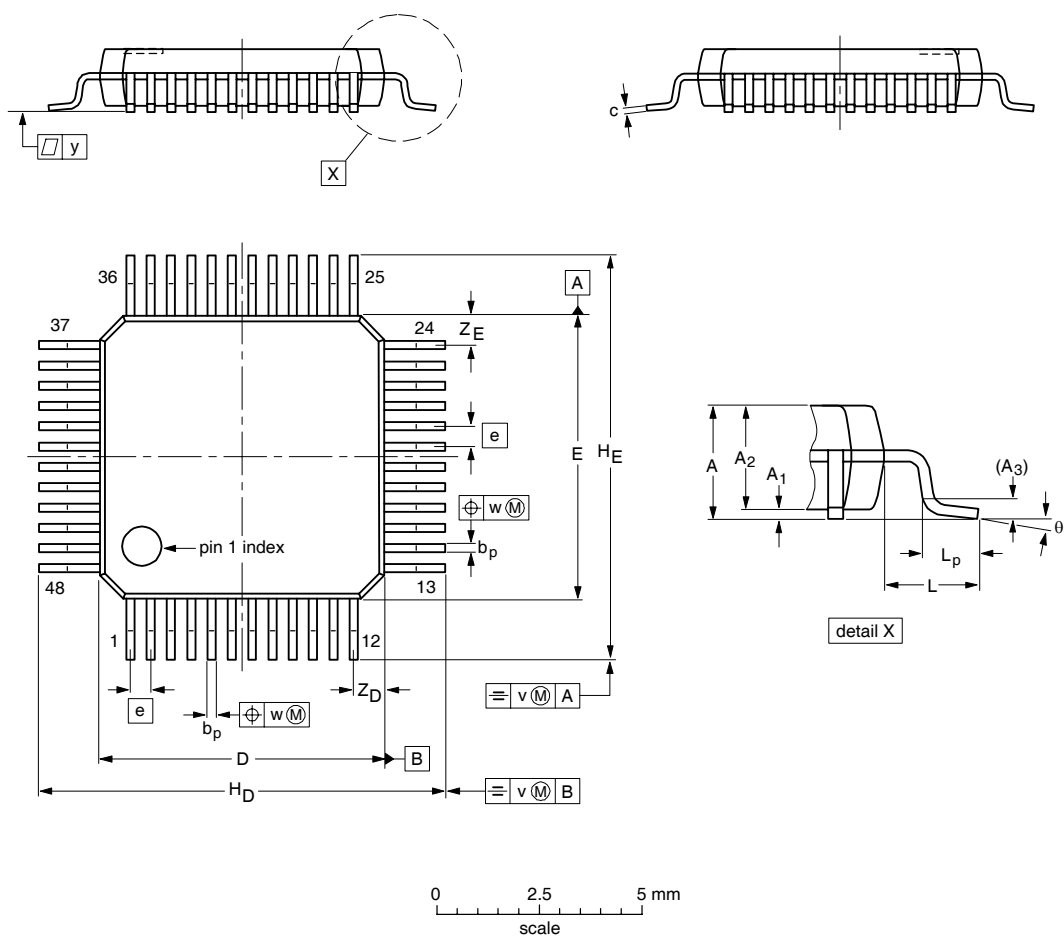
PLCC44: 塑料有引线芯片载体; 44脚



DIMENSIONS (mm dimensions are derived from the original inch dimensions)

UNIT	A	A ₁ min.	A ₃	A ₄ max.	b _p	b ₁	D ⁽¹⁾	E ⁽¹⁾	e	e _D	e _E	H _D	yH _E	k	L _p	v	w	Z _D ⁽¹⁾ max.	Z _E ⁽¹⁾ max.	β	
mm	4.57 4.19	0.51	0.25	3.05	0.53 0.33	0.81 0.66	16.66 16.51	16.66 16.51	1.27	16.00 14.99	16.00 14.99	17.65 17.40	17.65 17.40	1.22 1.07	1.44 1.02	0.18	0.18	0.1	2.16	2.16	45°
inches	0.180 0.165	0.02	0.01	0.12	0.021 0.013	0.032 0.026	0.656 0.650	0.656 0.650	0.05	0.63 0.59	0.63 0.59	0.695 0.685	0.695 0.685	0.048 0.042	0.057 0.040	0.007	0.007	0.004	0.085	0.085	

LQFP48: 塑料小尺寸四方扁平封装; 48脚, 本体大小 7×7×1.4mm



DIMENSIONS (mm are the original dimensions)

UNIT	A _{max.}	A ₁	A ₂	A ₃	b _p	c	D ⁽¹⁾	E ⁽¹⁾	e	H _D	H _E	L	L _p	v	w	y	Z _D ⁽¹⁾	Z _E ⁽¹⁾	θ
mm	1.6	0.20 0.05	1.45 1.35	0.25	0.27 0.17	0.18 0.12	7.1 6.9	7.1 6.9	0.5	9.15 8.85	9.15 8.85	1	0.75 0.45	0.2	0.12	0.1	0.95 0.55	0.95 0.55	7° 0°

注释: 红色部分为 SC16C2550B 与 SC16C2550 的不同之处。