

SC9256

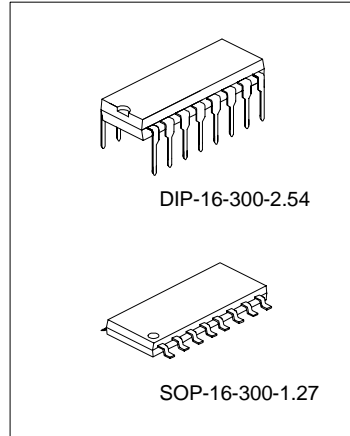
数字调谐系统锁相环

SC9256是一个数字调谐系统锁相环电路，内置2个预分频系数。

SC9256的所有功能都是通过3根串行总线控制，适用于高性能的数字调谐系统。

主要特点

- * 优化高保真调谐器和汽车音响的数字调谐系统结构
- * 内置预定分频值。当输入FMIN信号是在输入频率为30~150 MHz下操作，输入AMIN信号时，在频率0.5~40MHz下操作。
- * 16位可编程计数器，并行输出相位比较器，晶体振荡器和参考计数器。
- * 可以使用3.6MHz，4.5MHz，7.2MHz或10.8MHz晶体振荡器。
- * 15种可供参考的频率。(使用4.5M的晶振)
- * 内置20位通用计数器，用来测量中频频率(IFIN1和IFIN2)。
- * 锁相环误差检测精度高($\pm 0.55 \sim \pm 7.15 \mu s$)。
- * 多个通用I/O管脚可以用作外设电路控制。
- * 3个N沟道开漏输出端口(OFF耐压:12V)，可用作控制信号的输出。

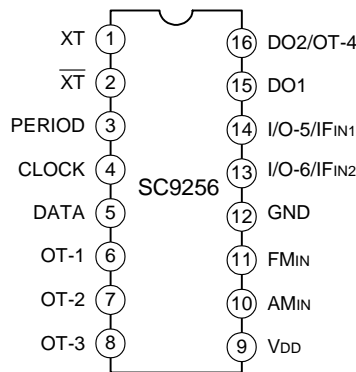


- * 待机模式功能（关闭FM、AM和IF放大器），节约电流消耗。
 - * 所有功能由3根串行总线控制。
- CMOS 结构，操作电源范围：
VDD=5.0±0.5V

封装形式

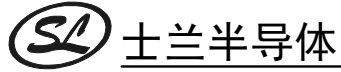
产品	封装
SC9256	DIP-16-300-2.54
SC9256S	SOP-16-300-1.27

管脚排列图



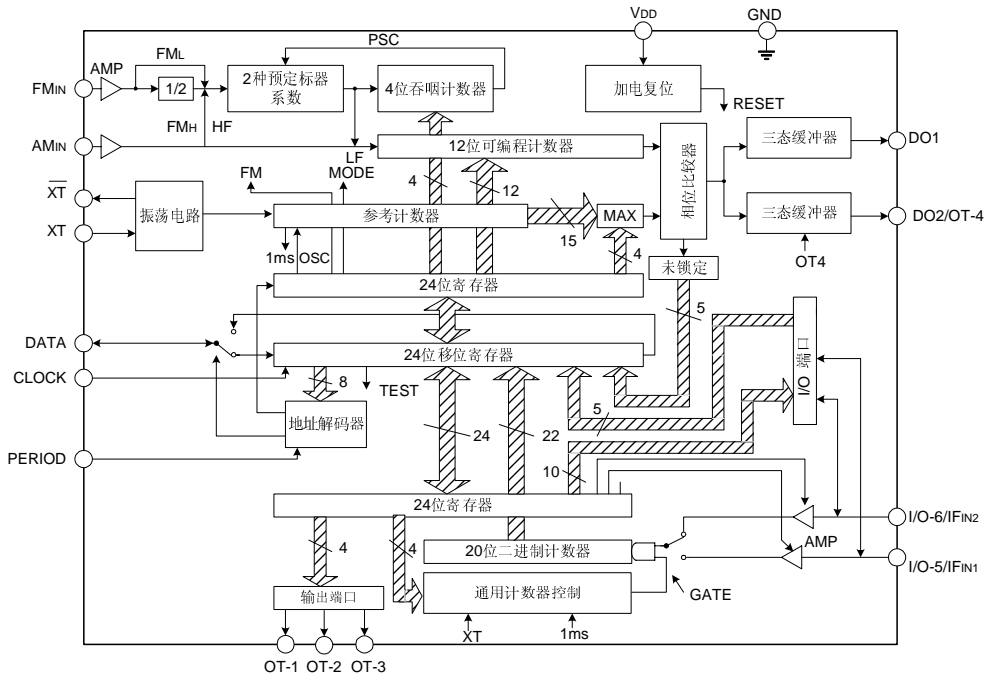
杭州士兰微电子股份有限公司

版本号: 1.0 2004.08.03



SC9256

内部框图

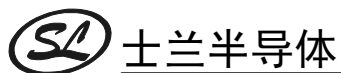


极限参数 (Ta=25°C)

参 数	符号	参 数 范 围	单 位
工作电压	VCC	-0.3~6.0	V
输入电压	VIN	-0.3~VDD+0.3	V
N沟道开漏关闭耐压	VOFF	13	V
功率消耗	PD	300(200)	mW
工作温度	TOPR	-40~85	°C
贮存温度	TSTG	-65~150	°C

杭州士兰微电子股份有限公司

版本号: 1.0 2004.08.03



SC9256

电气特性 (除非特别指明, Ta= -40~85°C, VDD=4.5~5.58V.)

参数	符号	测试条件	最小值	典型值	最大值	单位
电源电压	VDD1	PLL操作 (正常操作)	4.5	5.0	5.5	V
电源电流	IDD1	VDD=5.0V, XT=10.8MHz, FMIN=150MHz	--	7	15	mA

待机模式

晶振频率所需电压	VDD2	PLL OFF (晶体振荡器操作)	4.0	5.0	5.5	V
工作电流	IDD2	VDD=5.0V, XT =10.8MHz PLL OFF	--	0.8	1.5	mA
工作电流	IDD3	VDD=5.0V, XT 停止, PLL OFF	--	120	240	μA

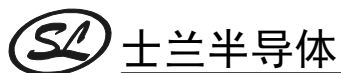
工作频率范围

晶振频率	fXT	在XT-XT 终端连接晶体振荡器	3.6	~	10.8	MHz
FMIN (FMH, FML)	fFM	FMH, FML 模式, VIN=0.2Vp-p	30	~	130	MHz
FMIN (FML)	fFML	FML模式, VIN=0.3Vp-p	30	~	150	MHz
AMIN (HF)	fHF	HF模式, VIN=0.2Vp-p	1	~	40	MHz
AMIN (LF)	fLF	LF模式, VIN=0.2Vp-p	0.5	~	20	MHz
IFIN1, IFIN2	fIF	VIN=0.2Vp-p	0.1	~	15	MHz
SCIN	fSC	VIH=0.7VDD, VIL=0.3VDD, 方波输入	--	~	100	kHz

(见下页)

杭州士兰微电子股份有限公司

版本号: 1.0 2004.08.03



SC9256

(接上页)

参数	符号	测试条件	最小值	典型值	最大值	单位
输入幅度范围						
FMIN (FMH, FML)	VFM	FMH, FML 模式 , fIN=30~130MHz	0.2	~	VDD-0.5	Vp-p
FMIN (FML)	VFML	FML 模式 , fIN=30~150MHz	0.3	~	VDD-0.5	Vp-p
AMIN (HF)	VHF	HF 模式 , fIN=1~40MHz	0.2	~	VDD-0.5	Vp-p
AMIN (LF)	VLF	LF 模式 , fIN=0.5~20MHz	0.2	~	VDD-0.5	Vp-p
IFIN1, IFIN2	VIF	fIN=0.1~15MHz	0.2	~	VDD-0.5	Vp-p

OT1~OT4 N-沟道开漏

输出电流	低电平	IOL1	VOL=1.0V	5.0	10.0	--	mA
OFF漏电流		IOFF	VOFF=12V	--	---	2.0	μA

I/O-5~I/O-9, SCIN

输入电压	高电平	VIH1		0.7VDD	~	VDD	V
	低电平	VIL1		0	~	0.3VDD	
输入电流	高电平	IiH	VIH=5V	--	--	2.0	μA
	低电平	IiL	VIL=0V	--	--	-2.0	
输出电流	高电平	IOH4	VOH=4.0V (SCIN除外)	-2.0	-4.0	--	mA
	低电平	IOL4	VOL=1.0V (SCIN除外)	2.0	4.0	--	

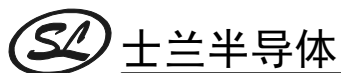
PERIOD, CLOCK, DATA

输入电压	"H" level	VIH2		0.8VDD	~	VDD	V
	"L" level	VIL2		0	~	0.2VDD	
输入电流	"H" level	IiH	VIH=5V	--	--	2.0	μA
	"L" level	IiL	VIL=0V	--	--	-2.0	
输出电流	"H" level	IOH5	VOH=4.0V (DATA)	-1.0	-3.0	--	mA
	"L" level	IOL5	VOL=1.0V (DATA)	1.0	3.0	--	

(见下页)

杭州士兰微电子股份有限公司

版本号: 1.0 2004.08.03



SC9256

(接上页)

参数	符号	测试条件	最小值	典型值	最大值	单位
----	----	------	-----	-----	-----	----

DO1, DO2

输入电流	"H" level	IOH3	VOH=4.0V	-2.0	-4.0	--	mA
	"L" level	IOL3	VOL=1.0V	2.0	4.0	--	
三态引导电流		ITL	VTLH=5V, VTLL=0V	--	--	±1.0	µA

XT

输出电流	"H" level	IOH2	VOH=4.0V	-0.1	-0.3	--	mA
	"L" level	IOL2	VOL=1.0V	0.1	0.3	--	

输入反馈电阻

输入反馈电阻	高电平	Rf1	FMIN, AMIN, IFIN (Ta=25°C)	350	700	1400	kΩ
	低电平	Rf2	XT- XT (Ta=25°C)	500	1000	4000	

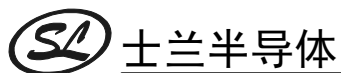
管脚描述

管脚号	符号	管脚名称	功能描述
1	XT	晶体振荡器管脚	连接3.6MHz, 4.5MHz, 7.2MHz或10.8MHz的晶体振荡器, 用来提供参考频率和内部时钟。
2	XT		
3	PERIOD	周期信号输入	串行I/O端口。这些管脚用来传输数据, 和通过控制器数据设置分频和分频模式, 控制通用计数器和通用输入/输出端口。
4	CLOCK	时钟信号输入	
5	DATA	串行数据输入/输出	
6	OT-1	通用输出端口	N沟道开漏端口管脚, 用来控制信号输出。这些管脚在电源加电时设置为关闭状态。
7	OT-2		
8	OT-3		

(见下页)

杭州士兰微电子股份有限公司

版本号: 1.0 2004.08.03



SC9256

(接上页)

管脚号	符号	管脚名称	功能描述
10	AMIN	可编程计数器输入	这些管脚通过耦合电容输入FM和AM频带本振信号。FMIN和AMIN在低幅下操作。
11	FMIN		
13	I/O-6/IFIN2	通用I/O端口/通用计数器频率测量输入	通用I/O端口输入/输出管脚。可以转换为输入管脚，用来测量通用计数器频率。频率测量功能即测量中频频率(IF)。这些管脚的主要特点是内置放大器。数据通过电容耦合输入。FMIN和AMIN在低幅下操作。 (注:) 电源加电时管脚设置为输入模式。
14	I/O-5/IFIN1		
15	DO1	相位比较器输出(通用输出端口)	这些管脚是相位比较器的三态输出。DO1和DO2并行输出。DO2也可以转换为通用输出端口。
16	DO2/OT-4		
12	GND	电源管脚	5.0V±10%
9	VDD		

功能描述

串行I/O端口

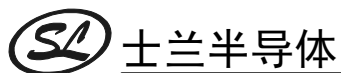
如框图所示，所有的功能都是通过设置2个24位的寄存器来控制的。这些寄存器的每一位数据是通过控制器和DATA,CLOCK PERIOD 引脚之间的串行口传送的，每个串行传输是由32位组成，8位地址位和24位数据位。

既然所有的功能都是由寄存器单元控制的，下面就详细介绍每个寄存器和8位地址位。

这些寄存器是由24位组成，并可以通过8位地址选择。

杭州士兰微电子股份有限公司

版本号: 1.0 2004.08.03



SC9256

每个寄存器的地址分配如下：

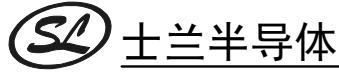
寄存器	地址	24 位 内 容	位 数
输入寄存器1	D0H	PLL分频器设置	16
		参考频率设置	4
		PLL输入模式设置	2
		晶体振荡器选择	2
			总计24
输入寄存器2	D2H	通用计数器控制 (包括锁定检测位控制)。	4
		I/O 端口可通用计数器转换位	3
		I/O-5/CLK 管脚转换位	1
		DO管脚控制	1
		测试位	1
		I/O端口控制 (已用作通用计数器输入选择位)	5
		输出数据位	9
			总计 24
输出寄存器1	D1H	通用计数器数字数据	22
		未用	2
			总计 24
输出寄存器2	D3H	锁定检测数据	5
		I/O端口控制数据	5
		输出数据	4
		输入数据 (在输出端口选项中未定义)	5
		未用	5
			总计24

当周期信号 (PERIOD) 下降沿时, 输入数据锁存在寄存器1和寄存器2中, 并执行功能。

当时钟信号 (CLOCK) 第9个下降沿时, 输出数据并行锁存在输出寄存器。数据管脚连续输出数据。

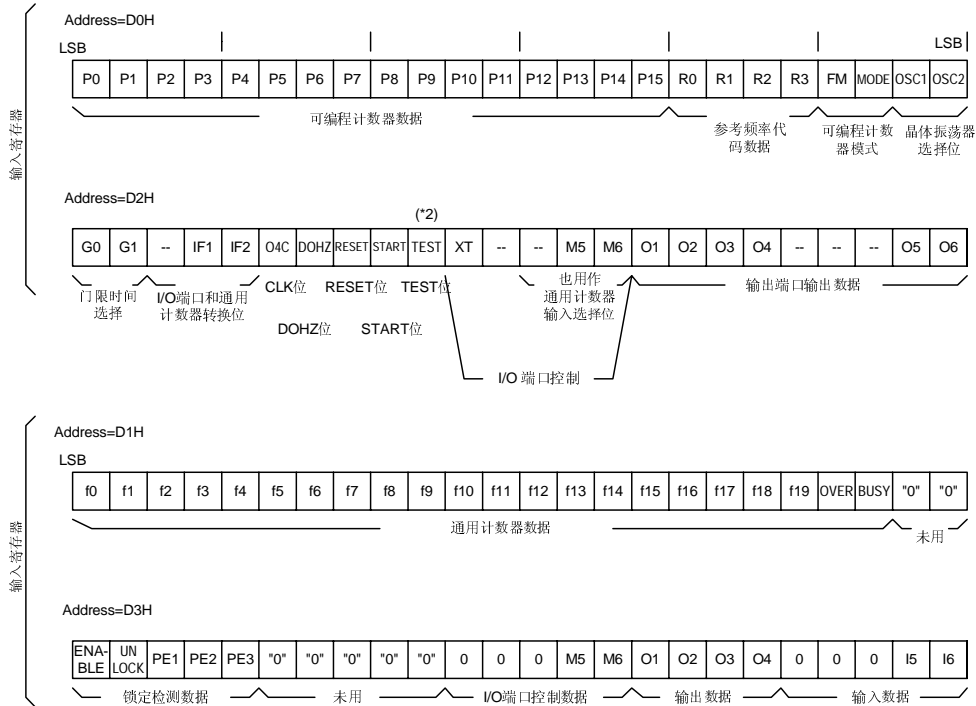
杭州士兰微电子股份有限公司

版本号: 1.0 2004.08.03

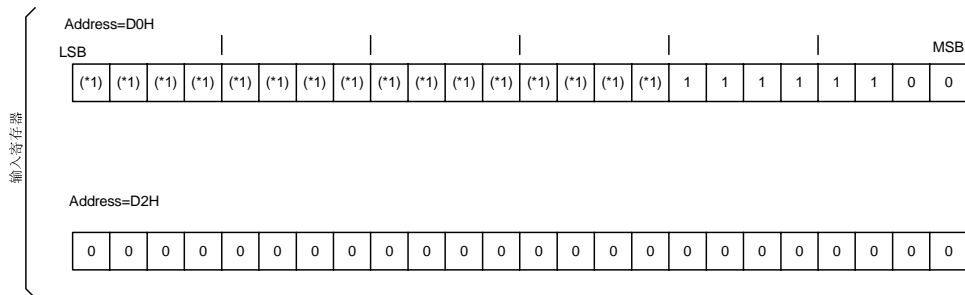


SC9256

寄存器配置



加电时，输入寄存器设置如下：



- 注：
1. 数据没有定义
 2. 设置测试位为0。

串行传输格式

串行传输格式由8位地址和24位数据位组成（图1）。使用地址D0H~D3H。

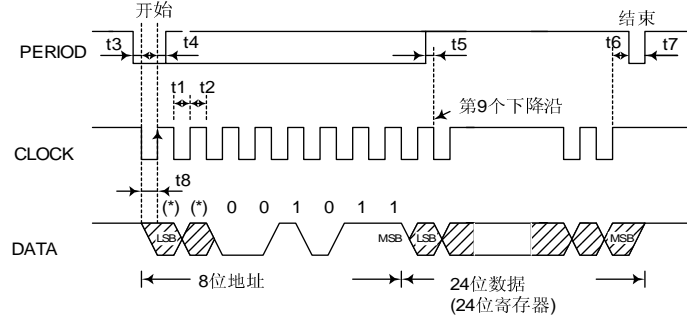


图 1

• 串行数据传输

串行数据和时钟信号同步传输。在闲置状态，PERIOD，CLOCK和DATA管脚线都设置为高电平。当周期信号在低电平时，时钟信号下降沿初始化串行数据传输。当周期信号为低电平时而时钟信号为高电平时，数据传输中止。一旦串行数据传输开始执行，在周期信号位低电平时，时钟信号的下降沿不会超过8个。

当时钟信号上升沿时，由于接收端接收串行数据作为有效数据，因此发送端输出和时钟信号下降沿同步的信号。

为了接收输出寄存器(D1H, D3H)的串行数据，在8位地址输出后但是下一个时钟信号下降沿前，设置串行数据输出为高阻抗。

数据连续接收直到周期信号变为低电平；数据传输在周期信号上升沿前结束。因此数据管脚必须有开漏或三态接口。

注： 1. 当电源加电时，一些内部电路的状态不明确。为了设置内部电路状态，在执行规则数据传输前执行一个伪数据传输。

2. 时间 t1~t8的值如下：

t1≥1.0μs

t2≥1.0μs

t3≥0.3μs

t4≥0.3μs

t5≥0.3μs

t6≥1.0μs

t7≥1.0μs

t8≥0.3μs

3. 星号表示数字是从地址获取的，例如D*H。

晶体振荡器管脚 (XT, XT̄)

如图2所示，内部操作必须的时钟可以通过在电容间连接一个晶体振荡器得到。使用晶体振荡器选择位选一个振荡频率，3.6MHz，4.5MHz，7.2MHz或10.8MHz，和当前使用的振荡器匹配。

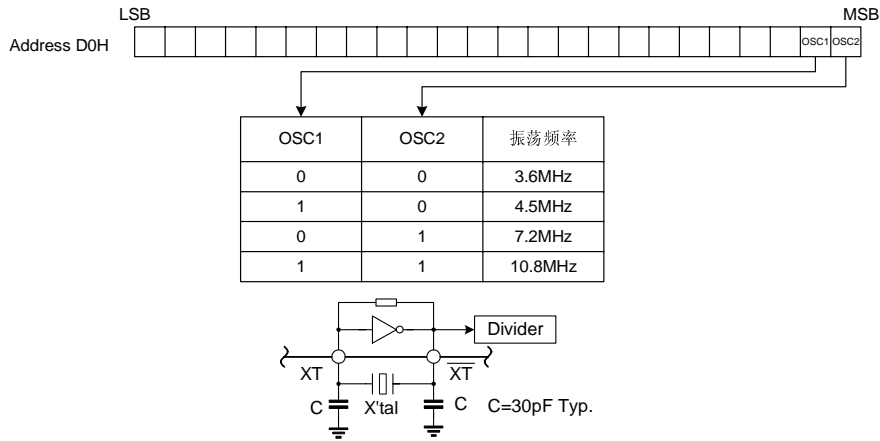


图 2

注：电源加电时，预置为3.6MHz (OSC1="0" 并且 OSC2="0")。这时晶振不会振荡，因为系统处于待机模式。

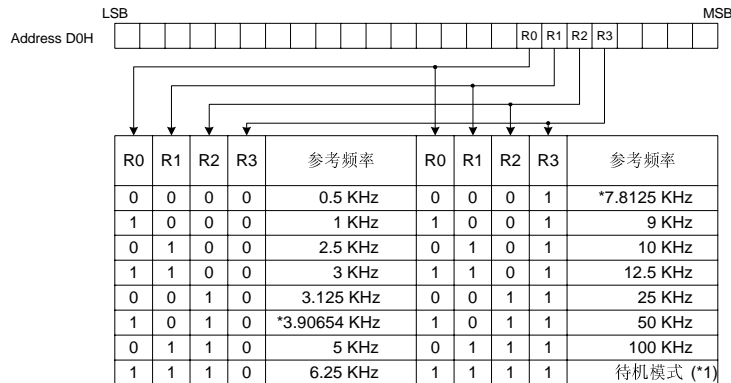
参考计数器 (参考频率分频器)

参考计数器单元是由晶体振荡器和计数器组成的。

晶体振荡器频率可以选择 3.6MHz，7.2MHz 或 10.8MHz。最多可以产生 15 个参考频率。

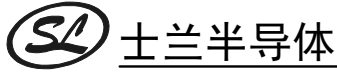
1. 设置参考频率

通过 R0~R3 设置参考频率。



杭州士兰微电子股份有限公司

版本号: 1.0 2004.08.03



SC9256

注：1. 标着星号的参考频率只能通过 4.5MHZ 的晶体振荡器产生。

2. 待机模式

待机模式在位 R0, R1, R2 和 R3 为“1”时产生。在待机模式，可编程计数器停止，并且 FM, AM 和 IFIN(选择 IFIN 时)处于放大器关闭状态（管脚处于低电平）。这样可以在收音功能关闭时节省电流消耗。DO 管脚在待机模式为高阻抗状态。

在待机模式，可以控制 I/O 端口(I/O-5~I/O-6)和输出端口(OT1~OT4)，晶体振荡器可以关闭和启动。

3. 加电时，系统设置为待机模式，这时，晶体振荡器不会振荡并且 I/O 端口设置为输入模式。

可编程计数器

可编程计数器单元由一个 1/2 预分频标器，一个 2 种预定分频系数和 4 位+12 位可编程二进制计数器组成。

1. 设置可编程计数器

可编程计数器包括 16 位分频数据和 2 位表明分频模式的数据。

(1) 设置分频模式

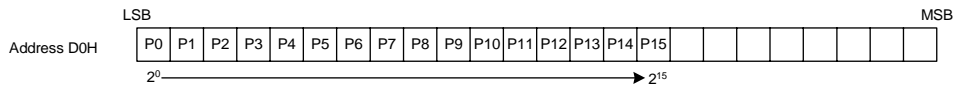
FM 和 MODE 位用来选择输入管脚和分频模式（脉冲吞咽模式或直接分频模式）。这儿有四种选择，见下表。根据频带选择其中的一种。



(2) 设置分频器

可编程计数器的分频系数通过 P0~P15 的二进制位来设定。

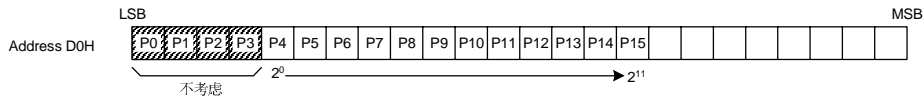
脉冲吞咽模式(16 位)



分频器设置范围（脉冲吞咽模式）:n=210H~FFFH (528~65535)

(注：)在 $\frac{1}{2}$ 脉冲吞咽模式，真正的分频系数是可编程计数器设置值的两倍。

直接分频模式(12 位)



分频器设置范围(直接分频模式): $n=10H\sim FFFH(16\sim 4095)$

在直接分频模式, 数据 p0~p3 不必考虑, 位 p4 是最低有效字节 LSB。

2. 预定分频器和可编程计数器 电路结构

(1) 脉冲吞咽模式电路结构

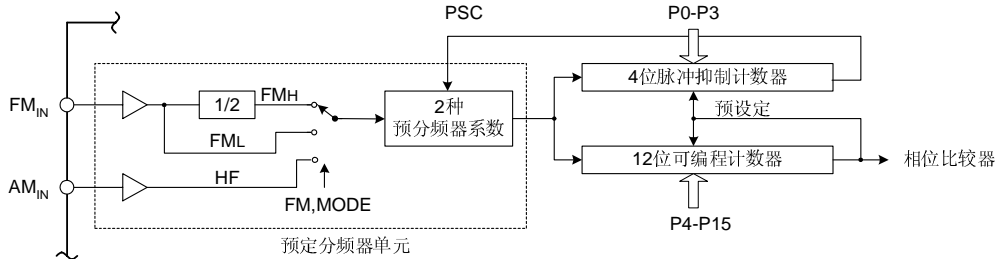


图 3

这个电路是由有一个 2 种系数的预定分频器, 一个 4 位的 swallow 计数器和一个 12 位的可编程计数器。在 FMIN(FMIN 模式)期间, 前面增加一个 1/2 预定分频器。

(2) 直接分频模式电路结构

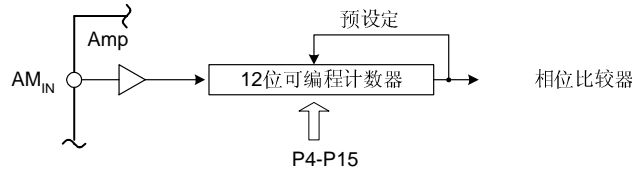


图 4

在直接分频模式, 预定分频器单元旁路, 并使用 12 位的可编程计数器。

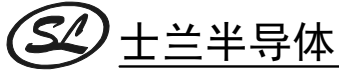
(3) FMIN 和 AMIN 都有内置的放大器, 数据通过电容耦合输入。FMIN 和 AMIN 在低幅下操作。

通用计数器

通用计数器是一个 20 位的计数器, 可以用来计数 AM/FM 频带的中频频率(IF)并在自动搜索调谐时检测自动停止信号。通用计数器管脚也可以用作 I/O 端口。

杭州士兰微电子股份有限公司

版本号: 1.0 2004.08.03



SC9256

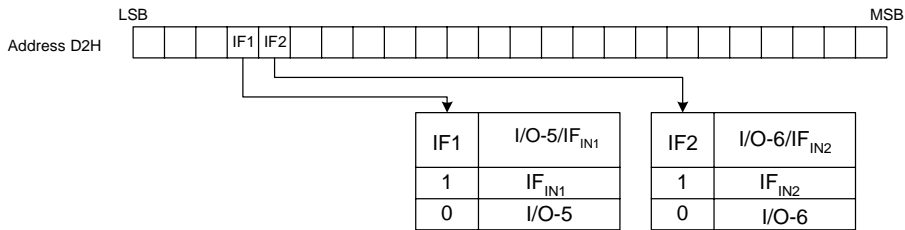
1. 通用计数器控制位

(1) 位 G0 和 G1 ... 用来选择通用计数器门限时间。

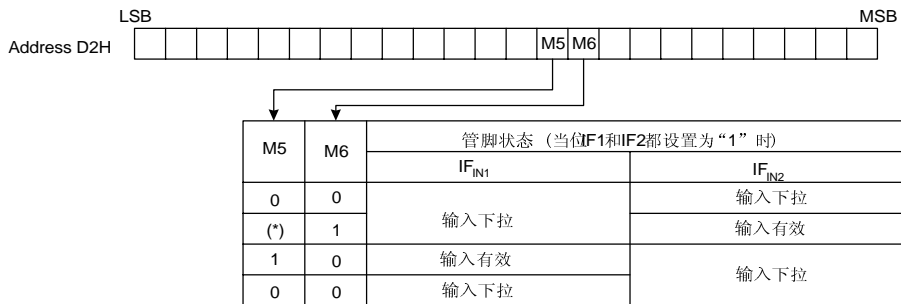


(2). 位 SC, IF1 和 IF2 ... I/O 端口和通用计数器转换位。

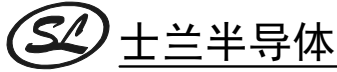
(*) 下列管脚的功能通过数据转换。



(3) 位 M5 设置管脚 I/O-5/IF_{IN1} 状态; M6 设置管脚 I/O-6/IF_{IN2} 状态。这些操作在位 SC, IF1 和 IF2 都设置为“1”时有效。



注: 标着“*”号的位都可设置为任意状态。

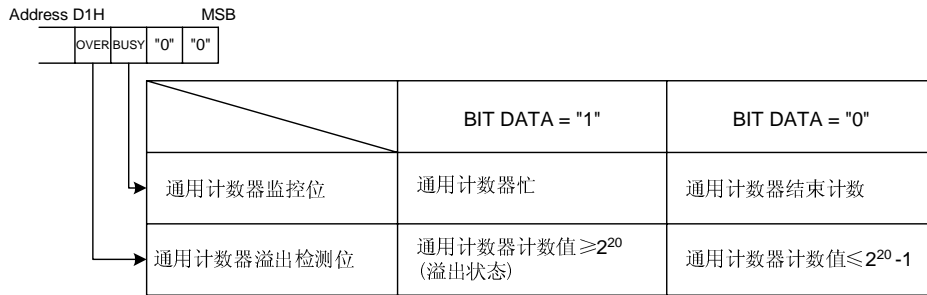


SC9256

(4) 位 f0~f19...通用计数器的结果可以从输出寄存器(D1H)中以二进制的形式读取。

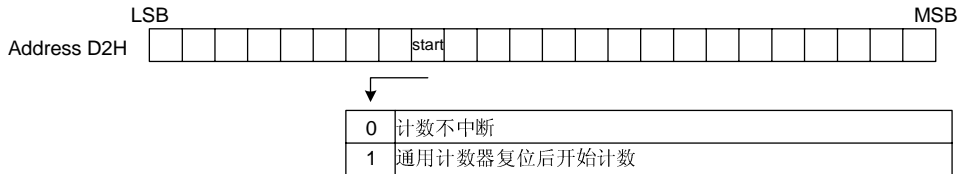


(5) OVER 和 BUSY 位...检测通用计数器的操作状态



注：当使用通用计数器时，在参考计数器的内容(f0~f19)前，确定BUSY位为“0”（计数结束），并且OVER位“0”（通用计数器数据正常）。

(6) START 位...当设置为“1”时，通用计数器复位,并且重新计数。



2. 通用计数器电路结构

通用计数器是由输入放大器，一个门限时间控制电路和一个20位的二进制计数器组成。

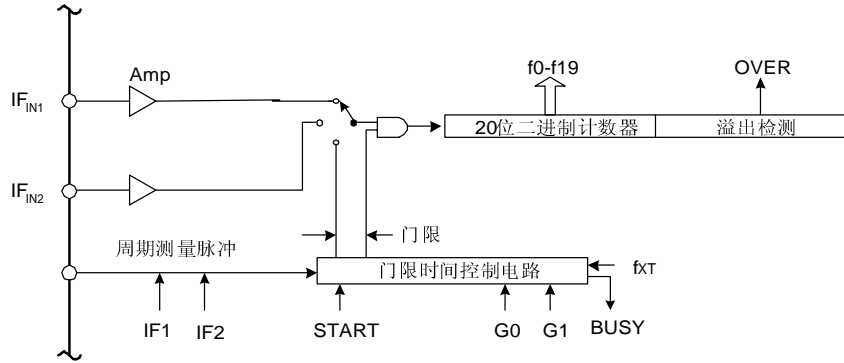
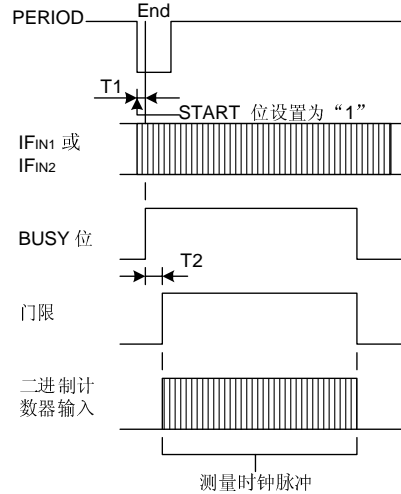


图 5

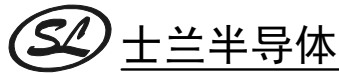
3. 通用计数器测量时序图



频率测量时序图

$$0 < T1 \leq 0.25(\mu s), 0 < T2 \leq 1 (ms)$$

注 1. IFIN1和IFIN2输入内置放大器。数据通过耦合电容输入。FMIN和AMIN在低幅下操作。



SC9256

通用I/O端口

这个电路还有一个重要特点是通用输出和输入/输出端口通过串行端口控制。

输入/输出形式	端口	输入/输出结构
输出端口	专用：3个端口 最大：4个端口(一个为CMOS输出)	N沟道开漏输出
I/O端口	最大：2个端口	CMOS输入/输出

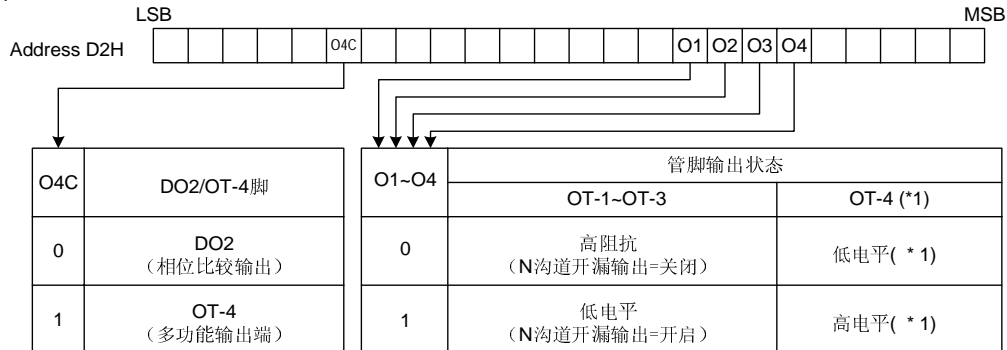
1. 通用输出端口 (OT-1~OT-4)

管脚OT-1~OT-4是专用的输出端口，用来控制信号输出。这些管脚是N沟道开漏输出，关闭耐压是12V。

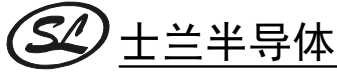
输入寄存器(D2H)位O1~O4的数据从相应的OT-1~OT-4输出端口并行输出。在SC9256中，没有并行输出端口OT-4，但是可以通过设置输入寄存器(D2H) CLK (O4C)位为“1”把管脚DO2转换为输出端口OT-4 (CMOS输出)。

输入寄存器(D2H)位O1~O4的数据也可以从DATA 管脚读取，作为输出寄存器(D3H)的串行数据O1~O4。

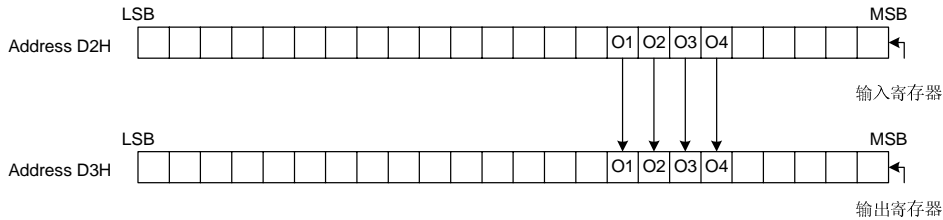
(1) SC9256



(2)输出寄存器……输入寄存器位 O1~O4 的数据可以作为输出寄存(D3H)的串行数据 O1~O4 读取。



SC9256



2. 通用 I/O 端口 (I/O-5~I/O-6)

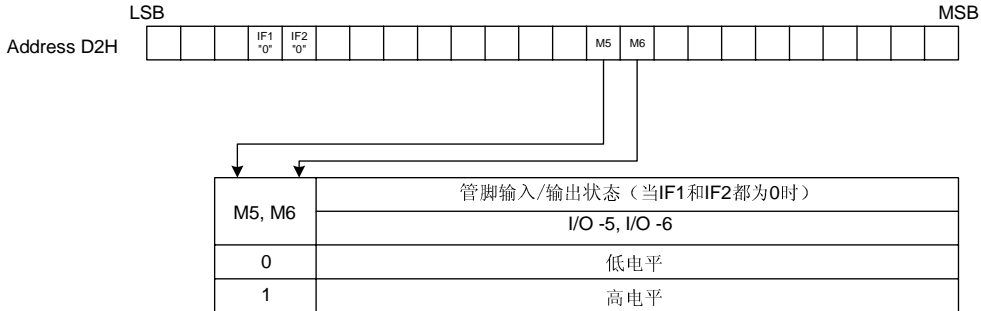
管脚 I/O-5~ I/O-6 是通用 I/O 端口，用来控制信号输入和输出。这些管脚配置为 CMOS 输入和输出。

这些 I/O 端口通过输入寄存器(D2H)位 M5, M6 设置为输入或输出。

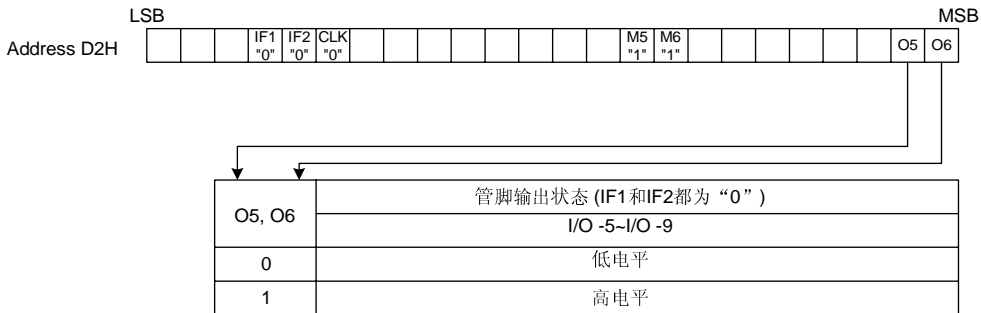
通过设置位 M5~M6 为“0”设置这些管脚为输入模式。从 I/O-5~I/O-6 并行输入的数据在串行时钟信号的第 9 个下降沿时锁存在内部寄存器中。这些数据可以从 DATA 管脚作为串行数据 I5~I6 读取。

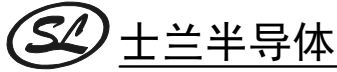
输入寄存器(D2H)位 O5~O6 的数据从他们相应的管脚 I/O-5~I/O-6 并行输出。

当位 SC, IF1, IF2 和 CLK 都设置为“0”时，这些操作有效。



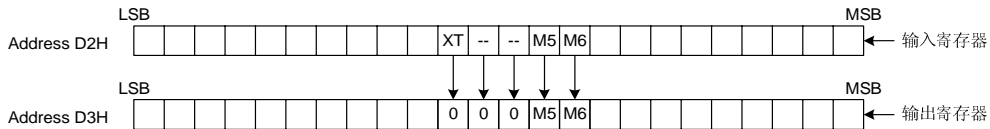
设置输出端口数据



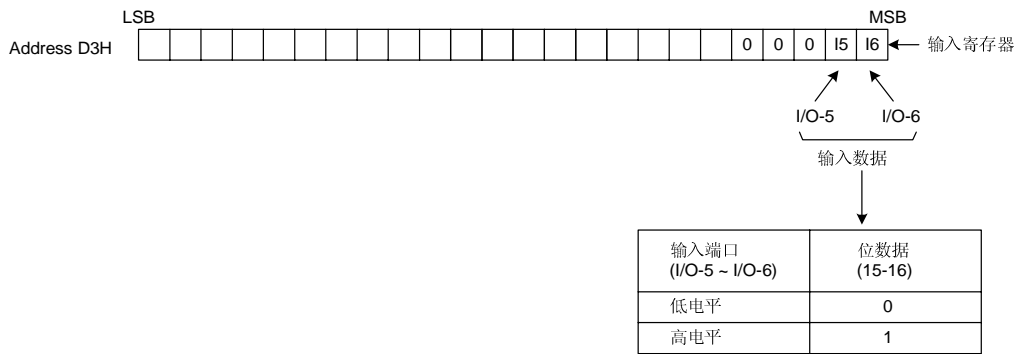


SC9256

输出寄存器……输入寄存器(D2H)的位M5~M6可以作为输出寄存器(D3H)的串行输出数据M5~M6。



从管脚I/O-5~I/O-6输入的并行数据也可以做为输出寄存器的串行输出数据I5~I6。



- 注：
1. 当管脚I/O-5~I/O-6用作输出端口时，输出寄存器的I5~I6的数据不明确。
 2. 当加电时，输入寄存器 (D2H) I/O 端口控制位M5~M6和输出数据位O5~O6都设置为“0”。通用 I/O端口设置为输入端口。通用I/O端口和通用计数器输入端口管脚都设置为I/O端口输入模式。通用输出端口的输出状态设置为高阻抗（N沟道开漏输出=关闭）。
 3. 管脚I/O-5 和I/O-6也用作通用计数器输入管脚。因此，在用作I/O端口时，输入寄存器2中的位IF1和IF2必须设置为“0”。

相位比较器

相位比较器在比较了参考频率信号和可编程计数器输出的分频信号后，输出相位误差。这两个信号的频率和相位的不同可以通过低通滤波器来补偿，然后用这些信号控制压控振荡器。

由于信号是并行从相位比较器出来，然后通过二态缓冲器管脚DO1和DO2，因此滤波器的常数可以根据FM和AM频带定制。

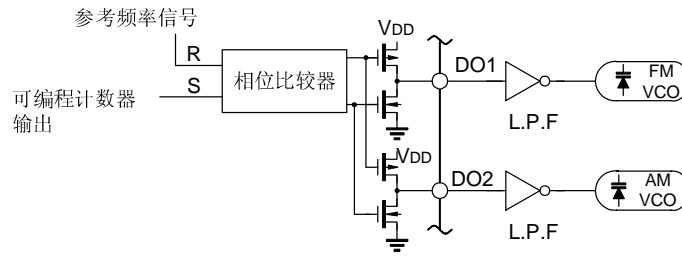
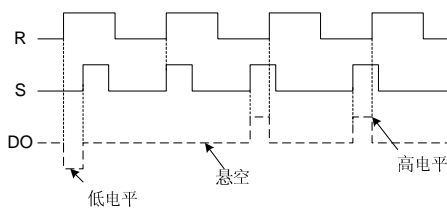
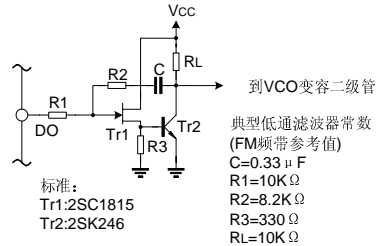


图 7



DO输出时序图

图 8



典型有效低通滤波器电路

图9

如上图所示，DO输出时序图和典型低通滤波器图，通过连接FET和晶体管形成复合晶体管。上图中的滤波器电路只是一个例子，真正的电路应该根据频带组成和系统所需条件设计。

锁定检测位

锁定检测位在PLL系统中检测锁定状态。这个系统也有一个未锁定检测位，通过比较参考频率和可编程计数器的分频输出，检测参考频率周期，相位的不同。这个系统还有相位误差检测位(PE1~PE3)，可以更精确的检测($\pm 0.55\mu s \sim \pm 7.15\mu s$)。

1. 未锁定检测位 (UNLOCK)

这一位通过参考频率周期，相位差来检测。当没有锁定时，也就是参考频率和可编程计数器的分频输出不一样，就设定未锁定F/F。

在输入寄存器(D2H)未锁定复位位(RESET)设置为“1”时，未锁定F/F复位。在未锁定F/F复位后，锁定状态可以通过检测输出寄存器(D3H)的未定位(UNLOCK)检测锁定状态。

在未锁定F/F复位后，未锁定检测位必须在一个大于参考频率周期消逝的时间间隔后检测。因为参考频率周期输入锁定检测选通未锁定F/F，如果时间间隔太短，就不能检测到正确的锁定状态。因此，输出寄存器(D3H) 由一个锁定允许位(ENABLE)，这个位在输入寄存器(D2H)复位位设置为“1”时复位，并在锁定检测时序中设置为“1”，也就是说，在锁定允许位(ENABLE)为“1”时，能正确检测锁定状态。

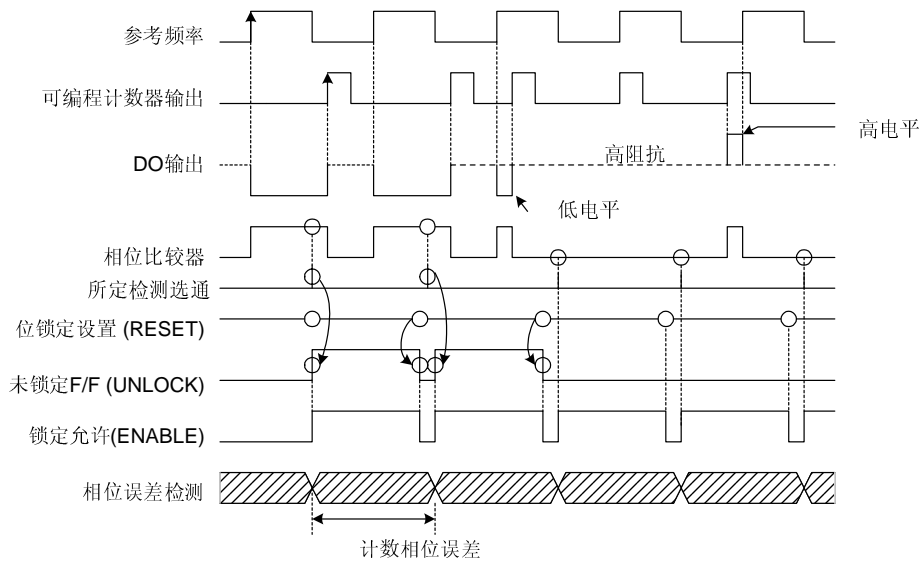
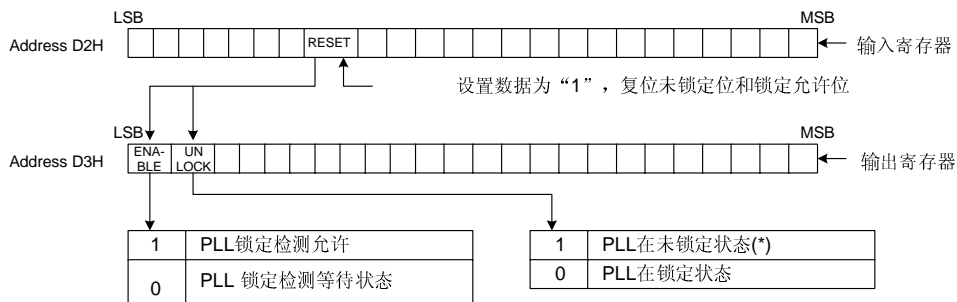
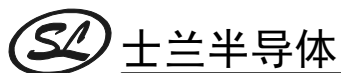


图 10

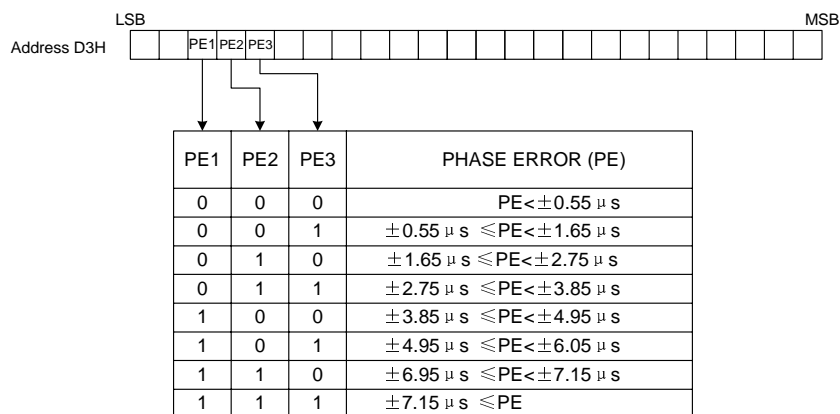




SC9256

2. 相位误差检测位 (PE1~PE3)

未锁定位的检测。通过参考频率周期,检测参考频率和可编程计数器分频输出的定位差得到。相位误差检测位 (PE1~PE3) 通过参考频率周期可以得到更精确的相位误差 ($\pm 0.55\mu\text{s} \sim \pm 7.15\mu\text{s}$)。(如果UNLOCK位设置为“1”,相对于参考频率的相位差距超过 180° ,位PE1~PE3就不能正确检测相位误差了。因此位PE1~PE3在UNLOCK位设置为“0”时正常检测相位误差。)当相位相对于参考频率周期的相位在 $-180^\circ \sim 180^\circ$ 范围,位PE1~PE3能正常检测相位误差。



相位误差数据可以从输出寄存器(D3H)中作为串行数据PE1~PE3读取。

下面是一个典型的锁定检测操作。表示了从锁定状态到频率改变。(相位误差大于 $\pm 4.95\mu\text{s}$ 小于 $\pm 6.05\mu\text{s}$)

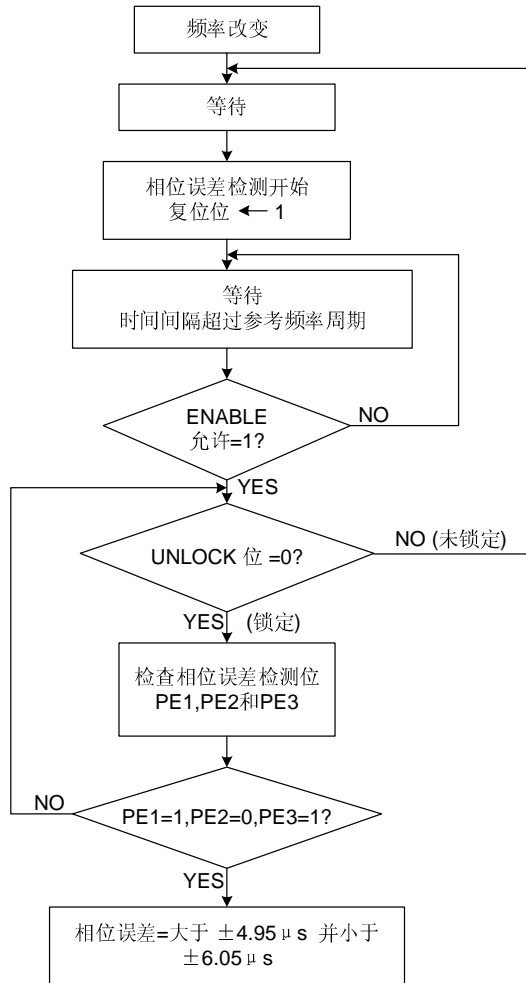
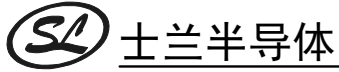


图 11



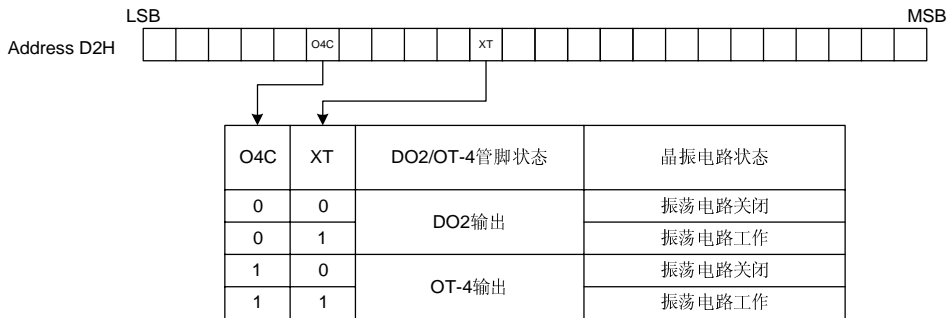
SC9256

其它控制位

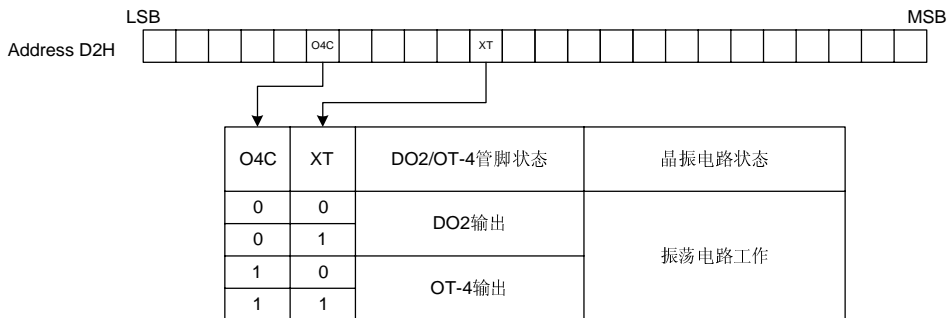
1. O4C 和 XT 位……OT-4/DO2 管脚的转换控制位

(1) O4C 位控制 DO2 管脚和 OT-4 管脚之间的转换

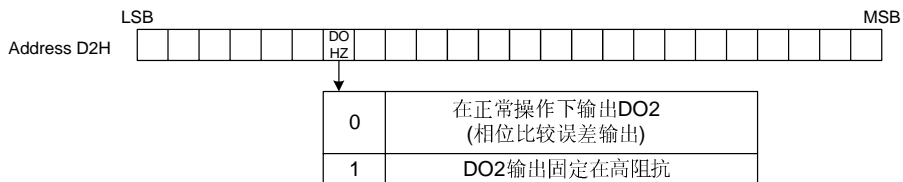
当输入寄存器(D0H)的位 R0~R3 都设置为“1”时（待机模式）

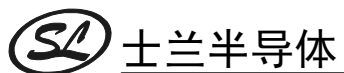


当输入寄存器(D0H)位R0~R3 中的1个设置为“0”时（不在待机模式）



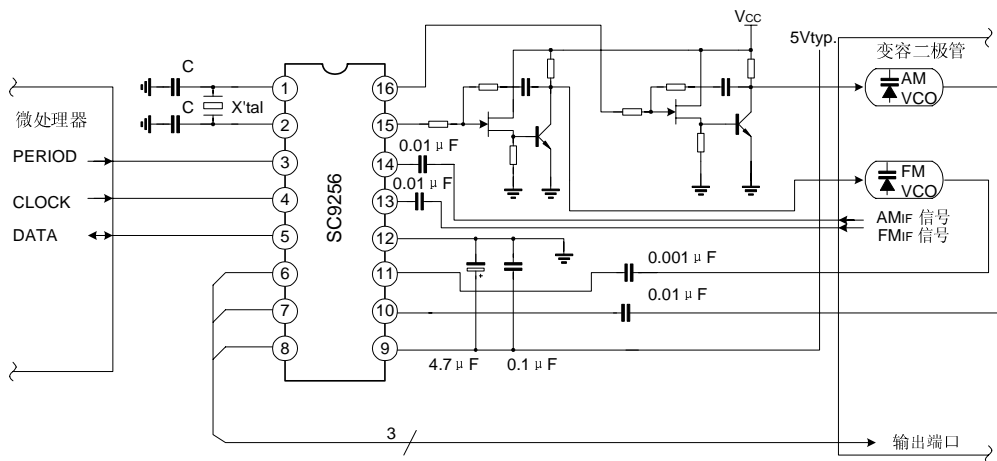
2. DOHZ 位……控制 DO2 管脚输出状态





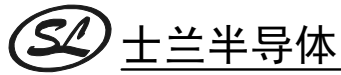
SC9256

典型应用电路图



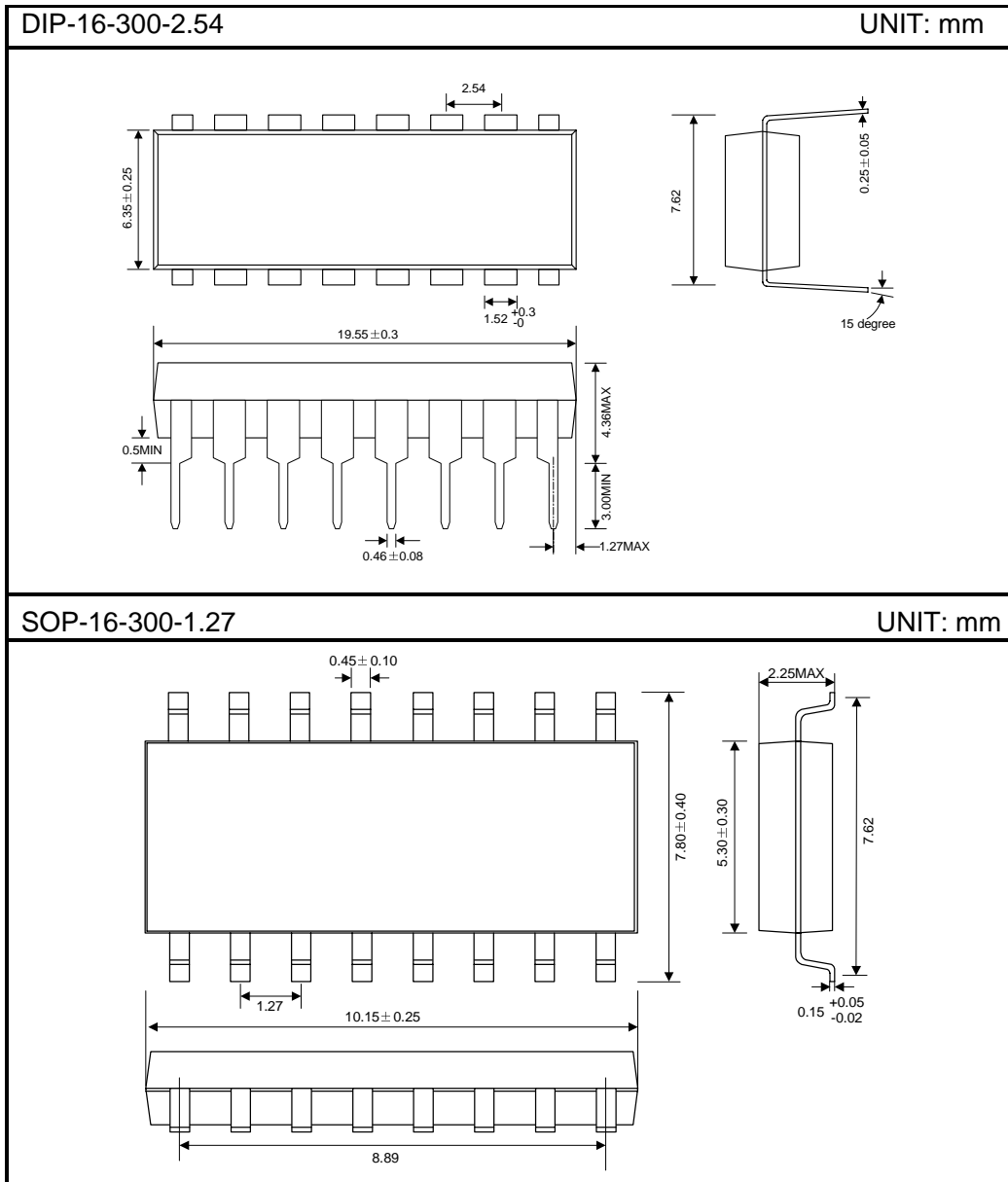
杭州士兰微电子股份有限公司

版本号: 1.0 2004.08.03



SC9256

封装外形图



杭州士兰微电子股份有限公司

版本号: 1.0 2004.08.03



MOS电路操作注意事项：

静电在很多地方都会产生，采取下面的预防措施，可以有效防止MOS电路由于受静电放电影响而引起的损坏：

- 操作人员要通过防静电腕带接地。
- 设备外壳必须接地。
- 装配过程中使用的工具必须接地。
- 必须采用导体包装或抗静电材料包装或运输。