

高精度实时时钟 - SD2300A (V1.10)

内置晶振、电池、两线式串行接口、定时中断输出、高精度、免调校

SD2300A 是一种具有内置晶振、两线式串行接口的高精度实时时钟芯片。该系列芯片可保证时钟精度为 $\pm 5\text{ppm}$ (在 25 ± 1 下), 即年误差小于 2.5 分钟; 该芯片内置一次性电池, 可保证在外部掉电情况下时钟使用寿命超过五年; 该芯片内置时钟精度数字调整功能, 可以在很宽的范围内校正时钟的偏差 (分辨力 3ppm), 通过外置的温度传感器可设定适应温度变化的调整值, 实现在宽温范围内高精度的计时功能。该系列芯片可满足对实时时钟芯片的各种需要, 有工业级产品可供选择, 且管脚与以前的 SD2000A 兼容, 是在选用高精度实时时钟时的理想选择。

■ 主要性能特点：

- 低功耗：典型值 $1.0 \mu\text{A}$ ($V_{\text{DD}}=3.6\text{V}$)。
- 工作电压：3.0 ~ 5.5V，工作温度：民用级 $0 \sim 70$ ，工业级 $-40 \sim 85$ 。
- 年、月、日、星期、时、分、秒的 BCD 码输入/输出, 并可通过独立的地址访问各时间寄存器。
- 自动日历到 2099 年 (包括闰年自动换算功能)。
- 可设定并自动重置的两路定时闹钟功能 (时间范围在 1 周内)。
- 周期性中断脉冲输出: 2Hz、1Hz、每分钟、每小时、每个月输出可选择不同波形的中断脉冲。
- 可控的 32768Hz 方波信号输出。
- 内置时钟精度数字调整功能。
- 30 秒时间调整功能。
- 内部晶振停振检测功能: 保证时钟的有效性。
- 内置电源管理电路, 当 $V_{\text{DD}} < 3.0\text{V}$ 时, 内部电池不耗电。
- 内置电源稳压, 内部计时电压可低至 1.2V。
- 内置晶振, 出厂前已对时钟进行校准, 保证精度 $\pm 5\text{ppm}$, 即时钟年误差小于 2.5 分钟 (在 25 ± 1 下)。
- 有工业级型号, 其尾缀加 “I” 以示区分, 如 “SD2300API” 为 SD2300A 的工业级, “P” 标志为直插封装形式。

■ 管脚设置

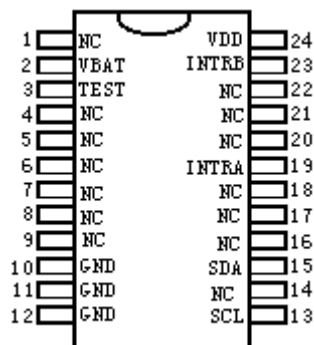


图 1 SD2300A 管脚图

表 1 SD2300A 管脚功能表

标号	功能	特征
VBAT	外加备用电池引脚	针对 SD2300 系列, 由于在模块内部有电池, 故在其电池能量未耗尽之前不接
TEST	测试	内部电池电压检测脚 (通常不接)
SCL	串行时钟输入脚, 由于在 SCL 上升/下降沿处理信号, 要特别注意 SCL 信号的上升/下降沿时间, 应严格遵守说明书	CMOS 输入
SDA	串行数据输入/输出脚, 此管脚通常用一电阻上拉至 V _{DD} , 并与其它漏极开路或集电极开路输出的器件通过线与方式连接	N-沟道开漏输出 CMOS 输入
INTRA	报警中断 A 输出脚, 根据中断寄存器与状态寄存器来设置其工作的模式, 当定时时间到达时输出低电平或脉冲信号。它可通过重写状态寄存器来禁止	N-沟道开漏输出
INTRB	报警中断 B 输出脚, 根据中断寄存器与状态寄存器来设置其工作的模式, 当定时时间到达时输出低电平或脉冲信号。它可通过重写状态寄存器来禁止	N-沟道开漏输出
VDD	正电源	
GND	负电源 (GND)	

■ 原理框图

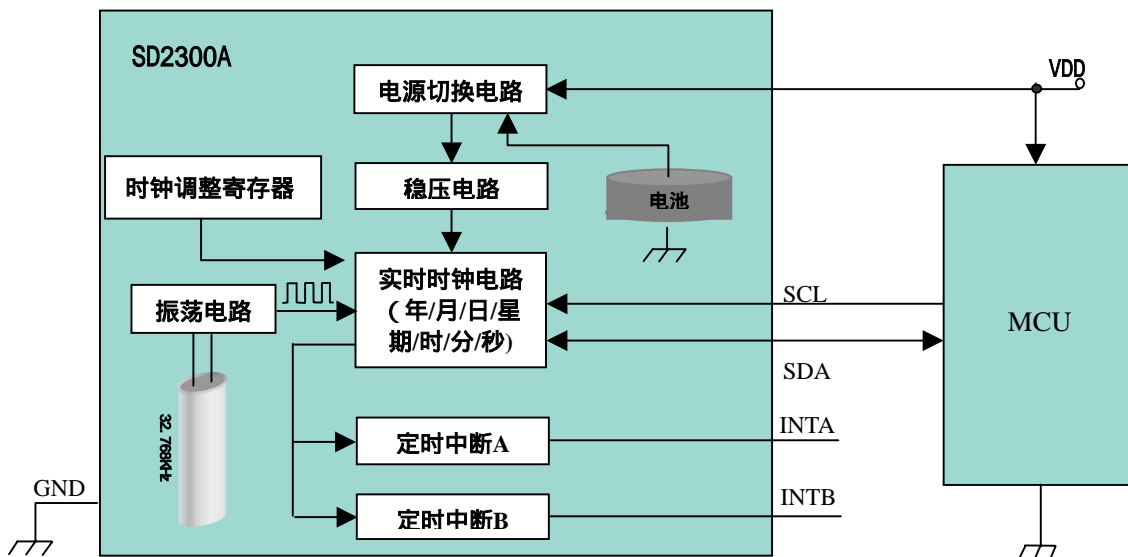


图 2 SD2300A 功能框图

注：以上各图中 SDA，INTRA，INTRB 对 VDD 上拉电阻均未标出，实际应用中要加上。

■ 实时时钟电路

1. 内部寄存器

SD2300 将时间数据和控制命令存储在不同地址的寄存器内,具体地址分配如下:

内部地址	目录	功能
0H	秒寄存器	以 BCD 码形式计数与存储秒
1H	分寄存器	以 BCD 码形式计数与存储分
2H	时寄存器	以 BCD 码形式计数与存储时
3H	周寄存器	以 BCD 码形式计数与存储周
4H	天寄存器	以 BCD 码形式计数与存储天
5H	月寄存器	以 BCD 码形式计数与存储月
6H	年寄存器	以 BCD 码形式计数与存储年
7H	时间调整	存储晶振的修正参数及外部晶振选择控制
8H	分定时 A	存储定时器 A 分的数据
9H	时定时 A	存储定时器 A 时的数据
AH	天定时 A	存储定时器 A 星期的数据
BH	分定时 B	存储定时器 B 分的数据
CH	时定时 B	存储定时器 B 时的数据
DH	天定时 B	存储定时器 B 星期的数据
EH	控制 1	存储响铃使能、中断输出口选择、周期性中断的周期选择信息
FH	控制 2	存储时间显示选择、中断与报时标志、停振检测信息

各寄存器的详细情况如下:

(1) 秒寄存器(内部地址 0H)

D7	D6	D5	D4	D3	D2	D1	D0	操作
-	S40	S20	S10	S8	S4	S2	S1	写
0	S40	S20	S10	S8	S4	S2	S1	读
0	-	-	-	-	-	-	-	缺省

秒计数:00-59;当从 59 变成 00 时,会进位至分.

*缺省操作指当 XSTP 位为 "1" (上电、掉电或停振后再起振)时,执行读操作,下同.

(2) 分寄存器(内部地址 1H)

D7	D6	D5	D4	D3	D2	D1	D0	操作
-	M40	M20	M10	M8	M4	M2	M1	写
0	M40	M20	M10	M8	M4	M2	M1	读
0	-	-	-	-	-	-	-	缺省

分计数:00-59;当从 59 变成 00 时,会进位至小时.

(3) 小时寄存器(内部地址 2H)

D7	D6	D5	D4	D3	D2	D1	D0	操作
-	-	H20 P/A	H10	H8	H4	H2	H1	写
0	0	H20 P/A	H10	H8	H4	H2	H1	读
0	0	-	-	-	-	-	-	缺省

小时计数:当从 11PM 变成 12AM(12 小时制)或者 23 变成 00(24 小时制)时,会进位至天和星期.

(4) 星期寄存器(内部地址 3H)

D7	D6	D5	D4	D3	D2	D1	D0	操作
-	-	-	-	-	W4	W2	W1	写
0	0	0	0	0	W4	W2	W1	读
0	0	0	0	0	-	-	-	缺省

(W4,W2,W1)=000, 星期天

(W4,W2,W1)=001, 星期一

(W4,W2,W1)=010, 星期二

.....

(W4,W2,W1)=110, 星期六

当天计数加 1 时, 星期计数也加 1.

(5) 天寄存器(内部地址 4H)

D7	D6	D5	D4	D3	D2	D1	D0	操作
-	-	D20	D10	D8	D4	D2	D1	写
0	0	D20	D10	D8	D4	D2	D1	读
0	0	-	-	-	-	-	-	缺省

天计数: 1~31(一月、三月、五月、七月、八月、十月、十二月)

1~30(四月、六月、九月、十一月)

1~29(闰年的二月)

1~28(平年的二月)

(6) 月寄存器(内部地址 5H)

D7	D6	D5	D4	D3	D2	D1	D0	操作
-	-	-	MO10	MO8	MO4	MO2	MO1	写
0	0	0	MO10	MO8	MO4	MO4	MO1	读
0	0	0	-	-	-	-	-	缺省

月计数: 1~12; 当从表面上 12 变成 1 时, 会进位至年寄存器

(7) 年寄存器(内部地址 6H)

D7	D6	D5	D4	D3	D2	D1	D0	操作
Y80	Y40	Y20	Y10	Y8	Y4	Y2	Y1	写
Y80	Y40	Y20	Y10	Y8	Y4	Y2	Y1	读
-	-	-	-	-	-	-	-	缺省

年计数: 00~99, 其中 00, 04, 08,, 92, 96 为闰年.

(8) 时间调整寄存器(内部地址 7H)

D7	D6	D5	D4	D3	D2	D1	D0	操作
XSL_	F6	F5	F4	F3	F2	F1	F0	写
XSL_	F6	F5	F4	F3	F2	F1	F0	读
0	0	0	0	0	0	0	0	缺省

XSL_: 晶振选择位, 本芯片内必须固定为 "0".

F6~F0: 时间调整位; 时间调整电路是在当计数为 00, 20, 40 时刻, 根据预先设置的数据(F6~F0)改变 1 秒时钟内计数的个数. 通常每 32768 个脉冲为 1 秒(对寄存器预设初值, 才能激活整个调整电路).

当 F6 为 " 0 " 时,产生 1 秒的寄存器计数脉冲将增加为 $32768 + ((F5, F4, F3, F2, F1, F0) - 1) \times 2$;
 当 F6 为 " 1 " 时,产生 1 秒的寄存器计数脉冲将减少为 $32768 - ((/F5, /F4, /F3, /F2, /F1, /F0) + 1) \times 2$; (/F5 是 F5 的反码,其它类同)

当 (F6, F5, F4, F3, F2, F1, F0) 预设 (*, 0, 0, 0, 0, 0, *) 时, 产生 1 秒的寄存器计数脉冲不变.

例: 当 (F6, F5, F4, F3, F2, F1, F0) = (0, 1, 0, 1, 0, 0, 1) 且当 00, 20, 40 秒时刻时, 寄存器计数脉冲变为 $32768 + (41 - 1) \times 2 = 32848$;

当 (F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 1, 1, 1, 0) 且当 00, 20, 40 秒时刻时, 寄存器计数脉冲变为 $32768 - (1 + 1) \times 2 = 32764$;

当 (F6, F5, F4, F3, F2, F1, F0) = (0, 0, 0, 0, 0, 0, 1) 且当 00, 20, 40 秒时刻时, 寄存器计数脉冲保持为 32768 不变.

因为每 20 秒增加或减少计数脉冲的最小个数为 2, 所以时钟调整寄存器的最小调整精度是: $2 / (32768 \times 20) = 3.015\text{ppm}$.

注意: 时钟调整电路仅是调整的时钟走时, 并不对晶振本身频率调整, 所以 32.768KHZ 脉冲输出没有变化.

(9) 定时寄存器组 A: 内部地址 8H~AH

ALARM-A 分寄存器 (内部地址 8H)

D7	D6	D5	D4	D3	D2	D1	D0	操作
-	AM40	AM20	AM10	AM8	AM4	AM2	AM1	写
0	AM40	AM20	AM10	AM8	AM4	AM2	AM1	读
0	-	-	-	-	-	-	-	缺省

ALARM-A 时寄存器 (内部地址 9H)

D7	D6	D5	D4	D3	D2	D1	D0	操作
-	-	AH20 AP/A_	AH10	AH8	AH4	AH2	AH1	写
0	-	AH20 AP/A_	AH10	AH8	AH4	AH2	AH1	读
0	0	-	-	-	-	-	-	缺省

ALARM-A 周寄存器 (内部地址 AH)

D7	D6	D5	D4	D3	D2	D1	D0	操作
-	AW6	AW5	AW4	AW3	AW2	AW1	AW0	写
0	AW6	AW5	AW4	AW3	AW2	AW1	AW0	读
0	-	-	-	-	-	-	-	缺省

定时寄存器组 B: 内部地址 BH~DH

ALARM-B 分寄存器 (内部地址 BH)

D7	D6	D5	D4	D3	D2	D1	D0	操作
-	BM40	BM20	BM10	BM8	BM4	BM2	BM1	写
0	BM40	BM10	BM10	BM8	BM4	BM2	BM1	读
0	-	-	-	-	-	-	-	缺省

ALARM-B 小时寄存器 (内部地址 CH)

D7	D6	D5	D4	D3	D2	D1	D0	操作
-	-	BH20 BP/A_	BH10	BH8	BH4	BH2	BH1	写
0	0	BH20 BP/A_	BH10	BH8	BH4	BH2	BH1	读
0	0	-	-	-	-	-	-	缺省

ALARM-B 周寄存器 (内部地址 DH)

D7	D6	D5	D4	D3	D2	D1	D0	操作
-	BW6	BW5	BW4	BW3	BW2	BW1	BW0	写
0	BW6	BW5	BW4	BW3	BW2	BW1	BW0	读
0	-	-	-	-	-	-	-	缺省

其中:

.ALARM-A 和 ALARM-B 的小时寄存器 D5 位在 12 小时制中置 "0" 表示 AM, 置 "1" 表示 PM; 在 24 小时制中表示小时的 10 位;

.使用定时功能时, 必须设置实际出现的时间, 以避免定时功能出错现象;

.在 12 小时制中, 午夜 0 点应设置为 "12", 中午 0 点应设为 "32";

.AW0-AW6 (BW0-BW6) 对应着周寄存器值 (0, 0, 0)~(1, 1, 0);

.当 AW0-AW6 (BW0-BW6) 全部为 "0" 时, 定时功能不起作用.

定时时间设置举例:

预设时间	星期							12 时制				24 时制			
	日	一	二	三	四	五	六	10 H	1H	10M	1M	10 H	1H	10M	1M
00:00AM 每天	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
05:27AM 每天	1	1	1	1	1	1	1	0	5	2	7	0	5	2	7
11:59AM 每天	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
00:00PM 周一~周五	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
05:56PM 周三	0	0	0	1	0	0	0	2	5	5	6	1	7	5	6
11:59PM 二、四、六	0	0	1	0	1	0	1	3	1	5	9	2	3	5	9

(10)控制寄存器 1 (内部地址 EH)

D7	D6	D5	D4	D3	D2	D1	D0	操作
AALE	BALE	SL2	SL1	TEST	CT2	CT1	CT0	写
AALE	BALE	SL2	SL1	TEST	CT2	CT1	CT0	读
0	0	0	0	0	0	0	0	缺省

AALE, BALE: ALARM-A, ALARM-B 使能位

AALE, BALE	描述	操作
0	禁止 ALARM-A, ALARM-B 中断	缺省
1	允许 ALARM-A, ALARM-B 中断	

SL2, SL1: 中断输出选择位

SL2	SL1	描述	操作
0	0	ALARM-A, ALARM-B, 周期性中断从 INTRA 输出 32K 时钟脉冲从 INTRB 输出	缺省
0	1	ALARM-A, 周期性中断从 INTRA 输出 32K 时钟脉冲, ALARM-B 从 INTRB 输出	
1	0	ALARM-A, ALARM-B 从 INTRA 输出 32K 时钟脉冲, 周期性中断从 INTRB 输出	
1	1	ALARM-A 从 INTRA 输出 32K 时钟脉冲, ALARM-B, 周期性中断从 INTRB 输出	

设置 SL2, SL1 位, 能够确定两报警/定时脉冲(ALARM-A, ALARM-B)、周期性中断、32K 时钟脉冲是从 INTRA 还是从 INTRB 引脚输出.

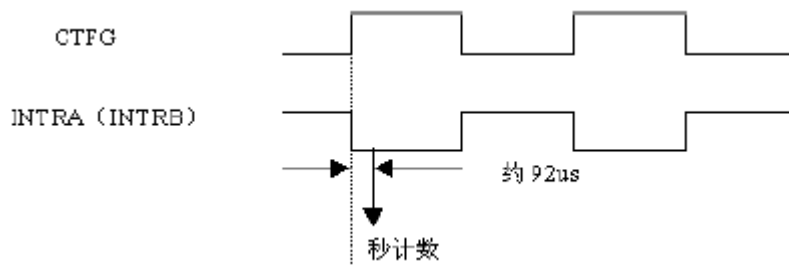
TEST: 测试位

TEST	描述	操作
0	正常工作模式	缺省
1	测试模式	

CT2, CT1, CT0: 周期性中断选择位

CT2	CT1	CT0	描述	
			波形模式	周期与 INTRA (INTRB) 下降沿时刻
0	0	0	-	INTRA (INTRB) 为高电平
0	0	1	-	INTRA (INTRB) 为低电平
0	1	0	脉冲模式	2Hz (占空比 50%)
0	1	1	脉冲模式	1Hz (占空比 50%)
1	0	0	电平模式	每秒 (与秒计数同步)
1	0	1	电平模式	每分 (每分 00 秒)
1	1	0	电平模式	每时 (每时 00 分: 00 秒)
1	1	1	电平模式	每月 (每月第 1 天 00 时: 00 分: 00 秒)

. 脉冲模式: 输出 2HZ, 1HZ 时钟脉冲. 波形关系如下:



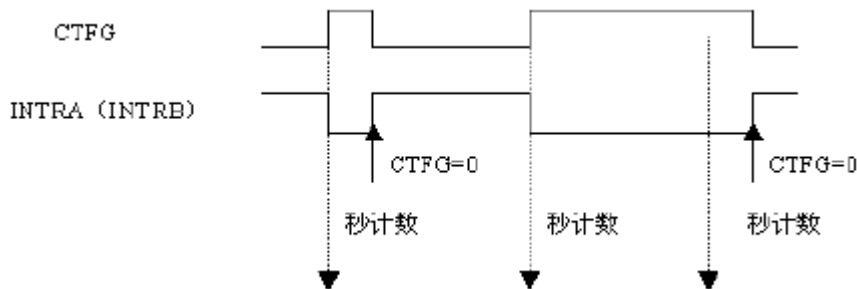
其中 CTFG 为控制寄存器 2 中的周期性中断标志位.

2HZ 时钟脉冲输出模式: 0.496 秒时钟脉冲与 0.504 秒时钟脉冲交替出现;

1HZ 时钟脉冲输出模式: 占空比为 50.4%.

. 电平模式: 每秒、每分或者每月的周期性中断, 可以从 INTRA (INTRB) 引脚输出低电平, 波形关系

如下:



.当时间调整电路起作用时,每 20 秒会改变周期性中断脉冲的大小:

脉冲模式:脉冲的低电平的变化范围 $\pm 3.784\text{ms}$,如 1HZ 脉冲输出时,占空比变化范围为 $50 \pm 0.3784\%$;

电平模式:1 秒最大的变化范围 $\pm 3.784\text{ms}$

(11)控制寄存器 2(内部地址 FH)

D7	D6	D5	D4	D3	D2	D1	D0	操作
-	-	12_/24	ADJ	CLEN_	CTFG	AAFG	BAFG	写
0	0	12_/24	XSTP	CLEN_	CTFG	AAFG	BAFG	读
0	0	-	1	0	0	0	0	缺省

12_/24:小时制式选择位

12_/24	描述
0	12 小时制显示
1	24 小时制显示

该位为 "0" 时表示 12 小时制,该位为 "1" 时表示 24 小时制.

小时显示表如下:

24 小时制显示系统	12 小时制显示系统	24 小时制显示系统	12 小时制显示系统
00	12(AM12)	12	32(PM12)
01	01(AM1)	13	21(PM1)
02	02(AM2)	14	22(PM2)
03	03(AM3)	15	23(PM3)
04	04(AM4)	16	24(PM4)
05	05(AM5)	17	25(PM5)
06	06(AM6)	18	26(PM6)
07	07(AM7)	19	27(PM7)
08	08(AM8)	20	28(PM8)
09	09(AM9)	21	29(PM9)
10	10(AM10)	22	30(PM10)
11	11(AM11)	23	31(PM11)

注:不管是使用 12 小时还是 24 小时制显示,都必须在写时钟之前进行选择.

ADJ: ± 30 秒调整位

ADJ	描述
0	正常工作
1	秒调整操作

.当 ADJ 置 "1" 时:

秒计数在 "00" 与 "29" 之间:秒计数复位为 "00",分计数不变;

秒计数在 "31" 与 "59" 之间:秒计数复位为 "00",分计数加1;

秒调整会写入 ADJ 位为 "1" 后在 122us 内进行;

ADJ 位是只读位.

XSTP: 晶振停振检测位

XSTP	描述	操作
0	正常工作	
1	停振检测	缺省

XSTP 位可以检测晶振停振与否.

. 上电掉电或者晶振停振后,该位自动置 "1",检测该位可以判断时钟数据有效性 .

. 当该位置 "1" 后,XSL_,F6-F0,CT2,CT1,CT0,AALE,BALE,SL2,SL1,CLEN_和 TEST 位全部复位为 "0";INTRA 停止输出,INTRB 输出 32768HZ 的时钟脉冲.

. 在正常工作时,通过写控制寄存器 2(FH)的 XSTP 为 "0" 将其复位.

CLEN_:32KHZ 脉冲输出使能位

CLEN_	描述	操作
0	允许 32KHZ 脉冲输出	缺省
1	禁止 32KHZ 脉冲输出	

设置该位为 "1" 时,INTRB 输出的频率与晶振的实际频率一致.

CTFG:周期性中断标志位

CTFG	描述	操作
0	无周期性中断	缺省
1	周期性中断状态	

当有周期性中断脉冲(INTRA 或 INTRB 为低电平)输出时,该位将置 "1".

在电平中断模式中,可以写入 CTFG 位 "0" 以终止中断过程.当写入 "0" 后,INTRA 或 INTRB 全部变成高电平.如果写入 CTFG 位 "1",则没有任何变化.

AAFG,BAFG:ALARM-A,ALARM-B 标志位

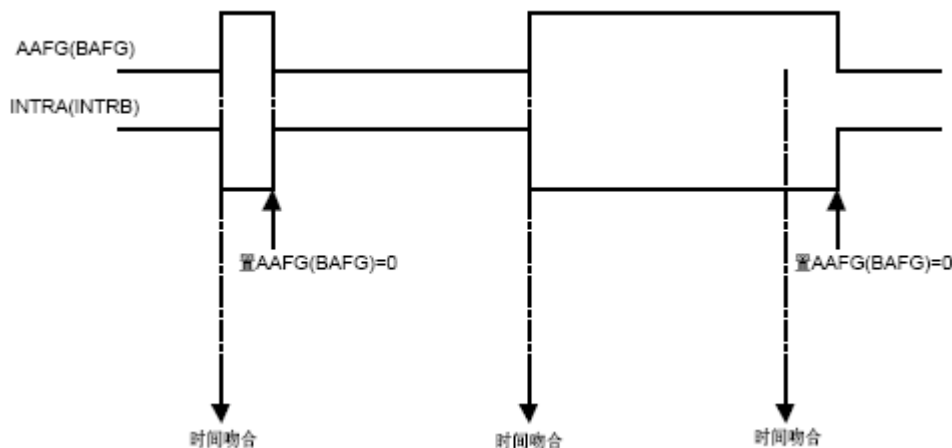
ALARM-A, ALARM-B	描述	操作
0	无报时中断	缺省
1	报时中断状态	

. 仅当 AALE,BALE 置 "1" 时,才能产生定时中断.当时钟时间与预置时间吻合时,该位会置 "1".

. 在定时状态中,可以写入 AAFG,BAFG 位 "0" 以终止中断过程.当写入 "0" 后,INTRA 或 INTRB 全部变成高电平. 如果写入 "1",则没有任何变化.

. 当 AALE,BALE 位为 "0" 时,禁止定时中断,AAFG,BAFG 位为 "0".

AAFG(BAFG)与 INTRA(INTRB)关系图:



2. 串行接口

SD2300A 通过两线式串行接口方式接收各种命令并读写数据。两线式串行接口方式描述如下：

(1) 开始条件

当 SCL 处于高电平时，SDA 由高电平变成低电平时构成一个开始条件，对 SD2300A 的所有操作均必须由开始条件开始。

(2) 停止条件

当 SCL 处于高电平时，SDA 由低电平变成高电平时构成一个停止条件，此时 SD2300A 的所有操作均停止，系统进入待机状态。

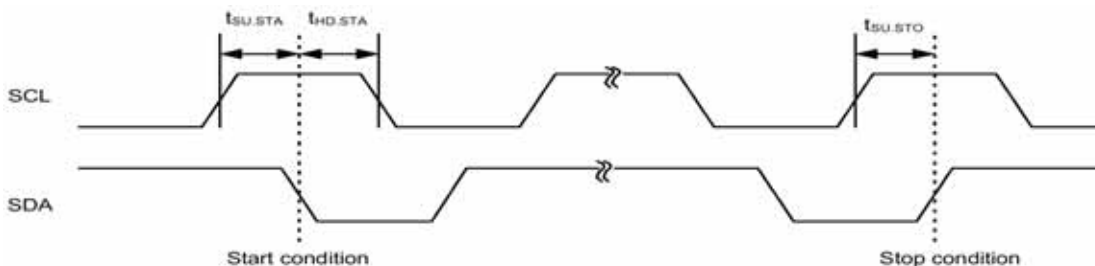


图 3 实时时钟的串行接口

(3) 数据传输

当 SCL 为低电平，且 SDA 线电平变化时，则数据由 CPU 传输给 SD2300A；当 SCL 为高电平，且 SDA 线电平不变时，则 CPU 读取 SD2300A 发送来的数据；当 SCL 为高电平，且 SDA 电平变化时，SD2300A 收到一个开始或停止条件。

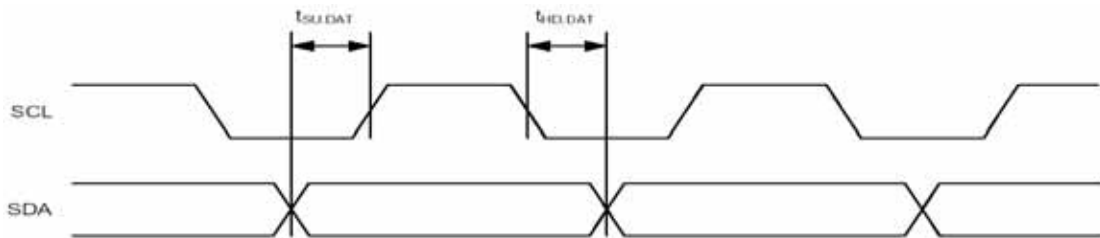


图 4 实时时钟数据传输时序

(4) 确认

数据传输以 8 位序列进行。SD2300A 在第九个时钟周期时将 SDA 置位为低电平，即送出一个确认信号 (Acknowledge bit, 以下简称“ACK”), 表明数据已经被其收到。

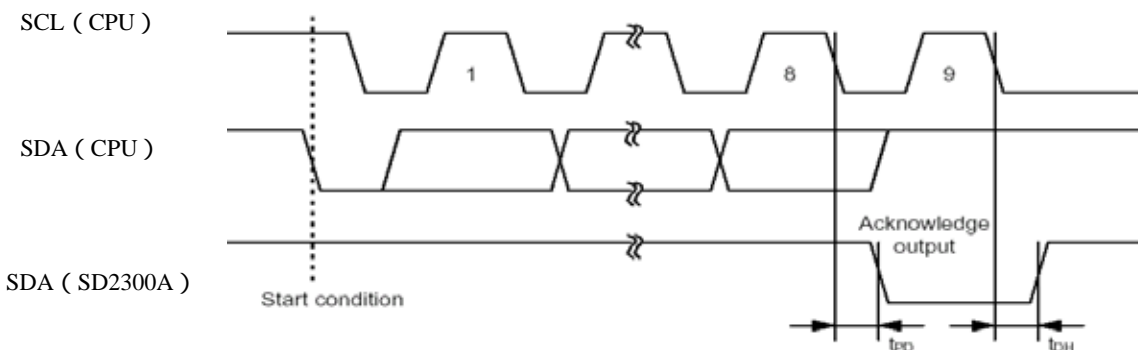


图 5 实时时钟确认信号

3. 数据/指令传输格式

当 CPU 发出开始条件与实时时钟建立连接后，CPU 首先通过 SDA 总线连续输出 7 位器件地址和 1 位读/写指令来唤醒 SD2300A.

(1) 器件代码：

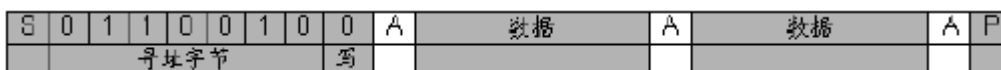
BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
0	1	1	0	0	1	0	R/W

其中高 7 位 BIT7~BIT1 称“器件代码”，它代表实时时钟的器件地址，固定为“0110010”；BIT0 为读/写位，“1”为读操作，“0”为写操作。

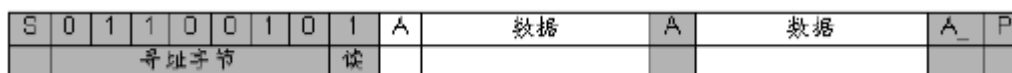
(2) 数据传输格式:

在数据发送/接收时停止信号到来时,将结束其数据传输.如果只有开始信号,而没有结束信号,接着重新产生起始信号,则还要重新设置器件代码(在传输方向需要改变时,就用这种传输方式,如下面的读数据方式 1).

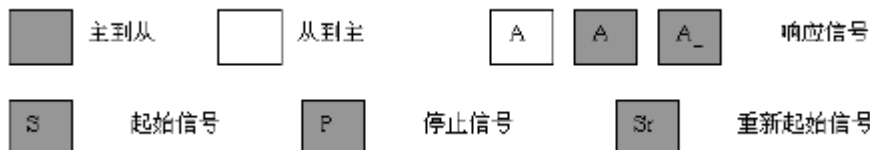
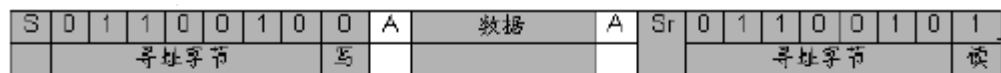
主设备向从设备写入数据过程图



主设备向从设备直接读取数据过程图



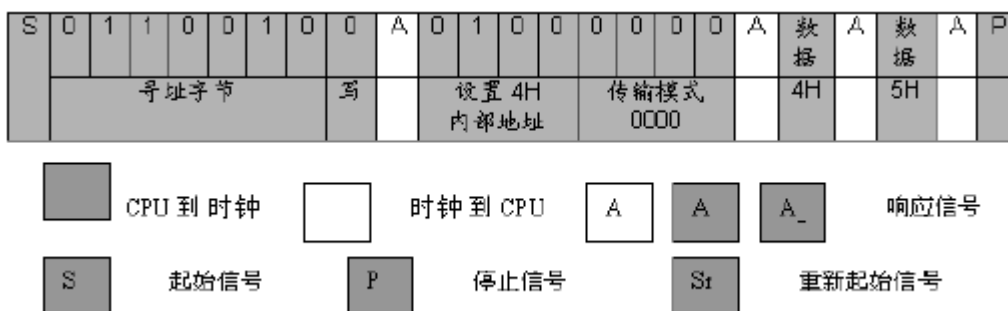
数据传输时改变其传输方向过程图



(3)SD2300A 数据传输的写模式

- 先送 7 位器件地址(0110010),第 8 位送入写命令(“0”), 第 9 位是 SD2300A 的响应位(ACK),SD2300A 进入写状态;
- 接下来一个字节,高 4 位确定 SD2300A 的内部地址(0H~FH),低 4 位是传输模式(写状态时, 传输模式定义为“0000”), 第 9 位是 SD2300A 的响应位;
- 开始写数据,每写完 1 字节的数据之后,都经过 1 位的响应信号才能写下 1 字节的数据;如果要结束写数据过程,则在 ACK 后送出停止命令即可.

SD2300A 写数据示例(向 4H,5H 地址写数据):



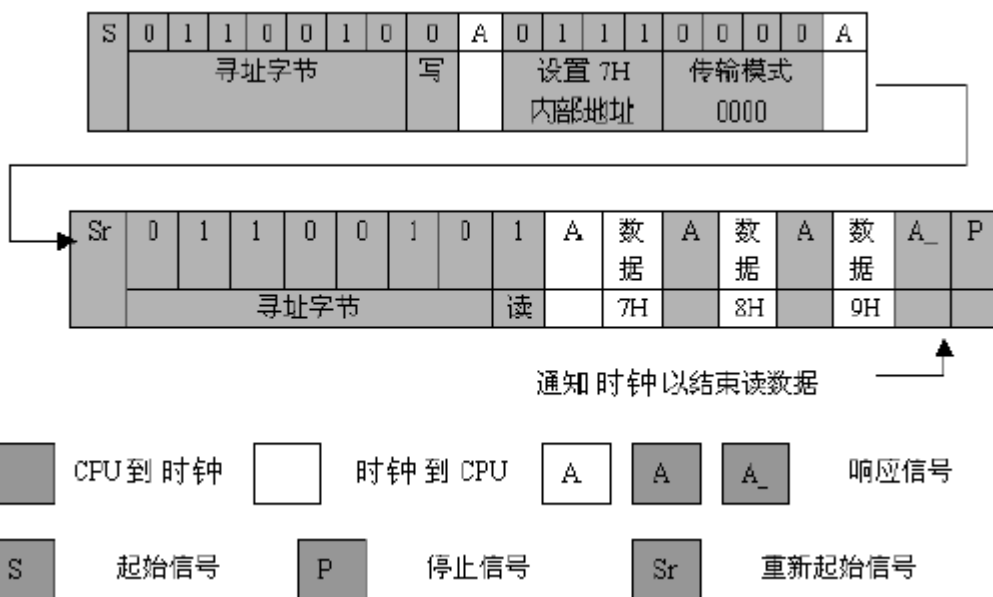
(4)SD2300A 数据传输的读模式

SD2300A 有三种读数据方法:

I)读方法 1:从指定的内部地址中读取数据

- 与写模式的前两步一样;
- 重新发出开始命令以改变两线接口数据传输方向;
- 再送 7 位器件地址(0110010),第 8 位送入读命令(“1”), 第 9 位是 SD2300A 的响应位(ACK),SD2300A 进入读状态;
- 开始读数据,每读完 1 字节的数据之后,CPU 都要送出 1 位的响应信号(ACK,低电平)才能读下 1 字节的数据;如果想要结束读数据过程,则 CPU 要送出 1 位的响应信号(ACK₋,高电平), ACK₋后送出停止命令即可.

SD2300A 读数据方法 1 示例(从 7H~9H 地址读取数据):

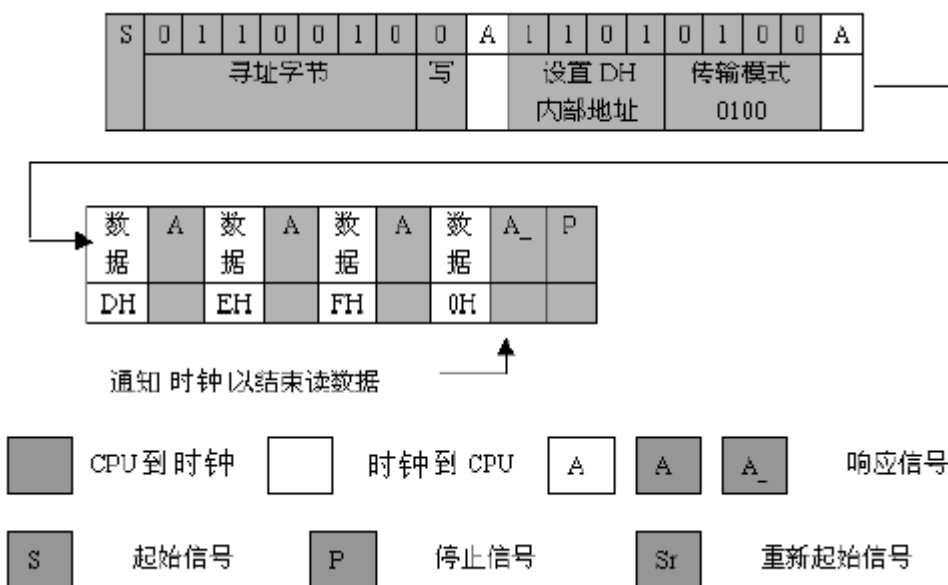


II)读方法 2:从指定的内部地址中读取数据

与第一种不同的是通过传输模式寄存器改变 SD2300A 的数据传输方向,此时设置传输模式寄存器为“0100”。

- 与写模式的第一步一样;
- 接下来一个字节,高 4 位确定 SD2300A 的内部地址(0H~FH),低 4 位是传输模式(读状态时,传输模式定义为“0100”),第 9 位是 SD2300A 的响应位;
- 开始读数据,每读完 1 个字节的数据之后,CPU 都要送出 1 位的响应信号(ACK,低电平)才能读下 1 字节的数据;如果想要结束读数据过程,则 CPU 要送出 1 位的响应信号(ACK_,高电平), ACK_ 后送出停止命令即可。

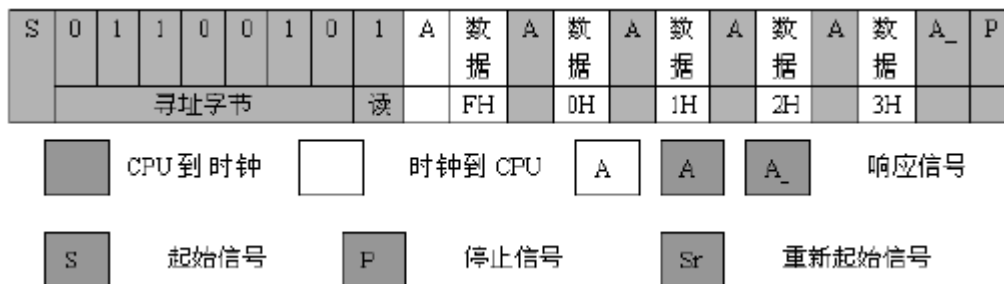
SD2300A 读数据方法 2 示例(从 DH~0H 地址读取数据):



III)读方法 3:直接读取数据(只能从 FH 地址开始读取数据)

- 开始信号后,先送 7 位器件地址(0110010),第 8 位送入读命令(“1”),第 9 位是 SD2300A 的响应位(ACK),SD2300A 进入读状态;
- 每读完 1 个字节的数据之后,CPU 都要送出 1 位的响应信号(ACK,低电平)才能读下 1 字节的数据;如果想要结束读数据过程,则 CPU 要送出 1 位的响应信号(ACK_,高电平), ACK_ 后送出停止命令即可。

SD2300A 读数据方法 3 示例(从 FH 地址开始读取数据):



(5) SD2300A 在特殊条件下的数据传输

为了保证读写数据的有效性,SD2300A 的两线通信开始到结束仅在此 0.5S 到 1 秒之内,如果超过这一时间范围,时钟就会产生秒进位以及其它的时间进位,会导致所读写的数据与预想的不一致,从而导致数据出错.

在 SD2300A 中, 两线通信方式支持在通信过程中改变数据方向,在这种传输方式下,会在第一个起始信号到来之后的 0.5 秒至 1 秒之内自动终止本次通信.

所以,要注意:

- . 从开始信号进行读/写数据,直到停止信号到来,才结束本次通信过程.
- . 读/写操作过程必须在 0.5 秒至 1 秒之内完成.

4.中断系统

1)SD2300A 的中断系统从 INTRA/INTRB 引脚输出的波形有以下三种:

- . 定时中断
 - 当定时寄存器预设值(星期、小时、分钟)与时钟的走时吻合时,SD2300A 就会产生报定警/定时中断,INTRA/INTRB 输出变为低电平.
- . 周期性中断:根据不同的选择位,输出不同的波形.波行模式有脉冲模式和电平模式两种.
- . 32KHZ 脉冲输出:可选择的输出 32KHZ 时钟脉冲.

2) INTRA/INTRB 引脚输出控制

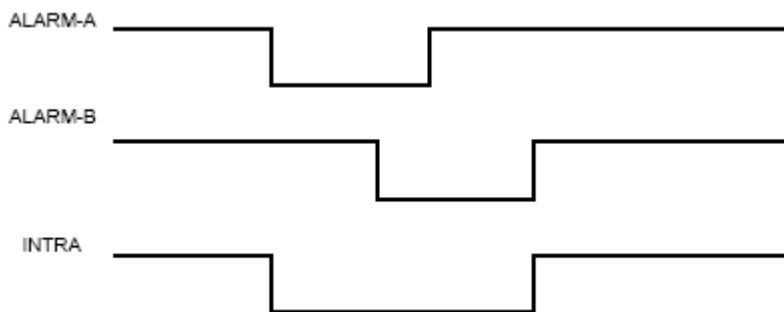
以上三种中断方式:

- . 中断输出时会产生中断标志位;
- . 中断使能位决定是否能够产生中断;
- . 中断选择位是选择中断从 INTRA 还是从 INTRB 输出.

以下是中断控制表:

	标志位	使能位	中断输出选择位 (SL2, SL1) (D5, D4@EH)			
			(0, 0)	(0, 1)	(1, 0)	(1, 1)
报时 A	AAFG(D1@FH)	AALE(D7@EH)	INTRA	INTRA	INTRA	INTRA
报时 B	BAFG(D0@FH)	BALE(D6@EH)	INTRA	INTRB	INTRA	INTRB
周期性中 断	CTFG(D2@FH)	CT2~CT0 (D2~D0@EH)	INTRA	INTRA	INTRB	INTRB
32KHz 脉 冲输出	NO	CLEN_(D3@FH)	INTRB	INTRB	INTRB	INTRB

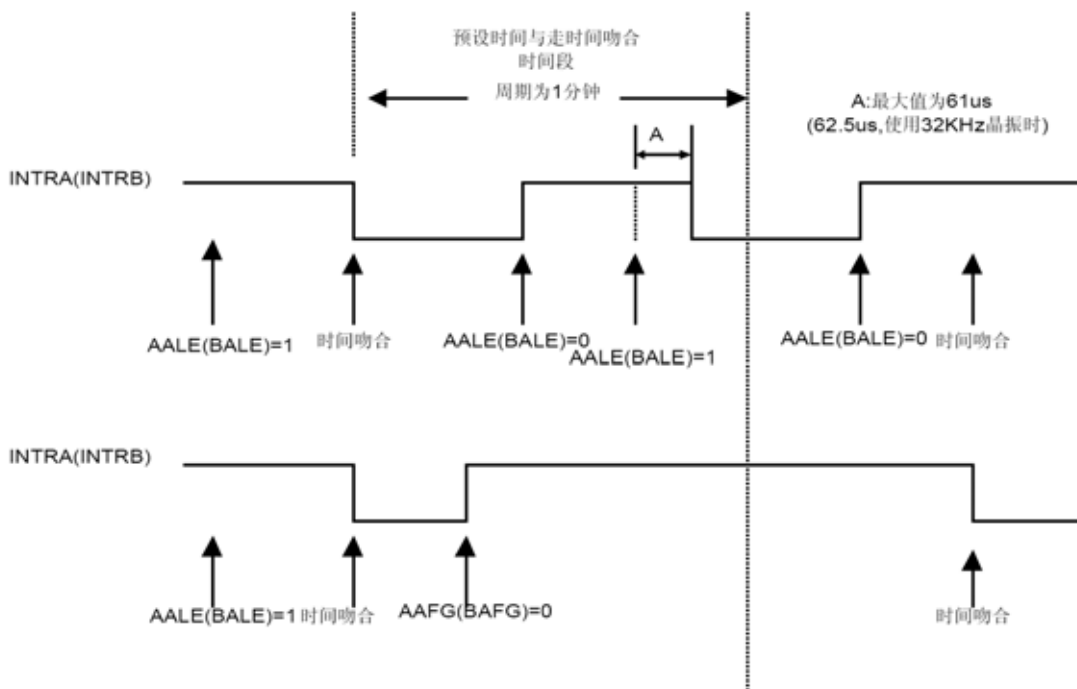
- . 当上电(XSTP=1)时,AALE=BALE=CT2=CT1=CT0=SL2=SL1=0,INTRA 输出高电平,INTRB 输出 32KHZ 时钟脉冲;
- . 当两个中断从同一引脚输出时,输出波形是两个中断(低有效)的逻辑或.



3) 定时中断

设置报时中断应在 AALE(BALE)=0 时设定报时时间(星期、小时、分钟),之后设置

AALE(BALE)=1;当走时时间与设定时间吻合时,则 INTRA(INTRB)输出低电平.INTRA(INTRB)的输出与否是由 AALE(BALE)和 AAFG(BAFG)位来控制的.



4) 周期性中断

INTRA 和 INTRB 引脚通过周期性中断选择位(CT2~CT0)和中断输出选择位(SL2,SL1)输出某个周期的中断信号.具体见之前的寄存器(CT2~CT0)的详细介绍.

5) 32KHZ 时钟脉冲输出

INTRB 脚能够输出晶体振荡器产生的 32KHZ 的时钟脉冲.当设置 CLEN_=1 时,INTRB 为高.

注:32KHZ 时钟脉冲的频率不受时钟调整电路的影响.

6) 晶振停振的检测

通过 XTSP 位可以判断晶振是否停振过,当检测到 XSTP=1 时,说明晶振曾经停振过,这时读取的时间数据是错误的.

XSTP 变成"1"时,XSL_F6~F0,CT2,CT1,CT0,AALE,BALE,SL2,SL1,CLEN_和 TEST 位全部复位为"0".

- . 复位时,XSTP 位置"1",值得注意的是任何瞬间的断电可能使 XSTP 位置"1";
- . 晶振停振后就会使 XSTP 位置"1",即使晶振再次起振,XSTP 仍然保持"1",除非对内部地址 FH 进行写操作.

为了避免晶振停振现象,应确保不发生下面现象:

- . 瞬间的掉电;
- . PCB 板上的噪声(一般要在 SD2300A 的电源和地脚加上 104 电容和 22uF 的电容);
- . 电源电压超出 SD2300A 的额定值.

4.数字化时间精度调整电路

利用数字化时间精度调整电路可以每 20 秒改变当前 1 秒内脉冲计数的变化,从而到达时钟走时调整,使 SD2300A 保持高的走时精度.

1) 当晶振频率大于目标频率(32768HZ),则需要增加 1 秒内的计数脉冲:

$$\text{调整值} = \frac{(\text{晶振频率} - \text{目标频率} + 0.1)}{\text{晶振频率} * 2 / \text{目标频率} * 20} = (\text{晶振频率} - \text{目标频率}) * 10 + 1$$

其中:晶振频率是从 INTRB 脚测出的脉冲频率;

调整值是设置 F6~F0 的数值,该数值是用二进制补码形式表示.下同

- 2) 当晶振频率小于目标频率(32768HZ),则需要减少 1 秒内的计数脉冲:

$$\text{调整值} = \frac{(\text{晶振频率} - \text{目标频率})}{\text{晶振频率} * 2 / \text{目标频率} * 20} = (\text{晶振频率} - \text{目标频率}) * 10$$

- 3) 当晶振频率等于目标频率(32768HZ),则不需要改变 1 秒内的计数脉冲.

调整值=0,+1,-64,-63 或者缺省.

计算调整数值大小示例:

- 1) 晶振频率=32770KHZ, 目标频率=32768HZ

$$\text{调整值} = (32770 - 32768 + 0.1) / (32770 * 2 / (32768 * 20)) = (32770 - 32768) * 10 + 1 = 21$$

故设置(F6,F5,F4,F3,F2,F1,F0)=(0,0,1,0,1,0,1)

- 2) 晶振频率=32762KHZ, 目标频率=32768HZ

$$\text{调整值} = (32762 - 32768) / (32762 * 2 / (32768 * 20)) = (32762 - 32768) * 10 = -60$$

因为-60的7位补码是80H-3CH=44H

故设置(F6,F5,F4,F3,F2,F1,F0)=(1,0,0,0,1,0,0)

经过数字化时间精度电路调整后,时钟精度与目标频率相差 ± 1.5ppm(在室温下)

但是要注意:

- 1) 时间调整电路不能改变从 INTRB 输出的频率;
- 2) 最大调整范围:
 - a. 晶振频率大于目标频率时,调整数值范围(F6,F5,F4,F3,F2,F1,F0)=(0,0,0,0,0,0,0)到(0,1,1,1,1,1,1),实际可调范围从-3.05ppm到-189.2ppm
 - b. 晶振频率小于目标频率时,调整数值范围(F6,F5,F4,F3,F2,F1,F0)=(1,1,1,1,1,1,1)到(1,0,0,0,0,1,0),实际可调范围从+3.05ppm到+189.2ppm

5.出厂设置

在出厂之前,对 SD2300A 已做了时间和控制寄存器设置:

时间为北京标准时间,禁止 INTRA 脚和 INTRB 脚输出信号。

实时寄存器:当前的北京时间,xx(年),xx(月),xx(日),x(星期),xx(时),xx(分),x(秒)

■ 电源管理电路

1 内部电源管理电路(电源切换电路)

当 VDD>3.0V 时,则内部电池停止供电,改由外部电源 VDD 供电。在外部电源掉电情况下,内部电池保证时钟继续可靠运行,内置一次性电池的使用时间为五到十年;当电池能量耗尽后,可通过 VBAT 引脚采用备份电源供电,并可以通过 TEST 引脚测量电池电压。

2. 稳压电路

模块内部有稳压电路,可以对外加电源电压进行滤波、稳压,使模块工作始终工作在稳定状态。

■ 交直流特性

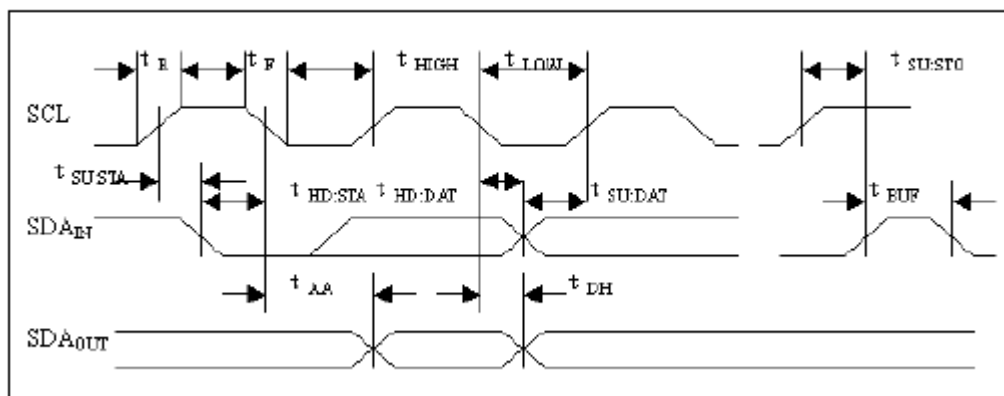
直流特性

符号	说明	引脚	条件	最小值	典型值	最大值	单位
VIH	输入高电平	SCL,SDA		0.8VDD		6.0	V
VIL	输入低电平	SCL,SDA		-0.3		0.3VDD	V
IOL1	输出电流	INTRA,INTRB	VOL1=0.4V	1			mA
IOL2		SDA	VOL2=0.6V	7			mA
IILK	输入漏电流	SCL	VI=6V VDD=6V	-1		1	uA
IOZ	输出漏电流	SDA,INTRA, INTRB	VO=6V VDD=6V	-1		1	uA
IDD	工作电流	VDD	VDD=3.6V, TOPT=25°C SCL,SDA=3.6V		0.4		uA

交流特性

符号	参数	测试条件	最小值	最大值	单位
t_{SCL}	SCL 时钟频率		0	100	KHz
t_{LOW}	时钟低周期		4.7		us
t_{HIGH}	时钟高周期		5		us
t_{BUF}	总线释放时间	在下一个数据传输之前	4.7		us
$t_{SU:STA}$	起始条件建立时间		4.7		us
$t_{SU:STO}$	终止条件建立时间		4.7		us
$t_{HD:STA}$	起始条件保持时间		4		us
$t_{HD:STO}$	终止条件保持时间		4		us
$t_{SU:DAT}$	数据输入建立时间		250		ns
$t_{HD:DAT}$	数据输入保持时间		0		ns
T_{HD}	数据输出保持时间	SCL 下跳到 SDA 数据输出变化	0		ns
t_{AA}	时钟输出	SCL 下跳到 SDA 数据输出有效	0.3	3.5	us
t_R	SCL 和 SDA 上升时间			1	us
t_F	SCL 和 SDA 下降时间			300	ns
t_i	噪声尖波宽度	SCL、SDA 输入的时间常数		100	ns

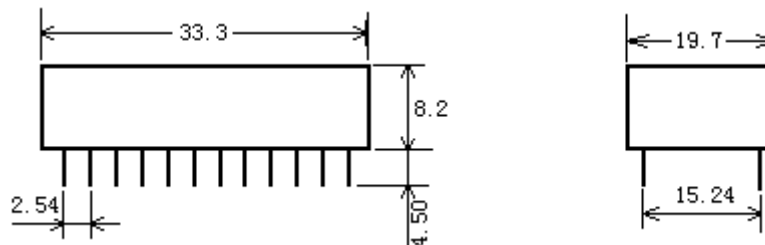
总线时序图



■ 应用电路与程序

<http://www.whwave.com.cn> 下载

■ 封装尺寸 (单位 : 毫米)



SD2300 系列封装尺寸 (管脚直径 : 0.5mm)

■ 编后语

感谢您阅读本资料。由于经验和水平的欠缺,本文难免有错误和遗漏。如果您在使用过程中发现错误或不恰当的地方,请拨打电话:0755-83246178 或请 E-mail: chendw@whwave.com.cn,我们将尽快予以答复。

感谢您的支持及合作!

注:

本资料中的内容如有变化,恕不另行通知。

本资料提供的应用线路及程序仅供参考,本公司不承担由此而引起的任何损失。

由于本公司的产品不断更新和提高,希望您经常与本公司联系,以索取最新资料。

本公司不承担任何使用过程中引起的侵犯第三方专利和其它权利的责任。