

# TL16C552

## 带FIFO的双异步通信组件

### 一、概述

#### 1.1 描述

TL16C552 是通用 TL16C550 异步通信组件 (ACE) 的双通道升级版。该器件可同时用于微型计算机或基于微处理器的系统中的两个串行输入/输出接口。每个通道对从外围器件或调制解调器接收的数据实行串行至并行的转换；对从 CPU 接收的数据实行并行至串行的转换。在 ACE 工作的任何时候 CPU 均可读和报告双 ACE 每个通道的状态。这些状态信息包括：正在进行的传输工作类型、工作状态以及遇到的错误条件。

除了双路通信接口功能外，TL16C522 还为用户提供一个完全双向的并行数据端口，可完全支持并行的 Centronics 型打印机。并行端口和两个串行端口为 IBM PC/AT 兼容的计算机提供一个单独的器件以用于 3 个系统端口。

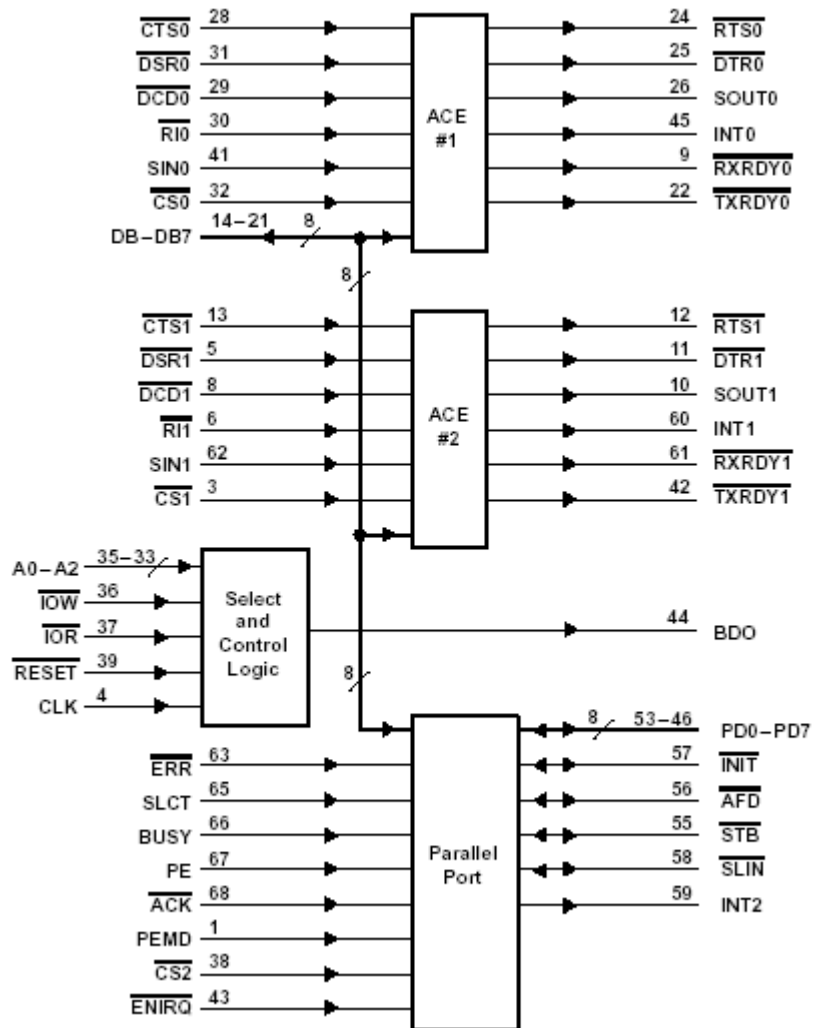
器件包括可编程的片内波特率产生器，它能用 1 至  $(2^{16}-1)$  的除数对基准时钟输入分频。

TL16C522 封装在一个 68 引脚的塑料芯片载体内。

#### 1.2 特点

- 可兼容 IBM PC/AT™
- 两个 TL16C550 异步通信组件 (ACE)
- 增强型双向打印机端口
- 16 字节 FIFO 减少 CPU 中断
- 每个通道上发送、接收、线状态以及数据设置中断的单独控制
- 每个通道单独的调制解调器控制信号
- 每个通道可编程的串行接口特性：
  - 5、6、7、8 位字符
  - 偶、奇或无奇偶校验位发生和检测
  - 1、1/2 或 2 个停止位产生
- 每个通道上用于数据和控制总线的三态 TTL 驱动
- 可与 TL16C452 的软件和硬件兼容

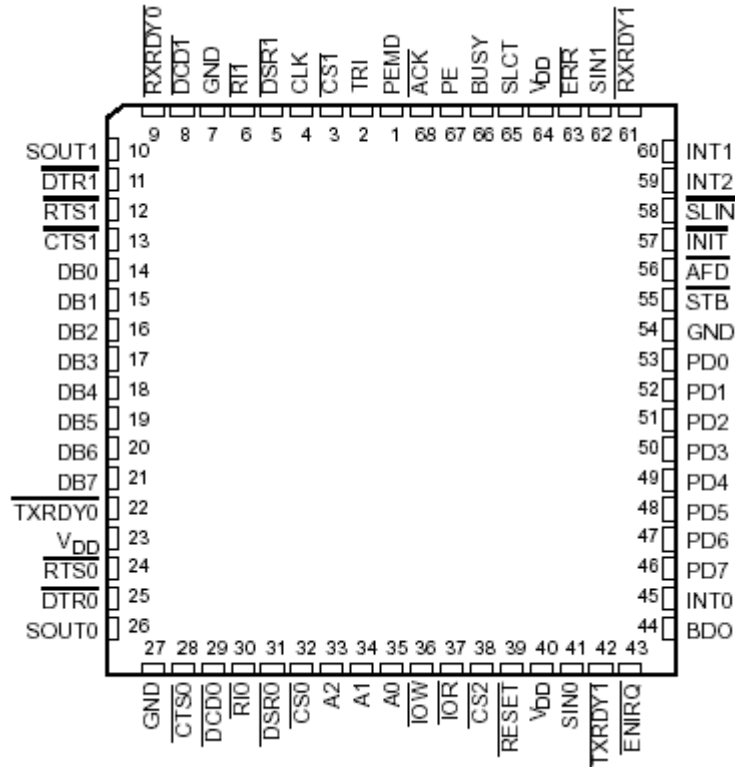
#### 1.3 功能方框图



#### 1.4 引脚排列及功能

(1) 引脚排列如下图所示

FN 封装（俯视图）



(2) 引脚功能见下表:

引脚名称		编号	I/O	描述
$\overline{ACK}$		68	I	行式打印机应答。 $\overline{ACK}$ 为低表明数据传送成功。该引脚在正跳变期间产生一次打印机端口中断。
$\overline{AFD}$		56	I/O	行式打印机自动送纸。 $\overline{AFD}$ 是一条漏极开路输出线。在连续形式的纸张被自动喂入打印机中时，它可为打印机提供一个低有效的信号。该引脚有一个接到 $V_{DD}$ 的大约为 $10K\ \Omega$ 的上拉电阻。
A0、A1、A2		35、34、33	I	地址线 A0-A2。A0、A1 和 A2 在 CPU 总线工作期间选择内部寄存器。串行通道的解码见表 2，并行打印机端口的解码见表 13。
BDO		44	O	总线缓冲输出。BDO 是一个高有效的输出，在读串行通道或并行端口时产生。该输出端能控制系统总线驱动器 (74LS245)。
BUSY		66	I	行式打印机忙。BUSY 是输入线，信号来自打印机，在打印机没有准备好接收数据时该引脚变高。
CLK		4	I	时钟输入端。CLK 是对每个 ACE 波特率除数的外部时钟输入。
$\overline{CS0}$ 、 $\overline{CS1}$ 、 $\overline{CS2}$		32、3、38	I	片选端。 $\overline{CS0}$ 、 $\overline{CS1}$ 和 $\overline{CS2}$ 可使能串行通道 1 ( $\overline{CS0}$ ) 和

			2 ( $\overline{CS1}$ ) 读写信号。 $\overline{CS2}$ 使能打印机端口的信号。
$\overline{CTS0}$ 、 $\overline{CTS1}$	28、13	I	清零以发送输入。 $\overline{CTS0}$ 或 $\overline{CTS1}$ 的逻辑状态反映在每个 ACE 的调制解调器状态寄存器中的 CTS 位 (CTS 是调制解调器状态寄存器的位 4, 写作 MSR4)。因为对相关调制解调器状态寄存器的前一次读操作, 在每个 $\overline{CTS}$ 端有一次状态变化, 这次变化会导致每个调制解调器状态寄存器的“ $\Delta$ 清零以发送”位(MSR0)被置位。
DB0-DB7	14-21	I/O	数据位 DB0 – DB7。数据总线为 TL16C552 和 CPU 之间数据、控制和状态信息的传输提供了 8 条三态 I/O 线。除在读操作期间外, 这些线通常处于高阻抗状态。D0 是最低位 (LSB), 也是接收和发送的第一个串行数据位。
$\overline{DCD0}$ 、 $\overline{DCD1}$	29、8	I	数据载波检测。 $\overline{DCD}$ 是调制解调器输入端。其条件可由 CPU 读调制解调器状态寄存器的 MSR7 ( $\overline{DCD}$ ) 位检测到。调制解调器状态寄存器的 MSR3 ( $\Delta$ 数据载波检测或 $\Delta$ DCD) 位显示出 $\overline{DCD}$ 输入端是否因上一次对调制解调器状态寄存器的读操作而改变了状态。 $\overline{DCD}$ 不会影响到接收器。
$\overline{DSR0}$ 、 $\overline{DSR1}$	31、5	I	数据组准备就绪输入端。 $\overline{DSR0}$ 和 $\overline{DSR1}$ 的逻辑状态反映在相应调制解调器状态寄存器的位 MSR5 中。MSR1 位 ( $\Delta$ 数据设置准备或 $\Delta$ DSR) 表明相关的 DSR 引脚是否因上一次对调制解调器状态寄存器的读操作而改变了状态。
$\overline{DTR0}$ 、 $\overline{DTR1}$	25、11	O	数据终端准备就绪线。设置相应 ACE 中调制解调器控制寄存器的位 0 (MCR0) 可使 $\overline{DTR0}$ 和 $\overline{DTR1}$ 为低。通过对 DTR 位 (MCR0) 清零或无论何时产生的复位均可使该信号置为高。在激活状态 (低) 时, DTR 端表示其相应 ACE 已准备好接收数据。
$\overline{ENIRQ}$	43	I	并行端口中断源方式选择。当 $\overline{ENIRQ}$ 为低时, PC/AT 中断方式被使能。在这种方式中, INT2 输出端内接到 $\overline{ACK}$ 输入端。在 $\overline{ENIRQ}$ 输入端保持为高时, INT2 输出端被内接到行式打印机状态寄存器的 $\overline{PRINT}$ 信号。INT2 在 $\overline{ACK}$ 的上升沿被锁存, 状态为高。
$\overline{ERR}$	63	I	行式打印机错误。 $\overline{ERR}$ 是输入线, 信号来自打印机。在错误条件中打印机通过保持该线为低来报告发生了错误。
GND	7、27、54		地 (0V)。为使器件正常工作, 所有引脚必须接地。
$\overline{INIT}$	57	I/O	行式打印机初始化。 $\overline{INIT}$ 是一个漏极开路线, 它为打印机提供一个低有效信号, 该信号允许开始打印机初始化程序。该引脚有一个连接到 $V_{DD}$ 的阻值约为 10K $\Omega$ 的内部上拉电阻。
$\overline{IOR}$	37	I	输入/输出读选通。 $\overline{IOR}$ 是一个低有效输入端, 它使能所选的通道以向数据总线(DB0-DB7)输出数据。数据输出取决于由地址输入端 A0, A1, A2 和片选端选择的寄存器。片

			选端 0 ( $\overline{CS0}$ ) 选择 ACE #1, 片选端 1 ( $\overline{CS1}$ ) 选择 ACE #2, 片选端 2 ( $\overline{CS2}$ ) 选择打印机端口。
$\overline{IOW}$	36	I	输入/输出写选通。 $\overline{IOW}$ 是一个低有效输入端, 它使来自数据总线的的数据输入 ACE 或并行端口。最终输入地址取决于由地址输入端 A0, A1, A2 和片选端 $\overline{CS0}$ 、 $\overline{CS1}$ 、 $\overline{CS2}$ 选择的寄存器。
INT0、INT1	45、60	O	串行通道中断。INT0 和 INT1 是三态串行通道中断输出端 (被 MCR 的位 3 使能)。它们在以下任一中断处于激活 (高) 状态时有效 (高) 并且被其相应通道的中断使能寄存器使能: 接收器错误标志, 接收到有效数据, 发送器保持寄存器为空, 调制解调器状态。适当服务程序后可清除中断。在复位时, 中断输出处于高阻抗状态。
INT2	59	O	打印机端口中断。INT2 是一个高有效的三态输出端, 由 $\overline{ACK}$ 的正跳变产生。它由写控制寄存器的位 4 使能。在复位时, 该中断输出处于高阻抗状态。其模式被 $\overline{ENIRQ}$ 控制。
PD0-PD7	53-46	I/O	并行数据位 (0-7)。这 8 条线 (PD0-PD7) 为系统提供了一个字节宽度的输入或输出端口。
PE	67	I	打印机无纸。PE 是一个输入端, 信号来自打印机。当打印机的纸用完时该引脚变为高。
PEMD	1	I	打印机增强模式。在低电平时, PEMD 使能对 PD0-PD7 线的写数据寄存器。在该信号为高时, 允许通过控制寄存器的 DIR 位控制 PD0-PD7 端口的方向。为使打印机工作 PEMD 通常保持低电平。
$\overline{RESET}$	39	I	复位。在低电平时, $\overline{RESET}$ 迫使 TL16C552 进入空闲状态, 在该状态中所有串行数据的活动均暂停。调制解调器控制寄存位及其相应的输出端被清零。除了已被置位的 THRE 和 TEMT 位以外, 线状态寄存器也被清零。器件所有的功能都保持空闲状态直到器件被编程以激活串行数据。该输入端的滞后电平的典型值为 400 mV。
$\overline{RTS0}$ 、 $\overline{RTS1}$	24、12	O	请求发送输出端。通过设置 UART 调制解调器控制寄存器的位 1 (MCR1) 可使 $\overline{RTSx}$ 为低。两个 $\overline{RTSx}$ 终端都由 $\overline{RESET}$ 置位。 $\overline{RTSx}$ 端为低表明相应 ACE 有数据准备传送。在半双工操作中, $\overline{RTSx}$ 控制总线方向。
$\overline{RXRDY0}$ 、 $\overline{RXRDY1}$	9、61	O	接收器准备就绪。在接收器对存储器直接访问 (DMA) 时, $\overline{RXRDY0}$ 和 $\overline{RXRDY1}$ 发送信号。当工作于 FIFO 方式时, 使用 FIFO 控制寄存器位 3 (FCR3) 可选择两种类型的 DMA 信号之一。当工作于 TL16C450 方式时, 仅允许 DMA 方式 0。方式 0 用于单传送 DMA (一种在 CPU 总线周期间进行的传送)。方式 1 支持多传送 DMA, 在这种 DMA 中, 连续进行多次传送直至接收器 FIFO 为空为止。 方式 0。当处于 FIFO 方式 (FCR0=1, FCR3=0) 或 TL16C450 方式 (FCR0=0) 并且至少有 1 个字符在接收器 FIFO 或接收

			<p>器保持寄存器中时，<math>\overline{RXRDY}_x</math> 为有效（低电平）。当接收器 FIFO 或接收器保持寄存器中没有字符时，<math>\overline{RXRDY}_x</math> 端失效（高电平）。</p> <p>方式 1。在 FIFO 方式(FCR0=1)中当 FCR3=1 且超时或达到触发电平时，<math>\overline{RXRDY}_x</math> 有效（低电平）。当 FIFO 或接收器保持寄存器为空时，它变为失效（高电平）。</p>
$\overline{RIO}$ 、 $\overline{RI1}$	30、6	I	<p>振铃指示位输入端。<math>\overline{RIO}</math> 和 <math>\overline{RI1}</math> 是调制解调器控制输入端。其状况可通过读每个 ACE 的调制解调器状态寄存器位 6 (RI) 来检测。调制解调器状态寄存器输出振铃指示位 (TERI 或 MSR2) 的后沿显示输入端的状态是否从上次读调制解调器状态寄存器以来已从低电平跳至高电平。</p>
SIN0、SIN1	41、62	I	<p>串行数据输入端。SIN0 和 SIN1 是串行数据输入端，它们将通信线或调制解调器发出的信息传至 TL16C552 的接收器电路。标记码（设置）为高状态，空格（清零）为低状态。在循环方式中工作时串行数据输入端上的数据被禁止。</p>
SLCT	65	I	<p>打印机选择。SLCT 是输入线，信号来自打印机。当打印机被选定时，它变为高电平。</p>
$\overline{SLIN}$	58	I/O	<p>行式打印机选择。<math>\overline{SLIN}</math> 是一个漏极开路输入。它激活状态（低）时，选择打印机。该终端有一个连接到 <math>V_{DD}</math> 的阻值大约为 10K<math>\Omega</math> 的内部上拉电阻。</p>
SOUT0、SOUT1	26、10	O	<p>串行数据输出。SOUT0 和 SOUT1 是 ACE 发送器电路发出的串行数据输出。标记码为高状态，空格为低状态。每个 SOUT 在以下情况时保持标记码状态：在发送器被禁止时，在 <math>\overline{RESET}</math> 有效（低）时，在发送器寄存器为空时或者在循环方式中时。</p>
$\overline{STB}$	55	I/O	<p>打印机选通。<math>\overline{STB}</math> 是一个漏极开路线，提供 TL16C552 与打印机之间的通信。在该引脚处于激活状态（低）时，它给打印机提供一个信号以锁存当前在并行端口上的数据。该终端有一个连接到 <math>V_{DD}</math> 的阻值大约为 10K<math>\Omega</math> 的内部上拉电阻。</p>
TRI	2	I	<p>三态控制。TRI 控制着所有 I/O 和输出终端的三态控制功能。当 TRI 产生时，所有 I/O 和输出端变为高阻抗，允许电路板电平检测器可以不用驱动内部缓冲器就可驱动输出端。该终端是电压敏感的 CMOS 输入端，有一个阻值大约为 5K<math>\Omega</math> 的内部电阻下拉。</p>
$\overline{TXRDY}_0$ 、 $\overline{TXRDY}_1$	22、42	O	<p>发送器准备就绪。<math>\overline{TXRDY}_0</math> 和 <math>\overline{TXRDY}_1</math> 是发送器准备就绪信号。DMA 信号发送有两种类型。当工作在 FIFO 方式时用 FCR3 可选择两种方式。而工作在 TL16C450 方式时只可选择 DMA 方式 0。单传送 DMA（一种在 CPU 总线周期之间进行的传送）由方式 0 支持。多传送为连续传送直到发送器 FIFO 被填满，由方式 1 支持。</p> <p>方式 0。在 FIFO 方式(FCR0=1, FCR3=0)或在 TL16C450 方式(FCR0=0)中并且在发送器保持寄存器或发送器 FIFO 中没有字符时，<math>\overline{TXRDY}</math> 有效（低）。一旦 <math>\overline{TXRDY}</math> 有效（低）</p>



			时，只有在向发送器 FIFO 的保持寄存器加载第一个字符以后它才会变为失效。 方式 1。如果在 FIFO 方式中则当 FCR3=1 并且在发送器 FIFO 中没有字符时 $\overline{TXRDYx}$ 变为有效（低）。在发送器 FIFO 完全装满以后 $\overline{TXRDYx}$ 才变为失效（高）。
V <sub>DD</sub>	23、40、64		电源电压。V <sub>DD</sub> 为电源电压，要求为 5 V ±5%。

## 二、特性

### 2.1 工作温度范围内（自然通风）的极限参数（除非另有说明）

电源电压范围, V <sub>DD</sub> (见注释1)	-0.5 V 至 V <sub>DD</sub> + 0.3 V
输入电压范围, V <sub>I</sub>	-0.5 V 至 7 V
输出电压范围, V <sub>O</sub>	-0.5 V 至 V <sub>DD</sub> + 0.3 V
连续总功耗	500 mW
自然通风条件下工作温度范围, T <sub>A</sub>	-10°C 至 70°C
贮存温度范围, T <sub>stg</sub>	-65°C 至 150°C

\*注：强度超出所列的极限参数可能导致器件的永久性损坏。这些仅仅是极限参数，并不意味着在极限条件下或在任何其它超出推荐工作条件所示参数的情况下器件能有效工作。延长在极限参数条件下的工作时间会影响器件的可靠性。

注释：1、所有电压相对于地（V<sub>SS</sub>）。

### 2.2 推荐工作条件

	MIN	NOM	MAX	UNIT
Supply voltage, V <sub>DD</sub>	4.75	5	5.25	V
Clock high-level input voltage, V <sub>IH</sub> (CLK)	2		V <sub>DD</sub>	V
Clock low-level input voltage, V <sub>IL</sub> (CLK)	-0.5		0.8	V
High-level input voltage, V <sub>IH</sub>	2		V <sub>DD</sub>	V
Low-level input voltage, V <sub>IL</sub>	-0.5		0.8	V
Clock frequency, f <sub>clock</sub>			8	MHz
Operating free-air temperature range, T <sub>A</sub>	0		70	°C

### 2.3 在推荐的电源电压和工作温度（自然通风）范围内的电特性（除非另有说明）

PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
V <sub>OH</sub> High-level output voltage	I <sub>OH</sub> = -0.4 mA for DB0-DB7, I <sub>OH</sub> = -2 mA for PD0-PD7, I <sub>OH</sub> = -0.4 mA for $\overline{INIT}$ , $\overline{AFD}$ , $\overline{STB}$ , and $\overline{SLIN}$ (see Note 2), I <sub>OH</sub> = -0.4 mA for all other outputs	2.4		V
V <sub>OL</sub> Low-level output voltage	I <sub>OL</sub> = 4 mA for DB0-DB7, I <sub>OL</sub> = 12 mA for PD0-PD7, I <sub>OL</sub> = 10 mA for $\overline{INIT}$ , $\overline{AFD}$ , $\overline{STB}$ , and $\overline{SLIN}$ (see Note 2), I <sub>OL</sub> = 2 mA for all other outputs		0.4	V
I <sub>I</sub> Input current	V <sub>DD</sub> = 5.25 V, All other terminals are floating		±10	μA
I <sub>I</sub> (CLK) Clock input current	V <sub>I</sub> = 0 to 5.25 V		±10	μA
I <sub>OZ</sub> High-impedance output current	V <sub>DD</sub> = 5.25 V, V <sub>O</sub> = 0 with chip deselected, or V <sub>O</sub> = 5.25 V with chip and write mode selected		±20	μA
I <sub>DD</sub> Supply current	V <sub>DD</sub> = 5.25 V, No loads on outputs, SIN0, SIN1, $\overline{DSR0}$ , $\overline{DSR1}$ , $\overline{DCD0}$ , $\overline{DCD1}$ , $\overline{CTS0}$ , $\overline{CTS1}$ , R <sub>I0</sub> and R <sub>I1</sub> at 2 V, Other inputs at 0.8 V, Baud rate generator f <sub>clock</sub> = 8 MHz, Baud rate = 56 kbit/s		50	mA

注 2：这四个终端包含一个连接到  $V_{DD}$  的阻值大约为  $10K\ \Omega$  的内部上拉电阻。

## 2. 4 在推荐的温度范围内（自然通风）和推荐的电源电压下的时钟时序要求

		MIN	MAX	UNIT
$t_{w1}$	Pulse duration, CLK high (external clock, 8 MHz max) (see Figure 1)	55		ns
$t_{w2}$	Pulse duration, CLK low (external clock, 8 MHz max) (see Figure 1)	55		ns
$t_{w3}$	Pulse duration, master (RESET) low (see Figure 16)	1000		ns

## 2. 5 在推荐的电源电压和工作温度范围内（自然通风）的读周期时序要求（见图4）

		MIN	MAX	UNIT
$t_{w4}$	Pulse duration, $\overline{IOR}$ low	80		ns
$t_{su1}$	Setup time, chip select valid before $\overline{IOR}$ low (see Note 3)	15		ns
$t_{su2}$	Setup time, A2–A0 valid before $\overline{IOR}$ low (see Note 3)	15		ns
$t_{h1}$	Hold time, A2–A0 valid after $\overline{IOR}$ high (see Note 3)	20		ns
$t_{h2}$	Hold time, chip select valid after $\overline{IOR}$ high (see Note 3)	20		ns
$t_{d1}$	Delay time, $t_{su2} + t_{w4} + t_{d2}$ (see Note 4)	175		ns
$t_{d2}$	Delay time, $\overline{IOR}$ high to $\overline{IOR}$ or $\overline{IOW}$ low	80		ns

注释：3、内部地址选通总是有效。

4、在 FIFO 方式中，读接收器 FIFO 和读状态寄存器（IIR 和 LSR）间的时间为  $t_{d1} = 425\ ns$ （最小）。

## 2. 6 在推荐的电源电压和工作温度范围内（自然通风）的写周期时序要求（见图5）

		MIN	MAX	UNIT
$t_{w5}$	Pulse duration, $\overline{IOW}$ low	80		ns
$t_{su4}$	Setup time, chip select valid before $\overline{IOW}$ low (see Note 3)	15		ns
$t_{su5}$	Setup time, A2–A0 valid before $\overline{IOW}$ low (see Note 3)	15		ns
$t_{su6}$	Setup time, D0–D7 valid before $\overline{IOW}$ high	15		ns
$t_{h3}$	Hold time, A2–A0 valid after $\overline{IOW}$ high (see Note 3)	20		ns
$t_{h4}$	Hold time, chip select valid after $\overline{IOW}$ high (see Note 3)	20		ns
$t_{h5}$	Hold time, D0–D7 valid after $\overline{IOW}$ high	15		ns
$t_{d3}$	Delay time, $t_{su5} + t_{w5} + t_{d4}$	175		ns
$t_{d4}$	Delay time, $\overline{IOW}$ high to $\overline{IOW}$ or $\overline{IOR}$ low	80		ns

注释：3、内部地址选通总是有效。

## 2. 7 在推荐的电源电压和工作温度范围内（自然通风）的读周期开关特性（见图 4）

	PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
$t_{pd1}$	Propagation delay time from $\overline{IOR}$ high to BDO high or from $\overline{IOR}$ low to BDO low	$C_L = 100\ pF$ , See Note 5		60	ns
$t_{en}$	Enable time from $\overline{IOR}$ low to D0–D7 valid	$C_L = 100\ pF$ , See Note 5		60	ns
$t_{dis}$	Disable time from $\overline{IOR}$ high to D0–D7 released	$C_L = 100\ pF$ , See Note 5	0	60	ns

注释：5、 $V_{OL}$  和  $V_{OH}$ （以及外部负载）决定充电和放电时间。

## 2. 8 在推荐的电源电压和工作温度范围内（自然通风）的发送器的开关特性（见图 6、7、8）

PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
$t_{d5}$ Delay time, interrupt THRE low to SOUT low at start		8	24	RCLK cycles
$t_{d6}$ Delay time, SOUT low at start to interrupt THRE high	See Note 6	8	8	RCLK cycles
$t_{d7}$ Delay time, $\overline{IOW}$ (WR THR) high to interrupt THRE high	See Note 6	16	32	RCLK cycles
$t_{d8}$ Delay time, SOUT low at start to TXRDY low	$C_L = 100 \text{ pF}$		8	RCLK cycles
$t_{pd2}$ Propagation delay time from $\overline{IOW}$ (WR THR) low to interrupt THRE low	$C_L = 100 \text{ pF}$		140	ns
$t_{pd3}$ Propagation delay time from IOR (RD IIR) high to interrupt THRE low	$C_L = 100 \text{ pF}$		140	ns
$t_{pd4}$ Propagation delay time from $\overline{IOW}$ (WR THR) high to TXRDY high	$C_L = 100 \text{ pF}$		195	ns

注释：6、当发送器中断延时有有效进，该延时长度为一个字符时间减去最后停止位时间。

## 2. 9 在推荐的电源电压和工作温度范围内（自然通风）的接收器的开关特性（见图9、10、11、12和13）

PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
$t_{dg}$ Delay time from stop to INT high	See Note 7		1	RCLK cycle
$t_{pd5}$ Propagation delay time from RCLK high to sample CLK high			100	ns
$t_{pd6}$ Propagation delay time from IOR (RD RBR/RD LSR) high to reset interrupt low	$C_L = 100 \text{ pF}$		150	ns
$t_{pd7}$ Propagation delay time from IOR (RD RBR) low to RXRDY high			150	ns

注释：7、在 FIFO 方式( $FCR0 = 1$ )中，现有接收器数据标识、溢出性错误标识、触发电平中断和有效的  $RXRDY$  标识被延迟 3 个 RCLK 周期。在接收到第一个字节后，状态指示位(PE, FE, BI)被延迟 3 个 RCLK 周期。在 RD RBR 变为有效以后这些指示位立即被更新以便接收下一次的数据。对触发改变电平中断有 8 个 RCLK 周期延时。

## 2. 10 在推荐的电源电压和工作温度范围内（自然通风）的调制解调器控制的开关特性（见图 14）

PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
$t_{pd8}$ Propagation delay time from $\overline{IOW}$ (WR MCR) high to RTS (DTR) low/high	$C_L = 100 \text{ pF}$		100	ns
$t_{pd9}$ Propagation delay time from modem input (CTS, DSR) low/high to interrupt high	$C_L = 100 \text{ pF}$		170	ns
$t_{pd10}$ Propagation delay time from IOR (RD MSR) high to interrupt low	$C_L = 100 \text{ pF}$		140	ns
$t_{pd11}$ Propagation delay time from RI high to interrupt high	$C_L = 100 \text{ pF}$		170	ns

## 2. 11 在推荐的电源电压和工作温度范围内（自然通风）的并行端口时序要求（见图 15）

	MIN	MAX	UNIT
$t_{su7}$ Setup time, data valid before STB low	1		$\mu\text{S}$
$t_{h6}$ Hold time, data valid after STB high	1		$\mu\text{S}$
$t_{w6}$ Pulse duration, STB low	1	500	$\mu\text{S}$
$t_{d10}$ Delay time, BUSY high to ACK low	Defined by printer		
$t_{d11}$ Delay time, BUSY low to ACK low	Defined by printer		
$t_{w6}$ Pulse duration, ACK low	Defined by printer		
$t_{w7}$ Pulse duration, BUSY high	Defined by printer		
$t_{d12}$ Delay time, BUSY high after STB high	Defined by printer		



### 三、参数测量信息

图 2 输出负载电路

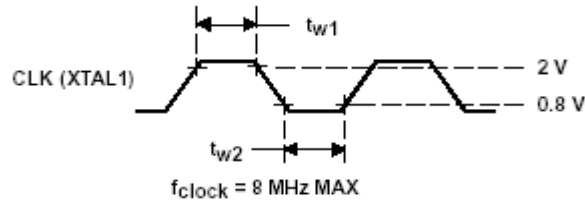


Figure 1. Clock Input (CLK) Voltage Waveform

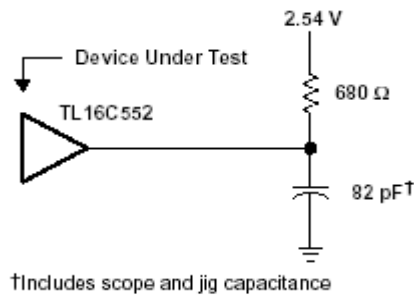


图 3 基本测试配置

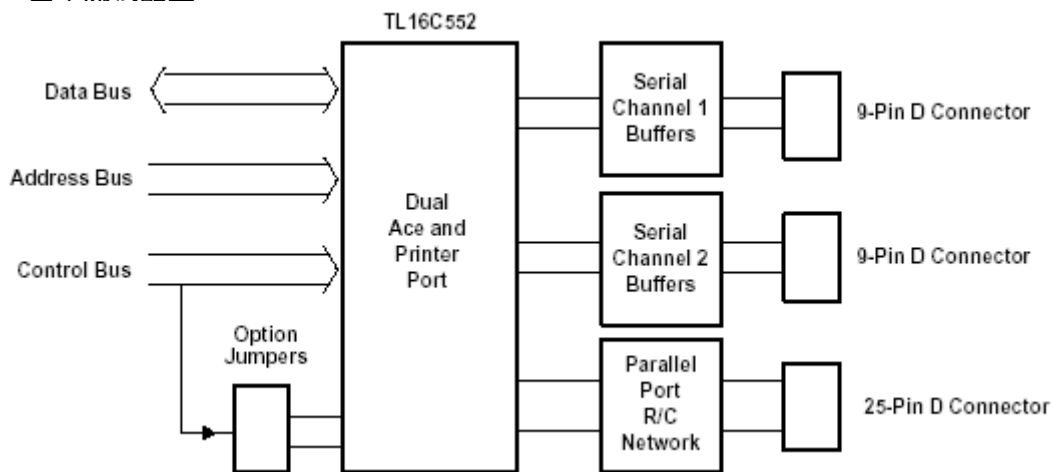


图 4 读周期时序波形图

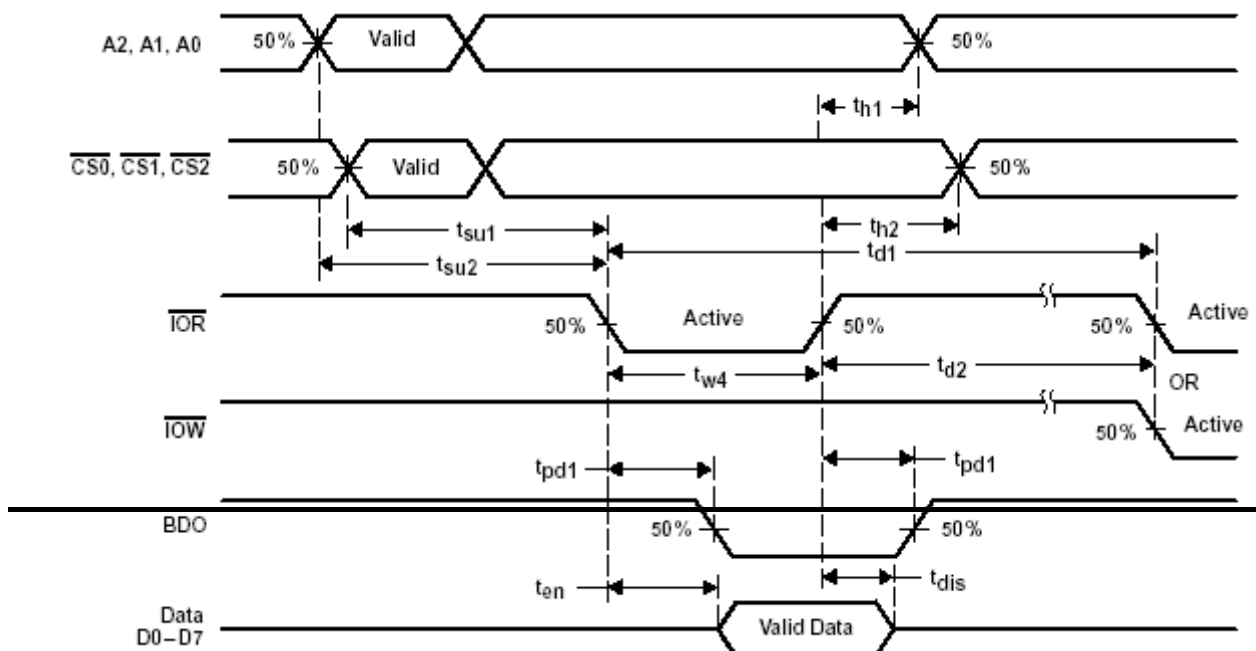


图 5 写周期时序波形图

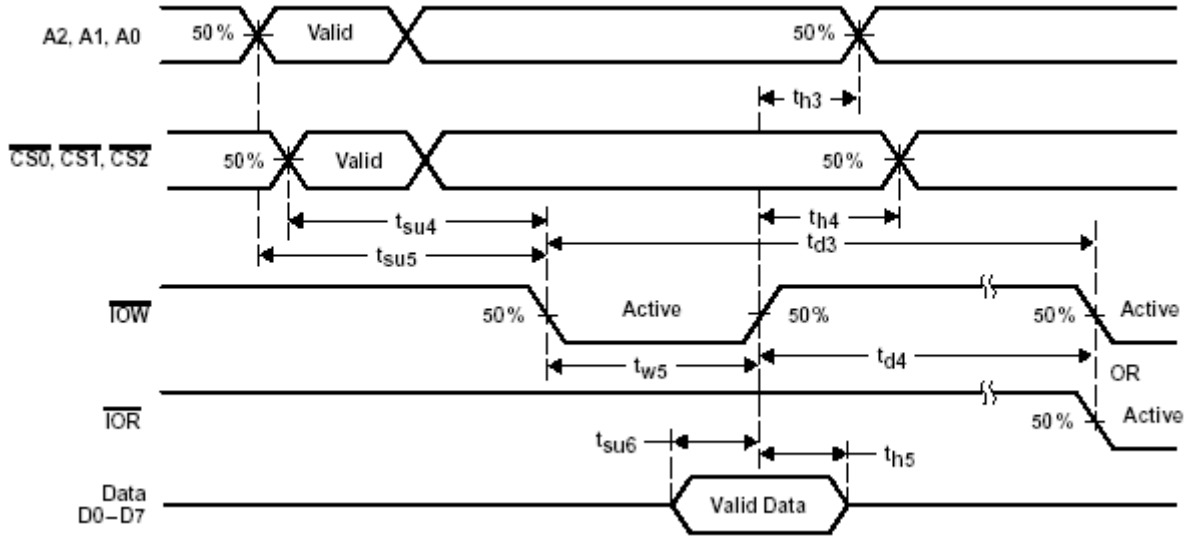


图 6 发送器时序波形图

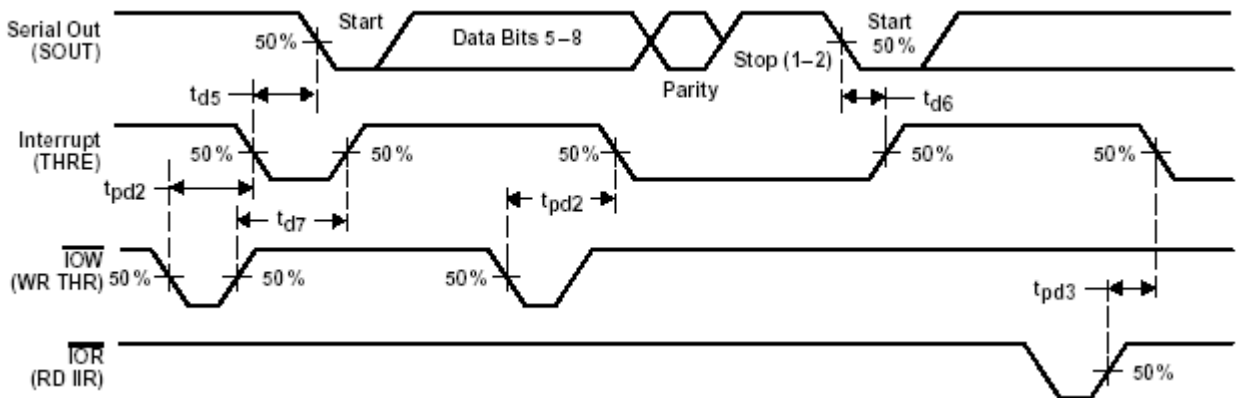


图 7 发送器准备方式 0 时序波形图

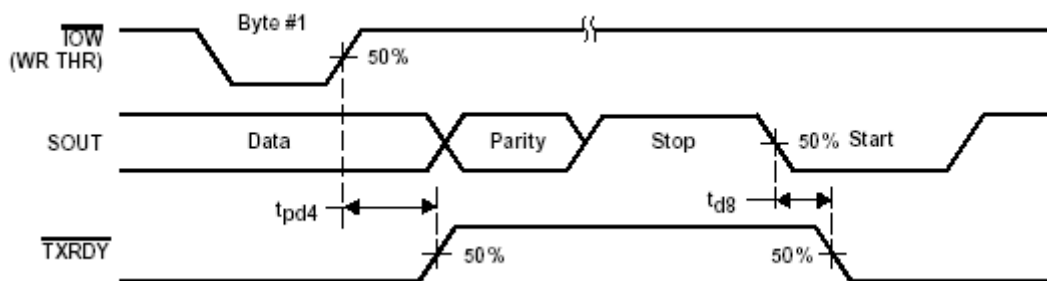


图 8 发送器准备方式 1 时序波形图

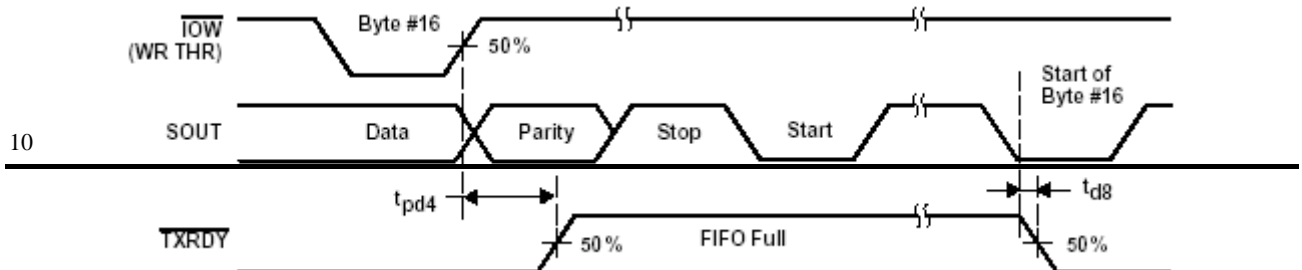


图 9 接收器时序波形图

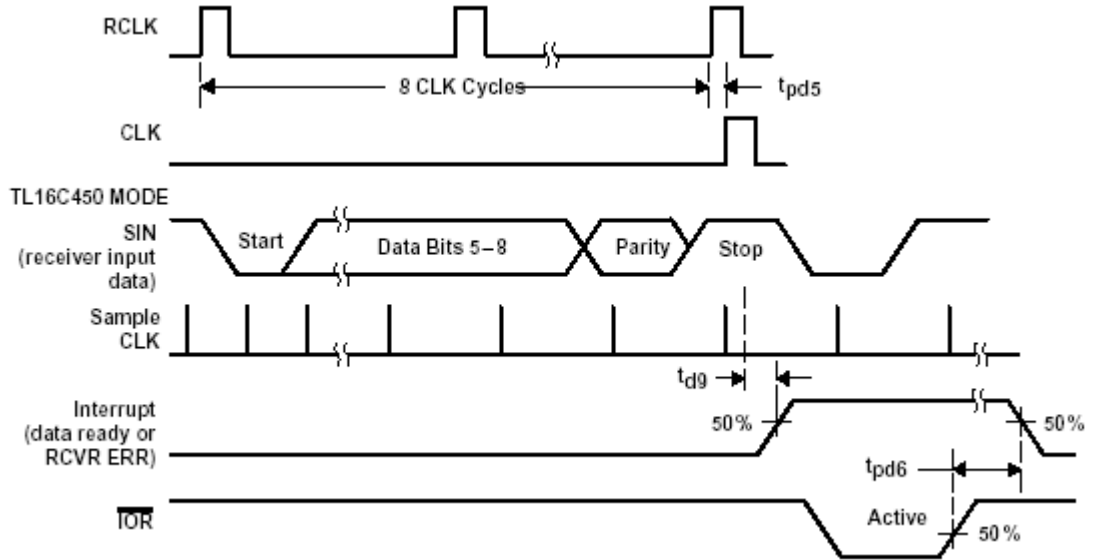


图 10 接收器 FIFO 第一个字节（设置 RDR）波形图

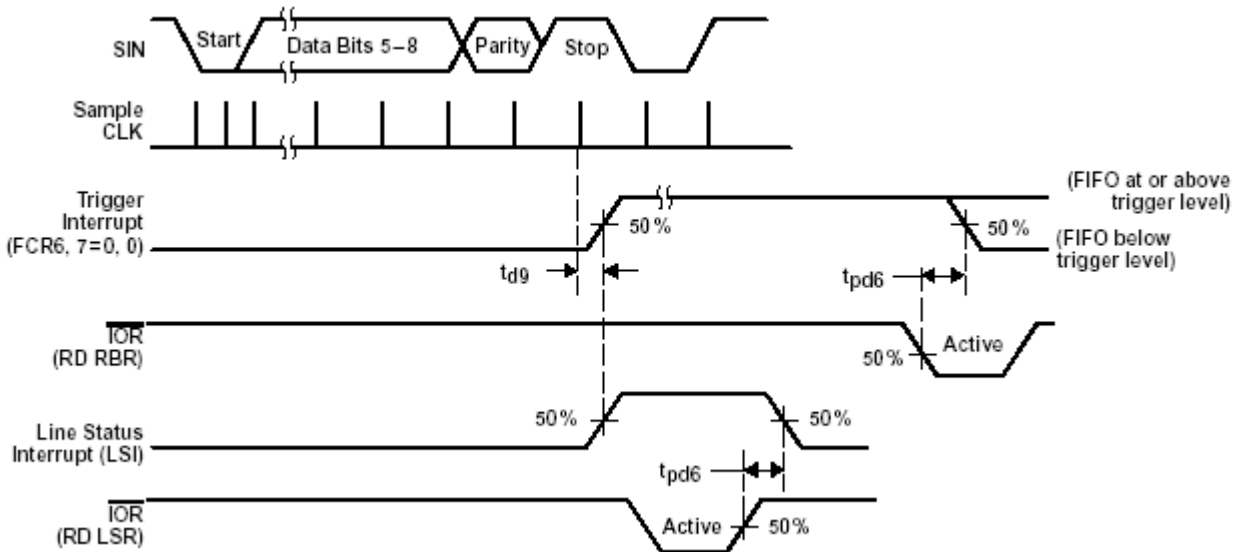


图 11 第一个字节后（RDR 设定以后）接收器 FIFO 波形图

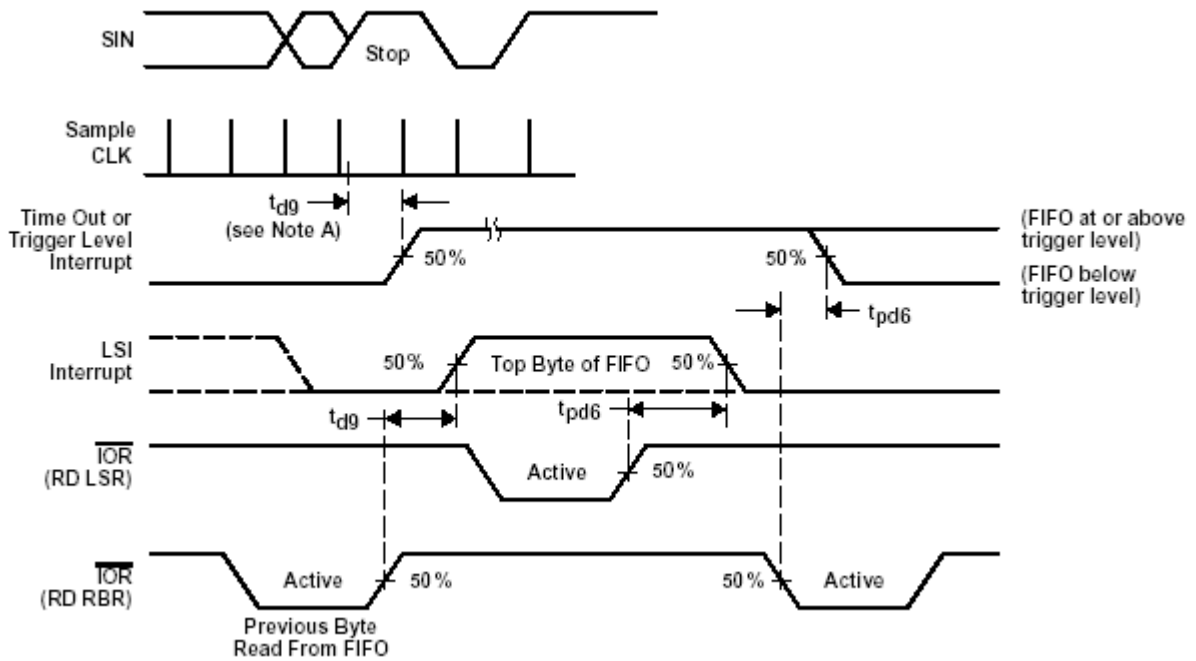
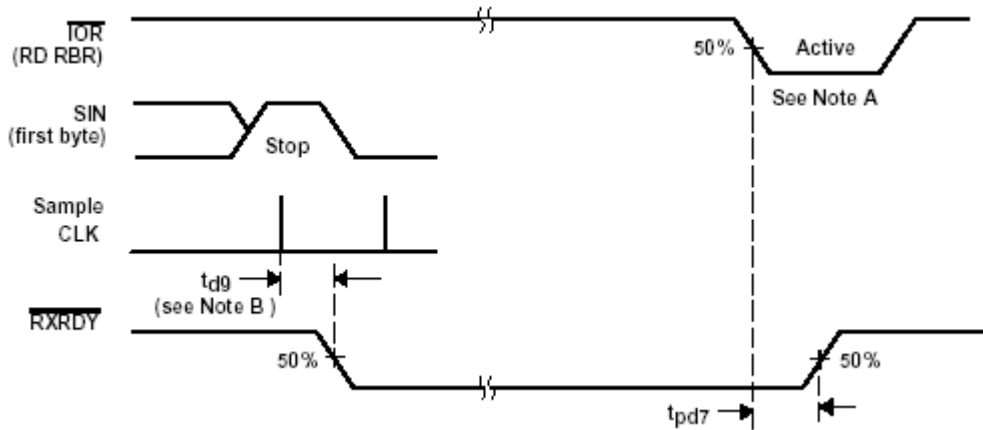


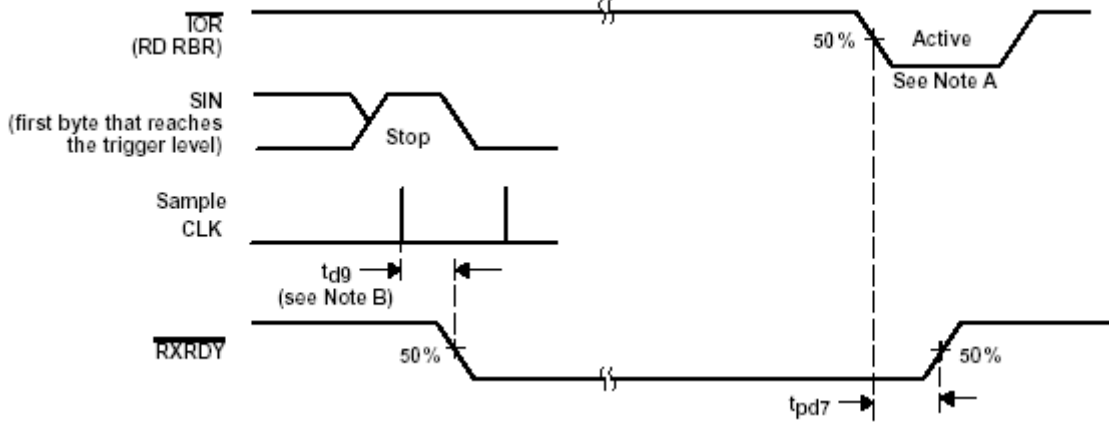
图 12 接收器准备方式 0 波形图



注释：A、这是在 FIFO 中最后字节的读操作。

B、当 FCR0=1 时， $t_{d9}$  = 3 个 RCLK 周期。对一次超时中断而言， $t_{d9}$  = 8 个 RCLK 周期。

图 13 接收器准备方式 1 波形图



注释：A、这是在 FIFO 中最后字节的读操作。

B、当 FCR0=1 时， $t_{d9}$  = 3 个 RCLK 周期。对一次触发改变电平中断而言， $t_{d9}$  = 8 个 RCLK 周期。

图 14 调制解调器控制时序波形图

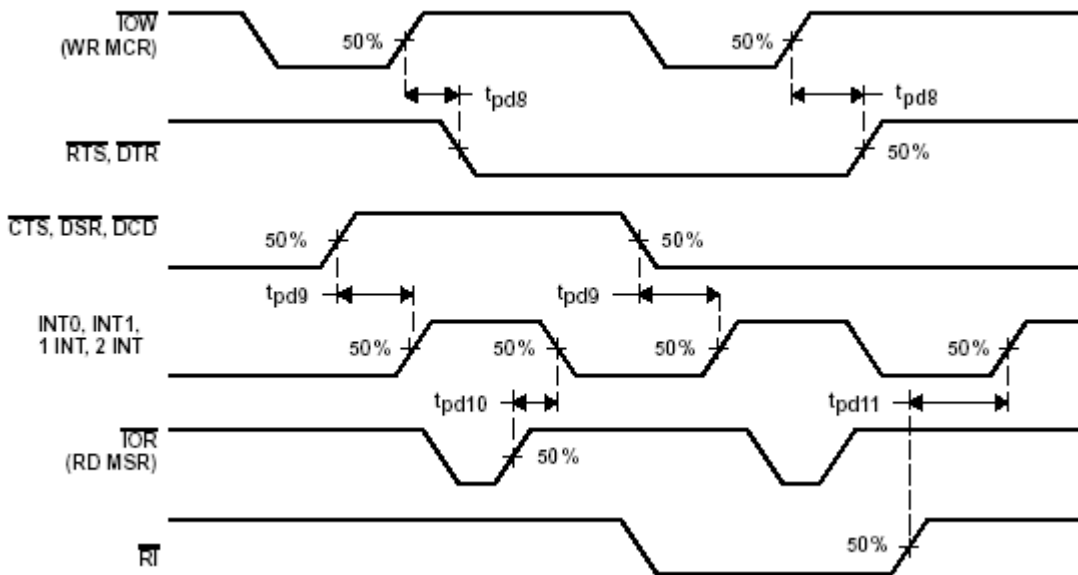




图 15 并行端口时序波形图

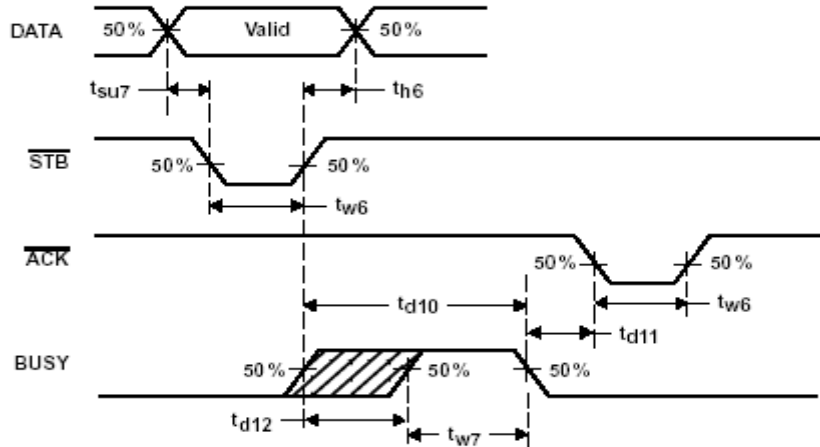
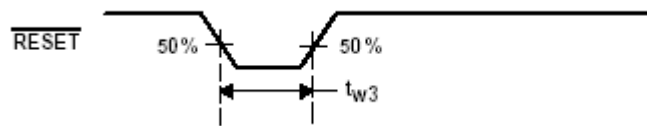


图 16  $\overline{RESET}$  电压波形图



#### 四、工作原理

ACE 的内部寄存器中储存有三类信息：控制、状态和数据。寄存器的相关助记缩略语见表 1。

表 1 内部寄存器类型助记码

CONTROL	MNEMONIC	STATUS	MNEMONIC	DATA	MNEMONIC
Line control register	LCR	Line status register	LSR	Receiver buffer register	RBR
FIFO control register	FCR	Modem status register	MSR	Transmitter holding register	THR
Modem control register	MCR				
Divisor latch LSB	DLL				
Divisor latch MSB	DLM				
Interrupt enable register	IER				

地址、读和写输入端与线控寄存器中的除数锁存访问位 (DLAB) (位 7) 一起来选择将被写入或读出的寄存器。(见表 2)。

表 2 寄存器选择\*

DLAB	A2	A1	A0	MNEMONIC	REGISTER
L	L	L	L	RBR	Receiver buffer register (read only)
L	L	L	L	THR	Transmitter holding register (write only)
L	L	L	H	IER	Interrupt enable register
X	L	H	L	IIR	Interrupt identification register (read only)
X	L	H	L	FCR	FIFO control register (write only)
X	L	H	H	LCR	Line control register
X	H	L	L	MCR	Modem control register
X	H	L	H	LSR	Line status register
X	H	H	L	MSR	Modem status register
X	H	H	H	SCR	Scratch register
H	L	L	L	DLL	Divisor latch (LSB)
H	L	L	H	DLM	Divisor latch (MSB)

- \* (1) X=不相关, L=低电平, H=高电平
- (2) 在 CS0 或 CS1 为低时, 串行通道可访问。

寄存器的个别位可由寄存器的助记符和括号中的位数来访问。例如, LCR7 可由线控寄存器的位 7 来访问。发送器缓冲寄存器和接收器缓冲寄存为数据寄存器, 保持 5 至 8 位数据。如果发送少于 8 位的数据, 则该数据被右移, 直到数据最低位有数据为止。数据字的位 0 总是第一个接收和发送的串行数据位。ACE 数据寄存器为双缓冲, 所以当 ACE 正在进行并行到串行或串行到并行转换的操作时也可进行读和写操作。**可访问的寄存器**

系统编程器用 CPU 可访问和控制表 2 所列的任何 ACE 寄存器。这些寄存器控制 ACE 的工作、接收数据并发送数据。对这些寄存器的描述见表 3。

表 3 可访问的寄存器总表

ADDRESS	REGISTER MNEMONIC	REGISTER BIT NUMBER							
		BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
0	RBR (read only)	Data Bit 7 (MSB)	Data Bit 6	Data Bit 5	Data Bit 4	Data Bit 3	Data Bit 2	Data Bit 1	Data Bit 0 (LSB)
0	THR (write only)	Data Bit 7	Data Bit 6	Data Bit 5	Data Bit 4	Data Bit 3	Data Bit 2	Data Bit 1	Data Bit 0
0†	DLL	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
1†	DLM	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8
1	IER	0	0	0	0	(EDSSI) Enable modem status interrupt	(ERLSI) Enable receiver line status interrupt	(ETBEI) Enable transmitter holding register empty interrupt	(ERBFI) Enable received data available interrupt
2	FCR (write only)	Receiver Trigger (MSB)	Receiver Trigger (LSB)	Reserved	Reserved	DMA mode select	Transmitter FIFO reset	Receiver FIFO reset	FIFO Enable
2	IIR (read only)	FIFOs Enabled‡	FIFOs Enabled‡	0	0	Interrupt ID Bit (2)‡	Interrupt ID Bit (1)	Interrupt ID Bit (0)	0 if interrupt pending
3	LCR	(DLAB) Divisor latch access bit	Set break	Stick parity	(EPS) Even parity select	(PEN) Parity enable	(STB) Number of stop bits	(WLSB1) Word length select bit 1	(WLSB0) Word length select bit 0
4	MCR	0	0	0	Loop	Enable external interrupt (INT0 or INT1)	OUT1 (an unused internal signal)	(RTS) Request to send	(DTR) Data terminal ready
5	LSR	Error in receiver FIFO‡	(TEMT) Transmitter empty	(THRE) Transmitter holding register empty	(BI) Break interrupt	(FE) Framing error	(PE) Parity error	(OE) Overrun error	(DR) Data ready
6	MSR	(DCD) Data carrier detect	(RI) Ring indicator	(DSR) Data set ready	(CTS) Clear to send	(ΔDCD) Delta data carrier detect	(TERI) Trailing edge ring indicator	(ΔDSR) Delta data set ready	(ΔCTS) Delta clear to send
7	SCR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

† DLAB = 1

‡ 在 FIFO 被禁止时, 这些位总是为 0。

### FIFO 控制寄存器 (FCR)

这个只可写入的寄存与 IIR 地址相同。它使能和清除 FIFO, 设置接收器 FIFO 的触发电平并可选择 DMA 信号的类型。FCR 的内容见表 3 和以下描述:

- 位 0: FCR0 使能发送器和接收器 FIFO。两块 FIFO 中所有字节都可通过清零 FCR0 位来复位。在 FIFO 方式切换到 TL16C450 方式或从 TL16C450 方式切换到 FIFO 方式时, FIFO 中的数据会自动清零。通

过设置 FCR0=1 可启用对其它 FCR 位的编程。

- 位1: FCR1=1将清零接收器FIFO中所有字节并使计数器复位。但它不清除移位寄存器 (the shiftregister) 的内容。
- 位2: FCR2=1将清零发送器FIFO中所有字节并使计数器复位。但它不清除移位寄存器 (the shiftregister) 的内容。
- 位3: FCR3=1且当FCR0=1时将  $\overline{RXRDY}$  和  $\overline{TXRDY}$  终端从方式0变为方式1。
- 位4和位5: 这两位保留待用。
- 位6和位7: 这两位设置接收器FIFO中断的触发电平, 如表4所示。

表4 接收器FIFO触发电平

BIT		RECEIVER FIFO TRIGGER LEVEL (BYTES)
7	6	
0	0	01
0	1	04
1	0	08
1	1	14

### FIFO 中断方式的工作

在接收器 FIFO 和接收器中断被使能时会出现下列接收器状态:

- 1、在一个字符从移位寄存器传输到接收器 FIFO 时 LSR0 被置位。在 FIFO 为空时, 它被清零。
- 2、IIR = 06 接收器线状态中断比接收的数据有效中断 IIR = 04 有更高的优先级。
- 3、在 FIFO 达到编程触发电平时, 接收数据有效中断被发送至 CPU, 一旦 FIFO 降到已编程的触发电平一下, 接收数据有效中断被清除。
- 4、当 FIFO 达到其触发电平时, 也产生 IIR = 04 (接收数据有效标志)。当 FIFO 掉至编程触发电平以下时, 它被清零。

在接收器 FIFO 和接收器中断被使能时, 接收器 FIFO 出现以下特性超时状态。

- 1、在以下条件达到时会发生一次超时中断:
  - 1) FIFO 中最少有一个字符。
  - 2) 最近一次接收的串行字符的时间长于前面的四个连续字符的时间 (如果有两个停止位被编程, 则第二个停止位包含在此延迟时间内)。
  - 3) 最近的 CPU 读 FIFO 的时间长于前面四个连续字符的时间。在 300 波特和 12 位字符时, FIFO 的超时中断导致从接收字节到发出中断之间有最大 160 ms 的延迟。
- 2、将 RCLK 输入用作时钟信号来计算字符次数 (延迟正比于波特率)。
- 3、没有超时中断发生时, 在 CPU 读接收器 FIFO 之后或接收到一个新字符之后, 超时定时器复位。
- 4、在 CPU 读来自接收器 FIFO 的一个字符时, 超时中断被清除且定时器被复位。

在发送器和发送器 FIFO 中断被使能(FCR0 = 1, IER = 1)时, 如下情况发生则发送器中断将出现:

- 1、当发送器 FIFO 为空时, 发送器保持寄存器 (THR) 中断(IIR = 02)发生。当 THR 被写入或 IIR 被读出时, 该中断被清零。在中断进行时, 可把 1 至 16 个字节写入发送器 FIFO。
- 2、一旦有以下情况出现, 则发送器 FIFO 空指示延迟一个字符时间减去最后停止位时间:

从最近一次 THRE=1 以来, THRE 一直为 1 并且在同一之内发送器 FIFO 中有多于 2 个字节时, 如果中断被使能, 那么在 FCR0 一发生改变之后, 第一个发送器中断便发生。

接收器 FIFO 触发电平和字符超时中断与接收数据有效中断具有相同的优先级; THRE 中断与发送器 FIFO 空中断具有相同的优先级。

### FIFO查询方式工作

在FCR0=1的情况下, 清零IER0、IER1、IER2、IER3或者把所有四个均置为0将使ACE处于FIFO查询工作方式。因为接收器和发送器是分开控制的, 所以接收器和发送器中任何一个或两个均可处于查询工作

方式。在FIFO查询方式中，没有超时条件显示或触发电平会达到。但是接收器和发送器FIFO仍有保持字符的能力。必须读LSR以决定ACE的状态。

### 中断使能寄存器 (IER)

IER独立使能四个串行通道中断源，这些中断源可激活中断(INT0或INT1)输出。清零IER0 – IER3可禁止所有中断。设置IER的适当位可使能中断。禁止中断系统会初始化IIR和有效（高电平）的中断会输出。所有其它系统功能正常运行，包括设置LSR和MSR。IER的内容见表3和以下叙述。

- 位0: IER0, 在FIFO方式中，若被置位，则使能接收数据有效中断和超时中断。
- 位1: IER1, 置位时，使能THRE中断。
- 位2: IER2, 置位时，使能接收器线状态中断。
- 位3: IER3, 置位时，使能调制解调器状态中断。
- 位4-7: IER4-7总是被清零。

### 中断识别寄存器 (IIR)

为了在数据字符传送期间使软件开销降至最低，串行通道将中断划分为四层优先等级。这四个中断优先级见以下叙述：

- 优先级1: 接收器线状态（最高优先级）
- 优先级2: 接收器数据准备就绪或接收器字符超时
- 优先级3: 发送器保持寄存器空
- 优先级4: 调制解调器状态（最低优先级）

中断优先级的指示信息处于悬挂状态，而中断的类型存储于IIR中。IIR表明最高优先级中断悬挂。IIR的内容见表5。

表5 中断控制功能

FIFO MODE ONLY		INTERRUPT IDENTIFICATION REGISTER		INTERRUPT SET AND RESET FUNCTIONS			
BIT 3	BIT 2	BIT 1	BIT 0	PRIORITY LEVEL	INTERRUPT TYPE	INTERRUPT SOURCE	INTERRUPT RESET CONTROL
0	0	0	1	–	None	None	–
0	1	1	0	First	Receiver line status	OE, PE, FE, or BI	LSR read
0	1	0	0	Second	Received data available	Receiver data available or trigger level reached	RBR read until FIFO drops below the trigger level
1	1	0	0	Second	Character time-out indication	No characters have been removed from or input to the receiver FIFO during the last four character times and there is at least one character in it during this time.	RBR read
0	0	1	0	Third	THRE	THRE	IIR read if THRE is the interrupt source or THR write
0	0	0	0	Fourth	Modem status	CTS, DSR, RI, or DCD	MSR read

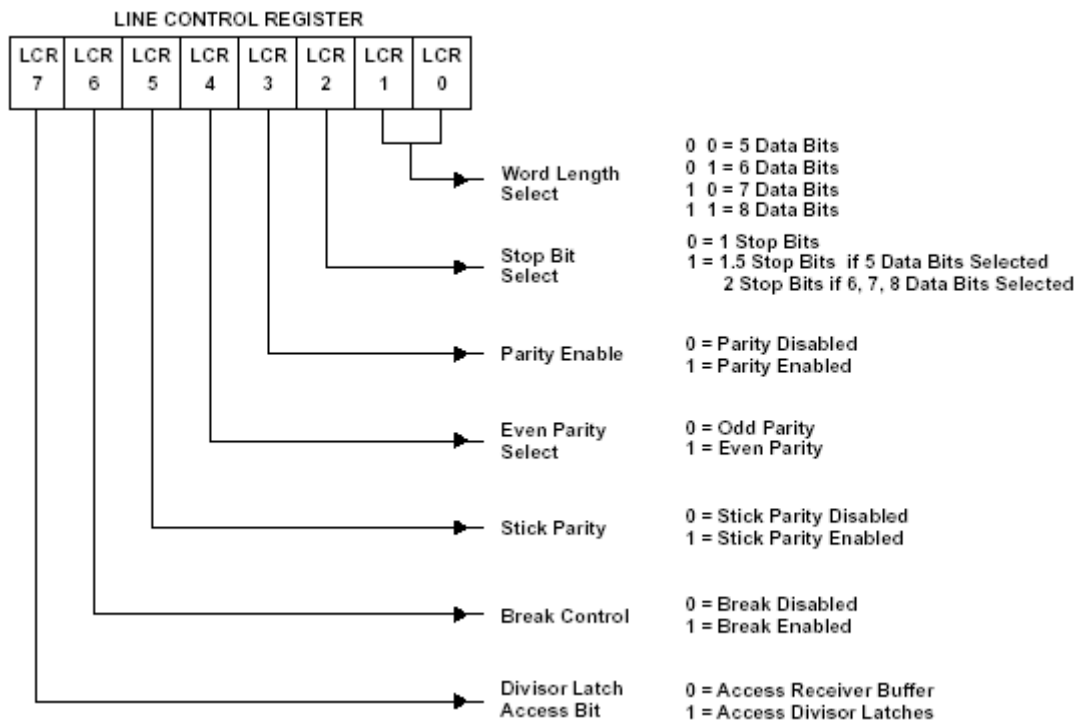
- 位0: IIR0 表明是否有一个中断悬挂。当 IIR0 被清零时，有一个中断悬挂。
- 位1和位2: IIR1和IIR2识别最高优先级的悬挂中断，如表5所示。
- 位3: IIR3在TL16C450方式中总是被清零。在FIFO方式中该位与位2一起被置位且有一个触发改变电平中断悬挂。
- 位4和位5: IIR4和IIR5总是被清零。
- 位6和位7: IIR6和IIR7在FCR0=1时被置位。

### 线控制寄存器 (LCR)

数据字符的格式由 LCR 控制。LCR 可被读出。其内容如下所述，并如图 17 所示。

- 位 0 和位 1: LCR0 和 LCR1 是字长选择位。每个串行字符的位数可如图 17 所示地编程。
- 位 2: LCR2 是停止位选择位。LCR2 规定每个发送字符中停止位的数目，如图 17 所示。接收器总检测一个停止位。
- 位 3: LCR3 是奇偶校验使能位 3。当 LCR3 为高时，最后一个数据字位与停止位之间的奇偶校验位产生并被检验。
- 位 4: LCR4 是偶校验选择位 4。在被使能时，设置该位即选择偶校验。
- 位 5: LCR5 是附着校验位 (the stick parity bit) 5。当奇偶校验位被使能(LCR3=1)时，LCR5=1 会导致发送和接收与 LCR4 的值处于相反状态的奇偶校验位。这迫使奇偶校验位处于已知状态并且使接收器检查该已知状态的奇偶校验位。
- 位 6: LCR6 是间歇控制位 (the break control bit) 6。当 LCR6 被置位时，串行输出端(SOUT1和SOUT0)被迫使处于空白状态 (低)。间歇控制位只作用于串行输出端并不影响发送器逻辑。采用以下序列就不会因为间歇而发送无效字符。  
 步骤1、加载一个0字节以响应发送器保持寄存器空 (THRE) 状态指示。  
 步骤2、设置“间歇”以响应下一个THRE状态指示。  
 步骤3、在发送器空状态信号置为高(TEMT=1)时，等待发送器空闲。然后在恢复正常发送后清除“间歇”。
- 位 7: LCR7 是除数锁存访问位 (DLAB) 位 7。位 7 必须置位以便在一次读或写操作期间访问波特率发生器的除数锁存 DLL 和 DLM。LCR7 必须清零以访问接收器缓冲寄存器、发送器保持寄存器或中断使能寄存器。

图17 线控制寄存器内容



### 行式打印机端口 (LPT)

行式打印机端口包括 TL16C450 的端口功能，但提供了一个硬件可编程延伸方式，该方式由打印机增强方式 (PEMD) 端控制。这种增强是对方向控制位和中断状态位的一种增加。



### 寄存器0 行式打印机数据寄存器 (LPD)

LPD端口既可仅为输出端也可双向端口，这取决于延伸方式端的状态和数据方向控制位。

- 兼容方式 (PEMD为低)。读LPD寄存器可返回写入端口的最后一个数据。写操作立即对PD0-PD7终端输出数据。
- 延伸方式 (PEMD为高)。在方向位被清零以写入时，读操作可返回最后写入LPT数据寄存器的数据，或者在方向位被置位以读取时，读操作返回出现在PD0-PD7上的数据。对LPD寄存器写入会使数据锁存至输出寄存器，但在方向位被清零以写入时，该操作只驱动LPT端口。

表6总结了延伸方式和方向控制位可能的组合。在每种情况中，LPD寄存器的诸位定义如下：

表6 延伸方式和方向控制位的组合

PEMD	DIR	PD0-PD7 FUNCTION
L	X	PC/AT mode - output
H	0	PS/2™ mode - output
H	1	PS/2™ mode - input

### 寄存器1 读行式打印机状态寄存器

行式打印机状态 (LPS) 寄存器为只读寄存器，包含中断和LPT连接器终端的打印机状态。表7 (缺省) 是在打靶机端口断开情况中复位后每位的值。

表7 LPS寄存器各位的描述

BIT	DESCRIPTION	DEFAULT
0	Reserved	1
1	Reserved	1
2	PRINT	1
3	ERR	†
4	SLCT	†
5	PE	†
6	ACK	†
7	BSY	†

† 输出端取决于器件的输入端。

- 位0和位1：这两位保留并总是被置位。
- 位2：该位是打印机中断 ( $\overline{PRINT}$  低电平有效) 状态位。该位在清零时表明打印机以一次ACK握手 (控制寄存器的位4被置位) 响应了前一次的传送。该位在  $\overline{ACK}$  信号发生有效到无效的跳变时被清零；在对状态端口的一次读操作后被置位。
- 位3：该位是对应于  $\overline{ERR}$  输入端的错误 ( $\overline{ERR}$ ，低电平有效) 状态位。
- 位4：该位是对应于SLCT输入端的选择 (SLCT) 状态位。
- 位5：该位是对应于PE输入端的缺纸 (PE) 状态位。
- 位6：该位是对应于  $\overline{ACK}$  输入端的应答 ( $\overline{ACK}$ ，低电平有效) 状态位。
- 位7：该位是对应于BUSY输入端 (高电平有效) 忙碌 ( $\overline{BSY}$ ，低电平有效) 状态位。

### 寄存器2 行式打印机控制 (LPC) 寄存器

LPC寄存器是读/写端口，它控制PD0-PD7的方向并驱动打印机控制线。写操作设置或清除这些位，而读操作恢复上一次对该寄存器写操作的状态。该寄存器中的这些位的描述见表8。

表8 LPC寄存器各位的描述

BIT	DESCRIPTION
0	STB
1	AFD
2	INIT
3	SLIN
4	INT2 EN
5	DIR
6	Reserved (0)
7	Reserved (0)

- 位0: 该位是打印机选通 (STB) 控制位。当该位被置位时, 在LPT接口上产生  $\overline{STB}$  信号。在STB被清零时, 该信号被忽略。
- 位1: 该位为自动送纸(AFD)控制位。当该位被置位时, 在LPT接口上产生AFD信号。在AFD被清零时, 该信号被忽略。
- 位2: 该位是初始化打印机 ( $\overline{INIT}$ ) 控制位。在它被置位时,  $\overline{INIT}$  信号被忽略。当  $\overline{INIT}$  被清除时, 在LPT接口上产生  $\overline{INIT}$  信号。
- 位3: 该位是选择输入 (SLIN) 控制位。当该位被置位时, 在LPT接口上产生SLCT信号。在SLIN被清零时, 该信号被忽略。
- 位4: 该位为中断请求使能 (INT2EN) 控制位。在被置位时, 只要  $\overline{ACK}$  信号被释放, 该位使能由LPT端口发送的中断, 该位被清零时, INT2EN禁止中断并将INT2置为三态。
- 位5: 该位是方向 (DIR) 控制位 (只在PEMD为高时使用)。当该位被置位, LPD端口的输出缓冲器被禁止, 允许从延伸源驱动的数据从LPD端口读出。当DIR被清零时, LPD端口处于输出方式。

### 线状态寄存器 (LSR)

LSR是一个单独寄存器可提供状态指示。LSR总结于表9并叙述如下:

表9 线状态寄存器位

LSR BITS	1	0
LSR0 data ready (DR)	Ready	Not ready
LSR1 overrun error (OE)	Error	No error
LSR2 parity error (PE)	Error	No error
LSR3 framing error (FE)	Error	No error
LSR4 break interrupt (BI)	Break	No break
LSR5 THRE	Empty	Not empty
LSR6 transmitter empty (TEMT)	Empty	Not empty
LSR7 receiver FIFO error	Error in FIFO	No error in FIFO

† LSR 仅用于出厂测试。只能当作可由应用软件只读的寄存器。

- 位0: LSR0是数据准备就绪 (DR) 位。在一个字符被接收到并被传输到接收器缓冲寄存器或FIFO中时, DR被设置为高电平。CPU对接收器缓冲寄存器或FIFO中的数据读操作将使LSR0被清零。
- 位1: SR1是溢出错 (OE) 位。OE表明在下一个字符被传送到接收器缓冲寄存器中覆盖前一个字符之前在接收器缓冲寄存器中的数据没有被CPU读取。只要CPU读取LSR的内容, 则OE指示位被清零。在FIFO模式中, FIFO已满但又收到下一个完整的字符时即发生OE。在溢出发生后由CPU对LSR的第一次读可检测到OE。移位寄存器中的字符不传送到FIFO中而是被覆盖。
- 位2: LSR2是奇偶校验错误 (PE) 位。PE表明接收到的数据字符中由LCR3和LCR4选择的奇偶校验位不正确。在检测到一个奇偶错误时, PE位被置位; 在CPU读LSR的内容时, 该位被清零。在FIFO方式中, 奇偶校验错误与FIFO中的特殊字符有关。在字符处于FIFO顶端时, LSR2反映该错误。
- 位3: LSR3是帧错误 (the framing error) 位 (FE)。FE表明接收到的字符没有一个有效的停止位。当跟随在最后一个数据位或奇偶校验位之后的停止位被检测到为0位 (空白电平) 时, LSR3被置位。在CPU读LSR的内容时, FE指示位被清零。在FIFO方式中, 帧错误与FIFO中的特殊字符相关。在字符位于FIFO顶端时LSR3反映该错误。
- 位4: LSR4是间歇中断 (the break interrupt) 位 (BI)。在接收到的数据输入保持空白 (清零) 状态的时间长于一个完整字 (开始位+数据位+奇偶校验位+停止位) 的传输时间时, BI被置位。在CPU读LSR的内容时, BI指示位被清零。在FIFO方式中, 该位与FIFO中的特殊字符相关。当间歇字符处于FIFO顶端时LSR2反映BI。在对LSR的第一次读期间且相关字符处于FIFO的顶端时, 该错误可被CPU检测到。当BI产生时, 只有一个0字符被加载到FIFO中。LSR1-LSR4是错误条件, 在检测到任何这种条件时产

生一个接收器线状态中断（中断识别寄存器中的第一优先级中断）。该中断通过在中断使能寄存器中设置IER2=1来使能。

- 位5: LSR5是THRE位。THRE表明ACE已准备好接收一个新字符来传输。当发送器保持寄存器（THR）发送一个字符至发送器移位寄存器（TSR）时THRE位被置位。通过CPU加载发送器保持寄存器可清除LSR5。CPU读LSR不会复位LSR5。在FIFO方式中，当发送器FIFO为空时，该位被置位。在对发送器FIFO写入一个字节时该位被清零。在THRE被IER1使能时，THRE在IIR中触发一个优先级3的中断。在THRE是IIR中显示的中断源时，INTRPT被一次对IIR的读操作清零。
- 位6: LSR6是发送器空（TEMT）位。在THR和TSR均为空时，TEMT被置位。在一个字符被加载至THR时LSR6被清零并保持为低电平直到该字符从SOUT传送出去。CPU读LSR不会清零TEMT。在FIFO方式中，在发送器FIFO和移位寄存都为空时，该位被置位。
- 位7: LSR7是接收器FIFO错误位。在TL16C450方式中，LSR7位总是清零。在FIFO方式中，在FIFO中至少出现以下一种数据错误时，该位被置位：PE、FE或BE指示。如果后来在FIFO中没有错误，则当CPU对LSR进行读时，该位被清零。

### 主机复位

在上电后，ACE的  $\overline{RESET}$  输入引脚应保持为低1毫秒以复位ACE电路至空闲方式直到初始化。

$\overline{RESET}$  上的低电平会导致以下情况：

- 1、它初始化发送器和接收器的时钟计数器。
- 2、它清零LSR，已被置位的TEMT和THRE除外。MCR也被清零。所有的离散线、存储器单元和与这些寄存器位相关的混合逻辑也都被清零或关闭。LCR、除数锁存、RBR和发送器缓冲寄存器不受影响。

随着复位条件的撤消（ $\overline{RESET}$  为高），ACE保持空闲方式直到被编程。ACE的一次硬件复位设置LSR中的THRE和TEMT状态位。在中断被连续使能时，会因THRE发生一次中断。复位对ACE的影响归纳于表10。

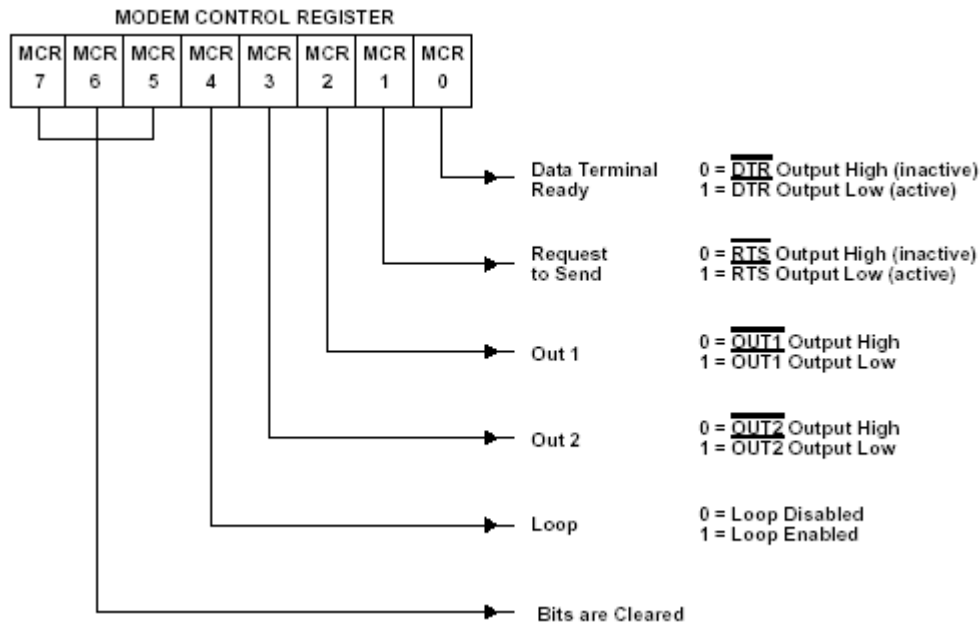
表10  $\overline{RESET}$  对寄存器和信号的影响

REGISTER/SIGNAL	RESET CONTROL	RESET
Interrupt enable register	Reset	All bits cleared (0-3 forced and 4-7 permanent)
Interrupt identification register	Reset	Bit 0 is set, bits 1, 2, 3, 6, and 7 cleared Bits 4-5 are permanently cleared
Line control register	Reset	All bits cleared
Modem control register	Reset	All bits cleared
FIFO control register	Reset	All bits cleared
Line status register	Reset	All bits cleared, except bits 5 and 6 are set
Modem status register	Reset	Bits 0-3 cleared, bits 4-7 input signal
SOUT	Reset	High
Interrupt (receiver errs)	Read LSR/Reset	Cleared
Interrupt (receiver data ready)	Read RBR/Reset	Cleared
Interrupt (THRE)	Read IIR/Write THR/Reset	Cleared
Interrupt (modem status changes)	Read MSR/Reset	Cleared
$\overline{OUT2}$	Reset	High
$\overline{RTS}$	Reset	High
$\overline{DTR}$	Reset	High
$\overline{OUT1}$	Reset	High

### 调制解调器控制寄存器 (MCR)

MCR控制与调制解调器或数据组的接口，如图18所示。MCR可被写入或读出。 $\overline{DTR}$  和  $\overline{RTS}$  输出端由该寄存器中它们相应的控制位直接控制。高电平输入端在输出终端上产生一次低电平（真）。MCR位0、1、2、3、4如下所示：

图18 调制解调器控制寄存器内容



- 位0: 在MCR0被置位时， $\overline{DTR}$  输出被迫使为低。在MCR0被清零时， $\overline{DTR}$  输出被迫使为高。串行通道的 $\overline{DTR}$  输出可被置入反相线驱动器以保持调制解调器或数据组的输入极性正确。
- 位1: 在MCR1被置位时， $\overline{RTS}$  输出被迫使为低。在MCR1被清零时， $\overline{RTS}$  输出被迫使为高。串行通道的 $\overline{RTS}$  输出可被置入反相线驱动器以保持调制解调器或数据组的输入极性正确。
- 位2: 当MCR2被置位时， $\overline{OUT1}$  被迫使为低。
- 位3: 当MCR3被置位时， $\overline{OUT2}$  输出被迫使为低。
- 位4: MCR4提供用于对通道诊断测试的局部环路返回特性（a local loopback feature）。当MCR4被置位时，串行输出（SOUT）被设置为标记（高）状态，且SIN被断开。TSR的输出被环路返回至接收器移位寄存器的输入。四个调制解调器控制输入端（ $\overline{CTS}$ 、 $\overline{DSR}$ 、 $\overline{DCD}$  和  $\overline{RI}$ ）被断开。调制解调器控制输出端（ $\overline{DTR}$ 、 $\overline{RTS}$ 、 $\overline{OUT1}$  和  $\overline{OUT2}$ ）被内部连接到调制解调器的四个控制输入端。在TL16C552中，调制解调器控制输出端被迫使处于无效状态（高）。在诊断方式中，传送出的数据立即被接收。这允许处理器校验选定串行通道的发送和接收数据的路径。中断控制完全可操作。但是中断是通过控制MCR的低四位在内部产生的。中断不由这四位代表的外部终端的活动产生。
- 位5-7: 这三个位（MCR5-MCR7）为永久性清零。

### 调制解调器状态寄存器 (MSR)

MSR为CPU提供来自调制解调器或外围器件的调制解调器输入线的状态信息。MSR允许CPU通过访问ACE的数据总线接口对串行通道的调制解调器输入信号进行读操作，此外CPU还可读MSR的四位的当前状态，这四位表明自从上次对MSR读以后调制解调器输入线的状态是否改变。在调制解调器的一个控制输入端改变状态时 $\Delta$ 状态位被置位，它在CPU读MSR时被清零。

调制解调器的输入线是 $\overline{CTS}$ 、 $\overline{DSR}$ 、 $\overline{RI}$  和  $\overline{DCD}$ 。MSR4-MSE7是这些线的状态指示。状态位=1表

明输入为低。状态位=0表明输入为高。当中断使能寄存器（IER3）中的调制解调器状态中断被使能时，只要MSR0-MSR3被置位就会发生一次中断。MSR是一具优先级4的中断。MSR的内容如表11所述。

表11 调制解调器状态寄存器的各位

MSR BIT	MNEMONIC	DESCRIPTION
MSR0	$\Delta$ CTS	Delta clear to send
MSR1	$\Delta$ DSR	Delta data set ready
MSR2	TERI	Trailing edge of ring indicator
MSR3	$\Delta$ DCD	Delta data carrier detect
MSR4	CTS	Clear to send
MSR5	DSR	Data set ready
MSR6	RI	Ring indicator
MSR7	DCD	Data carrier detect

- 位0: MSR0是 $\Delta$ 清零以发送位（ $\Delta$ CTS）。 $\Delta$ CTS表明串行通道的 $\overline{CTS}$ 输入自从上一次被CPU读以后即改变了状态。
- 位1: MSR1是 $\Delta$ 数据组准备就绪位（ $\Delta$ DSR）。 $\Delta$ DSR表明串行通道的 $\overline{DSR}$ 输入自从上一次被CPU读以后即改变了状态。
- 位2: MSR2是振铃指示位（TERI）的后沿。TERI表明串行通道的 $\overline{RI}$ 输入端自从上次被CPU读以后其状态发生了从低到高的改变。 $\overline{RI}$ 上从高到低的跳变不会激活TERI。
- 位3: MSR3是 $\Delta$ 数据载波检测位（ $\Delta$ DCD）。 $\Delta$ DCD表明串行通道的 $\overline{DCD}$ 输入自从上一次被CPU读以后即改变了状态。
- 位4: MSR4是清零以发送位（CTS）。CTS位是从调制解调器指示至串行通道的 $\overline{CTS}$ 输入端的补充，它表示调制解调器已准备好从SOUT接收数据。当串行通道处于环路方式(MCR4 = 1)时，MSR4反映MCR中RTS的值。
- 位5: MSR5是数据组准备就绪位（DSR）。DSR是从调制解调器到串行通道的 $\overline{DSR}$ 输入端的补充，它表示调制解调器已准备好为串行通道接收器电路提供已接收到的数据。当串行通道处于环路方式(MCR4=1)时，MSR5反映MCR中DTR的值。
- 位6: MSR6是振铃指示位（RI）。RI是 $\overline{RI}$ 输入端的补充。当通道处于环路方式(MCR4=1)时，MSR6反映MCR中 $\overline{OUT1}$ 的值。
- 位7: MSR7是数据载波检测位（DCD）。DCD指明数据载波检测（DCD）输入的状态。当通道处于环路方式(MCR4=1)时，MSR7反映MCR中 $\overline{OUT2}$ 的值。

对MSR寄存器读会清零 $\Delta$ 调制解调器状态指示位但不会影响其它状态位。对LSR和MSR而言，在状态寄存器读操作期间禁止设置状态位。在一次读 $\overline{IOR}$ 的操作期间当产生一个状态条件时，直到读操作的后沿才会设置状态位。如果状态位在一次读操作期间被设定，相同的状态条件发生，则在读操作的后沿该状态位不会被再次设置而是会被清零。在环路返回方式中，当调制解调器的状态中断被使能时， $\overline{CTS}$ 、 $\overline{DSR}$ 、 $\overline{RI}$ 和 $\overline{DCD}$ 输入端被忽略。但是，对MCR3-MCR0的写入仍会产生一次调制解调器状态中断。应用软件不应写入MSR中。

### 并行端口寄存器

TL16C552并行端口可将器件接到Centronics型打印机接口。在片选端2（ $\overline{CS2}$ ）为低时，并行端口被选定。表12列出了与此并行端口相关的寄存器。如表所示寄存器的读或写功能由读（ $\overline{IOR}$ ）或写（ $\overline{IOW}$ ）终端的状态控制。读数据寄存器允许微处理器读并行总线上的信息。读状态寄存器允许微处理器通过读6个最高有效位来知道打印机的状态。状态位包括打印机忙碌（ $\overline{BSY}$ ）位、有握手功能的确认（ $\overline{ACK}$ ）位、



缺纸 (PE) 位、打印机选择 ( $\overline{SLCT}$ ) 位、错误 ( $\overline{ERR}$ ) 位和打印机中断 ( $\overline{PRINT}$ ) 位。读控制寄存器允许读取控制线的状态。写控制寄存器设置控制线的状态。这些状态包括方向 (DIR)、中断使能 (INT2 EN)、选定 ( $\overline{SLIN}$ )、打印机初始化 ( $\overline{INIT}$ )、自动喂纸 ( $\overline{AFD}$ ) 和选通 ( $\overline{STB}$ )，选通知打印机当前有一个有效字节在并行总线上。写数据寄存器允许微处理器写一个字节至并行总线。器件的并行端口与用于IBM串并行适配器的并行端口完全兼容。

表12 并行端口寄存器

REGISTER	REGISTER BITS							
	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
Read Data	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
Read Status	$\overline{BSY}$	$\overline{ACK}$	PE	$\overline{SLCT}$	$\overline{ERR}$	$\overline{PRINT}$	1	1
Read Control	0	0	DIR	INT2 EN	$\overline{SLIN}$	$\overline{INIT}$	$\overline{AFD}$	$\overline{STB}$
Write Data	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
Write Control	0	0	DIR	INT2 EN	$\overline{SLIN}$	$\overline{INIT}$	$\overline{AFD}$	$\overline{STB}$

表13 并行端口寄存器选择

CONTROL TERMINALS					REGISTER SELECTED
$\overline{IOR}$	$\overline{IOW}$	CS2	A1	A0	
L	H	L	L	L	Read data
L	H	L	L	H	Read status
L	H	L	H	L	Read control
L	H	L	H	H	Invalid
H	L	L	L	L	Write data
H	L	L	L	H	Invalid
H	L	L	H	L	Write control
H	L	L	H	H	Invalid

### 可编程波特率发生器

ACE串行通道包含一个可编程的波特率发生器，它以从1至 $(2^{16}-1)$ 间的除数对时钟（直流到8 MHz）进行分频。波特率发生器输出频率为16倍（ $16\times$ ）数据率。除数# = 时钟 ÷ (波特率 $\times 16$ )，参见该文档中的RCLK。16位二进制格式的除数存储在两个8位除数锁存寄存器中。在初始化时，这两个除数锁存寄存器必须被加载。在加载任一除数锁存寄存器时，一个16位的波特计数器立即被加载。这样可以防止在初次加载时有过长的计数。波特率发生器可以采用三种不同频率中的一种来提供标准波特率。这三种频率是1.8432 MHz、3.072 MHz和8 MHz。采用这些频率，可提供从50b/s到512Kb/s的标准位率。表14、15和16阐明了使用这三种频率获得标准位率所需的除数。

表14 使用1.8432 MHz晶体时的波特率

BAUD RATE DESIRED	DIVISOR (N) USED TO GENERATE 16 X CLOCK	PERCENT ERROR DIFFERENCE BETWEEN DESIRED AND ACTUAL
50	2304	-
75	1536	-
110	1047	0.026
134.5	857	0.058
150	768	-
300	384	-
600	192	-
1200	96	-
1800	64	-
2000	58	0.690
2400	48	-
3600	32	-
4800	24	-
7200	16	-
9600	12	-
19200	6	-
38400	3	-
56000	2	2.860

表15 使用3.072 MHz晶体时的波特率

BAUD RATE DESIRED	DIVISOR (N) USED TO GENERATE 16 X CLOCK	PERCENT ERROR DIFFERENCE BETWEEN DESIRED AND ACTUAL
50	3840	-
75	2560	-
110	1745	0.026
134.5	1428	0.034
150	1280	-
300	640	-
600	320	-
1200	160	-
1800	107	0.312
2000	96	-
2400	80	-
3600	53	0.628
4800	40	-
7200	27	1.230
9600	20	-
19200	10	-
38400	5	-

表16 使用8.192MHz晶体时的波特率

BAUD RATE DESIRED	DIVISOR (N) USED TO GENERATE 16 X CLOCK	PERCENT ERROR DIFFERENCE BETWEEN DESIRED AND ACTUAL
50	1000	-
75	6667	0.005
110	4545	0.010
134.5	3717	0.013
150	3333	0.010
300	1667	0.020
600	833	0.040
1200	417	0.080
1800	277	0.080
2000	250	-
2400	208	0.160
3600	139	0.080
4800	104	0.160
7200	69	0.644
9600	52	0.160
19200	26	0.160
38400	13	0.160
56000	9	0.790
128000	4	2.344
256000	2	2.344
512000	1	2.400

### 编程

ACE的串行通道被控制寄存器编程：LCR、IER、DLL、DLM、MCR和FCR。这些控制字定义字符长度、停止位个数、奇偶校验、波特率和调制解调器接口。控制寄存器可以以任何顺序写入，但IER应最后写入因为它控制着中断使能。一旦串行通道被编程并开始工作，这些寄存器可在任何时候被更新，ACE串行通道不发送或接收数据。

### 接收器

串行异步数据被输入SIN端。ACE不断搜寻空闲状态中的从高到低的跳变。当检测到这种跳变时计数器被清零。并对16×时钟至开始位的中心7 1/2进行计数。在SIN仍为低时，开始位有效。检验开始位可防止接收器由于SIN输入端上的低噪声尖峰脉冲而接收一个错误的字符。LCR决定一个字符中数据位的数目[LCR0, LCR1]。在用奇偶校验时，需要LCR3和奇偶校验LCR4的极性。LSR提供接收器的状态。在接

收到一个完整的字符（包括奇偶校验位和停止位）后，LSR0中的数据接收指示位被置位。CPU对RBR的读操作会清零LSR0。如果在一个新字符从RSR传送至RBR之前没有读取该字符，则LSR1中的OE状态指示位被置位。当PE发生时，在LSR2中的PE位被置位。如果没有检测到一个停止位，则在LSR3中的FE指示位被置位。

当输入SIN的数据为均匀的方波时，并假设误差范围为46.875%时，数据单元的中心在实际中心的 $\pm 3.125\%$ 以内。在一个 $16\times$ 时钟周期被检测到之前开始位可以开始工作。

### 暂存寄存器

暂存寄存器是一个8位读/写寄存器，它不影响ACE的任何通道。可暂时保存编程器的数据。

**声明：**本资料仅供参考。如有不同之处，请以相应英文资料为准。