

TLC1542C/I/M/Q, TLC1543C/I/Q

**带串行控制和 11 个输入端的 10 位模数转换器**

**一、概述**

**1.1 一般说明**

TLC1542 和 TLC1543 是 CMOS、10 位开关电容逐次逼近模数转换器。这些器件有三个输入端和一个 3 态输出端[片选 (CS) 输入/输出时钟 (I/O CLOCK) 地址输入 (ADDRESS) 和数据输出 (DATA OUT)], 这样就与主处理器的串行口有一个直接的 4 线接口。这些器件可以从主机高速传输数据。

除了高速的转换器和通用的控制能力外, 这些器件有一个片内的 14 通道多路器可以选择 11 个输入中的任何一个或 3 个内部自测试 (self-test) 电压中的一个。采样-保持是自动的。在转换结束时, “转换结束” (EOC) 输出端变高以指示转换的完成。这些器件中的转换器结合外部输入的差分高阻抗的基准电压, 具有简化比率转换、刻度以及模拟电路与逻辑电路和电源噪声隔离的特点。开关电容的设计可以使在整个温度范围内有较小的转换误差。

可选项

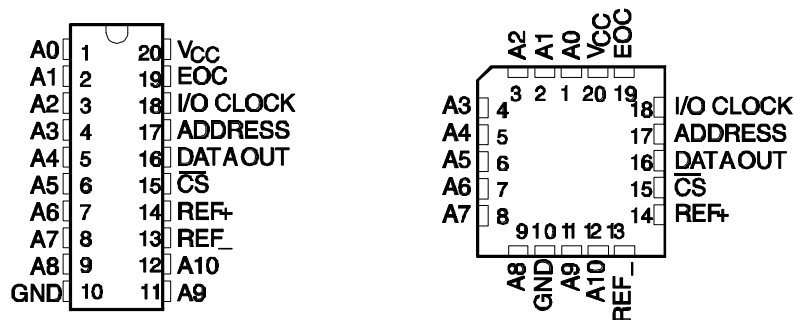
T <sub>A</sub>	封 装					
	小型 (DB)	小型 (DW)	芯片插座 (FN)	塑料 DIP (N)	芯片插座 (FK)	陶瓷 DIP (J)
0 至 70		TLC1542CDW	TLC1542CFN	TLC1542CN		
	TLC1543CDB	TLC1543CDW	TLC1543CFN	TLC1543CN		
-40 至 85		TLC1542IDW	TLC1542IFN	TLC1542IN		
		TLC1543IDW	TLC1543IFN	TLC1543IN		
-40 至 125		TLC1542QDW	TLC1542QFN	TLC1542QN		
		TLC1543QDW	TLC1543QFN	TLC1543QN		
-5 至 125					TLC1542MFK	TLC1542MJ

**1.2 特点**

- 10 位分辨率 A/D 转换器
- 11 个模拟输入通道
- 3 路内置自测试方式
- 固有的采样与保持
- 总的不可调整误差  $\pm 1\text{LSB Max}$
- 片内系统时钟
- 转换结束 (End-of-Conversion, EOC) 输出
- 采用 CMOS 技术

**1.3 引脚排列**

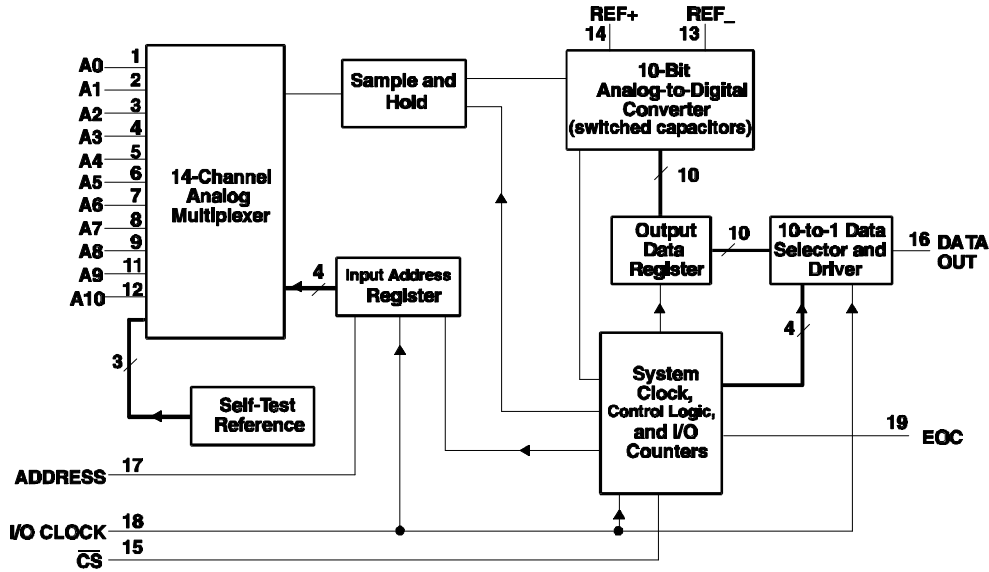
如下图所示。



## 1.4 引脚说明

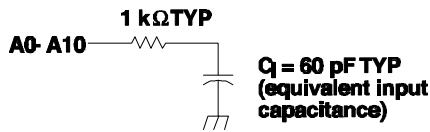
引脚号	名称	I/O	说明
1 ~ 9 , 11 , 12	A0 ~ A10	I	模拟输入端。这 11 个模拟信号输入由内部多路器选择。驱动源的阻抗必须小于或等于 1k
15	$\overline{CS}$	I	片选端。在 $\overline{CS}$ 端的一个由高至低变化将复位内部计数器并控制和使能 DATA OUT、ADDRESS 和 I/O CLOCK。一个由低至高的变化将在一个设置时间内禁止 ADDRESS 和 I/O CLOCK
17	ADDRESS	I	串行数据输入端。一个 4 位的串行地址选择下一个即将被转换的所需的模拟输入或测试电压。串行数据以 MSB 为前导并在 I/O CLOCK 的前 4 个上升沿被移入。在 4 个地址位被读入地址寄存器后，这个输入端对后续的信号无效
16	DATA OUT	O	用于 A/D 转换结果输出的 3 态串行输出端。DATA OUT 在 $\overline{CS}$ 为高时处于高阻抗状态，而当 $\overline{CS}$ 为低时处于激活状态。 $\overline{CS}$ 一旦有效，按照前一次转换结果的 MSB 值将 DATA OUT 从高阻抗状态转变成相应的逻辑电平。I/O CLOCK 的下一个下降沿将根据 MSB 的下一位将 DATA OUT 驱动成相应的逻辑电平，剩下的各位依次移出，而 LSB 在 I/O CLOCK 的第九个下降沿出现。在 I/O CLOCK 的第十个下降沿，DATA OUT 端被驱动为逻辑低电平，因此多于十个时钟时串行接口传送的是一些“零”
19	EOC	O	转换结束端。在第十个 I/O CLOCK 该输出端从逻辑高电平变为低电平并保持低直到转换完成及数据准备传输
10	GND		地。GND 是内部电路的地回路端。除另有说明外，所有电压测量都相对于 GND
18	I/O CLOCK	I	输入/输出时钟端。I/O CLOCK 接收串行输入并完成以下四个功能： 1. 在 I/O CLOCK 的前 4 个上升沿，它将 4 个输入地址位键入地址寄存器。在第 4 个上升沿之后多路器地址有效 2. 在 I/O CLOCK 的第 4 个下降沿，在选定的多路器输入端上的模拟输入电压开始向电容器充电并继续到 I/O CLOCK 的第十个下降沿 3. 它将前一次转换的数据的其余 9 位移出 DATA OUT 端 4. 在 I/O CLOCK 的第十个下降沿它将转换的控制信号传送到内部的状态控制器
14	REF+	I	正基准电压端。基准电压的正端（通常为 Vcc）被加到 REF+。最大的输入电压范围取决于加于本端与加于 REF_ 端的电压差
13	REF_	I	负基准电压端。基准电压的低端（通常为地）被加到 REF_
20	Vcc		正电源端

1.5 功能方框图

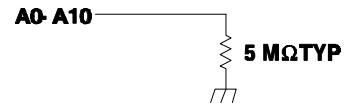


1.6 典型等效输入

采样方式时的输入电路阻抗



保持方式时的输入电路阻抗



二、特性

2.1 工作温度范围内（自然通风）的极限参数（除非另有说明）

电源电压范围, $V_{CC}$ (见注释 1)	0.5V 至 6.5V
输入电压范围, $V_I$	0.3V 至 $V_{CC}+0.3V$
输出电压范围, $V_O$	0.3V 至 $V_{CC}+0.3V$
正基准电压, $V_{ref+}$	$V_{CC}+0.1V$
负基准电压, $V_{ref-}$	0.1V
峰值输入电流, $I_I$ (任何输入端)	$\pm 20mA$
峰值总输入电流, $I_I$ (所有输入端)	$\pm 30mA$
工作温度范围 (自然通风), $T_A$ : TLC1542C, TLC1543C	0 至 70
TLC1542I, TLC1543I	0 至 80
TLC1542Q, TLC1543Q	0 至 125
TLC1542M	-5 至 125
储存温度范围, $T_{stg}$	-5 至 150
引线温度, 离外壳 1.6mm (1/16 英寸), 10 秒钟	260

强度超出所列的极限参数可能导致器件的永久性损坏。这些仅仅是极限参数,并不意味着在极限参数条件下或在任何其它超出推荐工作条件中所示参数的情况下器件能有效地工作。延长在极限参数条件下的工作时间会影响器件的可靠性。

注释 1: 所有电压值都相对于 GND 端,  $REF_-$  与 GND 连接在一起 (除非另有说明)。

2.2 推荐工作条件

	最小	典型	最大	单位
电源电压, $V_{CC}$	4.5	5	5.5	V
正基准电压, $V_{ref+}$ (见注 2)		$V_{CC}$		V
负基准电压, $V_{ref-}$ (见注 2)		0		V
差分基准电压, $V_{ref+} - V_{ref-}$ (见注 2)	2.5	$V_{CC}$	$V_{CC}+0.2$	V

模拟输入电压 (见注 2)	0	V <sub>CC</sub>	V
高电平控制输入电压, V <sub>IH</sub>	V <sub>CC</sub> = 4.5V 至 5.5V	2	V
低电平控制输入电压, V <sub>IL</sub>	V <sub>CC</sub> = 4.5V 至 5.5V	0.8	V
建立时间, I/O CLOCK 上跳之前在数据输入端地址位, t <sub>su(A)</sub>	100		ns
保持时间, I/O CLOCK 上跳之后地址位, t <sub>h(A)</sub>	0		ns
保持时间, 最后 1 个 I/O CLOCK 下跳之后 CS 为低, t <sub>h(cs)</sub>	0		ns
建立时间, 在用时钟同步输入第 1 个地址位之前 CS 为低, t <sub>su(cs)</sub> (见注 3)	1.425		μs
I/O CLOCK 时钟频率, f <sub>clock(I/O)</sub> (见注 4)	0	2.1	MHz
I/O CLOCK 为高时的脉冲宽度, t <sub>WH(I/O)</sub>	190		ns
I/O CLOCK 为低时的脉冲宽度, t <sub>WL(I/O)</sub>	190		ns
I/O CLOCK 跳变时间, t <sub>t(I/O)</sub> (见注 5 和图 6)		1	μs
ADDRESS 和 CS 跳变时间, t <sub>t(CS)</sub>		10	μs
工作温度 (自然通风), T <sub>A</sub>	TLC1542C, TLC1543C	0	70
	TLC1542I, TLC1543I	0	85
	TLC1542Q, TLC1543Q	0	125
	TLC1542M	-5	125

注释: 2. 大于加到 REF+端电压的模拟输入电压转换为全 1 ( 1111111111 ), 小于加到 REF-端电压的输入电压转换为全 0 ( 0000000000 )。

- 为了减小 CS 输入端的噪声引起的误差, 内部电路在 CS 下降沿后响应控制输入信号之前要等待一个设置时间。在最小的 CS 设置时间消逝之前还不可能输入地址。
- 对 11 至 16 位的转换, 在 I/O CLOCK 的第 10 个下降沿 ( 2V ) 之后, 在 9.5 μs 之内至少必须发生一个 I/O CLOCK 的上升沿 ( 2V )。
- 这是时钟输入信号从 V<sub>IHmin</sub> 降至 V<sub>ILmax</sub> 或从 V<sub>ILmax</sub> 升到 V<sub>IHmin</sub> 所需的时间。在正常室温附近, 对于远程数据采集应用 ( 在这种应用中传感器和 A/D 转换器离开控制微处理器数英尺 ), 器件在输入时钟跳变时间慢至 1 μs 的情况下工作。

2.3 在推荐工作温度范围内 ( 自然通风 ) 的电特性, V<sub>CC</sub>=V<sub>ref+</sub>=4.5V 至 5.5V, f<sub>clock(I/O)</sub>=2.1MHz ( 除非另有说明 )

PARAMETER	TEST CONDITIONS	MIN	TYP †	MAX	UNIT
V <sub>OH</sub> High-level output voltage	V <sub>CC</sub> = 4.5 V, I <sub>OH</sub> = -1.6 mA	2.4			V
	V <sub>CC</sub> = 4.5 V to 5.5 V, I <sub>OH</sub> = -20μA	V <sub>CC</sub> - 0.1			
V <sub>OL</sub> Low-level output voltage	V <sub>CC</sub> = 4.5 V, I <sub>OL</sub> = 1.6 mA			0.4	V
	V <sub>CC</sub> = 4.5 V to 5.5 V, I <sub>OL</sub> = 20μA			0.1	
I <sub>OZ</sub> Off-state (high-impedance-state) output current	V <sub>O</sub> = V <sub>CC</sub> , CS at V <sub>CC</sub>			10	μA
	V <sub>O</sub> = 0, CS at V <sub>CC</sub>			-10	
I <sub>IH</sub> High-level input current	V <sub>I</sub> = V <sub>CC</sub>		0.005	2.5	μA
I <sub>IL</sub> Low-level input current	V <sub>I</sub> = 0		-0.005	-2.5	μA
I <sub>CC</sub> Operating supply current	CS at 0 V		0.8	2.5	mA
Selected channel leakage current TLC1542/TLC1543 C, I, or Q	Selected channel at V <sub>CC</sub> , Unselected channel at 0 V			1	μA
	Selected channel at 0 V, Unselected channel at V <sub>CC</sub>			-1	
Selected channel leakage current TLC1542M	Selected channel at V <sub>CC</sub> , Unselected channel at 0 V, T <sub>A</sub> = 25°C			1	μA
	Selected channel at 0 V, Unselected channel at V <sub>CC</sub> , T <sub>A</sub> = 25°C			-1	
	Selected channel at V <sub>CC</sub> , Unselected channel at 0 V			2.5	
	Selected channel at 0 V, Unselected channel at V <sub>CC</sub>			-2.5	
Maximum static analog reference current into REF+	V <sub>ref+</sub> = V <sub>CC</sub> , V <sub>ref-</sub> = GND			10	μA
C <sub>i</sub> Input capacitance	Analog inputs		7		pF
	Control inputs		5		

† 所有典型值是 V<sub>CC</sub>=5V, T<sub>A</sub>=25 °C 时的数据

2.4 在推荐工作温度范围内（自然通风）的工作特性， $V_{CC}=V_{REF+}=4.5V$  至  $5.5V$ ， $f_{CLOCK(I/O)}=2.1MHz$

		TEST CONDITIONS	MIN	TYP <sup>+</sup>	MAX	UNIT
E <sub>L</sub>	Linearity error (see Note 6)	TLC1542C, I, or Q			±0.5	LSB
		TLC1543C, I, or Q			±1	LSB
		TLC1542M			±1	LSB
E <sub>ZS</sub>	Zero-scale error (see Note 7)	TLC1542C, I, or Q	See Note 2		±0.5	LSB
		TLC1543C, I, or Q	See Note 2		±1	LSB
		TLC1542M	See Note 2		±1	LSB
E <sub>FS</sub>	Full-scale error (see Note 7)	TLC1542C, I, or Q	See Note 2		±0.5	LSB
		TLC1543C, I, or Q	See Note 2		±1	LSB
		TLC1542M	See Note 2		±1	LSB
Total unadjusted error (see Note 8)		TLC1542C, I, or Q			±1	LSB
		TLC1543C, I, or Q			±1	LSB
		TLC1542M			±1	LSB
Self-test output code (see Table 3 and Note 9)		ADDRESS = 1011		512		
		ADDRESS = 1001		0		
		ADDRESS = 1101		1023		
t <sub>conv</sub>	Conversion time	See timing diagrams			21	μs
t <sub>c</sub>	total cycle time (access, sample, and conversion)	See timing diagrams and Note 10			21 +10 I/O CLOCK periods	μs
t <sub>acq</sub>	Channel acquisition time (sample)	See timing diagrams and Note 10			6	I/O CLOCK periods
t <sub>v</sub>	Valid time, DATA OUT remains valid after I/O CLOCK↓	See Figure 6	10			ns
t <sub>d(I/O-DATA)</sub>	Delay time, I/O CLOCK↓ to DATA OUT valid	See Figure 6			240	ns
t <sub>d(I/O-EOC)</sub>	Delay time, tenth I/O CLOCK↓ to EOC↓	See Figure 7		70	240	ns
t <sub>d(EOC-DATA)</sub>	Delay time, EOC↑ to DATA OUT (MSB)	See Figure 8			100	ns

		TEST CONDITIONS	MIN	TYP <sup>+</sup>	MAX	UNIT
t <sub>PZH</sub> , t <sub>PZL</sub>	Enable time, CS↓ to DATA OUT (MSB driven)	See Figure 3			1.3	μs
t <sub>PHZ</sub> , t <sub>PLZ</sub>	Disable time, CS↑ to DATA OUT (high Impedance)	See Figure 3			150	ns
t <sub>r(EOC)</sub>	Rise time, EOC	See Figure 8			300	ns
t <sub>f(EOC)</sub>	Fall time, EOC	See Figure 7			300	ns
t <sub>r(DATA)</sub>	Rise time, data bus	See Figure 6			300	ns
t <sub>f(DATA)</sub>	Fall time, data bus	See Figure 6			300	ns
t <sub>d(I/O-CS)</sub>	Delay time, tenth I/O CLOCK↓ to CS↓ to abort conversion (see Note 11)				9	μs

+ 所有典型值是  $T_A=25$  时的数据

注释：2. 大于加到 REF+端电压的模拟输入电压转换为全 1（1111111111），小于加到 REF-端电压的输入电压转换为全 0（0000000000）。

- 线性度误差是在整个 A/D 变换特性中离开最佳直线的最大偏离值。
- 零度误差（Zero-scale error）是零输入电压的转换输出值与 0000000000 之间的差值；满度误差（Full-scale error）是满度输入电压的转换输出值与 1111111111 之间的差值。
- 总未调误差（total unadjusted error）是线性度，零度和满度误差之和。
- 输入地址和输出代码二者均用正逻辑表示。
- I/O CLOCK 周期（period）=1/（I/O CLOCK 频率）（见图 6）。
- 任何 CS 的变化要被认为有效，只有在它的电平被保持一个设置时间加上两个内部时钟的下降边（1.425 μs）这样长的时间之后。

### 三、详细说明

一开始，片选（CS）为高，I/O CLOCK 和 ADDRESS 被禁止以及 DATA OUT 为高阻抗状态。当串行接口使 CS 变低开始转换过程，I/O CLOCK 和 ADDRESS 使能，并使 DATA OUT 端脱离高阻抗状态。然后，串口向 ADDRESS 端提供 4 位通道地址，同时 I/O 时钟序列输入 I/O CLCOK。在这时，串口也从 DATA OUT 端接收前一次转换的结果。I/O CLOCK 端从主串行接口接收一个 10 至 16 个时钟长的输入时钟序列。前 4 个 I/O 时钟用 4 位地址从 ADDRESS 端装载地址寄存器，选择所需的模拟通道，以后 6 个时钟对模拟输入的采样提供控制时序。

本器件可以用 6 种基本的串行接口时序方式。这些方式取决于 I/O CLOCK 的速度与  $\overline{CS}$  的工作，如表 1 所示。这 6 种方式是：（1）具有 10 时钟和  $\overline{CS}$  在转换周期时无效（高）的快速转换方式，（2）具有 10 时钟和  $\overline{CS}$  连续有效（低）的快速转换方式，（3）具有 11 至 16 时钟和  $\overline{CS}$  在转换周期时无效（高）的快速转换方式，（4）具有 16 时钟和  $\overline{CS}$  连续有效（低）的快速转换方式，（5）具有 11 至 16 时钟和  $\overline{CS}$  在转换周期时无效（高）的慢速转换方式，（6）具有 16 时钟和  $\overline{CS}$  连续有效（低）的慢速转换方式。

在方式 1、方式 3 和方式 5 中，在 DATA OUT 引脚上，前一次转换的 MSB 出现在  $\overline{CS}$  的下降边时；在方式 2 和方式 4 中出现在 EOC 的上升边时；而在方式 6 中则出现在第 16 个时钟的下降边时；剩下的 9 位在 I/O CLOCK 的以后 9 个下降边时被移出。10 位数据经 DATA OUT 端发送到主串行接口。所用串行时钟脉冲的数目也取决于工作的方式，但要开始进行转换，最少需要 10 个时钟脉冲。在第 10 个时钟的下降边 EOC 输出变低，而当转换完成时回到逻辑高电平，转换结果可以由主机读出。如果 I/O CLOCK 的传送是多于 10 个时钟，在第 10 个时钟的下降边内部逻辑也将 DATA OUT 变低以保证剩下各位的值是零。

表 1 列出了与  $\overline{CS}$  的状态、所用的 I/O 串行传送时钟的数目以及前一次转换的 MSB 出现的时序有关的工作方式。

表 1 工作方式

方 式	$\overline{CS}$	I/O 时钟数目	DATA OUT 处的 MSB*	时序图	
快速方式	方式 1	转换周期时为高	10	$\overline{CS}$ 下降边	图 9
	方式 2	连续低	10	EOC 上升边	图 10
	方式 3	转换周期时为高	11 至 16**	$\overline{CS}$ 下降边	图 11
	方式 4	连续低	16**	EOC 上升边	图 12
慢速方式	方式 5	转换周期时为高	11 至 16**	$\overline{CS}$ 下降边	图 13
	方式 6	连续低	16**	第 16 个时钟下降边	图 14

\* 这些边也启动串行接口的通讯

\*\* 不用多于 16 个时钟的情况

### 3.1 快速方式

当串行的 I/O CLOCK 数据传送完成于转换完成之前，则器件工作于快速方式。用 10 时钟串行传送，则器件只能运行于快速方式，因为直到 I/O CLOCK 的第 10 个下降沿器件才开始转换。

#### 3.1.1 方式 1：快速方式，10 时钟传送，当转换周期时 $\overline{CS}$ 无效（高）

在这种方式，在串行 I/O CLCOK 传送之间  $\overline{CS}$  无效（高），并且每次传送 10 个时钟。 $\overline{CS}$  的下降沿使 DATA OUT 引脚脱离高阻抗状态并启动一次 I/O CLOCK 的工作过程。 $\overline{CS}$  的上升沿终止这个过程并在规定的延迟时间内使 DATA OUT 回到高阻抗状态。同时， $\overline{CS}$  的上升沿在经过一个设置时间加两个内部系统时钟的下降沿后禁止 I/O CLOCK 和 ADDRESS 端。

#### 3.1.2 方式 2：快速方式，10 时钟传送， $\overline{CS}$ 连续有效（低）

在这种方式， $\overline{CS}$  在串行 I/O CLOCK 传送之间有效（低）并且每次传送 10 个时钟。在转换周期开始后， $\overline{CS}$  在转换过程中保持为有效（低）；由 EOC 的上升沿来启动每次 I/O CLOCK 的工作过程并使 DATA OUT 端脱离逻辑低电平，使前次转换的 MSB 立即出现在这个输出端。

#### 3.1.3 方式 3：快速方式，11 至 16 时钟传送，转换周期 $\overline{CS}$ 无效（高）

在这种方式，在串行 I/O CLOCK 传送之间  $\overline{CS}$  无效（高），并且每次传送 11 至 16 个时钟。 $\overline{CS}$  的下降沿使 DATA OUT 引脚脱离高阻抗状态并启动一次 I/O CLOCK 工作过程， $\overline{CS}$  的上升沿终止这个过程并在规定的延迟时间内使 DATA OUT 回到高阻抗状态。同时， $\overline{CS}$  的上升沿在经过一个设置时间加两个内部系统时钟的下降沿后禁止 I/O CLOCK 和 ADDRESS 端。

#### 3.1.4 方式 4：快速方式，16 时钟传送， $\overline{CS}$ 连续有效（低）

在这种方式下， $\overline{CS}$  在串行 I/O CLOCK 传送之间有效（低）并且每次传送必须是正好 16 个时钟。在转换开始后， $\overline{CS}$  在转换过程中保持为有效（低）；由 EOC 的上升沿来启动每次 I/O CLOCK 的工作过程并使

DATA OUT 端脱离逻辑低电平，使前次转换的 MSB 立即出现在这个输出端。

### 3.2 慢速方式

在慢速方式，串行 I/O CLOCK 数据传送完成于转换完成之后。一次慢速方式最少需要 11 个时钟传送给 I/O CLOCK 引脚，而且第 11 个时钟的上升沿必须发生在转换周期完成之前；否则器件将与主机的串行接口失去同步而  $\overline{CS}$  必须被触发以启动系统。I/O CLOCK 的第 11 个上升沿必须在第 10 个 I/O CLOCK 的下降沿之后的 9.5  $\mu s$  之内发生。

#### 3.2.1 方式 5：慢速方式，11 至 16 个时钟传送， $\overline{CS}$ 在转换周期时无效（高）

在这种方式，在串行 I/O CLOCK 传送之间  $\overline{CS}$  无效（高），且每次传送可以是 11 至 16 个时钟长。 $\overline{CS}$  的下降沿启动 I/O CLOCK 工作过程并使 DATA OUT 端脱离高阻抗状态。 $\overline{CS}$  的上升沿终止这个过程并在规定的延迟时间使 DATA OUT 回到高阻抗状态。同时， $\overline{CS}$  的上升沿在经过一个设置时间加两个内部系统时钟的下降沿后禁止 I/O CLOCK 和 ADDRESS 端。

#### 3.2.2 方式 6：慢速方式，16 时钟传送， $\overline{CS}$ 连续有效（低）

在这种方式， $\overline{CS}$  在串行 I/O CLOCK 传送之间有效（低）并且每次传送必须正好是 16 个时钟长。在转换开始后， $\overline{CS}$  在转换过程中保持为有效（低）。第 16 个 I/O CLOCK 的下降沿启动每一个序列，并使 DATA OUT 脱离低电平状态，使得前一次转换的 MSB 立刻出现在 DATA OUT 端。然后器件准备由串行接口启动另一次 16 时钟传送。

### 3.3 地址位

在 I/O CLOCK 的前 4 个上升沿将 ADDRESS 端呈现的下一个转换周期的 4 位模拟通道选择位（MSB 在前）输入地址寄存器。这个地址选择 14 个输入（11 个模拟输入和 3 个内部测试电压）中的 1 个。

### 3.4 模拟输入和测试方式

11 个模拟输入和 3 个内部测试电压由 14 通道多路器按照输入地址选择，如表 2 和 3 所示。输入多路器是一种断开先于接通式的多路开关，以减小由通道开关所引入的输入与输入间耦合的噪声。模拟输入的采样开始于第 4 个 I/O CLOCK 的下降沿，而采样一直持续 6 个 I/O CLOCK 周期。采样一直保持到第 10 个 I/O CLOCK 的下降沿。3 个内部测试输入端被加到多路器，以与外部模拟输入同样的方式采样和转换。

表 2 模拟通道地址选择

模拟输入端选择	送入地址寄存器的值	
	二进制	十六进制
A0	0000	0
A1	0001	1
A2	0010	2
A3	0011	3
A4	0100	4
A5	0101	5
A6	0110	6
A7	0111	7
A8	1000	8
A9	1001	9
A10	1010	A

表 3 测试方式选择地址

内部自测试电压选择*	送入数据输入寄存器的值		单极性输出结果 (16 进制)**
	二进制	十六进制	
$\frac{V_{ref+} + V_{ref-}}{2}$	1011	B	200
$V_{ref-}$	1100	C	000
$V_{ref+}$	1101	D	3FF

\*  $V_{ref+}$  是加到 REF+ 端的电压，而  $V_{ref-}$  是加到 REF- 端的电压。

\*\* 表中所示的输出结果为理想值，它可能由于基准电压的稳定性和内部偏移而变化。

### 3.5 转换器和模拟输入端

在逐次逼近转换系统中的 CMOS 门限检测器通过检测在一系列二进制加权的电容器上的电荷来决定每一位的值（见图 1）。在转换过程的第一步，通过同时接通  $S_C$  开关和所有的  $S_T$  开关对模拟输入采样。这样使得所有电容器充电到输入电压。

在转换过程的第二步，所有  $S_T$  和  $S_C$  开关被断开并且门限检测器开始通过辨认每个电容器上相对于基准（ $REF$ ）电压的电荷（电压）来确定每一位的值。在开系列中，10 个电容器分别被检测直到所有 10 位被确认，以后转换过程又重复进行。在辨认第一个电容上的电压时，门限检测器检查第一个电容（权重 = 1024）。这个电容的节点 1024 被切换到  $REF_+$  电压，而在这个多级连接中的所有其它电容器的相同节点被切换到  $REF_-$ 。当在总和节点上的电压大于门限检测器的跳变点（近似  $1/2 V_{CC}$ ）时，位 0 被送入输出寄存器，并且这个 1024 权重的电容器被切换到  $REF_-$ 。当在总和节点上的电压小于门限检测器的跳变点时，位 1 被送入寄存器，并且这个 1024 权重的电容器保持与  $REF_+$  的连接参与逐次逼近过程的后面几步。这个过程对 512 权重的电容器、256 权重的电容器以及沿线的其它电容依次检测直到所有位都被确定。对逐次逼近过程的每一步，初始的电荷在电容器间被重新分配。这个转换过程依靠电荷的重新分配来决定从 MSB 到 LSB 各位。

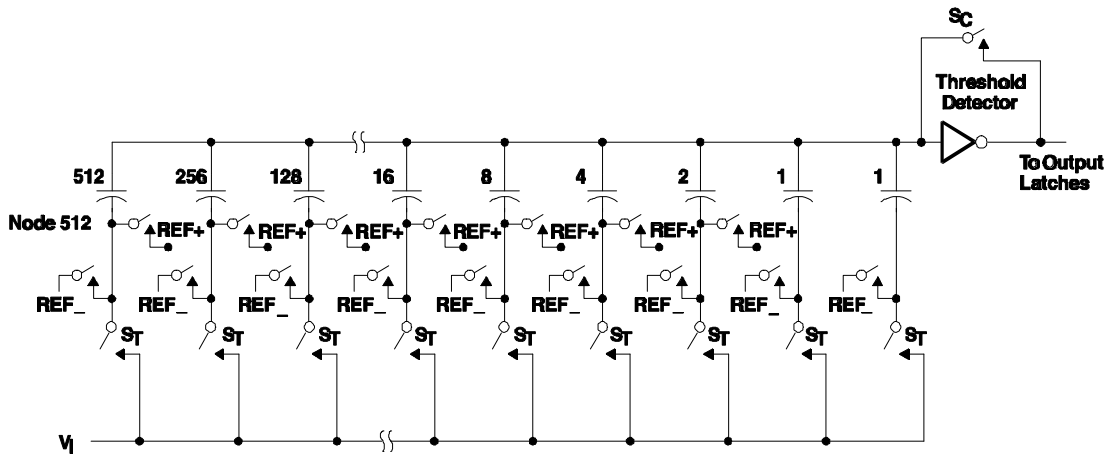


图 1 逐次逼近系统的简化电路图

### 3.6 片选 ( $\overline{CS}$ ) 的工作

$\overline{CS}$  的后沿启动所有的工作方式，并且  $\overline{CS}$  能在任何方式下中止一次转换序列。在一个正在进行的周期中， $\overline{CS}$  从高到低的一次跳变在规定的时间内中止该周期，若使器件返回到初始状态（输出数据寄存器的内容仍保留前次转换的结果）。必须注意避免靠近在转换结束时使  $\overline{CS}$  变低，因为这样输出数据会受到干扰。

### 3.7 基准电压输入

本器件有两个基准电压输入： $REF_+$  和  $REF_-$ 。这些电压值建立了模拟输入电压的高端和低端极限以相应地产生满度和零度读数。 $REF_+$ 、 $REF_-$  以及模拟输入必须不超过正电源或低于 GND（见“极限参数”的规定）。当输入信号等于或高于  $REF_+$  时，数字输出为满度；当输入信号等于或低于  $REF_-$  时，数字输出为零。

## 四、参数测量信息

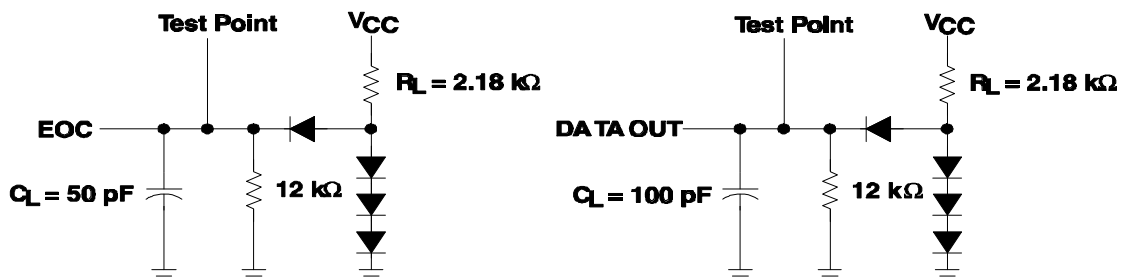


图 2 负载电路



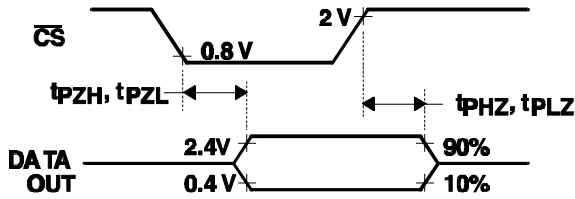


图3 DATA OUT 使能和禁止电压波形

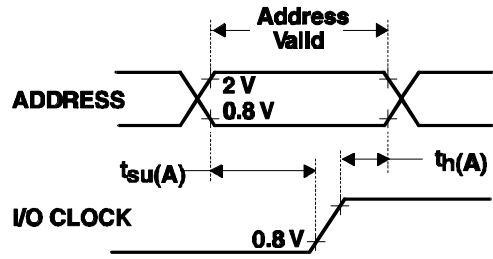


图4 ADDRESS 设置和保持时间电压波形

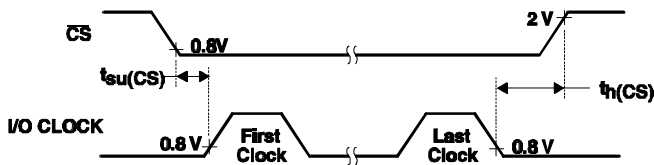


图5 I/O CLOCK 设置和保持时间电压波形

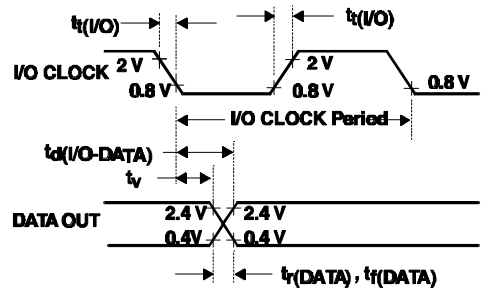


图6 I/O CLOCK 和 DATA OUT 电压波形

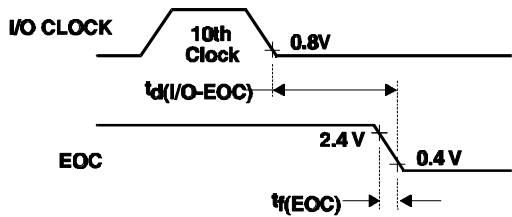


图7 I/O CLOCK 和 EOC 电压波形

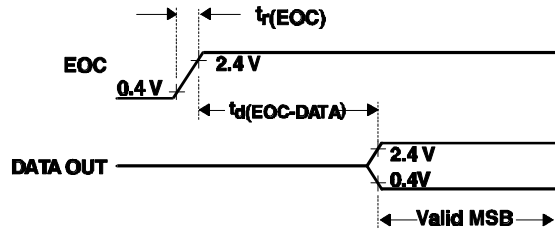


图8 EOC 和 DATA OUT 电压波形

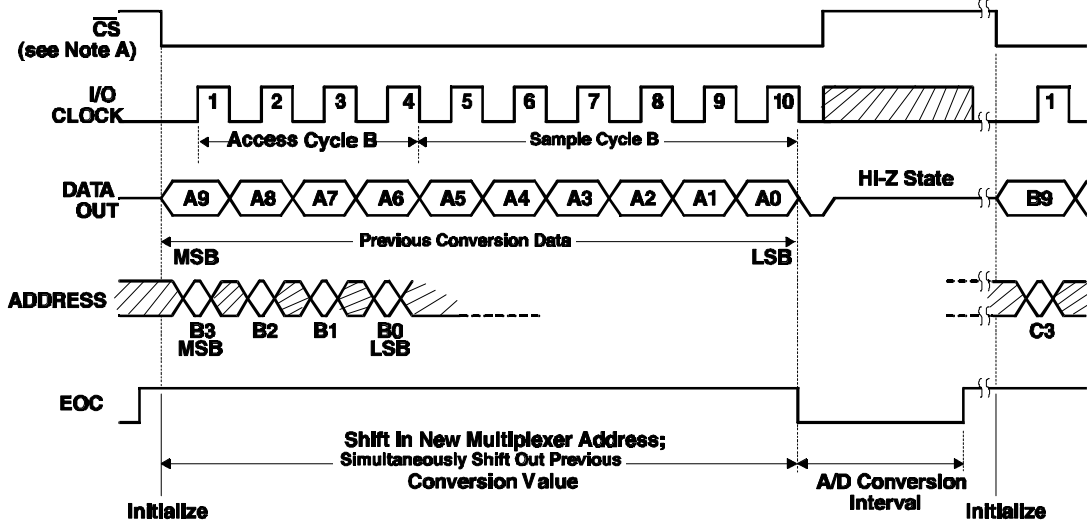


图9 使用  $\overline{CS}$  时, 10 时钟传送时序图

注释 A: 为了减少由于  $\overline{CS}$  的噪声引起的误差, 在  $\overline{CS}$  后内部电路在响应控制输入信号之前等待一个设置时间加上两个内部系统时钟的下降沿。所以, 在最小的设置时间消逝以前不要企图输入地址。

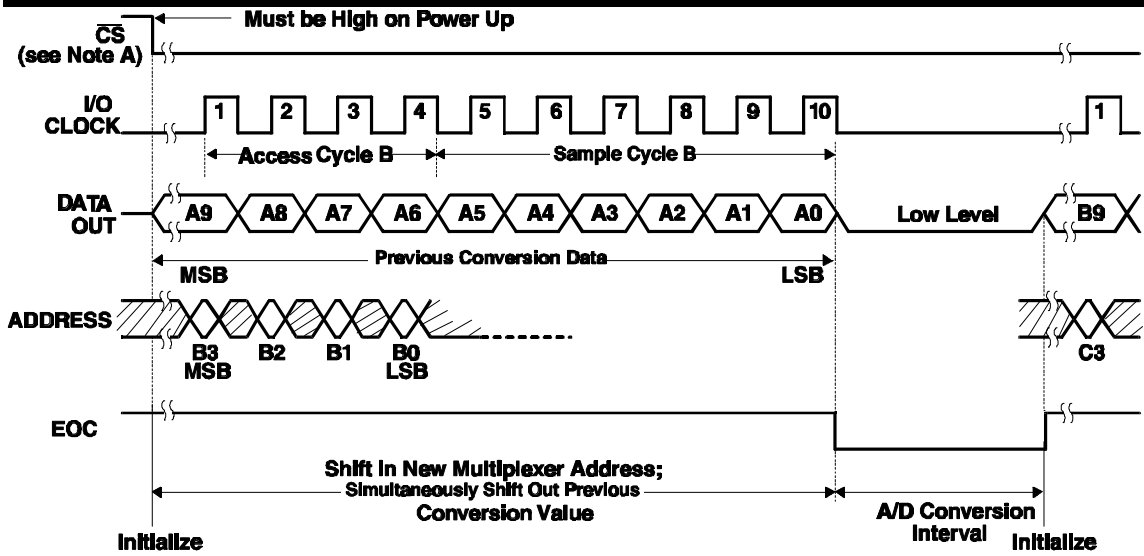


图 10 不使用  $\overline{CS}$  时，10 时钟传送时序图

注释 A：为了减少由于  $\overline{CS}$  的噪声引起的误差，在  $\overline{CS}$  后内部电路在响应控制输入信号之前等待一个设置时间加上两个内部系统时钟的下降沿。所以，在最小的设置时间消逝以前不要企图输入地址。

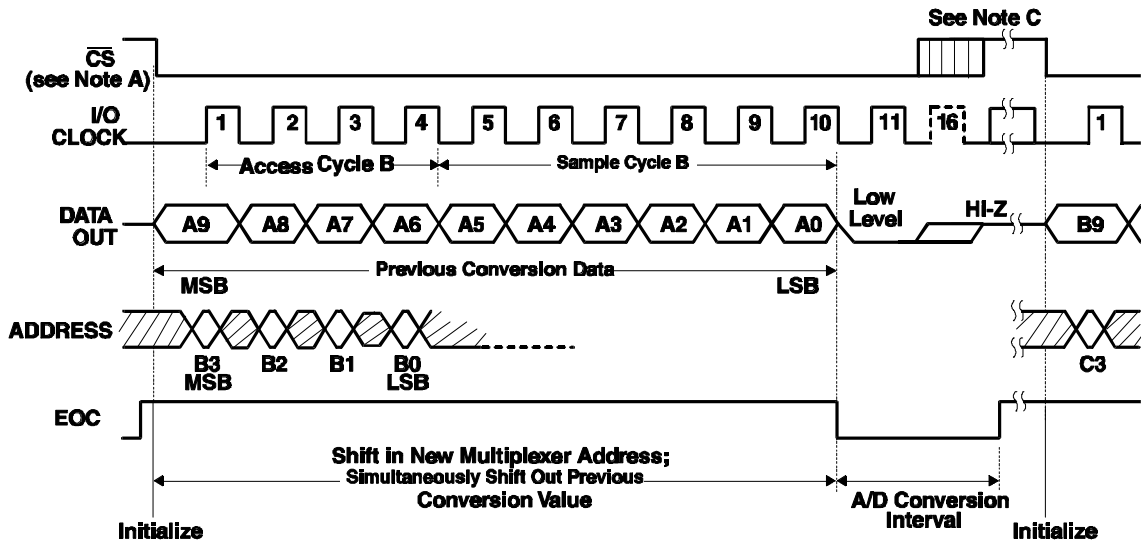


图 11 使用  $\overline{CS}$  时，11 至 16 时钟传送时序图（串行传送短于转换时间）

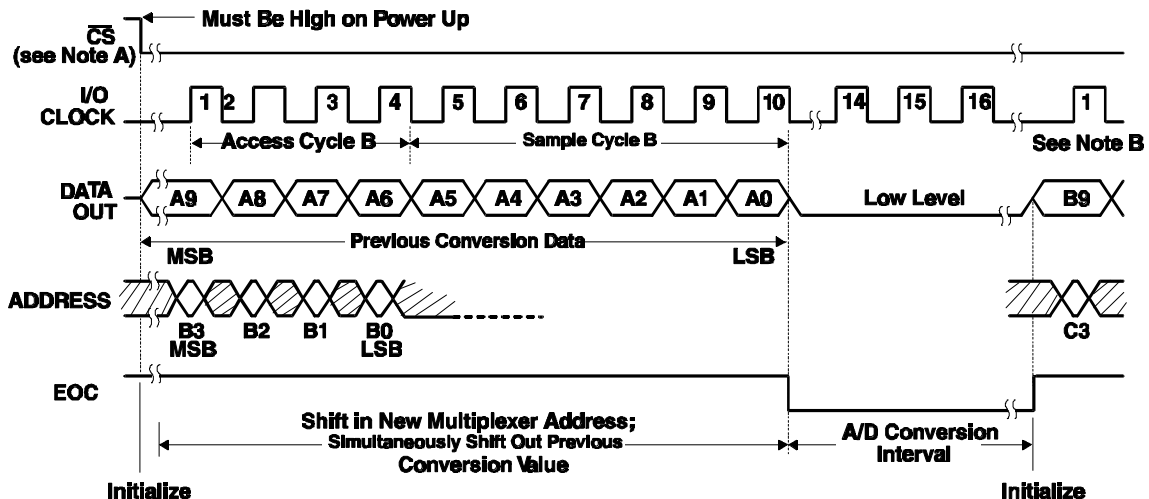


图 12 不使用  $\overline{CS}$  时，16 时钟传送时序图（串行传送短于转换时间）

注释 A：为了减少由于  $\overline{CS}$  的噪声引起的误差，在  $\overline{CS}$  后内部电路在响应控制输入信号之前等待一个设置时间加上两个内部系统时钟的下降沿。所以，在最小的设置时间消逝以前不要企图输入地址。

B：第一个 I/O CLOCK 必须发生于 EOC 的上升沿之后。

C： $\overline{CS}$  的一次低至高跳变将在最小的设置时间加上两个内部系统时钟的下降沿之内禁止 ADDRESS 和 I/O CLOCK。

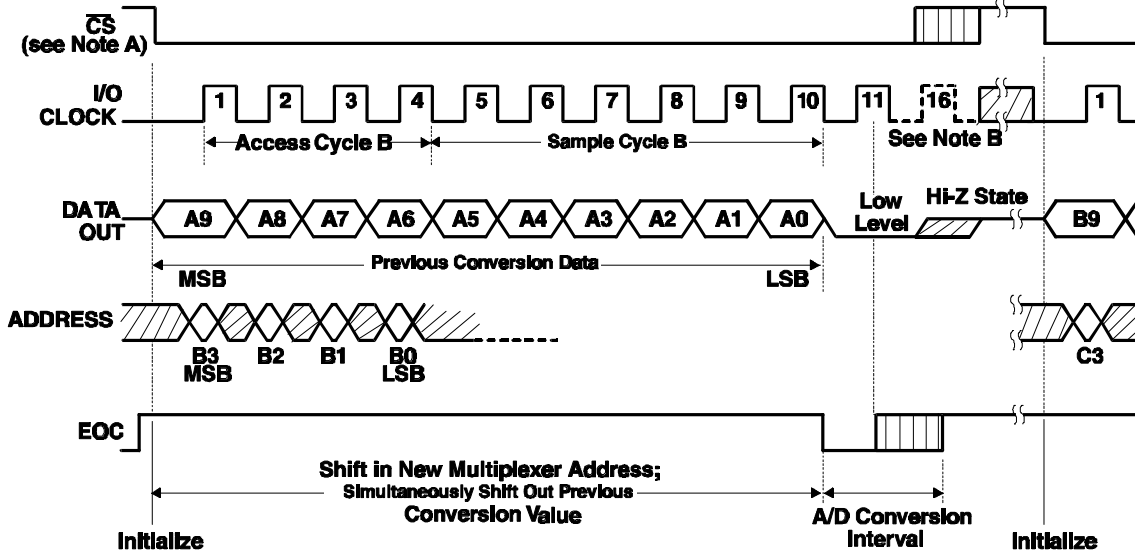


图 13 使用  $\overline{CS}$  时，11 至 16 时钟传送时序图（串行传送长于转换时间）

注释 A：为了减少由于  $\overline{CS}$  的噪声引起的误差，在  $\overline{CS}$  后内部电路在响应控制输入信号之前等待一个设置时间加上两个内部系统时钟的下降沿。所以，在最小的设置时间消逝以前不要企图输入地址。

B：I/O CLOCK 的第 11 个上升沿必须发生在转换完成之前，以免与串行口失去同步。

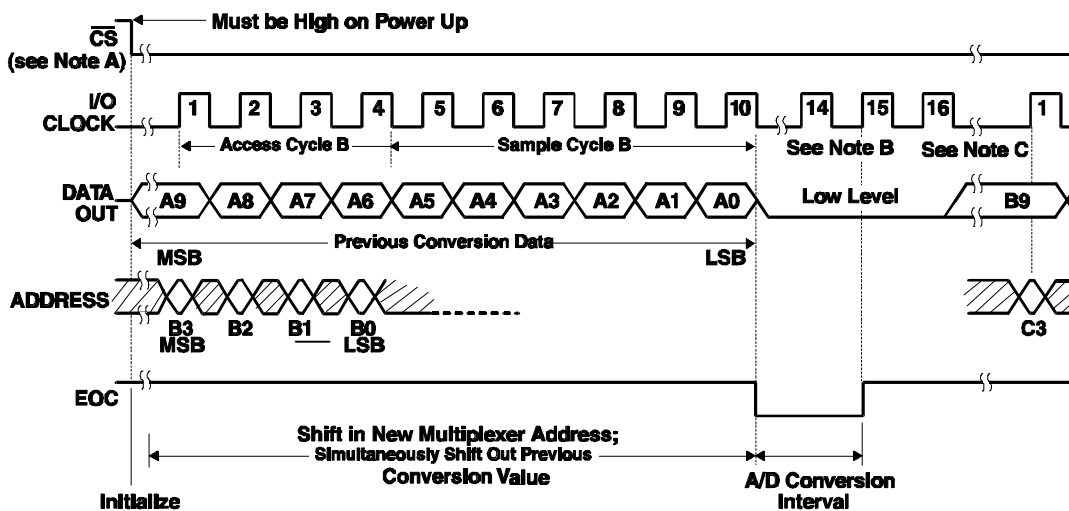


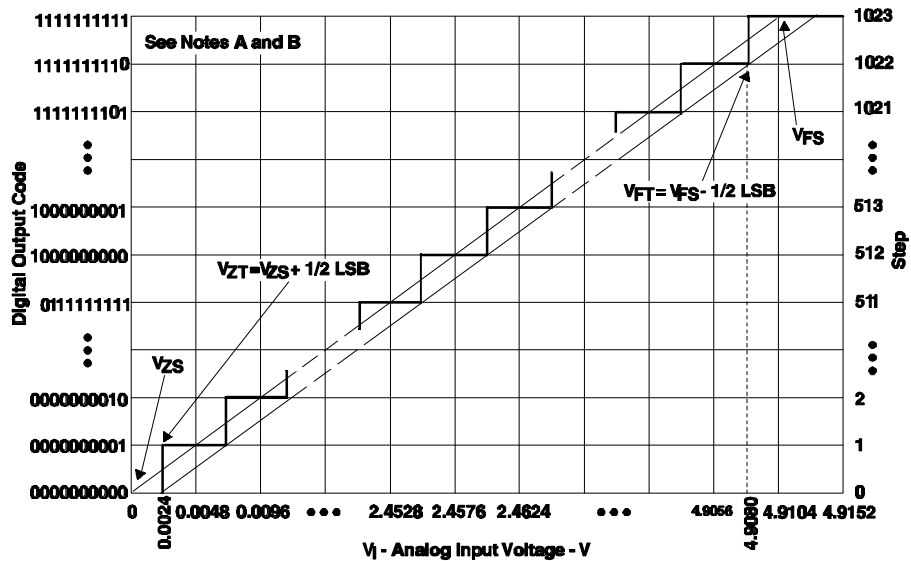
图 14 不使用  $\overline{CS}$  时，16 时钟传送时序图（串行传送长于转换时间）

注释 A：为了减少由于  $\overline{CS}$  的噪声引起的误差，在  $\overline{CS}$  后内部电路在响应控制输入信号之前等待一个设置时间加上两个内部系统时钟的下降沿。所以，在最小的设置时间消逝以前不要企图输入地址。

B：I/O CLOCK 的第 11 个上升沿必须发生在转换完成之前，以免与串行口失去同步。

C：I/O CLOCK 正好是 16 个时钟脉冲。

### 五、应用信息



注释 A 这个曲线是基于  $V_{ref+}$  和  $V_{ref-}$  已经被调整好的假设 因此从数字 0 至 1 的电压变换 ( $V_{ZT}$ ) 是 0.0024V 而满度的电压变化 ( $V_{FT}$ ) 是 4.908V。1LSB=4.8mV。

B 额定的平均值具有最大绝对值的称为满度值 ( $V_{FS}$ )。额定的平均值等于零的定义为零度值 ( $V_{ZS}$ )。

图 15 理想的转换特性

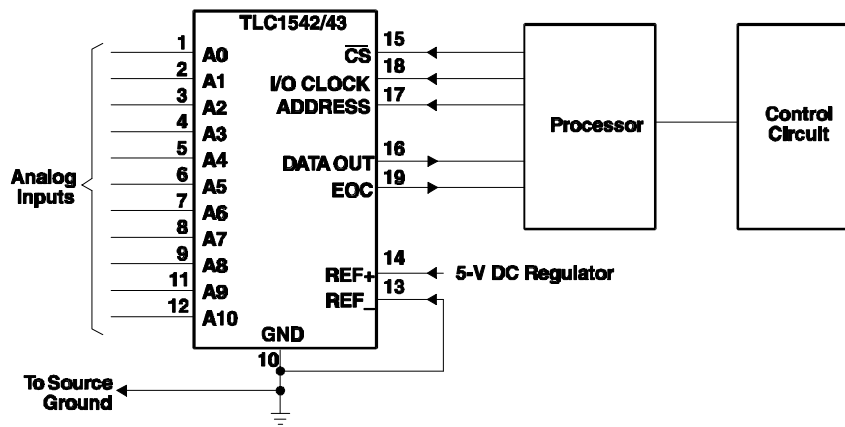


图 16 串行接口

### 简化的模拟输入分析

用图 17 中的等效电路，在 1/2 LSB 中将模拟输入电容从 0 充到  $V_s$  所需的时间可推导如下：

电容所充的电压由下式给出：

$$V_c = V_s (1 - e^{-t_c/R_t C_i}) \quad (1)$$

其中：

$$R_t = R_s + r_i$$

1/2 LSB 达到的最终电压由下式给出：

$$V_c (1/2 \text{ LSB}) = V_s - (V_s/2048) \quad (2)$$

将 (1) 式代入 (2) 式并解出  $t_c$  如下：

$$V_s - (V_s/2048) = V_s (1 - e^{-t_c/R_t C_i}) \quad (3)$$

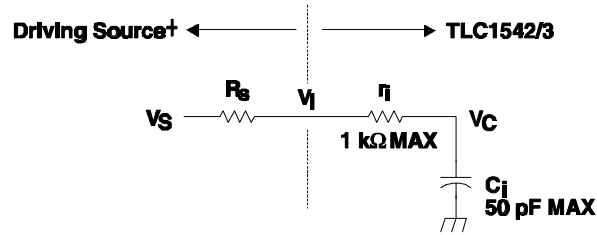
可得：

$$t_c (1/2 \text{ LSB}) = R_t \times C_i \times \ln(2048) \quad (4)$$

所以，在给定值的条件下，模拟输入信号的建立时间是：

$$t_c ( 1/2 \text{ LSB } ) = ( R_s + 1k ) \times 60\text{pF} \times \ln ( 2048 ) \quad ( 5 )$$

这个时间必须少于在时序图中所示的转换器采样时间。



$V_I$  = 输入端 A0-A10 的输入电压     $V_S$  = 外部驱动源电压     $R_S$  = 源电阻     $r_i$  = 输入电阻     $C_i$  = 输入电容

+ 对驱动源的要求：

- 源的噪声与失真必须与转换器的分辨率同等
- 在输入频率上  $R_S$  必须为实数

图 17 包括驱动源的等效输入电路