

TLC548C, TLC548I | TLC549C, TLC549I

带串行控制 8 位模数转换器

一、概述

1.1 一般说明

TLC548 和 TLC549 是以 8 位开关电容逐次逼近 A/D 转换器为基础而构造的 CMOS A/D 转换器。它们设计成能通过 3 态数据输出和模拟输入与微处理器或外围设备串行接口。TLC548 和 TLC549 仅用输入/输出时钟 (I/O CLOCK) 和芯片选择 (\overline{CS}) 输入作数据控制。TLC548 的最高 I/O CLOCK 输入频率为 2.048MHz , 而 TLC549 的 I/O CLOCK 输入频率最高可达 1.1MHz。有关与大多数通用微处理器接口的详细资料已由工厂准备好, 可供使用。

TLC548 和 TLC549 的运用与较复杂的 TLC540 和 TLC541 的运用非常相似; 不过, TLC548 和 TLC549 提供了片内系统时钟, 它通常工作在 4MHz 且不需要外部元件。片内系统时钟使内部器件的操作独立于串行输入/输出的时序并允许 TLC548 和 TLC549 象许多软件和硬件所要求的那样工作。I/O CLOCK 和内部系统时钟一起可以实现高速数据传送以及对于 TLC548 为每秒 45,500 次转换、对于 TLC549 为每秒 40,000 次转换的转换速度。

TLC548 和 TLC549 的其他特点包括通用控制逻辑, 可自动工作或在微处理器控制下工作的片内采样-保持电路, 具有差分高阻抗基准电压输入端、易于实现比率转换 (ratiometric conversion) 的高速转换器, 定标 (scaling) 以及与逻辑和电源噪声隔离的电路。整个开关电容逐次逼近转换器电路的设计允许在小于 17 μ s 的时间内以最大总误差为 ± 0.5 最低有效位 (LSB) 的精度实现转换。

TLC548C 和 TLC549C 的工作温度范围为 0 至 70 。 TLC548I 和 TLC549I 的工作温度范围为 -40 至 85 。

可选项

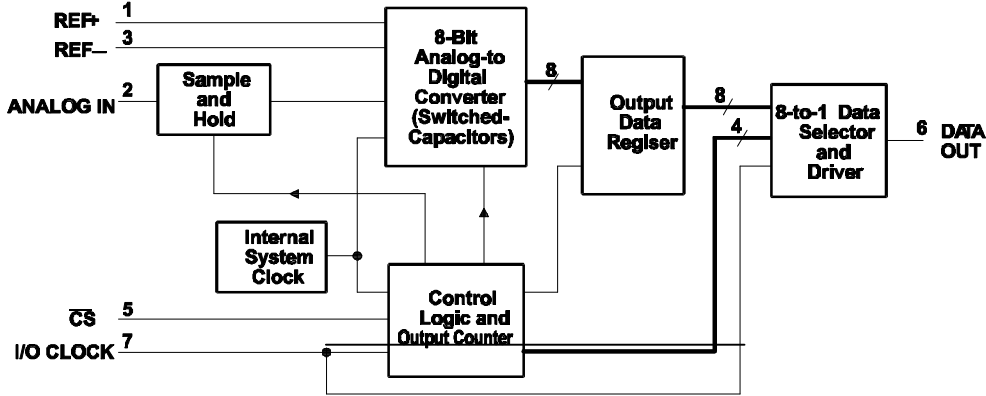
T _A	封 装	
	小型 (D)	塑料 DIP (P)
0 至 70	TLC548CD	TLC548CP
	TLC549CD	TLC549CP
-40 至 85	TLC548ID	TLC548IP
	TLC549ID	TLC549IP

1.2 特点

- 8 位分辨率 A/D 转换器
- 微处理器外设或独立工作
- 差分基准输入电压
- 转换时间 17 μ s Max
- 每次总存取与转换周期数
TLC548 高达 45,500
TLC549 高达 40,000
- 片内软件可控采样——保持
- 总不可调整误差 (Total Unadjusted Error) ± 0.5 LSB Max
- 4MHz 典型内部系统时钟
- 宽电源范围 3V 至 6V
- 低功耗 15mW Max
- 能理想地用于包括电池供电便携式仪表的低成本、高性能应用
- 引脚和控制信号与 TLC540、TLC545 8 位 A/D 转换器以及 TLC1540 10 位 A/D 转换器兼容
- CMOS 工艺

1.3 功能方框图

TLC548, TLC549 的功能方框图如下图所示。

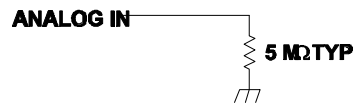
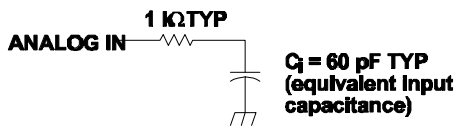


1.4 典型等效输入

TLC548、TLC549 在采样方式期间和保持方式期间的输入电路阻抗分别如下面两图所示。

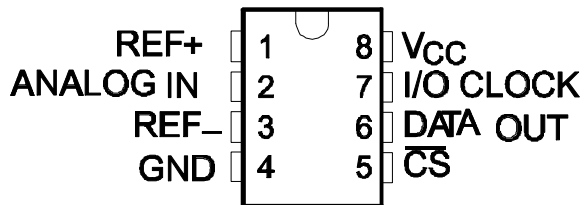
采样方式期内的输入电路阻抗

保持方式期内的输入电路阻抗



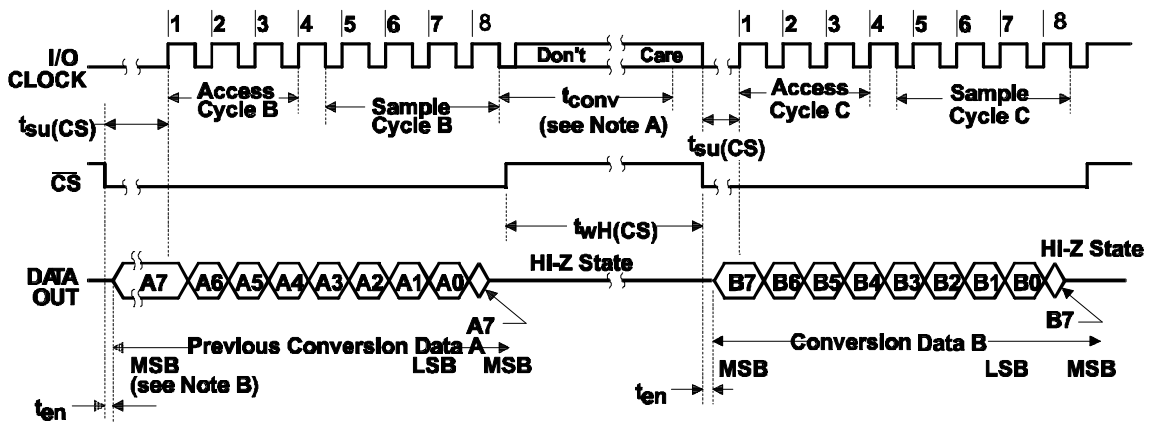
1.5 引脚排列

D 或 P 封装的 TLC548、TLC549 的引脚排列分别如下面两图所示。



1.6 工作时序

TLC548、TLC549 的工作时序如下图所示。



注释：A. 转换周期需要 36 个系统时钟周期(最大为 17 μs),它开始于 \overline{CS} 变为低电平之后 I/O CLOCK 的第 8 个下降沿,这适用于该时刻其地址存在于存储器中的通道。

B. 在 \overline{CS} 变为低电平之后,最高有效位 (A7) 自动被放置在 DATA OUT 总线上。其余的 7 位 (A6-A0) 在前 7 个 I/O CLOCK 下降沿由时钟同步输出。B7-B0 以同样的方式跟在其后

二、特性

2.1 工作温度范围内（自然通风）的极限参数（除非另有说明）⁺

电源电压, V_{CC} (见注释 1)	6.5V
任何输入端输入电压范围	-0.3V 至 $V_{CC}+0.3V$
输出电压范围	-0.3V 至 $V_{CC}+0.3V$
峰值输入电流范围 (任何输入端)	$\pm 10mA$
峰值总输入电流范围 (所有输入端)	$\pm 30mA$
工作温度范围 (自然通风), T_A :	
TLC548C, TLC549C	0 至 70
TLC548I, TLC549I	-40 至 85
储存温度范围, T_{stg}	-65 至 150
引线温度, 离外壳 1.6mm(1/16 英寸), 10 秒	260

+ 强度超出所列的极限参数可能导致器件的永久性损坏。这些仅仅是极限参数, 并不意味着在极限参数条件下或在任何其它超出推荐工作条件下所示参数的情况下器件能有效地工作。延长在极限参数条件下的工作时间会影响器件的可靠性。

注释 1 : 在 REF 与 GND 连接在一起的情况下所有电压值均相对于网络地端 (除非另有说明)。

2 : 温度低于 -40 时, 不推荐 D 封装。

2.2 推荐工作条件

	TLC548			TLC549			单位
	MIN	NOM	MAX	MIN	NOM	MAX	
电源电压, V_{CC}	3	5	6	3	5	6	V
正基准电压, V_{ref+} (见注释 3)	2.5	V_{CC}	$V_{CC}+0.1$	2.5	V_{CC}	$V_{CC}+0.1$	V
负基准电压, V_{ref-} (见注释 3)	-0.1	0	2.5	-0.1	0	2.5	V
差分基准电压, $V_{ref+}-V_{ref-}$ (见注释 3)	1	V_{CC}	$V_{CC}+0.2$	1	V_{CC}	$V_{CC}+0.2$	V
模拟输入电压 (见注释 3)	0		V_{CC}	0		V_{CC}	V
高电平控制输入电压, V_{IH}	2			2			V
低电平控制输入电压, V_{IL}			0.8			0.8	V
输入/输出时钟频率, $f_{clock(I/O)}$ (对于 $V_{CC}=4.75V$ 至 $5.5V$)	0		2.048	0		2.048	MHz
输入/输出时钟高电平, $t_{WH(I/O)}$ (对于 $V_{CC}=4.75V$ 至 $5.5V$)	200			404			ns
输入/输出时钟低电平, (对于 $V_{CC}=4.75V$ 至 $5.5V$)	200			404			ns
输入/输出时钟跳变时间, $t_{t(I/O)}$ (见注释 4) (对于 $V_{CC}=4.75V$ 至 $5.5V$)			100			100	ns
转换期内 \overline{CS} 输入为高态的持续时间, $t_{WH(CS)}$ (对于 $V_{CC}=4.75V$ 至 $5.5V$)	17			17			μs
建立时间 在第 1 个 I/O CLOCK 之前 \overline{CS} 为低电平, $t_{SU(CS)}$ (对于 $V_{CC}=4.75V$ 至 $5.5V$) (见注释 5)	1.4			1.4			μs
工作温度 (自然通风), T_A	TLC548C	0	70	0		70	
	TLC549C						
	TLC548I	-40	85	-40		85	
	TLCF549I						

注释：3. 大于加至 REF_+ 电压的模拟输入电压转换为全“1”(11111111)，小于加至 REF_+ 电压的模拟输入电压转换为全“0”(00000000)。为了工作良好， REF_+ 电压高于 REF_- 电压至少 1V。而且，当此差分基准电压降至 4.75V 以下时，总失调误差可能增加。

4. 这是时钟输入信号从 V_{IHmin} 降至 V_{ILmax} 或从 V_{ILmax} 升至 V_{IHmin} 所需的时间。在正常室温附近，对于远程数据采集应用（在这些应用中，传感器和 A/D 转换器放在离控制微处理器几英尺远处），在输入时钟跳变时间慢至 $2\ \mu s$ 的情况下器件可保持其功能。

5. 为了使 \overline{CS} 端噪声所引起的误差为最小。在响应控制输入信号以前，内部电路在 \overline{CS} 之后等待内部系统时钟两个上升沿和 1 个下降沿。 \overline{CS} 建立时间由 t_{en} 和 $t_{SU(CS)}$ 这两个指标给出。

2.3 电特性

2.3.1 在推荐工作温度范围内， $V_{CC}=V_{REF+}=4.75V$ 至 $5.5V$ ， $f_{clock(I/O)}=2.048MHz$ (TLC548) 或

$f_{clock(I/O)}=1.1MHz$ (TLC549) 时的电特性（除非另有说明）

PARAMETER		TEST CONDITIONS	MIN	TYP†	MAX	UNIT
V_{OH}	High-level output voltage	$V_{CC}=4.75V$, $I_{OH}=-360\ \mu A$	2.4			V
V_{OL}	Low-level output voltage	$V_{CC}=4.75V$, $I_{OL}=3.2\ mA$			0.4	V
I_{OZ}	Off-state(high-impedance state)output current	$V_O=V_{CC}$, $\overline{CS} \text{ Sat } V_{CC}$			10	μA
		$V_O=0$, $\overline{CS} \text{ Sat } V_{CC}$			-10	
I_{IH}	High-level input current, control inputs	$V_I=V_{CC}$		0.005	2.5	μA
I_{IL}		$V_I=0$		-0.005	-2.5	μA
$I_{I(on)}$	Analog channel on-state input current during sample cycle	Analog input at V_{CC}		0.4	1	μA
		Analog input at 0V		-0.4	-1	
I_{CC}	Operating supply current	$\overline{CS} \text{ Sat } 0V$		1.8	2.5	mA
$I_{CC}+I_{ref}$	Supply and reference current	$V_{REF+}=V_{CC}$		1.9	3	mA
C _I	Input capacitance	Analog inputs		7	55	pF
		Control inputs		5	15	

2.3.2 在推荐工作温度范围内(自然通风)， $V_{CC}=V_{REF+}=4.75V$ 至 $5.5V$ ， $f_{clock(I/O)}=2.048MHz$ (TLC548) 或 $1.1MHz$ (TLC549) 时的工作

PARAMETER	TEST CONDITIONS	TLC548			TLC549			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
E_L	Linearity error	See Note 6		± 0.5	± 0.5		LSB	
E_{ZS}	Zero-scale error	See Note 7		± 0.5	± 0.5		LSB	
E_{FS}	Full-scale error	See Note 7		± 0.5	± 0.5		LSB	
	Total unadjusted error	See Note 8		± 0.5	± 0.5			
t_{conv}	Conversion time	See Operating Sequence		8	17	12	17	μs
	Total access and conversion time	See Operating Sequence		12	22	19	25	μs
t_a	Channel acquisition time (sample cycle)	See Operating Sequence		4		4		I/O clock cycles
t_v	Time output data remains valid after I/O CLOCK			10	10		ns	
t_d	Delay time to data output valid	I/O CLOCK		2000		400		ns
t_{en}	Output enable time			1.4		1.4		μs
t_{dis}	Output disable time			150		150		ns
$t_r(\text{bus})$	Data bus rise time	See Parameter Measurement Information		300		300		ns
$t_f(\text{bus})$	Data bus fall time			300		300		ns

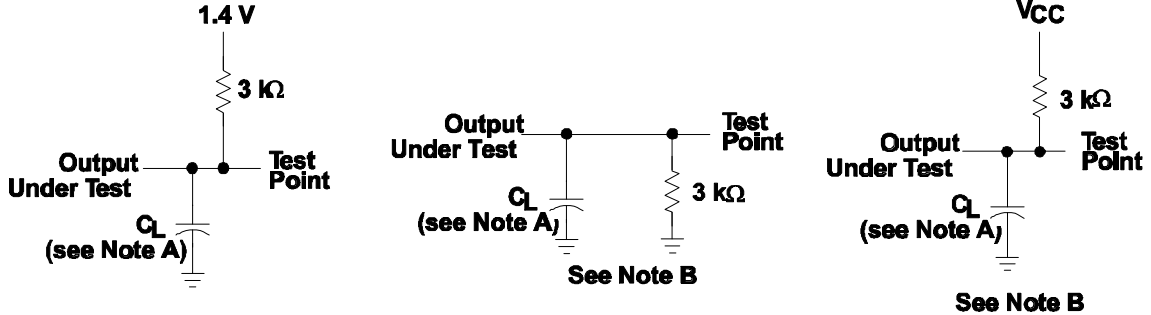
注释：6. 线性度误差是在整个 A/D 转移特性范围内离开最佳直线的最大偏离量。

7. 零度 (zero-scale) 误差是 00000000 和零输入电压的转换输出之间的差值；满度 (full-scale) 误差是 11111111 与满度输入电压的转换输出之间的差值。

8. 总失调误差 (total unadjusted error) 是线性度，零度 (zero-scale) 和满度 (full-scale) 误差之和。

2.4 参数测量资料

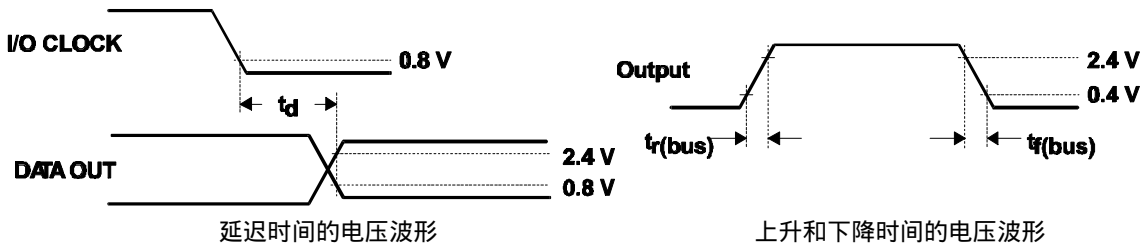
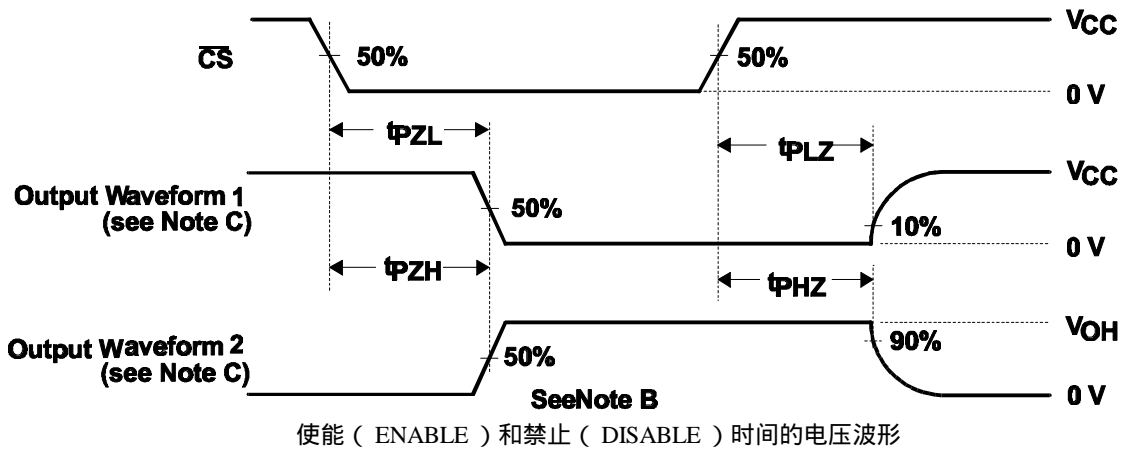
测量用的负载电路和波形分别如以下各图所示。



用于 t_d 、 t_r 和 t_f 测量的负载电路

用于 t_{pZH} 和 t_{pHZ} 测量的负载电路

用于 t_{pZL} 和 t_{pLZ} 测量的负载电路



注释：A. 对于 TLC548， $C_L=50\text{pF}$ ；对于 TLC549， $C_L=100\text{pF}$ 。 C_L 包括夹具电容。

B. $t_{en}=t_{pZH}$ 或 t_{pZL} ， $t_{dis}=t_{pHZ}$ 或 t_{pLZ} 。

C. 除了被输出控制禁止时之外，波形 1 适用于输出为低电平的内部条件下的输出。

除了被输出控制禁止时之外，波形 2 适用于输出为高电平的内部条件下的输出。

三、应用资料

简化模拟输入分析

利用图 1 的等效电路，模拟输入电容从 0 充电至 V_S （在 $1/2\text{LSB}$ 之内）所需的时间可推导如下：

电容充电电压由下式给出：

$$V_C = V_S (1 - e^{-t_c/R_i C_i}) \quad (1)$$

其中：

$$R_i = R_S + r_i$$

离 V_S $1/2\text{LSB}$ 的最终电压由下式给出：

$$V_C (1/2\text{LSB}) = V_S - (V_S/512) \quad (2)$$

使式 (1) 和式 (2) 相等并求解时间 t_c 给出：

$$V_S - (V_S/512) = V_S (1 - e^{-t_c/R_i C_i}) \quad (3)$$

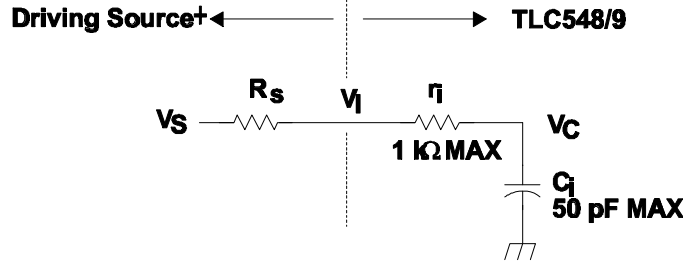
和

$$t_c(1/2LSB) = R_i \times C_i \times \ln(512) \quad (4)$$

因此,在给定数值的情况下,模拟输入信号建立时间为

$$t_c(1/2LSB) = (R_S + 1k) \times 60pF \times \ln(512) \quad (5)$$

此时间必须小于时序图中所示的转换器采样时间。



V_I =ANALOG IN 端的输入电压

V_S =外部驱动源电压

R_S =源电阻

r_i =内部电阻

C_i =等效输入电容

+ 驱动源要求:

- 源的噪声和失真必须与转换器的分辨率相当
- 在输入频率上 R_S 必须为实数

图 1 包括驱动源的等效输入电路

四、工作原理

TLC548 和 TLC549 都是在单个芯片内的完善的数据采集系统。每一个器件包含内部系统时钟,采样和保持,8 位 A/D 转换器,数据寄存器以及控制逻辑电路。为了提高灵活性和访问速度,器件有两个控制输入: I/O CLOCK 和芯片选择 (\overline{CS})。这些控制输入和与 TTL 兼容的 3 态输出易于与微处理器或小型计算机的串行通信。器件可在 $17 \mu s$ 或更短时间内完成转换。TLC548 每 $22 \mu s$ 重复一次完整的输入-转换-输出 (input-conversion-output) 周期, TLC549 每 $25 \mu s$ 重复一次输入-转换-输出周期。

内部系统时钟和 I/O CLOCK 独立使用且不需要任何特定的速度或二者之间的相位关系。这种独立性简化了器件的硬件和软件控制任务。由于这种独立性和系统时钟的内部产生,控制硬件和软件只需关心利用 I/O 时钟读出先前转换结果和启动转换。内部系统时钟以这种方式驱动转换电路以便控制硬件和软件不需要涉及此项任务。

当 \overline{CS} 为高电平时, DATA OUT 处于高阻状态且 I/O CLOCK (I/O 时钟)被禁止。当使用另外的 TLC548 和 TLC549 器件时,这种 \overline{CS} 控制功能允许 I/O CLOCK 与其计数部件 (counterpart) 端共用同样的控制点。当使用多个 TLC548 和 TLC549 器件时,这也用于使所需的控制逻辑端为最少。控制时序已设计成使启动转换与取得转换结果所需的时间和工作为最少。正常控制时序为:

1. \overline{CS} 被拉至低电平。为了使 \overline{CS} 端噪声所产生的误差为最小,在识别低跳变之前,内部电路在 \overline{CS} 之后等待内部系统时钟两个上升沿与之后的下降沿。然而,由于 \overline{CS} 上升沿的作用,即使直到经历了 $t_{SU(CS)}$ 时间,其余的集成电路仍不识别跳变。DATA OUT 也将在 t_{dis} 之内变为高阻状态。当器件用于噪声环境中时,这种技术可用来保护器件使其免受噪声的影响。当 \overline{CS} 变为低电平时,前次转换结果的最高有效位 (MSB) 开始出现在 DATA OUT 端。

2. 前 4 个 I/O CLOCK 周期的下降沿输出前次转换结果的第 2、第 3、第 4 和第 5 个最高有效位。在 I/O

CLOCK 第 4 个高电平至低电平的跳变之后，片内采样和保持电路开始对模拟输入采样。采样操作主要包括内部电容器充电到模拟输入电压的电平。

3. 其后再把三个 I/O CLOCK 周期加至 I/O CLOCK 端，在这些时钟周期的下降沿，第 6、第 7 和第 8 个转换位被移出。

4. 最后（第 8 个）时钟周期被加至 I/O CLOCK。此时钟周期高电平至低电平的跳变使片内采样和保持电路开始保持功能。保持功能在接着四个内部系统时钟周期内继续进行，在此之后保持功能结束且在下面 32 个系统时钟周期内完成转换，总共为 36 个周期。在第 8 个 I/O CLOCK 周期之后， \overline{CS} 必须变为高电平，否则 I/O CLOCK 必须保持低电平至少 36 个系统时钟周期以供保持和转换功能的完成。在多个转换周期内 \overline{CS} 可保持低电平。在多个转换周期内使 \overline{CS} 保持低电平时必须特别注意防止 I/O CLOCK 线上的噪声闪变。如果在 I/O CLOCK 上发生闪变，那么在微处理器/控制器和器件之间的 I/O 时序将失去同步。此外，如果 \overline{CS} 变为高电平，那么它必须保持高电平直至转换结束为止。否则， \overline{CS} 的有效高电平至低电平跳变将引起复位，它使正在进行的转换失败。

在 36 个系统时钟周期发生之前，通过完成步骤 1 至 4 可以启动新的转换，同时正在进行的转换中止。此操作产生先前的转换结果而不是正在进行的转换结果。

对于某些应用，诸如选通（strob ing）应用，需要在特定的时间点启动转换。此器件能适应这些应用。虽然片内采样和保持在第 4 个有效 I/O 时钟周期的负沿开始采样，但是直到第 8 个有效 I/O 时钟周期的负边沿之前，保持功能并不开始。它应当开始于必须转换模拟信号的瞬间。TLC548/TLC549 继续采样模拟输入，直到 I/O 时钟的第 8 个下降沿为止。然后控制电路或软件立即拉低 I/O CLOCK 并启动保持功能以及在所需的时间点保持模拟信号并开始转换。

德州仪器公司已准备好有关与大多数通用微处理器接口的详细资料，可供使用。