



## 1. 基本特性

ROM: 1k (1K x 14 位)

RAM: 41 (41 x 8 位)

内部可编程校准功能的多频段 RC 振荡器，频段范围包含：6M, 4M, 910K, 32K

堆栈：4 级

支持片上程序设计线路

I/O 口：9 个 I/O，1 个输入

定时器/计数器：8 位 x1 (TMR0) 带预载功能、可选择的信号和边沿、溢出中断功能

预分频器：8 位

Watchdog 定时器：20mS ~ 2.56S

上电复位

内置 RC 振荡式 Watchdog 定时器

振荡器选择：

- 内部 RC：6Mhz, 4Mhz, 910Khz, 32Khz

- 外部 RC

- 低功耗、低速晶体

- 标准晶体

工作电压：2.2V ~ 5.5V

指令集：79 个

支持定时器中断

MCLR (PA<sub>3</sub>) 上拉电路

Weak Pull-up on I/O PAD (PA<sub>1</sub>~PA<sub>0</sub>).

引脚可唤醒睡眠

唤醒：1. Watchdog 定时器溢出

2. 上电复位

3. MCLR 复位

4. Port A (PA<sub>0</sub>, PA<sub>1</sub>, PA<sub>3</sub>) 引脚转变



## 2. 脚位定义

PA <sub>5</sub> /OSC <sub>1</sub>	1	TM58P11	14	PB <sub>0</sub>
PA <sub>4</sub> /OSC <sub>2</sub>	2		13	PB <sub>1</sub>
PA <sub>3</sub> /VPP/ MCLR <sub>B</sub>	3		12	VDD
NC	4		11	VSS
PA <sub>2</sub> /RTCC	5		10	NC
PA <sub>1</sub>	6		9	PB <sub>2</sub>
PA <sub>0</sub>	7		8	PB <sub>3</sub>

图 1-1 封装方式：DIP，SOP



## 脚位描述

脚位名称	编号	类型	描述
PA <sub>0</sub>	7	I/O	通用 I/O 脚 内部上拉电路 I/O 引脚可唤醒睡眠
PA <sub>1</sub>	6	I/O	通用 I/O 脚 内部上拉电路 I/O 引脚可唤醒睡眠
PA <sub>2</sub> /RTCC	5	I/O	通用 I/O 脚 可设定成 Timer_Clk 输入
PA <sub>3</sub> /MCLR B/VPP	3	I	只作输入脚 如果 MCLR 置低，芯片会复位。 在编程和校验模式时是高电压输入。 内部上拉电路 I/O 引脚可唤醒睡眠
PA <sub>4</sub> /OSC <sub>2</sub>	2	I/O	通用 I/O 脚 振输出
PA <sub>5</sub> /OSC <sub>1</sub>	1	I/O	通用 I/O 脚 晶体与 RC 振荡器输入 外部时钟输入
VDD	12	P	电源输入
VSS	11	P	接地输入
PB <sub>0</sub>	14	I/O	通用 I/O 脚
PB <sub>1</sub>	13	I/O	通用 I/O 脚
PB <sub>2</sub>	9	I/O	通用 I/O 脚
PB <sub>3</sub>	8	I/O	通用 I/O 脚

I: 输入; O: 输出; I/O: Bi-方向; P: 电源



### 3. 功能概述

TM58P11 是带哈佛架构的 8 位精简指令集 OTP 微控制器，具有 1K 的 EPPROM 与 41 个字节的 RAM 存储空间，包含 79 个单字节(14 位宽)指令。除了分支指令为双周期指令外，其余所有指令都是单周期(4 个系统时钟)指令。

微控制器的内核：

1. 长指令字：每个指令有 14 位，并且不受数据总线的限制。由于程序存储器(OTP)有独立的总线，因而提高了存储器的效用。
2. 指令导管：TM58P11 使用 2 个阶段管道缩短指令周期。CPU 分别在第一阶段擷取指令，而在第二阶段执行指令。由于它的机器周期在一个阶段，CPU 没有数据遗失问题。
3. 存储器映射寄存器：多数物理寄存器有唯一的存储地址。

TM58P11 提供了 9 个用于各种应用的通用 I/O(GPIO)引脚。I/O 脚分成 2 个端口(Port A、Port B)，多数的引脚可以作为输入模式和输出模式单独设置。另外，PA<sub>0</sub>、PA<sub>1</sub>、PA<sub>3</sub> 可用来产生外部唤醒复位。应该注意 GPIO 复位使用相同地址的复位向量，是根据不同 I.C 型号来决定的。

TM58P11 有一个具有 4 种可调频段的 RC 振荡器。微控制器包含一个 watchdog 定时器和一个 8 位分频器。Watchdog 定时器可用来保证程序停止或暂停不超过 20ms(Watchdog 溢出)。如果要得到更长的溢出时间，预分频器可扩大分频率达到 1 : 128。

TM58P11 支持 四种复位：

上电复位

引脚 变化唤醒复位

Watchdog 超时复位

MCLR 复位

上述复位是在状态寄存器内记录的。Bit3, bit4, bit7 用于记录不同的复位。程序可以查询这些位以确定复位的原因。几种复位的详细资料在下面章节介绍。

8 位定时/计数器可以占用一个中断源。在程序中很容易测量精确的时间范围。



4. 方框图

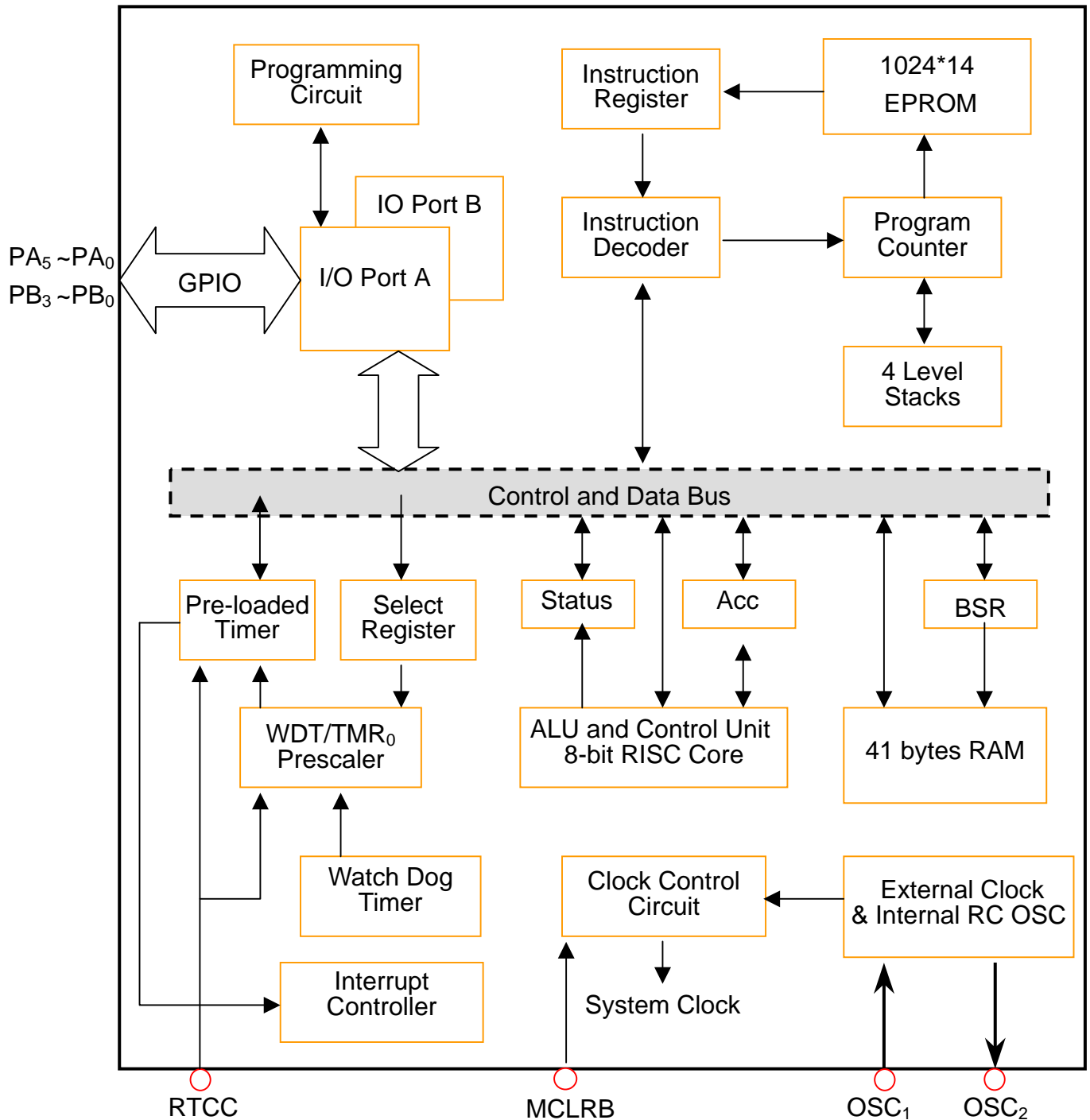


图 4-1 逻辑方框图



## 5. 存储器结构

TM58P11存储器是由程序存储器、数据存储器及“哈佛架构”组成的。一般来说，“哈佛架构”与“冯纽曼架构”在总线设计方面有很大不同。哈佛架构可以同时存取分离的总线。考虑到简单性，我们将一个指令周期分成读取段和执行段。TM58P11可以同时存取  $i$ th指令、执行  $(i-1)$ th 指令。设计与指令周期一致并可提高效率。

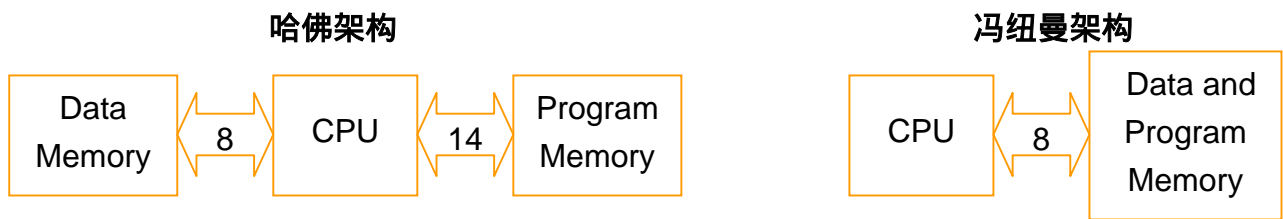


图 5-1 哈佛架构与冯纽曼架构缩略图

### 5.1 程序存储器

内部RC振荡器提供一个可调频率。校准值包含频段及微调值被写到 3FFH。我们使用 MOVLA XX指令，XX是校准值，放在复位向量的位置。对系统来说，3FFH的位置总被保留。如果系统复位，TM58P11会将校准值载入到累加器，并将PC值改成00H。用户可以写数值到OSC\_ADJ寄存器或忽略它。复位和中断请求向量如图5-2所示。

000	<b>MOVAM OSC_ADJ ;;设置内部频率</b>
001   3FD	用户程序
3FE	<b>LGOTO INT_Lable ;;中断请求向量</b>
3FF	<b>MOVLA xxH ;;选择内部频率</b>

图 5-2 TM5811的程序存储器空间

TM58P11 允许直接寻址 1K 存储器任何地址，而不受页面大小限制。另外，lcall 和 lgoto 指令可提供灵活的寻址模式。TM58P11 提供中断请求功能和位于 3FEH 的中断请求向量。



TM58P11 可以在四种外部振荡器模式下工作，比如：低速晶体、正常速度晶体、高速晶体、外部 RC 模式。用户可以通过在配置中设置 FOSC1~0 选择其中任意一种。它位于 800H，包含 OSC 选项。

Watchdog 允许，编码保护，MCLR B 复位允许，内部 OSC，操作类型选择的详细内容如图 5-3 所示。

注：内部 OSC 允许位优先于 OSC 选择位。如果选择内部 OSC，所有外部振荡方式都无效。

位	符号	描述			
		Bit1	Bit0	OSC Type	共振频率
1~0	FOSC1~FOSC0	0	0	LP (低速)	32~200K Hz
		0	1	NT (正常速度)	0.2~10M Hz
		1	0	HS (高速)	10~24M Hz
		1	1	外部 RC	20K~5.5M Hz
2	WDTE	WDTE: Watchdog 允许/禁止控制 1: WDT 允许 0: WDT 禁止			
3	CPT	CPT: 编码保护位 1: 关 0: 开			
4	MCLRE	MCLRE: MCLR B 复位允许 1: MCLR B 允许(低有效) 0: MCLR B 禁止			
5	IN_RC	IN_RC : 内部 RC 振荡器 1: 内部允许 0: 内部禁止			

图 5-3 Configure Word



## 5.2 数据存储

数据存储是由专用功能寄存器和通用寄存器组成的。此外，TM58P11 有 3 个辅助寄存器，分别是：1 个选择寄存器(Select)、2 个 I/O 定向寄存器( IODIR\_A, IODIR\_B)。数据存储映象如图 5-4 所示。

	00~1F	20~3F
00h	IAR	Pre_TMR0
01h	TMR0	IRQ_Mask
02h	PC	IRQ_Flag
03h	STATUS	PORT B
04h	BSR	Unimplemented
05h	OSC_ADJ	
06h	PORTA	
07h	General Purpose Register 07-0F	
<b>9+16*2=41</b>	General Purpose Register 10-1F	General Purpose Register 30-3F

图 5-4 数据存储映象

### 5.2.1 辅助寄存器

A. IODIR\_A和IODIR\_B是只写寄存器。如果控制位设成“1”，相应的I/O引脚定义成输入模式。同样地，零代表输出。任何方向控制位可以作输入或输出用IODIR指令单独地被编程。如果芯片复位，所有I/O端口设成输入模式。

#### 例 1 如何用IODIR指令设置I/O端口

```

PORT A    Equ 06H
PORT B    Equ 23H
IODIR_A   Equ 06H
IODIR_B   Equ 23H
CLRA
IODIR    IODIR_A ;;除 Port A3 以外，Port A5-0 设成输出脚
MOVLA    03H
IODIR    IODIR_B ;;Port B3-2 设成输出脚，Port B1-0 设成输入脚
    
```





B. 选择寄存器用来控制WDT和TMR0。在数据存储器中它不分配一个唯一的地址，而通过选择指令只设置控制位，也就是说，它是只写寄存器。累加器的内容将会通过执行选择指令被送到可选择寄存器。如果程序未设置选择寄存器，默认值是FFH。如图5-5所示说明如何设置选择寄存器。

Bit	Symbol	Description				
		PS2	PS1	PS0	TMR0 rate	WDT rate
2~0	PS2~PS0	0	0	0	1:2	1:1
		0	0	1	1:4	1:2
		0	1	0	1:8	1:4
		0	1	1	1:16	1:8
		1	0	0	1:32	1:16
		1	0	1	1:64	1:32
		1	1	0	1:128	1:64
		1	1	1	1:256	1:128
3	PSA	PSA: 预分频器分配位 1: 分配到 WDT 的预分频器 0: 分配到TMR0的预分频器				
4	EDGE0	EDGE0: TMR0源信号边沿控制位 1:外部时钟信号从高电平到低电平时，定时器加1。 0:外部时钟信号从低电平到高电平时，定时器加1。				
5	SUR0	SUR0: TMR0时钟源位 1: 外部时钟输入 0: (内部时钟)/4 或内部指令周期				
6	IOPUB	IOPUB: 输入引脚上拉电路 (PA <sub>3</sub> , PA <sub>1</sub> and PA <sub>0</sub> ) 1: 禁止 0: 允许				
7	IOWUB	IOWUB: 引脚改变允许唤醒复位 1: 禁止 0: 允许				

图 5-5 选择寄存器

### 5.2.2 专用功能寄存器

- 间接寻址寄存器不是物理寄存器，而是以间接寻址来辅助 bank 选择寄存器。访问间接寻址寄存器的任何指令实际上是映象到 bank 选择寄存器所指的地址。因为间接寻址寄存器不是物理线路，用户读取间接寻址寄存器本身(BSR=00H)将总是返回数据 00H。写间接寻址寄存器本身等同于 NOP 指令。



- TMR0 (TMR0)是8位二进制计数器/定时器，该寄存器通过RTCC引脚的外部信号边沿变化或内部指令周期(4个内部时钟)加1。它具有如下特性：
  1. 可读可写
  2. 如果PSA 位(Select [3])清零，预分频器分配到TMR0。
  3. 通过SUR0位(Select [5])清零，TMR0可设成定时器模式。在该模式下，用户可通过写入平差值或利用预载功能改变TMR0的内容。
  4. 如果中断屏蔽允许，TMR0溢出时，TM58P11会中断。其他详细说明在后面的章节会有具体描述。

- TM58P11有10位二进制计数器和被称为PC\_real与PC的8位寄存器。除了图5-6中显示的条件外，在每个指令周期PC\_real都加1。对于“call”或其他任何指令，PC是目标地址，只有PC的低8位可用指令编程。当程序计数器到下一页时自动加1。值得注意的是：PL位(状态 [5])不会同时被改变。除非PL位在程序中已更新，否则Goto, Call, MOVAM PC将会返回到可选择的页。为了减少程序的复杂性，TM58P11提供2个指令易于子程序调用和分步处理，即LCALL和LGOTO。 LCALL和LGOTO可寻址程序存储器的任何地址，但不必设定页选位。CALL和GOTO的操作数分别是8位和9位，因此需要特殊位 (即页选位)寻址整个存储器。然而LCALL和LGOTO有11位易于寻址ROM所有空间的操作数。

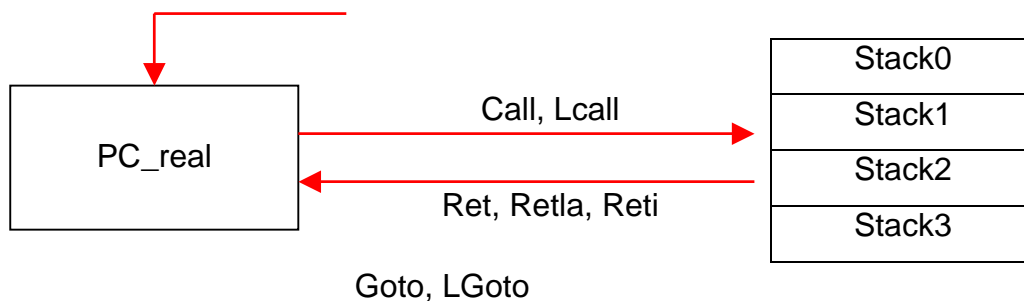


图 5-6 程序计数器与分支指令



状态寄存器包含页选位，超时位，掉电位和 ALU 状态。 $\overline{TO}$ 和 $\overline{PD}$  是受硬件控制的，而不会被程序改变。

位	符号	描述	
0	C	进位位与借位位	
		加指令	减指令
		1: 从 MSB 进位 0: 无进位	1: 无借位 <sup>(注1)</sup> 0: 从MSB 借位
1	DC	四位进位位与四位借位位	
		加指令	减指令
		1: 从低四位进位 0: 无低四位进位	1: 无低四位借位 0: 从低四位借位
2	Z	零标志位： 1: 逻辑操作结果是0 0: 逻辑操作结果是非0	
3	$\overline{PD}$	掉电标志位： <sup>(注2)</sup> 1: 上电后或执行CLRWDWT指令后，结果为1。 0: 执行SLEEP指令后，结果为0。	
4	$\overline{TO}$	超时标志位： 1: 上电后或执行CLRWDWT或SLEEP指令后，结果为1 0: WDT时间溢出时，结果为0	
5	PL	页位置位 1: Page 1 (200H~3FFH) 0: Page 0 (000H~1FFH)	
6	--	Reserved, read as "0"	
7	IOR	IO复位位 1: 唤醒睡眠复位 0: 上电复位与其他复类型	

图 5-7 状态寄存器

注1：减指令的执行是通过与减数的二进制补码相加来实现的，C=1代表结果是正数。C位与借位之间的关系如图5-7-1所示。



B0H - 50H										50H - B0H									
	C	B7	B6	B5	B4	B3	B2	B1	B0		C	B7	B6	B5	B4	B3	B2	B1	B0
+		1	0	1	1	0	0	0	0	+		0	1	0	1	0	0	0	0
=	1	0	1	1	0	0	0	0	0	=	0	1	0	1	0	0	0	0	0

图 5-7-1

注 2： $\overline{TO}$  和  $\overline{PD}$  位是低有效，可决定复位的不同原因。图 5-7-2 举例说明了不同复位后  $\overline{TO}$  和  $\overline{PD}$  的值。

$\overline{TO}$	$\overline{PD}$	复位结果
0	0	从睡眠模式 WDT 超时
0	1	从一般模式 WDT 超时
1	0	从睡眠模式 MCLR B 复位
1	1	上电复位
不变	不变	其他

图 5-7-2

- TM58P11 允许 6 位操作数直接寻址数据存储器，操作数 <5:0> 可以直接寻址 00~3F。它不需要 bank 选择位，减少程序的复杂性。Bank 选择寄存器与间接寻址寄存器间接地访问数据存储器。地址映象如图 5-8 所示。

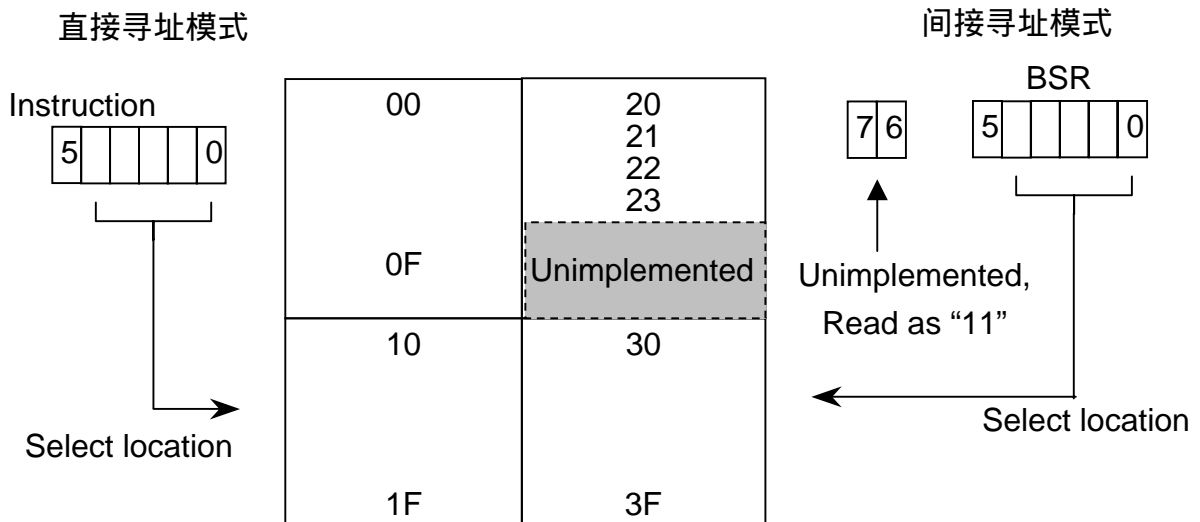


图 5-8 直接寻址与间接寻址映象



- 振荡器调整寄存器用于选择并微调内部RC振荡器。它包含选择主频段的2位和调整频率的其他位。图5-9描述了OSC\_ADJ的定义。

位	符号	描述
4-0	Fine	微调调谐器位： 根据电气特性调节
6-5	Bank	Bank选项： 00: 6M 01: 4M 10: 910K 11: 32K
7	--	不执行

图 5-9 振荡器调整寄存器

- Port A 是可编程的 I/O 口。只使用低 6 位。Bit7~6 不执行，读数为 0。其他位在后面的章节已做描述(见引脚描述)。注：PA<sub>3</sub>只是输入脚。
- 中断屏蔽寄存器和中断标志寄存器被用来控制中断请求处理。TM58P11支持TMR0溢出中断。中断屏蔽寄存器和中断标志寄存器的定义分别如图5-10和5-11所示。

位	符号	描述
7	INTM	整体允许位：INTM比TMR0M有更高的优先级。 1: 允许 0: 禁止 顺便提一下，RETI指令置INTM为1。
6~1	----	不执行
0	TMR0M	TMR0中断允许： 1:允许中断 0: 禁止中断

图 5-10 中断屏蔽寄存器



位	符号	描述
7~1	----	不执行
0	TMR0F	TMR0中断标志位： 1: TMR0计数器溢出产生一个中断请求。TMR0F只能由硬件设置。 <sup>(注)</sup> 0: TMR0F只能由软件清除。

图 5-11 中断标志寄存器

注：中断标志是由硬件设置的，软件只能清除标志。写“1”到标志是无用的。

- Pre\_TMR0 寄存器在以下条件下自动写入 TMR0。
  1. 任何指令写入 TMR0，比如：( clrm TMR0, movam TMR0)
  2. TMR0 溢出
 Pre\_TMR0的默认值是00H。如果Pre\_TMR0保持默认值不变，任何指令写入TMR0，TMR0都清零。

例 2 利用预载功能产生一个计算结果

```

TMR0      Equ 01H
Pre_TMR0  Equ 20H
MOVLA    10h    ;; 设置 TMR0 预分频率为 1 : 2
SELECT
MOVLA    F0h
MOVAM    Pre_TMR0
CLRM     TMR0   ;; TMR0 是 up_count 计数器(F0h, F1h .... FFh, F0h...)
.....    ;; F0h 在 32 个指令周期后重新载入 TMR0
.....

```



## 6. 功能描述

### 6.1 TMR0 与 Watchdog 定时器

图6-1显示TMR0/WDT预分频器的方框图。如图所示，预分频器寄存器可以是TMR0的预分频器或是WDT的后分频器。

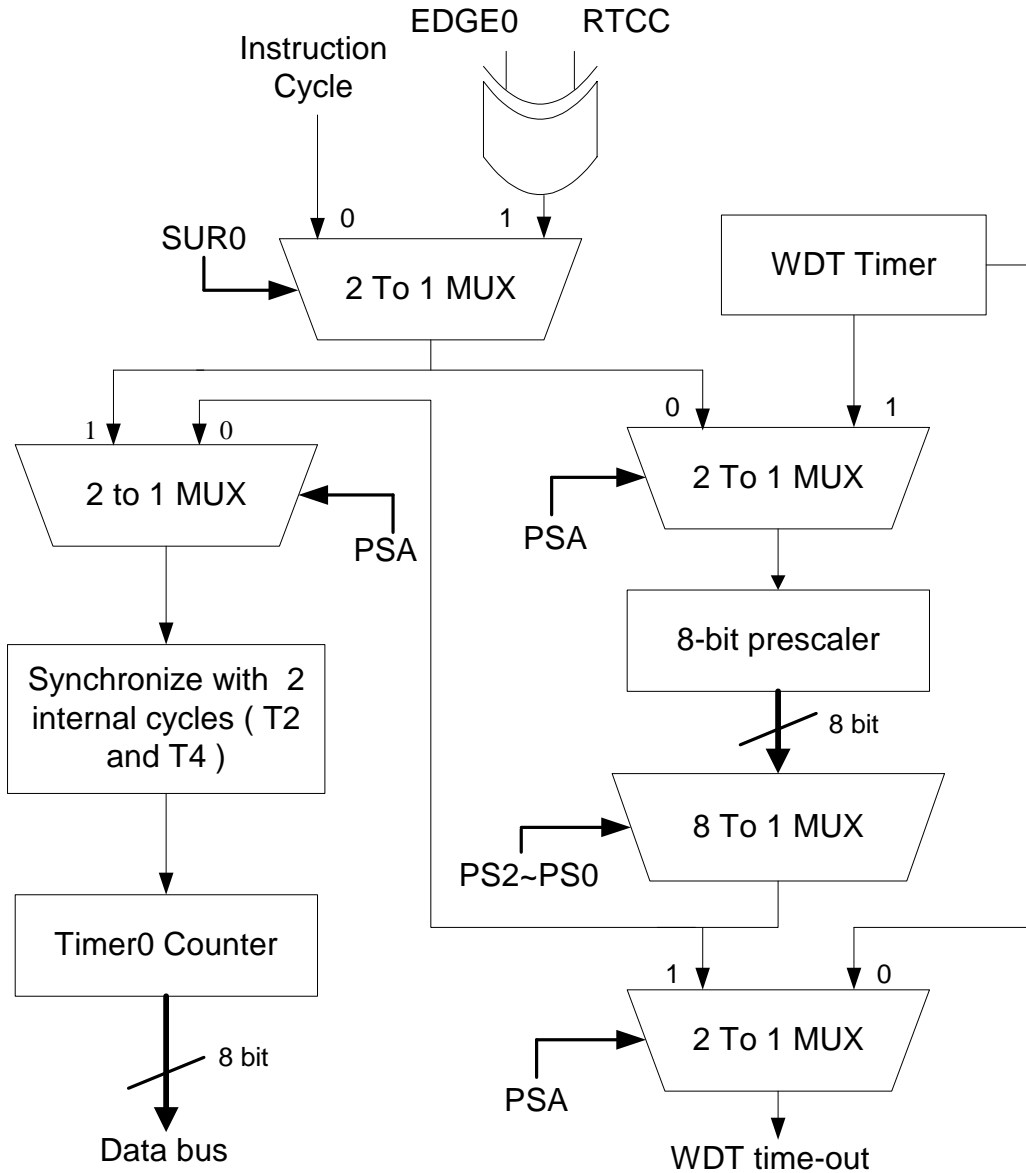


图 6-1 TMR0/WDT预分频器方框图



- A. TMR0 是一个 8 位定时器/计数器。TMR0 的时钟源可以来自指令时钟或外部时钟。选择指令时钟，选择寄存器的SUR0位应该清零。当未使用预分频器时，TMR0将会在每个指令周期加1。
- B. 选择外部时钟，选择寄存器的SUR0位应该置1。在该模式，TMR0根据EDGE0位来决定在外部时钟的上升沿或下降沿加1。当TMR0选择外部时钟时，应当注意外部时钟将与内部时钟同步进行。TM58P11通过内部时钟的T2和T4采样来同步外部时钟。如果外部脉冲小于2个内部时钟周期，那么脉冲可能会被忽略。也就是说，外部时钟必须至少在2个内部时钟周期保持稳定状态。

WDT 计数器是一个 10 位二进制计数器，WDT 时钟源是由一个独立的不需要任何外部时钟的 RC 振荡器芯片提供的。因此，即使芯片已进入睡眠状态，WDT 仍将继续计数。若 WDT 超时，系统将重激活并将超时位(状态寄存器的 bit4)清零。WDT 超时时间会随温度、电源电压的变化而变化，并且可通过设置预分频器来改变超时时间。通过设置 PS2~PS0 为 “111”，最大分频率可达 1 : 128。

通过 PSA 位预分频器可分配到 TMR0 或 WDT。WDT 或 TMR0 不能同时使用预分频器。当预分频器从 TMR0 变成 WDT，或从 WDT 变成 TMR0 时，执行下面的例子(3-4)。下面的例子可以避免超时复位。

```
Clrwdt
Clrm    TMR0; clear prescaler & TMR0
Movla   B'00xx1111
Select
Clrwdt
Movla   B'00xx1xxx; set prescaler to desired
Select          ; WDT rate
```

例 3 预分频从 TMR0 变成 WDT

```
Clrwdt ; clear prescaler & WDT
Movla  B'00xx0xxx
Select ; set prescaler to TMR0 with
          ; new rate
```

例 4 预分频器从 WDT 变成 TMR0





## 6.2 复位

当满足下列任意一个条件时，TM58P11都可能复位。

- (1) 上电
- (2) 睡眠模式改变引脚 (如果允许)
- (3) MCLR/VPP脚输入一个负脉冲
- (4) WDT超时复位(如果允许)

如图6-2所示，四个复位条件被列出。上电的电压范围受process和温度变化的影响。一般来说，我们称这种情况为冷复位。冷复位的时间对于低速晶体和RC振荡器来说可能太短了，它们需要比激活时间长得多的时间。为了确保系统正常，掉电复位时间应与系统时钟同步。

注：激活时间大约20ms，激活时间随电源电压、process、温度变化而变化。

其他情况被称为热复位。不同的复位对寄存器和随机 RAM 的影响也是不同的。根据不同的复位条件置 1 和清零。 $\overline{TO}$ 、 $\overline{PD}$  和 IOR 用来决定复位的类型。 $\overline{TO}$  和  $\overline{PD}$  位保持原来的状态直到发生其它复位。MCLR 输入端的低脉冲不改变  $\overline{TO}$  和  $\overline{PD}$ 。相应复位的关系如图 6-3 所示。

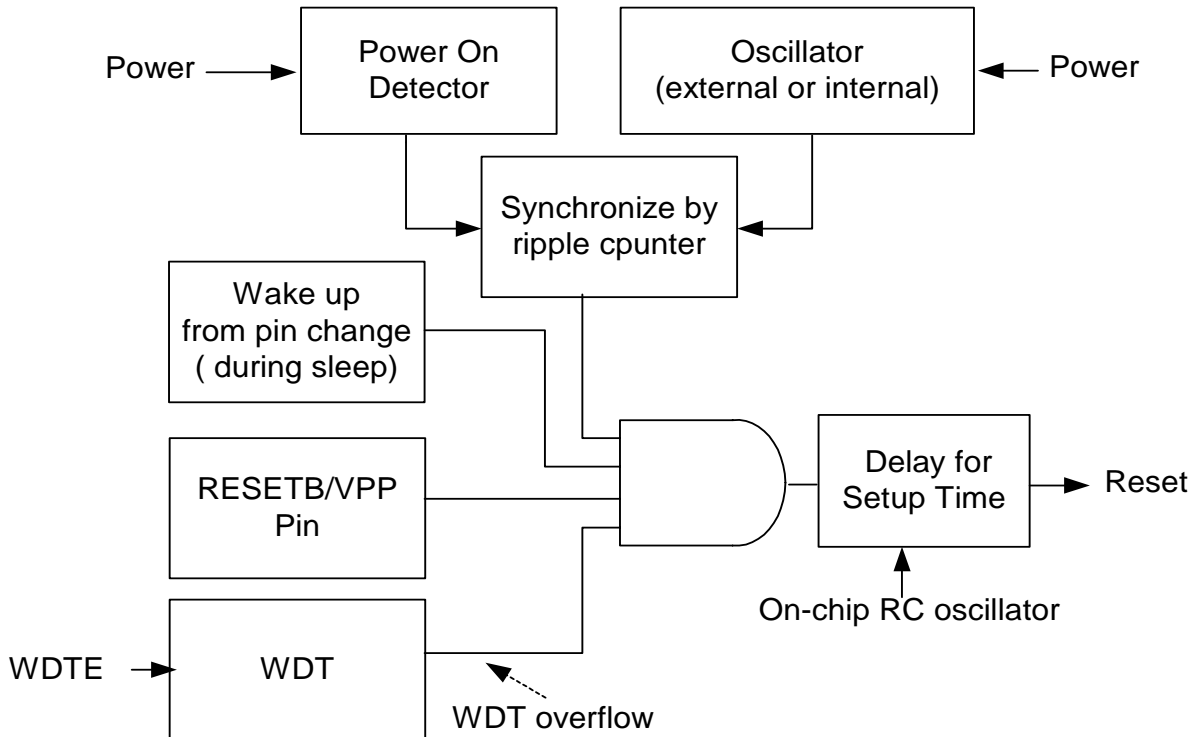


图 6-2 复位控制器



复位条件	状态寄存器		
	IOR	$\overline{TO}$	$\overline{PD}$
上电复位	0	1	1
正常操作状态下 MCLR <sub>B</sub> 复位	0	1	1
睡眠状态下 MCLR <sub>B</sub> 复位	0	1	0
睡眠状态下 WDT 复位	0	0	0
正常操作状态下 WDT 复位	0	0	1
引脚变化唤醒复位	1	1	0

图 6-3 状态寄存器

一般来说，冷复位导致数据存储器的不定性。图 6-4 显示了数据存储器复位类型。

Address	Name	Cold Reset	Warm Reset
N/A	Accumulator	xxxx xxxx	pppp pppp
N/A	IODIR	06	11 1111 <sup>note1</sup>
		07	1111
N/A	Select	1111 1111	1111 1111 <sup>note1</sup>
00h	IAR	---- ----	---- ----
01h	TMR0	xxxx xxxx	pppp pppp
02h	PC	11 1111 1111	11 1111 1111
03h	STATUS	0001 1xxx	?00? ?ppp <sup>note 2</sup>
04h	BSR	11xx xxxx	11pp pppp
05h	OSC_ADJ	0000 0000	0ppp pppp
20h	Pre_TMR0	0000 0000	0000 0000 <sup>note1</sup>
21h	IRQ_Mask	0000 0000	0000 0000
22h	IRQ_Flag	0000 0000	0000 0000
	General Purpose RAM	xxxx xxxx	pppp pppp

图 6-4 数据存储器复位

注 1: 只写

注 2: 参考图 6-3



7. 指令集

Mnemonic Operands	Instruction Code (Advance)	Cycles	Status Affected	OP-code
ADDAM M, m	(M)+(acc) (M)	1	C, DC, Z	10 0101 1MMM MMMM
ADDAM M, a	(M)+(acc) (acc)	1	C, DC, Z	10 0101 0MMM MMMM
ANDAM M, m	(M) . (acc) (M)	1	Z	10 0100 1MMM MMMM
ANDAM M, a	(M) . (acc) (acc)	1	Z	10 0100 0MMM MMMM
ANDLA I	Literal . (acc) (acc)	1	Z	11 1001 iiiii iiiii
BCM M, b0	Clear bit0 of (M)	1	None	00 1100 0MMM MMMM
BCM M, b1	Clear bit1 of (M)	1	None	00 1100 1MMM MMMM
BCM M, b2	Clear bit2 of (M)	1	None	00 1101 0MMM MMMM
BCM M, b3	Clear bit3 of (M)	1	None	00 1101 1MMM MMMM
BCM M, b4	Clear bit4 of (M)	1	None	00 1110 0MMM MMMM
BCM M, b5	Clear bit5 of (M)	1	None	00 1110 1MMM MMMM
BCM M, b6	Clear bit6 of (M)	1	None	00 1111 0MMM MMMM
BCM M, b7	Clear bit7 of (M)	1	None	00 1111 1MMM MMMM
BSM M, b0	Set bit0 of (M)	1	None	00 1000 0MMM MMMM
BSM M, b1	Set bit1 of (M)	1	None	00 1000 1MMM MMMM
BSM M, b2	Set bit2 of (M)	1	None	00 1001 0MMM MMMM
BSM M, b3	Set bit3 of (M)	1	None	00 1001 1MMM MMMM
BSM M, b4	Set bit4 of (M)	1	None	00 1010 0MMM MMMM
BSM M, b5	Set bit5 of (M)	1	None	00 1010 1MMM MMMM
BSM M, b6	Set bit6 of (M)	1	None	00 1011 0MMM MMMM
BSM M, b7	Set bit7 of (M)	1	None	00 1011 1MMM MMMM
BTMSC M, b0	If bit0 of (M) = 0, skip next instruction	1 + (skip)	None	00 0100 0MMM MMMM
BTMSC M, b1	If bit1 of (M) = 0, skip next instruction	1 + (skip)	None	00 0100 1MMM MMMM
BTMSC M, b2	If bit2 of (M) = 0, skip next instruction	1 + (skip)	None	00 0101 0MMM MMMM
BTMSC M, b3	If bit3 of (M) = 0, skip next instruction	1 + (skip)	None	00 0101 1MMM MMMM
BTMSC M, b4	If bit4 of (M) = 0, skip next instruction	1 + (skip)	None	00 0110 0MMM MMMM
BTMSC M, b5	If bit5 of (M) = 0, skip next instruction	1 + (skip)	None	00 0110 1MMM MMMM
BTMSC M, b6	If bit6 of (M) = 0, skip next instruction	1 + (skip)	None	00 0111 0MMM MMMM



BTMSC M, b7	If bit7 of (M) = 0, skip next instruction	1 + (skip)	None	00 0111 1MMM MMMM
BTMSS M, b0	If bit0 of (M) = 1, skip next instruction	1 + (skip)	None	00 0000 0MMM MMMM
BTMSS M, b1	If bit1 of (M) = 1, skip next instruction	1 + (skip)	None	00 0000 1MMM MMMM
BTMSS M, b2	If bit2 of (M) = 1, skip next instruction	1 + (skip)	None	00 0001 0MMM MMMM
BTMSS M, b3	If bit3 of (M) = 1, skip next instruction	1 + (skip)	None	00 0001 1MMM MMMM
BTMSS M, b4	If bit4 of (M) = 1, skip next instruction	1 + (skip)	None	00 0010 0MMM MMMM
BTMSS M, b5	If bit5 of (M) = 1, skip next instruction	1 + (skip)	None	00 0010 1MMM MMMM
BTMSS M, b6	If bit6 of (M) = 1, skip next instruction	1 + (skip)	None	00 0011 0MMM MMMM
BTMSS M, b7	If bit7 of (M) = 1, skip next instruction	1 + (skip)	None	00 0011 1MMM MMMM
CALL I	Call subroutine	2	None	11 0110 iiiiiiii
CLRA	Clear accumulator	1	Z	10 0001 0000 0000
CLRM M	Clear memory M	1	Z	10 0001 1MMM MMMM
CLRWDT	Clear watch-dog register	1	TO, PO	10 0000 0000 0001
COMM M, m	~(M) (M)	1	Z	10 0010 1MMM MMMM
COMM M, a	~(M) (acc)	1	Z	10 0010 0MMM MMMM
DECM M, m	Decrement M to M	1	Z	10 0110 1MMM MMMM
DECM M, a	(M) - 1 (acc)	1	Z	10 0110 0MMM MMMM
DECMSZ M, m	(M) - 1 (M), skip if (M) = 0	1 + (skip)	None	10 0111 1MMM MMMM
DECMSZ M, a	(M) - 1 (acc), skip if (M) = 0	1 + (skip)	None	10 0111 0MMM MMMM
GOTO I	Goto branch	2	None	11 101i iiiiiiii
INCM M, m	(M) + 1 (M)	1	Z	10 1000 1MMM MMMM
INCM M, a	(M) + 1 (acc)	1	Z	10 1000 0MMM MMMM
INCMSZ M, m	(M) + 1 (M), skip if (M) = 0	1 + (skip)	None	10 1001 1MMM MMMM
INCMSZ M, a	(M) + 1 (acc), skip if (M) = 0	1 + (skip)	None	10 1001 0MMM MMMM
IODIR M	Set i/o direction	1	None	10 0000 0000 0MMM
IORAM M, m	(M) ior (acc) (M)	1	Z	10 1111 1MMM MMMM
IORAM M, a	(M) ior (acc) (acc)	1	Z	10 1111 0MMM MMMM
IORLA I	Literal ior (acc) (acc)	1	Z	11 0011 iiiiiiii



LCALL I	Call subroutine. However, LCALL can addressing 2K address	2	None	01 0iii iiiiii
LGOTO I	Go branch to any address	2	None	01 1iii iiiiii
MOVAM m	Move data form acc to memory	1	None	10 0000 1MMM MMMM
MOVLA I	Move literal to accumulator	1	None	11 0001 iiiiii
MOVM M, m	(M) (M)	1	Z	10 0011 1MMM MMMM
MOVM M, a	(M) (acc)	1	Z	10 0011 0MMM MMMM
NOP	No operation	1	None	10 0000 0000 0000
RET	Return	2	None	11 1111 0111 1111
RETI	Return and enable INTM	2	None	11 1111 1111 1111
RETLA I	Return and move literal to accumulator	2	None	11 1100 iiiiii
RLM M, m	Rotate left from m to itself	1	C	10 1100 1MMM MMMM
RLM M, a	Rotate left from m to acc	1	C	10 1100 0MMM MMMM
RRM M, m	Rotate right from m to itself	1	C	10 1110 1MMM MMMM
RRM M, a	Rotate right from m to acc	1	C	10 1110 0MMM MMMM
SELECT	Set select register	1	None	10 0000 0000 0010
SLEEP	Enter sleep (saving) mode	1	TO, PO	10 0000 0000 0011
SUBAM M, m	(M)-(acc) (M)	1	C, DC, Z	10 1010 1MMM MMMM
SUBAM M, a	(M) -(acc) (acc)	1	C, DC, Z	10 1010 0MMM MMMM
SWAPM M, m	Swap data from m to itself	1	None	10 1101 1MMM MMMM
SWAPM M, a	Swap data from m to acc	1	None	10 1101 0MMM MMMM
XORAM M, m	(M) xor (acc) (M)	1	Z	10 1011 1MMM MMMM
XORAM M, a	(M) xor (acc) (acc)	1	Z	10 1011 0MMM MMMM
XORLA I	Literal xor (acc) (acc)	1	Z	11 1000 iiiiii



## 8. 电气特性

### 8.1 绝对最大额定值

电源电压 ....  $V_{SS}-0.3V$  to  $V_{SS}+5.5V$  存储温度 ...  $-50$  to  $125$

输入电压 .....  $V_{SS}-0.3V$  to  $V_{DD}+0.3V$  工作温度...  $0$  to  $70$

### 8.2 直流电特性

Symbol	Parameter	Test Conditions		Min.	Typ.	Max.	Unit
		VDD	Conditions				
VDD	Operating Voltage	---		2.2		5.5	V
$V_{IH}$	Input High Voltage	5V	I/O Port	2		Vdd	V
$V_{IL}$	Input Low Voltage	5V	I/O Port			0.8	V
$I_{DD1}$	Standby Current	5V	WDT disable			1	$\mu A$
			WDT enable			6	
		3V	WDT disable			1	
			WDT enable			2	
$I_{IL}$	Input Leakage Current	5V	$V_{in}=V_{DD}, V_{SS}$			1	$\mu A$
$I_{OH}$	I/O Port Driving Current	5.5V	$V_{oh}=5V$			9.9	mA
			$V_{oh}=4.5V$			17.6	
			$V_{oh}=4V$			24.8	
$I_{OL}$	I/O Port Sink Current	5.5V	$V_{ol}=0.5V$			24.5	mA
			$V_{ol}=0.75V$			35.3	
			$V_{ol}=1V$			43.8	



### 8.3 交流电特性

Symbol	Parameter	Test Conditions		Min	Typ	Max	Unit
		Conditions	VDD				
f <sub>sys1</sub>	System Clock	LP Crystal mode	5V	32		200	Khz
			3V	32		200	
f <sub>sys2</sub>	System Clock	NT Crystal mode	5V	0.2		10	Mhz
			3V	0.2		10	
f <sub>sys3</sub>	System Clock	HS Crystal mode	5V	10		20	Mhz
			3V	10		20	
f <sub>sys4</sub>	System Clock	RC mode	5V			6	Mhz
			3V			4	
T <sub>wdt</sub>	Watchdog Timer		5V		20		mS
			3V		30		
T <sub>rht</sub>	Reset Hold Time		5V		20		mS
			3V		30		

### 8.4 附录

电气特性：(基本的)

#### 1. 反向电流& 驱动电流

V<sub>dd</sub> = 2.5V

V <sub>oh</sub>	0.5	1	1.5	2	V
	8.45	8	6.88	4.25	mA

V <sub>ol</sub>	0.25	0.5	1	V
	6.8	12.2	17.9	mA

#### 2. 外部 RC 振荡器频率对电压

V<sub>dd</sub> = 5V

	3.3K	4.7K	5.6K	10K	47K	100K	330K	470K
<b>20pf</b>	3.32M	2.58M	2.23M	1.37M	332K	161K	47.9K	35K
<b>50pf</b>	2.3M	1.74M	1.49M	890K	205K	99K	29K	21.3K
<b>100pf</b>	1.77M	1.32M	1.12M	660K	149K	71.7K	21K	15.4K
<b>300pf</b>	1.024M	747.5K	631K	363K	80K	38.2K	11.2K	8.2K



Vdd = 3V

	<b>3.3K</b>	<b>4.7K</b>	<b>5.6K</b>	<b>10K</b>	<b>47K</b>	<b>100K</b>	<b>330K</b>	<b>470K</b>
<b>20pf</b>	3M	2.6M	2.4M	1.736M	517.8K	264.6K	121.6K	60.8K
<b>50pf</b>	2.2M	1.8M	1.6M	1.05M	273.8K	135.8K	40.7K	30K
<b>100pf</b>	1.69M	1.337M	1.16M	734.6K	179.4K	88.2K	26.1K	19.2K
<b>300pf</b>	887.2K	667K	568.3K	334.7K	76.5K	36.9K	10.85K	7.93K