



## 1. 基本特性

ROM: 2K x 14 位

RAM: 96 x 8 位

堆栈: 4 级

I/O 口: 20 个 I/O

定时器/计数器: 8 位 x 1 (TMR<sub>0</sub>)

预分频器: 8 位

2 个中断请求: 内部中断请求: (TMR<sub>0</sub>)

外部中断请求: (PA<sub>0</sub>)

Watchdog 定时器: 在芯片上基于内部 RC 振荡器的 watchdog, 最短周期是 20mS; 用户可通过使用预分频器使 watchdog 溢出周期达到 2.6S。

上电复位 & 掉电复位

复位定时器: 20 mS (5V)

1 个内部 RC 振荡器

4 种外部振荡模式: RC 和 (LS,NS,HS)晶振

2 种操作模式:一般模式, 高级模式

工作电压: 2.5V ~ 5.5V

指令集: 79 个

唤醒: watchdog 定时器溢出, Port A (PA<sub>3</sub>~PA<sub>0</sub>)

复位向量: 7FFH

中断请求向量: 7FEH

低电压检测: 电压不足将导致复位。

例如: 假定芯片在 VDD= 5V 条件下工作, 如果  $\Delta VDD < 4V$ , 那么芯片将会复位。



## 2 脚位定义

EXT_CLK	1	28	RESETB/VPP
VDD	2	27	OSC <sub>1</sub>
NC	3	26	OSC <sub>2</sub>
VSS	4	25	PC <sub>7</sub>
NC	5	24	PC <sub>6</sub>
PA <sub>0</sub>	6	23	PC <sub>5</sub>
PA <sub>1</sub>	7	22	PC <sub>4</sub>
PA <sub>2</sub>	8	21	PC <sub>3</sub>
PA <sub>3</sub>	9	20	PC <sub>2</sub>
PB <sub>0</sub>	10	19	PC <sub>1</sub>
PB <sub>1</sub>	11	18	PC <sub>0</sub>
PB <sub>2</sub>	12	17	PB <sub>7</sub>
PB <sub>3</sub>	13	16	PB <sub>6</sub>
PB <sub>4</sub>	14	15	PB <sub>5</sub>

## 脚位描述

脚位名称	I/O	描述
EXT_CLK	I	TMR <sub>0</sub> 计数器的外部时钟输入脚
PA <sub>0</sub>	I	I/O 口&外部中断请求输入&唤醒输入
PA <sub>3-0</sub>	I/O	I/O 口&唤醒 (输入模式)
PB <sub>7-0</sub>	I/O	I/O 口
RESETB/VPP	I	系统复位信号& VPP (高电压) 输入 1 低电压: 复位模式 2 高电压: 编程模式
OSC <sub>1</sub>	I	振荡器输入
OSC <sub>2</sub>	O	振荡器输出
VDD	P	电源输入
VSS	P	接地输入

I: 输入; O: 输出; I/O: Bi-方向; P: 电源

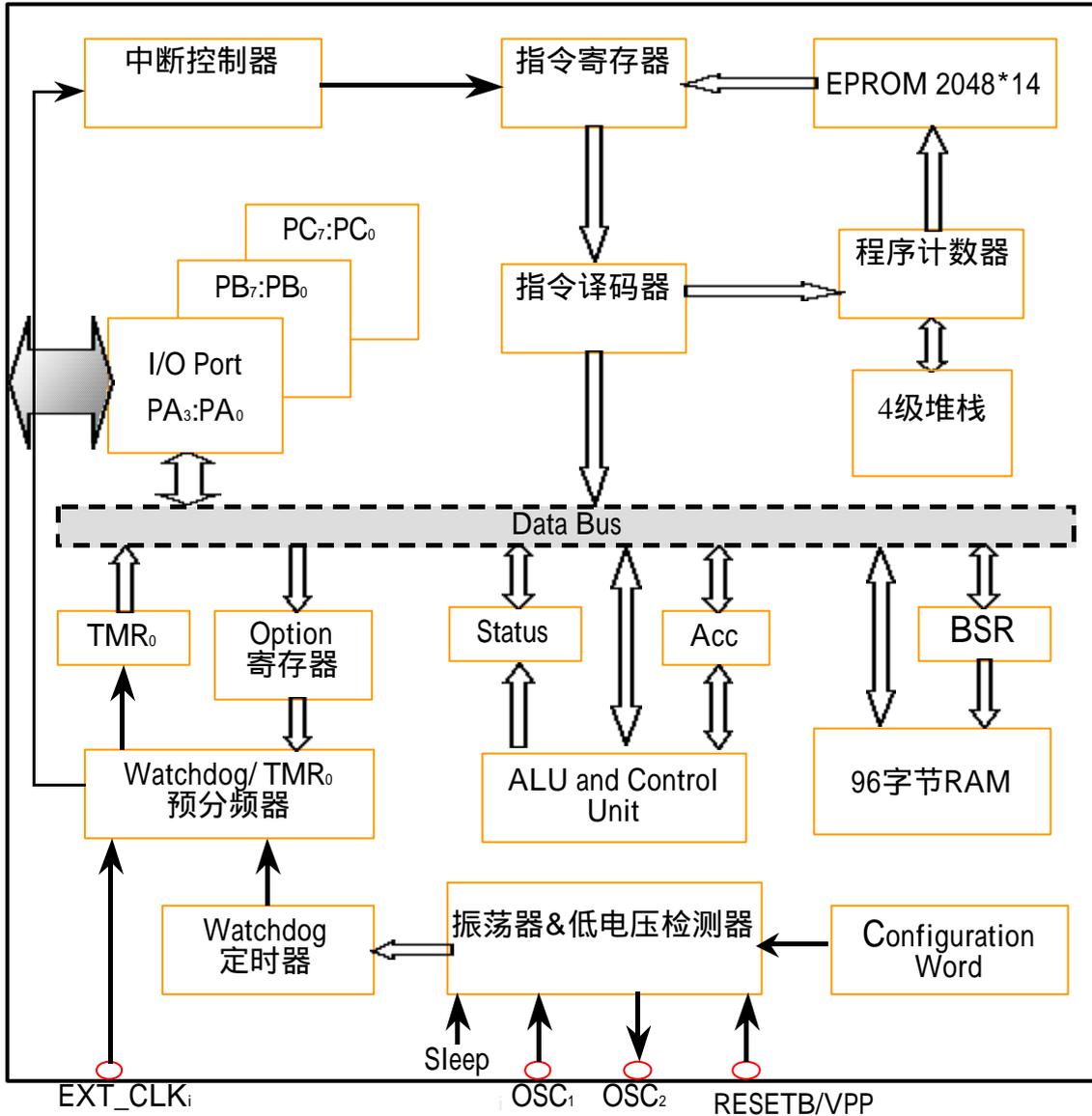


3. 存储器

Name	Addr	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CONFIG (Instruction)			LV <sub>1</sub>	LV <sub>0</sub>	TYPE	CPT	WDTE	FOSC <sub>1</sub>	FOSC <sub>0</sub>
SELECT				SUR <sub>0</sub>	EDGE <sub>0</sub>	PSA	PS <sub>2</sub>	PS <sub>1</sub>	PS <sub>0</sub>
INDF	\$00		A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>
TMR <sub>0</sub>	\$01	D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
PC	\$02	D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
STATUS	\$03		SA <sub>1</sub>	SA <sub>0</sub>	$\overline{TO}$	$\overline{PD}$	Z	DC	C
BSR	\$04				D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
I/O Port <sub>a</sub>	\$05					PA <sub>3</sub>	PA <sub>2</sub>	PA <sub>1</sub>	PA <sub>0</sub>
I/O Port <sub>b</sub>	\$06	PB <sub>7</sub>	PB <sub>6</sub>	PB <sub>5</sub>	PB <sub>4</sub>	PB <sub>3</sub>	PB <sub>2</sub>	PB <sub>1</sub>	PB <sub>0</sub>
I/O Port <sub>c</sub>	\$07	PC <sub>7</sub>	PC <sub>6</sub>	PB <sub>5</sub>	PC <sub>4</sub>	PC <sub>3</sub>	PC <sub>2</sub>	PC <sub>1</sub>	PC <sub>0</sub>
WAKE_UP	\$20	WDTS	WUE	EIS		PUH <sub>3</sub>	PUH <sub>2</sub>	PUH <sub>1</sub>	PUH <sub>0</sub>
IRQM	\$21	INTM					EXINTM		TMR0M
IRQF	\$22						EXINTF		TMR0F



#### 4. 系统图表





## 5. 存储器解说

### 存储器映像

TM58P20 存储器分为程序存储器和数据存储器。

#### 5.1 程序存储器

TM58P20 提供 2 种程序存储器映像，即一般模式和高级模式。用户可通过设置 configure word 选择不同模式。

在一般模式下，可直接寻址的同一页上只有 512 个字。Extra program memory 可以通过设置状态寄存器的 bit6~bit5 寻址。指令执行顺序是由程序计数器控制的，程序计数器自动加 1。然而顺序也能被 skip, call, goto 指令改变，或者通过移动数据到程序计数器改变顺序。

在高级模式下，TM58P20 允许直接寻址 2K 存储器任何地址，而不受页面大小限制。另外，lcall 和 lgoto 指令可提供灵活的寻址模式。

TM58P20 有一个可访问 2K 空间的 11 位程序计数器。如果访问地址超过 2K，地址仍会映像到 2K 存储器，也就是 2K+M 将会映像到 M。在复位向量位置加一个 NOP 指令会导致在地址 000h 处重激活。ROM 结构如图 5-1 所示：

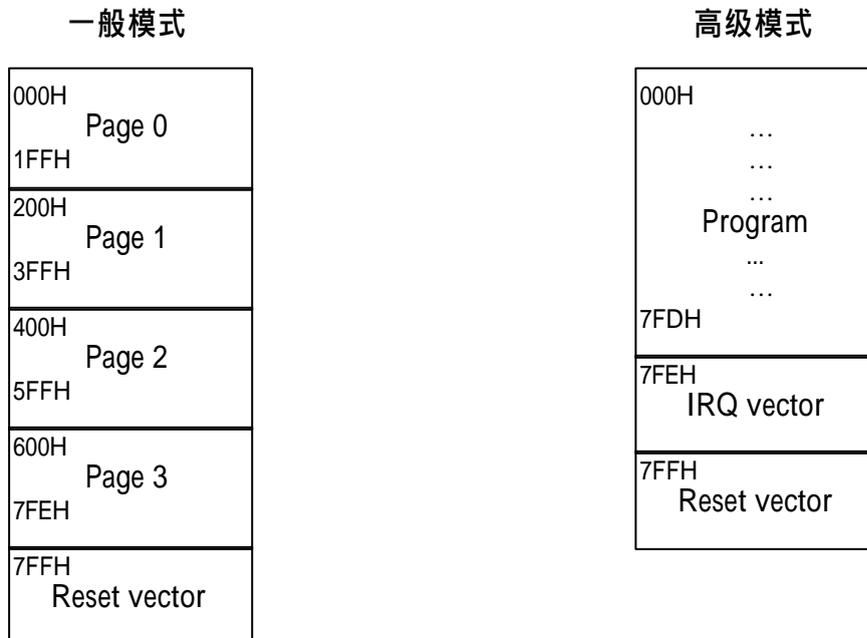


图 5-1 ROM 结构



TM58P20 只在高级模式提供中断请求功能。在该模式下地址 7EEH 保存中断向量。用户可以通过设置 configuration word 进入高级模式。configuration word 位于 800H, 包含振荡选择, WDT 允许, 编码保护; 运行类型选择和电平如图 5.2 所示:

Bit	Symbol	Description			
		Bit1	Bit0	OSC Type	Resonance Frequency
1~0	FOSC <sub>1</sub> ~FOSC <sub>0</sub>	0	0	LS (低速)	32~200Khz
		0	1	NS (一般速度)	1~10Mhz
		1	0	HS (高速)	10~20Mhz
		1	1	RC	32K ~ 6M Hz
2	WDTE	WDTE: Watchdog enable/disable control 1: WDT enable 0: WDT disable			
3	CPT	CPT: Code Protection bit 1: OFF 0: ON			
4	TYPE	TYPE: Select operating mode 1: Advanced mode 0: General mode			
6~5	LV <sub>1</sub> ~LV <sub>0</sub>	LV <sub>1</sub>	LV <sub>0</sub>	Detect voltage	
		1	1	Don' t use	
		0	1	1V	
		1	0	2V	
		0	0	4V	

图 5-2 Configuration Word



5.2 数据存储

数据存储是由专用的功能寄存器和通用随机存储器组成的。数据存储的大小是不固定的，它是根据 configure word 的 bit4 来决定的（一般模式或高级模式）。

在一般模式下，TM58P20提供72个通过bank选择机制存取数据的通用寄存器。专用功能寄存器包含程序计数器，定时器(TMR<sub>0</sub>)寄存器，状态寄存器，bank选择寄存器，I/O寄存器。此外TM58P20有3个辅助寄存器：间接寻址寄存器(IAR)，选择寄存器(Select)，I/O direction register (IODIR)。一般模式的寄存器映像如图5-3所示：

	Bank0	Bank1	Bank2	Bank3
00h	IAR	Map back to address in Bank0		
01h	TMR <sub>0</sub>			
02h	PC			
03h	STATUS			
04h	BSR			
05h	PORTA			
06h	PORTB			
07h	PORTC			
08h~0fh	General Purpose Register			
8 + 16 * 4 = 72	General Purpose Register 10 - 1F	General Purpose Register 30 - 3F	General Purpose Register 50 - 5F	General Purpose Register 70 - 7F

图5-3 一般模式寄存器映像



- A. 间接寻址寄存器不是物理寄存器，而是以间接寻址来辅助bank选择寄存器。访问间接寻址寄存器的任何指令实际上是映像到bank选择寄存器所指的地址。因为间接寻址寄存器不是物理线路，用户读取间接寻址寄存器本身(BSR=00H)将总是返回数据00h。写间接寻址寄存器本身等同于NOP指令。
- B. 选择寄存器用来控制WDT和TMR<sub>0</sub>。在数据存储器中它不分配一个特定的地址，而通过选择指令只设置控制位，也就是说，它是只写寄存器。累加器的内容将会通过执行选择指令被送到选择寄存器。如果程序未设置选择寄存器，默认值是3FH。如图5-4所示说明如何设置选择寄存器。

位	符号	描述				
		PS2	PS1	PS0	TMR <sub>0</sub> rate	WDT rate
2~0	PS <sub>2</sub> ~PS <sub>0</sub>	0	0	0	1:2	1:1
		0	0	1	1:4	1:2
		0	1	0	1:8	1:4
		0	1	1	1:16	1:8
		1	0	0	1:32	1:16
		1	0	1	1:64	1:32
		1	1	0	1:128	1:64
		1	1	1	1:256	1:128
3	PSA	PSA: 预分频器分配位 1: 分配到 WDT 的预分频器 0: 分配到TMR <sub>0</sub> 预分频器				
4	EDGE <sub>0</sub>	EDGE <sub>0</sub> : TMR <sub>0</sub> 源信号边沿控制位 1: 外部时钟信号从高电平到低电平时, 定时器加1。 0: 外部时钟信号由低电平到高电平时, 定时器加1。				
5	SUR <sub>0</sub>	SUR <sub>0</sub> : TMR <sub>0</sub> 时钟源位 1: 外部时钟输入 0: (内部时钟)/4 或内部指令周期				

图5-4 选择寄存器

- C. I/O控制寄存器与选择寄存器相似，也是只写寄存器。设置一个I/O口作为输入，相应的方向控制位必须是一,同样地零代表输出。任何方向控制位可用I/O控制寄存器指令作为输入或输出单独地被编程。如果寄存器不被编程，所有的I/O口将总保持输入模式。



- 程序计数器是11位二进制计数器，除了在下边的条件下，每个指令周期，计数器都加1。
  1. call, goto, lcall 与 lgoto: 标记地址放到程序计数器
  2. ret, retla 与 reti: 堆栈最上层的资料弹到程序计数器当程序计数器到下一页时自动加1。 值得注意的是: 状态寄存器中页选位不会同时被改变。 除非页选位在程序中已更新, 否则Goto, Call, MOVAM 02H 将会返回到原来的页。 为了减少程序的复杂性, 高级模式提供2个指令益于子程序调用和分步处理, 即LCALL, LGOTO。 LCALL和LGOTO可寻址ROM任何地址, 但不必设定页选位。 CALL和GOTO的操作数分别是8位和9位, 因此需要特殊位(即页选位)寻址整个存储器。 然而LCALL和LGOTO有11位易于寻址ROM所有空间的操作数。
- TMR<sub>0</sub>是8位二进制计数器/定时器, 该寄存器通过EXT\_CLK脚的外部信号边沿变化或内部指令周期加1。它具有如下特性:
  - A. 可读可写
  - B. 2个内部时钟同步
  - C. 可通过设置选择寄存器使用可编程预分频器, 其它详细说明在下一章会有具体描述。
- 状态寄存器包含页选位, 超时位, 掉电位和ALU状态。 值得注意的是 $\overline{TO}$ 和 $\overline{PD}$ 是受硬件控制的, 而不会被程序改变。



位	符号	描述		
0	C	进位位与借位位:		
		加指令		减指令
		1: 从 MSB 进位 0: 无进位		1: 无借位 <sup>(Note1)</sup> 0: 从MSB借位
1	DC	四位进位位与四位借位位		
		加指令		减指令
		1: 从低四位进位 0: 无低四位进位		1: 无低四位借位 0: 从低四位借位
2	Z	0标志位: 1: 逻辑操作结果是0 0: 逻辑操作结果非0		
3	$\overline{PD}$	掉电标志位: <sup>(注2)</sup> 1: 上电后或执行CLRWDT指令后, 结果为1 0: 执行SLEEP指令后, 结果为0		
4	$\overline{TO}$	溢出标志位: 1: 上电后或执行CLRWDT或SLEEP指令后, 结果为1 0: WDT 时间溢出时, 结果为0		
6~5	SA <sub>1</sub> ~SA <sub>0</sub>	SA1	SA0	页位置
		0	0	Page 0 (000H~1FFH)
		0	1	Page 1 (200H~3FFH)
		1	0	Page 2 (400H~5FFH)
		1	1	Page 3 (600H~7FFH)

图 5-5 状态寄存器

注1: 减指令的执行是通过与减数的二进制补码相加来实现的, C = 1 代表结果是正数。C位与借位之间的关系如图5-5-1所示。



B0H - 50H										50H - B0H									
	C	B7	B6	B5	B4	B3	B2	B1	B0		C	B7	B6	B5	B4	B3	B2	B1	B0
		1	0	1	1	0	0	0	0			0	1	0	1	0	0	0	0
+		1	0	1	1	0	0	0	0	+		0	1	0	1	0	0	0	0
=	1	0	1	1	0	0	0	0	0	=	0	1	0	1	0	0	0	0	0

图 5-5-1

注 2:  $\overline{TO}$  和  $\overline{PD}$  位是低有效, 且用来判别复位的不同原因。图 5-5-2 举例说明了不同复位后  $\overline{TO}$  和  $\overline{PD}$  的值。

$\overline{TO}$	$\overline{PD}$	复位结果
0	0	从睡眠模式唤醒超时
0	1	从一般模式 WDT 超时
1	0	上电复位
1	1	从睡眠模式 MCLR 复位
不变	不变	从一般模式 MCLR 复位

图 5-5-2



bank 选择寄存器协同间接寻址寄存器间接地寻址数据存储器。直接寻址必须根据 bank 选择寄存器存取 bank1 ~ bank3, 因为在一般模式下只有 5 位地址操作数。Bank 选择寄存器的 bit6-bit5 被用来选择指定的存储器 bank。地址 20H~2FH, 40H~4FH, 60H~6FH 是不可存取的, 这些地址将映像到 00H~0FH (Bank0), 地址映像如图 5-6 所示:

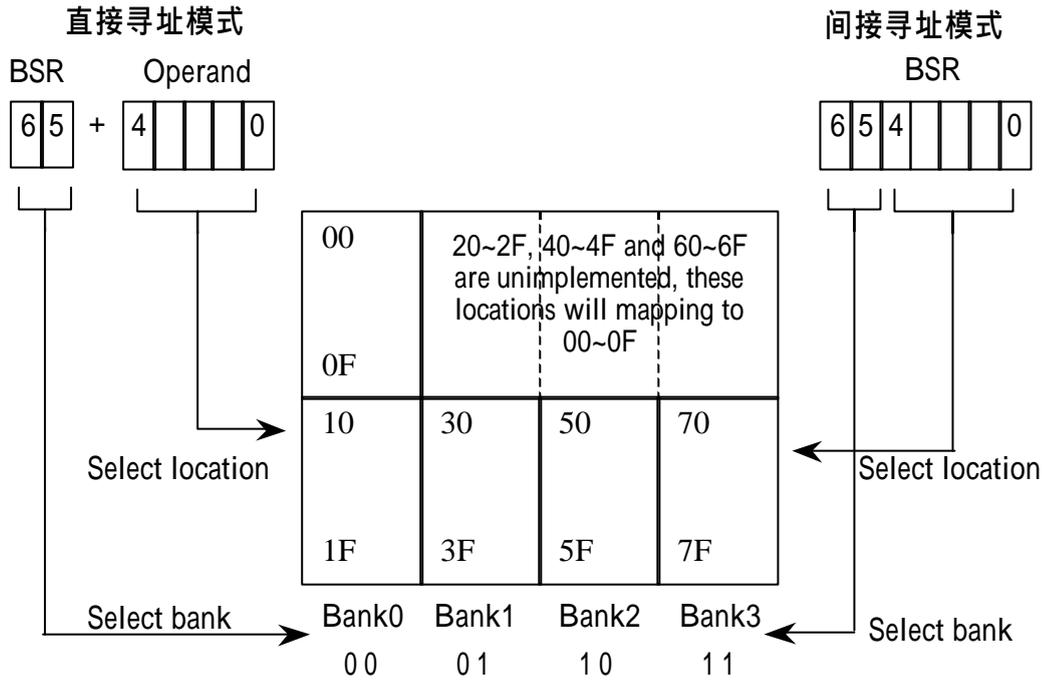


图 5-6 直接寻址与间接寻址映像

- Port A~C 是可编程的 I/O 口。值得注意的是, 即使 I/O 脚是输出模式, 读 I/O 指令也总是读 I/O 脚。复位时所有 I/O 脚都被置成输入模式, 直到 IO 寄存器被改变。



在高级模式中提供了中断请求，方便叫醒功能和灵活寻址模式。除扩充数据存储器之外，还增加了 3 个支持中断请求和叫醒功能的寄存器。这一节将介绍这些增加的控制寄存器和字符特性。高级模式的数据存储器映像和寻址映像如图 5-7 和图 5-8 所示：

	00~1F	20~3F	41~5F	60~7F
00h	IAR	WAKE_UP	Unimplemented	
01h	TMR <sub>0</sub>	IRQM		
02h	PC	IRQF		
03h	STATUS	Unimplemented		
04h	BSR			
05h	PORTA			
06h	PORTB			
07h	PORTC			
8 * 4 + 16 * 4 = 96	通用寄存器 08-0F	通用寄存器 28-2F	通用寄存器 48-4F	通用寄存器 68-6F
	通用寄存器 10-1F	通用寄存器 30-3F	通用寄存器 50-5F	通用寄存器 70-7F

图 5-7 高级模式数据存储器映像

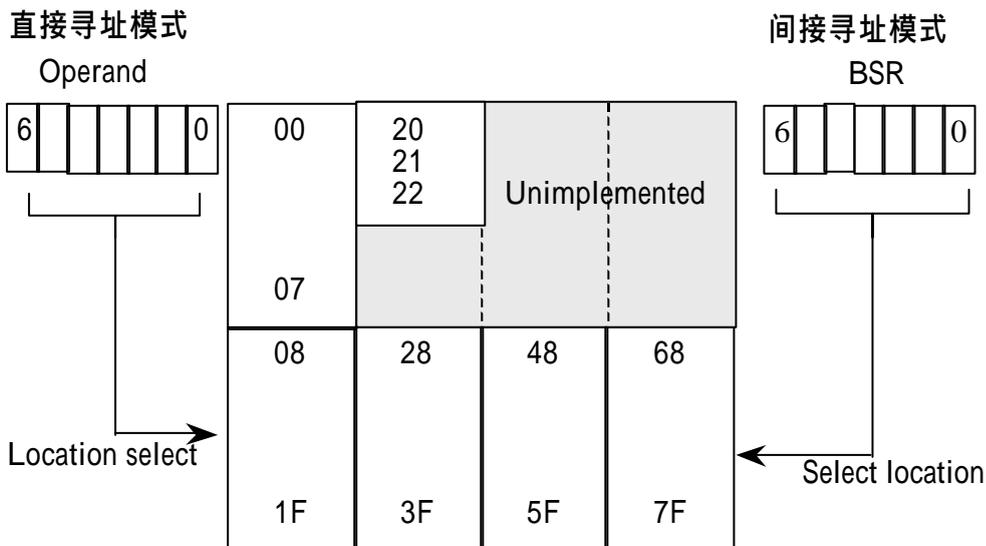


图 5-8 直接寻址和间接寻址映像



在高级模式, 我们增加了 24 个通用寄存器, 即图 5-7 中的阴影区域 28~2F, 48~4F, 68~6F。中断请求和唤醒控制寄存器 (WAKE\_UP, IRQM, IRQF) 分别被分配到 20, 21, 22。在一般模式, BSR<6,5> 是 bank 选择位, 用来选择 bank (00=bank0, 01=bank1, 10=bank2, 11=bank3)。bank1, bank2, bank3 的低 16 位映像到 bank0。在高级模式, TM58P20 允许 7 位操作数访问随机存储器, 操作数<6:0>可直接寻址 00~7F, 不需要 bank 选择位, 减少编程的复杂性。



- 唤醒控制寄存器(WAKE\_UP)被用作设定 watchdog 允许或禁止, 区别外部唤醒信号和中断请求。复位时, 所有位清零。唤醒寄存器的具体定义如图 5-9 所示:

位	符号	描述
7	WDTS	Watch Dog定时器软件控制位: TM58P20 有2个WDT控制位(WDTE, WDTS), WDTE是在 configuration word中由硬件设置的, 而WDTS是在控制寄存器中由软件设置的。只有当WDTE被设置后, WDTS才是有效的, 也就是说, WDTE比WDTS有更高的优先级。 1: 允许 0: 禁止
6	WUE	唤醒允许位: 0: 不支持外部唤醒 1: 允许外部唤醒功能
5	EIS	外部中断选择: 1: 置PA <sub>0</sub> 作外部中断请求脚 <sup>(注3)</sup> 0: 置PA <sub>0</sub> as a bi-directional I/O pin
4	----	
3~1	PUH <sub>3</sub> ~PUH <sub>1</sub>	A□bit3 ~1上拉: 0: 禁止外部唤醒 1: 如果(WUE) & (PUH <sub>N</sub> ) & (在PA <sub>N</sub> 输入一个下降沿信号), 那么将从睡眠状态唤醒芯片。N可以是3, 2或1, 但必须保持一致。
0	PUH <sub>0</sub>	A□bit0上拉: 0: 禁止外部唤醒和外部中断 1: 如果(WUE) & (PUH <sub>0</sub> ) & (在PA <sub>0</sub> 输入一个下降沿信号), 那么将从睡眠状态唤醒芯片。或者如果(EIS) & (PUH <sub>0</sub> ) & (在PA <sub>0</sub> 输入一个下降沿信号), 那么产生一个中断请求。 注: 如果PUH <sub>0</sub> , WUE, EIS 被置成‘1’, 那么PA <sub>0</sub> 被定义成中断请求输入脚。

Figure 5-9 The Scheme of Wake\_Up Register

注 3: 中断请求必须在一般模式下执行。如果在睡眠状态出现中断请求, 那么直到芯片被外部唤醒信号唤醒时中断请求才会执行。其它唤醒方式包含 (1) 上电复位 (2) 外部复位 (3) WDT 溢出 (允许时)。在上列状态下, 中断请求应该被忽略。



- 中断屏蔽寄存器和中断标志寄存器被用作控制中断请求处理。TM58P20 支持 TMR<sub>0</sub> 和外部中断，但不允许中断嵌套。 中断屏蔽寄存器和中断标志寄存器的具体定义分别如 Fig 5-10 和 Fig 5-11 所示:

位	符号	描述
7	INTM	整体允许位: INTM比EXINTM和TMR0M有更高的优先级。 1: 允许 0: 禁止 RETI指令将置INTM 为‘1’。
6~3	----	
2	EXINTM	外部中断允许: 1:允许中断 0: 禁止中断
1	----	
	TMR0M	外部中断允许: 1:允许中断 0: 禁止中断

图 5-10 中断屏蔽寄存器

位	符号	描述
7~3	----	
2	EXINTF	外部中断标志: 1: 外部接口(PA <sub>0</sub> ) <sup>(注4)</sup> 产生的外部中断请求。
1	----	
0	TMR0F	外部中断标志: 1: TMR <sub>0</sub> 计数器溢出产生一个中断请求。

图 5-11 中断标志寄存器

注 4: 中断标志都是由硬件设置的, 软件只能清除标志。 写 1 到标志是无用的。



## 6. 功能描述

### 6.1 TMR<sub>0</sub>和 Watchdog 定时器

图 6-1 显示 TMR<sub>0</sub>/WDT 预分频器的方框图。如图所示, 预分频器寄存器可以是 TMR<sub>0</sub>的预分频器或是 WDT 的后分频器。

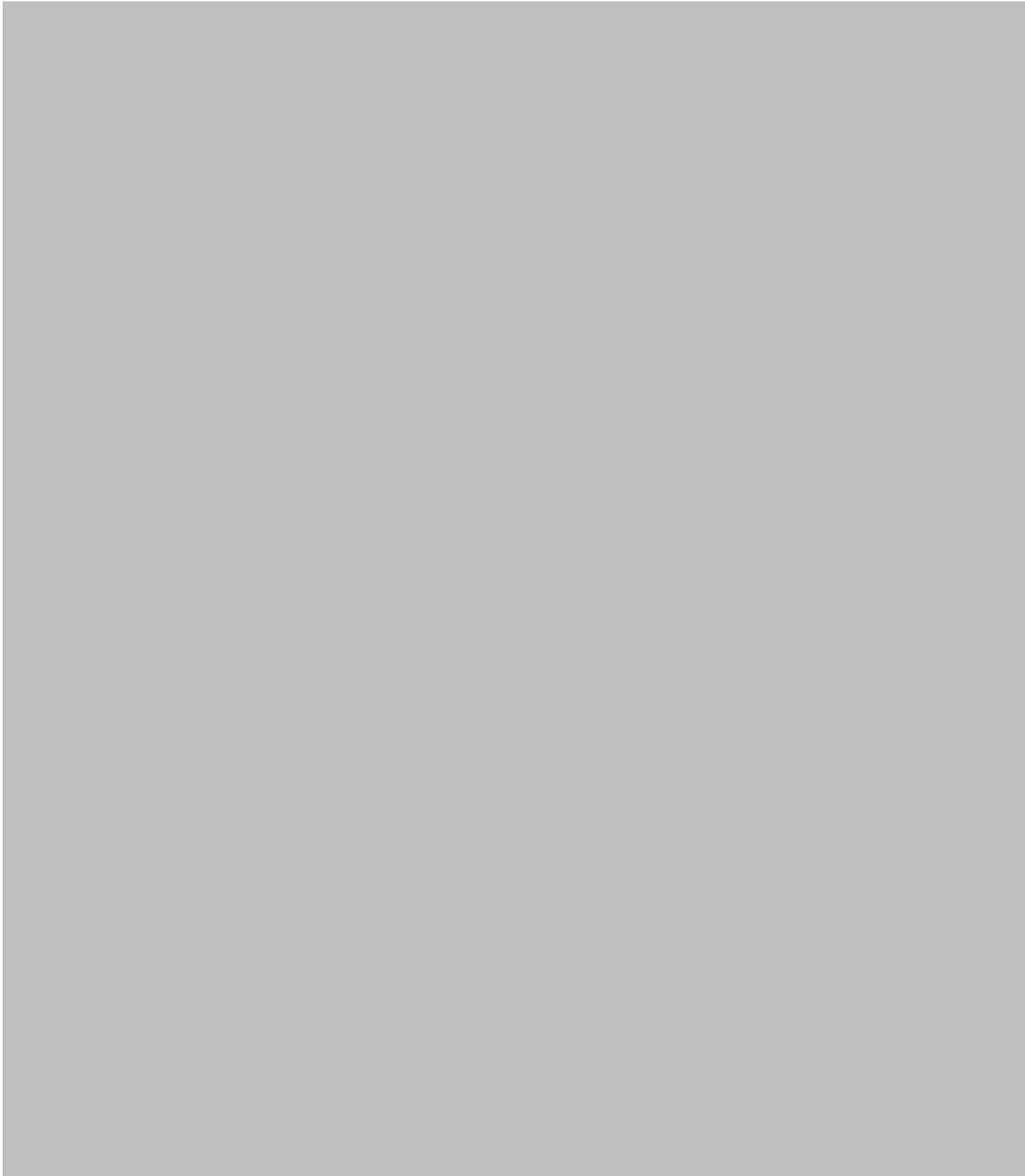


图 6-1 TMR<sub>0</sub>/WDT 预分频器方框图



TMR<sub>0</sub> 是一个 8 位定时器/计数器。TMR<sub>0</sub> 的时钟源可以来自指令时钟或外部时钟。

A. 选择指令时钟，选择寄存器的 SUR<sub>0</sub> 位应该清零。当未使用预分频器时，TMR<sub>0</sub> 将会在每个指令周期加 1。

选择外部时钟，选择寄存器的 SUR<sub>0</sub> 位应该置 1。在该模式，TMR<sub>0</sub> 根据 EDGE<sub>0</sub> 来决定在外部时钟的上升沿或下降沿加 1。当 TMR<sub>0</sub> 选择外部时钟时，应当注意外部时钟将与内部时钟进行同步。TM58P20 通过内部时钟的 T2 和 T4 采样来

B. 同步外部时钟。如果外部脉冲小于 2 个内部时钟周期，那么脉冲可能会被忽略。也就是说，外部时钟必须至少在 2 个内部时钟周期保持稳定状态。

WDT 计数器是一个 8 位二进制计数器，WDT 时钟源是由一个独立的不需要任何外部时钟的 RC 振荡芯片提供的。因此即使芯片已进入睡眠状态 WDT 仍将继续计数。若 WDT 超时，系统将重激活并将超时标志位(状态寄存器的 bit4) 清 0。WDT 超时时间会随温度，电源电压的变化而变化，并且可通过设置预分频器来改变超时时间。通过设置 PS<sub>2</sub>~PS<sub>0</sub> 为“111”，最大分频率可达 1:128。

通过 PSA 位预分频器可分配到 TMR<sub>0</sub> 或 WDT。WDT 或 TMR<sub>0</sub> 不能同时使用预分频器。当预分频器被分配到 WDT，“CLRWDT”和“SLEEP”指令将会清除预分频器和 WDT。当预分频器被分配到 TMR<sub>0</sub>，任何写到 TMR<sub>0</sub> 的指令都会清除预分频器。



## 6.2 复位

当满足下列任意一个条件TM58P20都可能复位:

- (1) 上电
- (2) 掉电线路保护, refer to electrical character characteristic.
- (3) RESETB/VPP 脚输入一个负脉冲
- (4) WDT 超时复位 (如果允许).

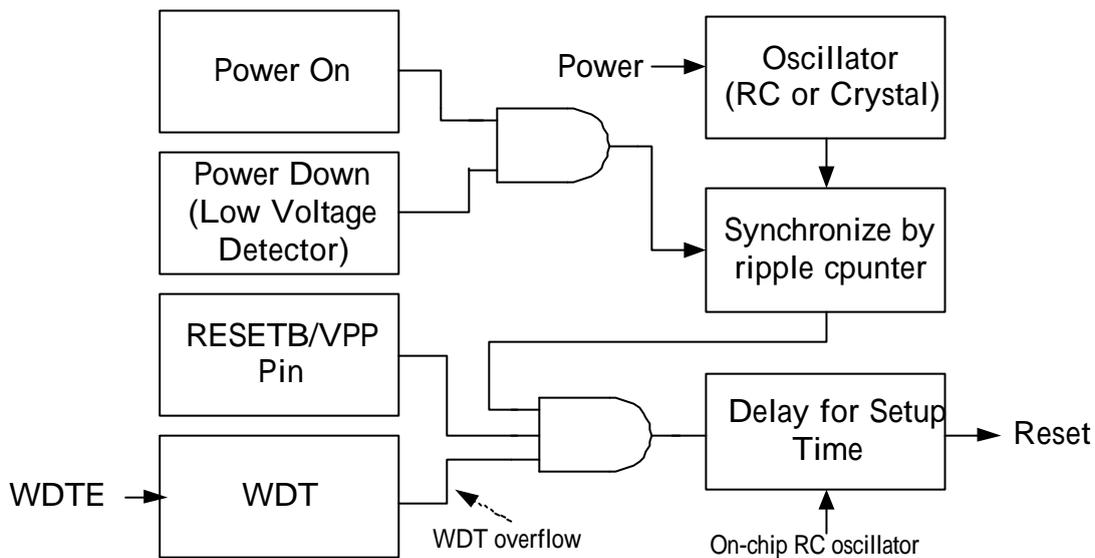


Figure 6-2 Scheme of the Reset Controller

如图6-2所示, 四个复位条件被列出。掉电会导致TM58P20复位, 电平是根据configuration word中的bit6-bit5定义的。在电压不足的情况下, 掉电复位可保护芯片。在电气特性中定义了掉电的电压范围。此外, 掉电的电压范围也受process和温度变化的影响。一般来说, 我们称前两种复位情况为冷复位。冷复位的时间对于低速晶振和RC振荡器来说可能太短了, 它们需要比激活时间长得多的时间。为了确保系统正常, 掉电复位时间应与系统时钟同步。上面讨论了power on 比crystal快的影响, 如果power on的速率非常慢, 则有可能影响configuration word的读取。

注: 激活时间大约20ms, 激活时间随电源电压, process, 温度变化而变化。

后两种情况被称为热复位。不同的复位对寄存器和ram影响也是不同的。 $\overline{TO}$  和  $\overline{PD}$  位用来决定复位的类型(参照 figure 5-5-2)。Figure 6-3 列出了不同复位后寄存器和通用ram的值。



Address	Name	Cold Reset	Warm Reset
N/A	Accumulator	xxxx xxxx	pppp pppp
N/A	IODIR	1111 1111	1111 1111
N/A	Select	1111 1111	1111 1111
00h	IAR	---- ----	---- ----
01h	TMR <sub>0</sub>	xxxx xxxx	pppp pppp
02h	PC	111 1111 1111	111 1111 1111
03h	STATUS	0001 1xxx	000? ?ppp <sup>1</sup>
04h	BSR	-xxx xxxx	-ppp pppp
05h	PORTA	0000 xxxx	0000 pppp
06h	PORTB	xxxx xxxx	pppp pppp
07h	PORTC	xxxx xxxx	pppp pppp
20h	WAKE_UP	0000 0000	0000 0000
21h	IRQM	0000 0000	0000 0000 <sup>2</sup>
22h	IRQF	0000 0000	0000 0000
	General Purpose RAM	Xxxx xxxx	Pppp pppp

图 6-3 存储器初始化值摘要

X: 未知的或无所谓; P: 原来的数值; ?: 依据不同复位条件



## 7. Instruction Set

Mnemonic Operands	Instruction Code (Advance)	Cycles	Status Affected	OP-code
ADDAM M, m	(M)+(acc) (M)	1	C, DC, Z	10 0101 1MMM MMMM
ADDAM M, a	(M)+(acc) (acc)	1	C, DC, Z	10 0101 0MMM MMMM
ANDAM M, m	(M) . (acc) (M)	1	Z	10 0100 1MMM MMMM
ANDAM M, a	(M) . (acc) (acc)	1	Z	10 0100 0MMM MMMM
ANDLA I	Literal . (acc) (acc)	1	Z	11 1001 iiiiii
BCM M, b0	Clear bit0 of (M)	1	None	00 1100 0MMM MMMM
BCM M, b1	Clear bit1 of (M)	1	None	00 1100 1MMM MMMM
BCM M, b2	Clear bit2 of (M)	1	None	00 1101 0MMM MMMM
BCM M, b3	Clear bit3 of (M)	1	None	00 1101 1MMM MMMM
BCM M, b4	Clear bit4 of (M)	1	None	00 1110 0MMM MMMM
BCM M, b5	Clear bit5 of (M)	1	None	00 1110 1MMM MMMM
BCM M, b6	Clear bit6 of (M)	1	None	00 1111 0MMM MMMM
BCM M, b7	Clear bit7 of (M)	1	None	00 1111 1MMM MMMM
BSM M, b0	Set bit0 of (M)	1	None	00 1000 0MMM MMMM
BSM M, b1	Set bit1 of (M)	1	None	00 1000 1MMM MMMM
BSM M, b2	Set bit2 of (M)	1	None	00 1001 0MMM MMMM
BSM M, b3	Set bit3 of (M)	1	None	00 1001 1MMM MMMM
BSM M, b4	Set bit4 of (M)	1	None	00 1010 0MMM MMMM
BSM M, b5	Set bit5 of (M)	1	None	00 1010 1MMM MMMM
BSM M, b6	Set bit6 of (M)	1	None	00 1011 0MMM MMMM
BSM M, b7	Set bit7 of (M)	1	None	00 1011 1MMM MMMM
BTMSC M, b0	If bit0 of (M) = 0, skip next instruction	1 + (skip)	None	00 0100 0MMM MMMM
BTMSC M, b1	If bit1 of (M) = 0, skip next instruction	1 + (skip)	None	00 0100 1MMM MMMM
BTMSC M, b2	If bit2 of (M) = 0, skip next instruction	1 + (skip)	None	00 0101 0MMM MMMM
BTMSC M, b3	If bit3 of (M) = 0, skip next instruction	1 + (skip)	None	00 0101 1MMM MMMM
BTMSC M, b4	If bit4 of (M) = 0, skip next instruction	1 + (skip)	None	00 0110 0MMM MMMM
BTMSC M, b5	If bit5 of (M) = 0, skip next instruction	1 + (skip)	None	00 0110 1MMM MMMM
BTMSC M, b6	If bit6 of (M) = 0, skip next instruction	1 + (skip)	None	00 0111 0MMM MMMM



BTMSC M, b7	If bit7 of (M) = 0, skip next instruction	1 + (skip)	None	00 0111 1MMM MMMM
BTMSS M, b0	If bit0 of (M) = 1, skip next instruction	1 + (skip)	None	00 0000 0MMM MMMM
BTMSS M, b1	If bit1 of (M) = 1, skip next instruction	1 + (skip)	None	00 0000 1MMM MMMM
BTMSS M, b2	If bit2 of (M) = 1, skip next instruction	1 + (skip)	None	00 0001 0MMM MMMM
BTMSS M, b3	If bit3 of (M) = 1, skip next instruction	1 + (skip)	None	00 0001 1MMM MMMM
BTMSS M, b4	If bit4 of (M) = 1, skip next instruction	1 + (skip)	None	00 0010 0MMM MMMM
BTMSS M, b5	If bit5 of (M) = 1, skip next instruction	1 + (skip)	None	00 0010 1MMM MMMM
BTMSS M, b6	If bit6 of (M) = 1, skip next instruction	1 + (skip)	None	00 0011 0MMM MMMM
BTMSS M, b7	If bit7 of (M) = 1, skip next instruction	1 + (skip)	None	00 0011 1MMM MMMM
CALL I	Call subroutine	2	None	11 0110 iiiiiiii
CLRA	Clear accumulator	1	Z	10 0001 0000 0000
CLRM M	Clear memory M	1	Z	10 0001 1MMM MMMM
CLRWDT	Clear watch-dog register	1	TO, PO	10 0000 0000 0001
COMM M, m	~(M) (M)	1	Z	10 0010 1MMM MMMM
COMM M, a	~(M) (acc)	1	Z	10 0010 0MMM MMMM
DECM M, m	Decrement M to M	1	Z	10 0110 1MMM MMMM
DECM M, a	(M) - 1 (acc)	1	Z	10 0110 0MMM MMMM
DECMSZ M, m	(M) - 1 (M), skip if (M) = 0	1 + (skip)	None	10 0111 1MMM MMMM
DECMSZ M, a	(M) - 1 (acc), skip if (M) = 0	1 + (skip)	None	10 0111 0MMM MMMM
GOTO I	Goto branch	2	None	11 101i iiiiiiii
INCM M, m	(M) + 1 (M)	1	Z	10 1000 1MMM MMMM
INCM M, a	(M) + 1 (acc)	1	Z	10 1000 0MMM MMMM
INCMSZ M, m	(M) + 1 (M), skip if (M) = 0	1 + (skip)	None	10 1001 1MMM MMMM
INCMSZ M, a	(M) + 1 (acc), skip if (M) = 0	1 + (skip)	None	10 1001 0MMM MMMM
IODIR M	Set i/o direction	1	None	10 0000 0000 0MMM
IORAM M, m	(M) ior (acc) (M)	1	Z	10 1111 1MMM MMMM
IORAM M, a	(M) ior (acc) (acc)	1	Z	10 1111 0MMM MMMM
IORLA I	Literal ior (acc) (acc)	1	Z	11 0011 iiiiiiii



LCALL I	Call subroutine. However, LCALL can addressing 2K address	2	None	01 0iii iiiiiiii
LGOTO I	Go branch to any address	2	None	01 1iii iiiiiiii
MOVAM m	Move data form acc to memory	1	None	10 0000 1MMM MMMM
MOVLA I	Move literal to accumulator	1	None	11 0001 iiiiiiii
MOVM M, m	(M) (M)	1	Z	10 0011 1MMM MMMM
MOVM M, a	(M) (acc)	1	Z	10 0011 0MMM MMMM
NOP	No operation	1	None	10 0000 0000 0000
RET	Return	2	None	11 1111 0111 1111
RETI	Return and enable INTM	2	None	11 1111 1111 1111
RETLA I	Return and move literal to accumulator	2	None	11 1100 iiiiiiii
RLM M, m	Rotate left from m to itself	1	C	10 1100 1MMM MMMM
RLM M, a	Rotate left from m to acc	1	C	10 1100 0MMM MMMM
RRM M, m	Rotate right from m to itself	1	C	10 1110 1MMM MMMM
RRM M, a	Rotate right from m to acc	1	C	10 1110 0MMM MMMM
SELECT	Set select register	1	None	10 0000 0000 0010
SLEEP	Enter sleep (saving) mode	1	TO, PO	10 0000 0000 0011
SUBAM M, m	(M)-(acc) (M)	1	C, DC, Z	10 1010 1MMM MMMM
SUBAM M, a	(M)-(acc) (acc)	1	C, DC, Z	10 1010 0MMM MMMM
SWAPM M, m	Swap data from m to itself	1	None	10 1101 1MMM MMMM
SWAPM M, a	Swap data from m to acc	1	None	10 1101 0MMM MMMM
XORAM M, m	(M) xor (acc) (M)	1	Z	10 1011 1MMM MMMM
XORAM M, a	(M) xor (acc) (acc)	1	Z	10 1011 0MMM MMMM
XORLA I	Literal xor (acc) (acc)	1	Z	11 1000 iiiiiiii



## 8. Electrical Characteristics

### 8.1 Absolute Maximum Ratings

Supply Voltage ...V<sub>SS</sub>-0.3V to V<sub>SS</sub>+5.5V    Storage Temperature .....-50°C to 125°C  
 Input Voltage .....V<sub>SS</sub>-0.3V to V<sub>DD</sub>+0.3V    Operating Temperature ...-40°C to 85°C

### 8.2 DC Characteristics

Symbol	Parameter	Test Conditions		Min	Typ	Max	Unit
		V <sub>DD</sub>	Conditions				
V <sub>DD</sub>	Operating Voltage	---		2.5		5.5	V
V <sub>DVT</sub>	Detect Voltage	5V	Low Voltage Detector (I <sub>dd</sub> = 3uA) Config bit6.bit5=00		4		V
		3V	Low Voltage Detector (I <sub>dd</sub> = 1.5uA) Config bit6.bit5=10		2		V
V <sub>IH</sub>	Input High Voltage	5V	I/O Port	2		V <sub>DD</sub>	V
V <sub>IL</sub>	Input Low Voltage	5V	I/O Port			0.8	V
I <sub>DD1</sub>	Standby Current	5V	LVD disable, WDT disable		1		uA
			LVD disable, WDT enable		10		
I <sub>IL</sub>	Input Leakage Current	5V	V <sub>in</sub> =V <sub>DD</sub> , V <sub>SS</sub>		1		uA
I <sub>OH</sub>	I/O Port Driving Current	5V	V <sub>oh</sub> =4.5V		9		mA
			V <sub>oh</sub> =4V		17		
			V <sub>oh</sub> =3.5V		23		
I <sub>OL</sub>	I/O Port Sink Current	5V	V <sub>ol</sub> =0.5V		20		mA
			V <sub>ol</sub> =01V		35		
			V <sub>ol</sub> =1.5V		50		



8.3 AC Characteristics

Symbol	Parameter	Test Conditions		Min	Typ	Max	Unit
		VDD	Conditions				
f <sub>sys1</sub>	System Clock	5V	LS Crystal mode	32		200	Khz
		3V		32		200	
f <sub>sys1</sub>	System Clock	5V	NS Crystal mode	1		10	Khz
		3V		1		10	
f <sub>sys3</sub>	System Clock	5V	HS Crystal mode	10		20	Mhz
		3V					
f <sub>sys4</sub>	System Clock	5V	RC mode			6	Mhz
		3V				6	
T <sub>wdt</sub>	Watchdog Timer	5V 3V			20		mS
T <sub>rht</sub>	Reset Hold Time	5V 3V			20		mS