



1. 基本特性	2
2. 脚位定义	3
3. 脚位描述	4
4. 控制寄存器	5
4.1 间接寻址寄存器与 Bank 选择寄存器	6
4.2 TMRO 与 TIMER 寄存器	7
4.3 PC 寄存器	8
4.4 状态寄存器	9
4.5 PortA 寄存器	10
4.6 PortB 寄存器	11
4.7 PortC 寄存器	12
4.8 MODL , MODH, CG_CTRL 寄存器	15
4.9 中断请求寄存器	17
4.10 PGS 寄存器	18
4.11 PSTAT 寄存器	20
5. 系统图表	21
5.1 I/O 线路	22
6. 存储器映象	24
6.1 程序存储器	24
6.2 CONFIG word	25
6.3 数据存储器	26
7. 功能描述	27
7.1 Reset	27
7.2 睡眠与唤醒	28
8. 指令集	29
9. 电气特性	32
9.1 绝对最大额定值	32
9.2 直流电特性	32
9.3 交流电特性	33
10. 封装信息	34
10.1 封装描述	34
10.2 封装描述	34



1. 基本特性

ROM : 1K x 14 位

RAM : 24 x 8 位

堆栈 : 4 级

I/O 口 : 18 脚 (PA₇ ~ PA₀, PB₅ ~ PB₀, PC₂ ~ PC₀, REM)

定时器/计数器 : 8 位 x1 (TMR₀)

预分频器 : 3 位

复位

1. 上电复位
2. 低电压复位
3. 唤醒 (解除睡眠模式)

振荡模式 : NT 模式

工作电压 : 2.0V 3.6V

指令集 : 75 个

唤醒 : PB₅ ~ PB₀, PC₂~PC₀

中断请求向量 : 3FEH

复位向量 : 3FFH



2. 脚位定义

PA6	1		24	PA5
PA7	2		23	PA4
PC0	3		22	PA3
PC1/LED	4		21	PA2
REM	5		20	PA1
VDD	6		19	PA0
OSC2	7		18	PB5
OSC1	8		17	PB4
VSS	9		16	PB3
PC2/VPP	10		15	PB2
NC	11		14	PB1
NC	12		13	PB0

封装方式：SOP (TM58PR10S24C)
SSOP(TM58PR10SS24C)

PA6	1		20	PA5
PA7	2		19	PA4
PC0	3		18	PA3
PC1/LED	4		17	PA2
REM	5		16	PA1
VDD	6		15	PA0
OSC2	7		14	PB3
OSC1	8		13	PB2
VSS	9		12	PB1
PC2/VPP	10		11	PB0

封装方式：SOP (TM58PR10S20C)
SSOP (TM58PR10SS20C)



PC ₀	1	18	PA ₅
PC ₁ /LED	2	17	PA ₄
REM	3	16	PA ₃
VDD	4	15	PA ₂
OSC ₂	5	14	PA ₁
OSC ₁	6	13	PA ₀
VSS	7	12	PB ₃
PC ₂ /VPP	8	11	PB ₂
PB ₀	9	10	PB ₁

封装方式：SOP (TM58PR10S18C)

3. 脚位描述

Pin name	I/O	Description
PA ₍₇₋₀₎	I/O	Bi-directional 8-bit input/output port .
PB ₍₅₋₀₎	I	The PB port is a 6-bit input port with pull-down resistors.
PC ₀	I	The PC ₀ port is an input/OFF mode port with pull-down resistor.
PC ₁	I/O	The PC ₁ port is an I/O port with pull-down resistor.
PC ₂	I	The PC ₂ port is an input port with pull-down resistor.
REM	O	Carrier output pin(Remote control output).
OSC ₁	I	Oscillator input
OSC ₂	O	Oscillator output
VDD	P	Power input
VSS	P	Ground input

I: 输入; O: 输出; I/O: Bi-方向; P: 电源



4. 控制寄存器

Name	Addr	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CONFIG	800H					CPT	LV1	LV0	
IAR	\$00				A4	A3	A2	A1	A0
TMR0	\$01	D7	D6	D5	D4	D3	D2	D1	D0
PC	\$02	D7	D6	D5	D4	D3	D2	D1	D0
STATUS	\$03					PDB	Z	DC	C
BSR	\$04				D4	D3	D2	D1	D0
PortA	\$05	PA7	PA 6	PA 5	PA 4	PA 3	PA 2	PA 1	PA 0
PortB	\$06			PB5	PB4	PB3	PB2	PB1	PB0
PortC	\$07						PC2	PC1	PC0
MODL	\$20	ML7	ML6	ML5	ML4	ML3	ML2	ML1	ML0
MODH	\$21	MH7	MH6	MH5	MH4	MH3	MH2	MH1	MH0
IRQ	\$22	INTM							INTF
PGS	\$23							PAGE1	PAGE0
PSTAT	\$24	PB Wake-up	PC Wake-up	PB Pull-down	PC1/ PC0 Pull-down	PC2 Pull-down	PC1 mode		PC0 mode
CG_CTL	\$25					REM	LEVEL	MH8	ML8
TMR0_CTL	\$26				Load	TMR0EN	PS2	PS1	PS0



4.1 间接寻址寄存器与 Bank 选择寄存器

Name	Addr	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
BSR	\$04	+	+	+	D4	D3	D2	D1	D0
Value (After cold reset)		1	1	1	X	X	X	X	X

X: 未知的, +:不执行, 读作"1"。

间接寻址寄存器不是物理寄存器。Bank选择寄存器与间接寻址寄存器结合起来可以间接存取数据存储器。任何存取间接寻址寄存器的指令实际上是映象到bank选择寄存器所指的地址。因为间接寻址寄存器不是物理线路，用户读取间接寻址寄存器本身(BSR=00H)将总是返回数据00h。写间接寻址寄存器本身等同于NOP指令。Bank选择寄存器是5位寄存器，只能指向数据存储器地址00h~1Fh。用户通过间接寻址寄存器存取不能超出这个范围。如图4-1。

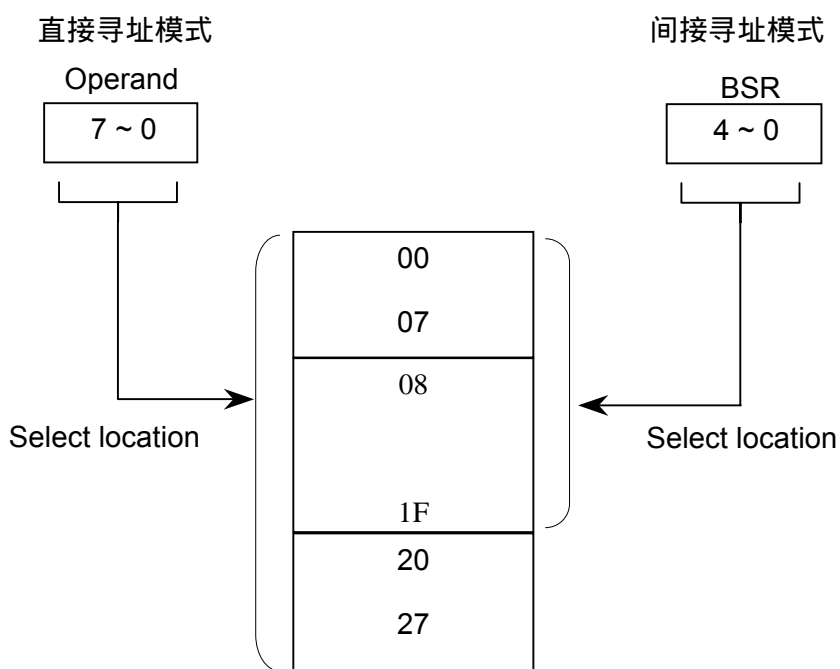


图 4-1 直接与间接寻址映象



4.2 TMR0 与 TIMER 寄存器

TMR0是8位二进制定时器，该寄存器通过内部指令周期减1。它具有如下特性：

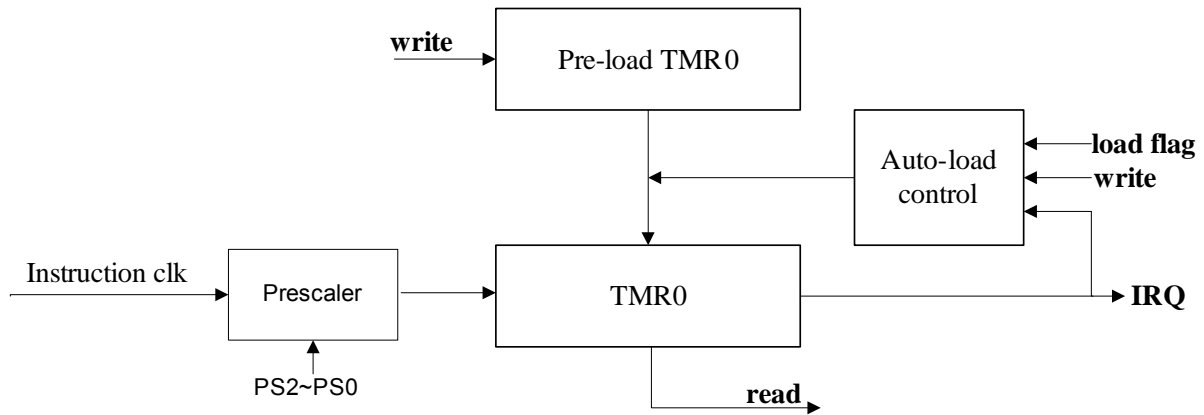
- A. 可读可写
- B. 通过设置TIMER寄存器(如图4-2)可以使用可编程预分频器。
- C. 当TMR0倒数到0时，系统会产生一个中断请求。

Control register TIMER (26H)				
Bit	Symbol	reset	Description	
4	Load	1	TMR0 data load mode 1: If any operating instruction write data to TMR0 data register, The context of TMR0 will be modified immediately. 0: If any operating instruction write data to TMR0 data register, The context of TMR0 won't be modified immediately until Timercounter overflow.	
3	TMR0EN		TMR0 enable flag 1: Start counting 0: Stop counting	
2~0	PS ₂ ~PS ₀		PS ₂ ~ PS ₀	TMR0 RATE
			000	1 : 1
			001	1 : 2
			010	1 : 4
			011	1 : 8
			100	1 : 16
			101	1 : 32
			110	1 : 64
			111	1 : 128

图 4-2 TIMER 寄存器



图 4-3 显示了 TMR0 寄存器、预载 TMR0 及预分频器的方框图。如图所示，预分频寄存器对 TMR0 来说可以是预除法器。



Instruction \ Counter	Write 01H	Read 01H
Pre-load TMR0	V	X
TMR0	Decided by Load flag of TMR0_CTL	V

从地址 26H 读数据时会将 TMR0 的内容送入累加器。

写入地址 26H 时会将累加器的内容送入预载 TMR0 中。

如果 TMR0_CTL 的 Load 标志置成 1，TMR0 的内容就会立即被更新。

图 4-3 TMR0 与预分频器方框图

4.3 PC 寄存器

程序计数器是10位二进制计数器，除了在下边的条件下，每个指令周期，计数器都加1。

1. lgoto, lcall：标志将移到程序计数器。
2. retla, ret, reti：栈顶值将弹出到程序计数器。

当程序计数器到下一页时自动加 1。值得注意的是：PGS 寄存器中页选位不会同时被改变。除非页选位在程序中已更新，否则 MOVAM 02H 将会返回到原来的页。为了减少程序的复杂性，LCALL 和 LGOTO 有 10 位易于寻址 ROM 所有空间的操作数。



4.4 状态寄存器

状态寄存器包含掉电位和ALU状态。值得注意的是 \overline{PD} 是受硬件控制的，而不会被程序改变。

Bit	Symbol	Description	
0	C	Carry and \overline{Borrow} bit:	
		ADD instruction	SUB instruction
		1: a carry occurred from the MSB 0: no carry	1: no borrow ^(Note1) 0: a borrow occurred from the MSB
1	DC	Nibble Carry and Nibble \overline{Borrow} bit	
		ADD instruction	SUB instruction
		1: a carry from the low nibble bits of the result occurred 0: no carry	1: no borrow 0: a borrow from the low nibble bits of the result occurred
2	Z	Zero bit: 1: the result of a logic operation is zero 0: the result of a logic operation is not zero	
3	\overline{PD}	Power down flag bit: ^(Note2) 1: Power on reset 0: Wake-up from sleep	

图 4-4 状态寄存器

注1：减指令的执行通过与减数的二进制补码相加来实现的，C=1代表结果是正数。C位与借位之间如图 4-5 所示。

注2： \overline{PD} 位可决定复位的不同原因。

B0H - 50H										50H - B0H									
	C	B7	B6	B5	B4	B3	B2	B1	B0		C	B7	B6	B5	B4	B3	B2	B1	B0
+		1	0	1	1	0	0	0	0	+		0	1	0	1	0	0	0	0
=	1	0	1	1	0	0	0	0	0	=	0	1	0	1	0	0	0	0	0

图 4-5



4.5 PortA 寄存器

Name	Addr	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PortA	\$05	PA7	PA 6	PA 5	PA 4	PA 3	PA 2	PA 1	PA 0
I/O (After cold reset)		IN/R	IN/R	IN/R	IN/R	IN/R	IN/R	IN/R	IN/R
Value (After cold reset)		0	0	0	0	0	0	0	0

IN/R 表示带下拉电阻的输入模式

“冷复位”：参考 7.1

Port A 是可编程的 I/O 口。I/O 模式是由指令“IODIR 05h”设置的。复位时所有 I/O 脚都被置成输入模式。在输入模式，下拉电阻自动连接；在输出模式，下拉电阻自动断开。

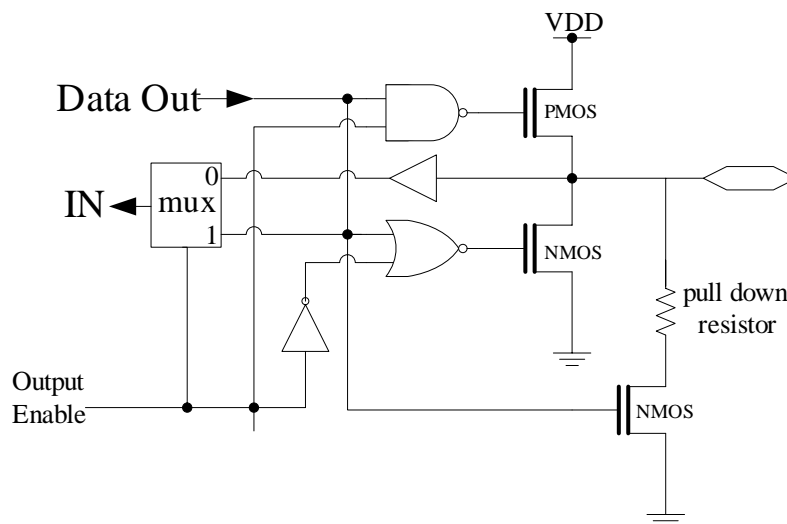


图 4-6 PA 方框图

实例：将 PA 设置成输出模式，PA 的输出值是 5Ah。

```

MOVLA    00h;
IODIR    05h; 将所有 PA 都设置成输出模式。
MOVLA    5Ah;
MOVAM    05H; 设置 PA 的输出值是 5Ah。
    
```



4.6 PortB 寄存器

Name	Addr	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PortB	\$06			PB5	PB4	PB3	PB2	PB1	PB0

PB 口是 6 位输入口。脚位状态可以通过“MOVm 06h, A”指令读取。PB 口下拉电阻可以通过设置 PSTAT[5]来说明。在 PB 与 PC 端口，我们提供了唤醒功能。当 PB 或 PC 端口的逻辑值改变时，芯片从睡眠模式唤醒。因此我们需要在进入睡眠模式前读取输入脚的逻辑值。在 PB 端口，你可以设置 PSTAT 寄存器的 bit7 允许或禁止唤醒功能。如果芯片从睡眠模式唤醒，会发生热启动(参考 7.1)。程序计数器会变成地址 3FFh。PB 端口的方框图如 4-7。

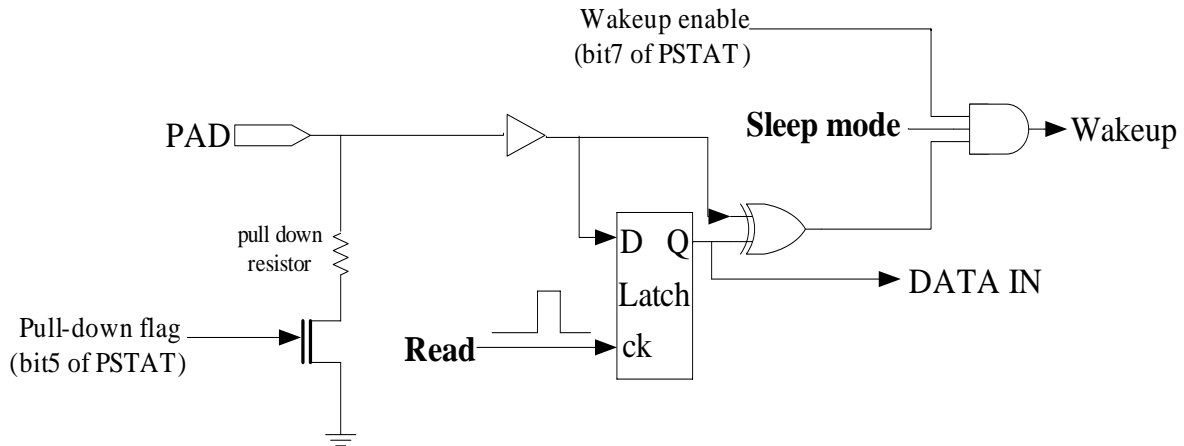


图 4-7 PB 端口方框图

实例：唤醒 PB 端口

```

ORG      00H ;;
POWERON  BTMSS  03H,b3 ;;
          LGOTO  WAKEUP_IN
          ""
          BSM   24h,b7 ;; 允许 PB 唤醒功能
          MOVm  06h,ACC ;; 进入睡眠模式前读 PB 脚的逻辑值
          SLEEP ;;
          ORG   3FFH ;;
          LGOTO POWERON ;;
    
```



4.7 PortC 寄存器

Name	Addr	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PortC	\$07	-	-	-	-	-	PC2	PC1	PC0

- 不执行，读作“0”。

4.7.1 PC₀

PC₀ 端口是输入/OFF 模式端口。在输入模式，PC₀ 和 PC₁ 口的下拉电阻可以通过设置 PSTAT[4]来说明。如果解除输入模式(设成 OFF 模式)，脚位变成高阻抗，所以内部没有电流流过。在 OFF 模式，无论脚位状态如何，读数都为 1。在 PB 与 PC 端口，我们提供了唤醒功能。当 PB 或 PC 端口的逻辑值改变时，芯片从睡眠模式唤醒。因此我们需要在进入睡眠模式前读取输入脚的逻辑值。在 PC₀ 端口，你可以设置 PSTAT 寄存器的 bit6 允许或禁止唤醒功能。如果芯片从睡眠模式唤醒，会发生热启动(参考 7.1)。程序计数器会变成地址 3FFh。PC₀ 端口的方框图如 4-8。

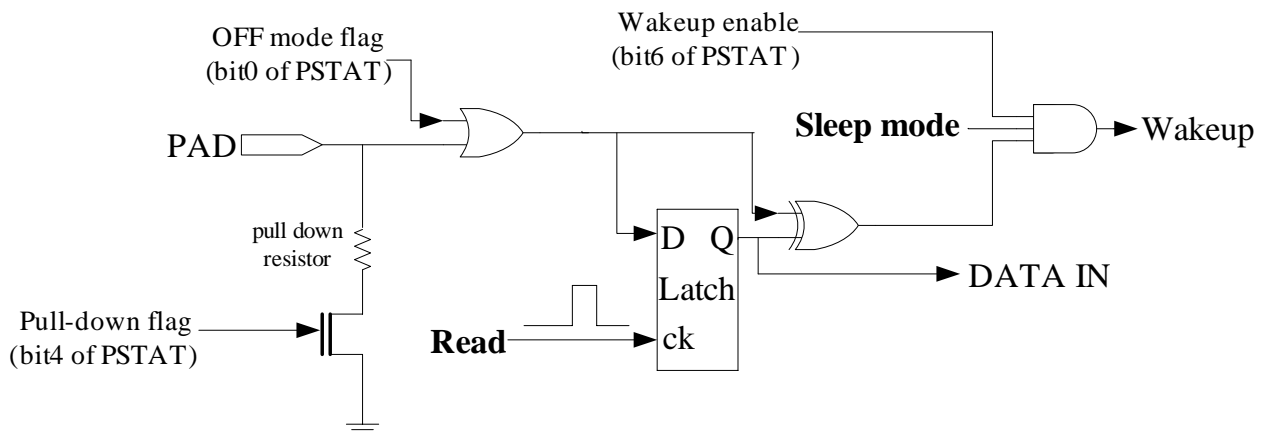


图 4-8 PC₀ 端口方框图

实例：从 PC₀ 端口唤醒

```

ORG      00H
POWERON  BTMSS    03H,b3 ;;
          LGOTO   WAKEUP_IN
          BSM     24h,b6 ;; 允许 PC 唤醒功能
          MOV    07h,ACC ;; 进入睡眠模式前读 PC 脚的逻辑值
          SLEEP ;;
          ORG    3FFH;;
          LGOTO  POWERON
    
```



4.7.2 PC₁

PC₁ 端口是一个 I/O 端口。输入或输出模式可以通过使用 PSTAT 寄存器的 bit2 设置。脚位状态在输入和输出模式都可读取。在输入模式，PC₀ 和 PC₁ 口的下拉电阻可以通过设置 PSTAT[4]来说明。在输出模式，下拉电阻自动断开，PC₁ 脚变成遥控传送显示脚。在 PB 和 PC 端口，我们提供了唤醒功能。当 PB 或 PC 端口的逻辑值改变时，芯片从睡眠模式唤醒。因此我们需要在进入睡眠模式前读取输入脚的逻辑值。在 PC₁ 端口，你可以设置 PSTAT 寄存器的 bit6 允许或禁止唤醒功能。如果芯片从睡眠模式唤醒，会发生热启动(参考 7.1)。程序计数器会变成地址 3FFh。PC₀ 端口的方框图如 4-9。

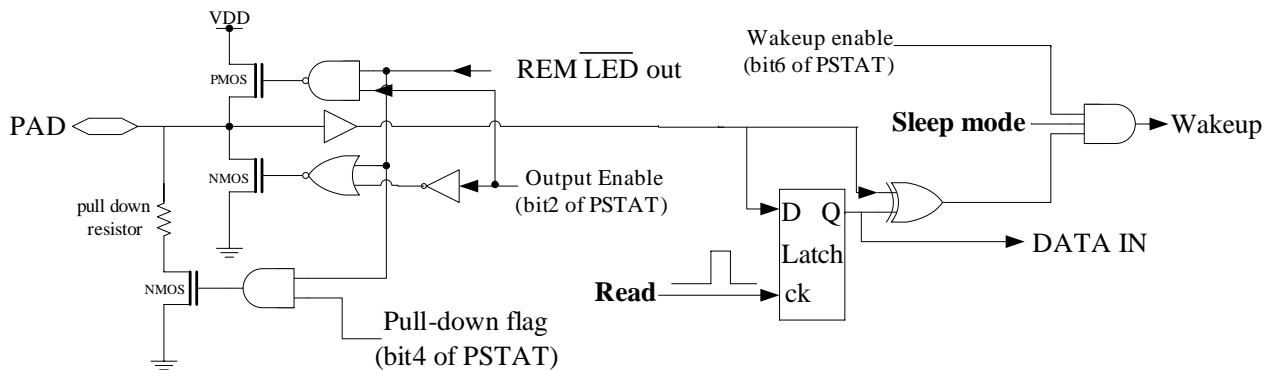


图 4-9 PC₁ 端口方框图

实例：从 PC₁ 端口唤醒

```

ORG      00H
POWERON  BTMSS    03H,b3 ;;
          LGOTO   WAKEUP_IN
          ;;;
          BSM     24h,b6 ;; 允许 PC 唤醒功能
          BSM     24h,b2 ;; 置 PC1 为输入模式
          MOV    07h,ACC ;; 进入睡眠模式前读 PC 脚的逻辑值
          SLEEP ;;
          ORG    3FFH ;;
          LGOTO  POWERON ;;
    
```



4.7.3 PC₂

PC₂ 端口是一个输入端口。PC₂ 口的下拉电阻可以通过设置 PSTAT[3]来说明。在 PB 和 PC 端口，我们提供了唤醒功能。当 PB 或 PC 端口的逻辑值改变时，芯片从睡眠模式唤醒。因此我们需要在进入睡眠模式前读取输入脚的逻辑值。在 PB 端口，你可以设置 PSTAT 寄存器的 bit6 允许或禁止唤醒功能。如果芯片从睡眠模式唤醒，会发生热启动(参考 7.1)。程序计数器会变成地址 3FFh。PC₀ 端口的方框图如 4-10。

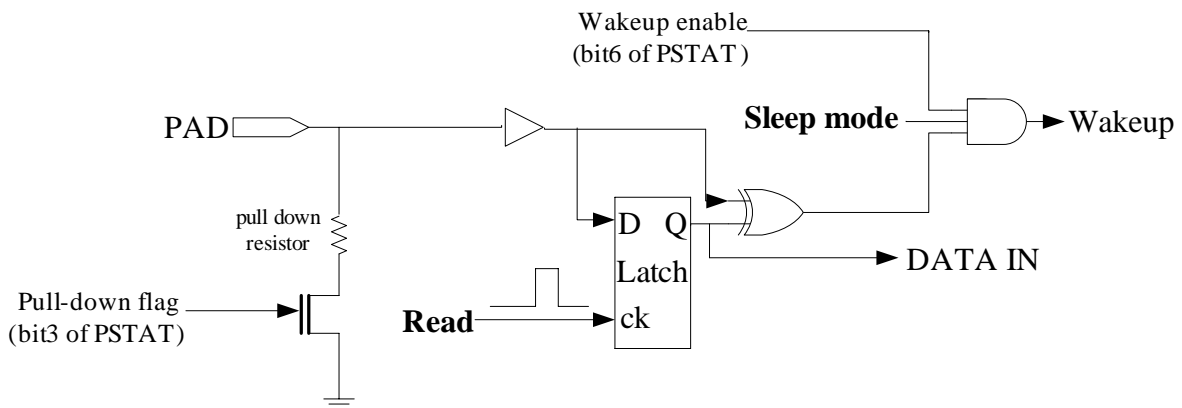


图 4-10 PC₂ 端口方框图

实例：从 PC₂ 端口唤醒

```

ORG 00H
POWERON      BTMSS      03H,b3 ;;
              LGOTO     WAKEUP_IN
              ''
              ''
              BSM       24h,b6 ;; 允许 PC 唤醒功能
              MOV      07h,ACC ;; 进入睡眠模式前读 PC 脚的逻辑值
              SLEEP ;;
              ORG      3FFH ;;
              LGOTO    POWERON ;;
    
```



4.8 MODL , MODH, CG_CTRL 寄存器

Name	Addr	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MODL	\$20	ML7	ML6	ML5	ML4	ML3	ML2	ML1	ML0
After cold reset		1	1	1	1	1	1	1	1

Name	Addr	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MODH	\$21	MH7	MH6	MH5	MH4	MH3	MH2	MH1	MH0
After cold reset		1	1	1	1	1	1	1	1

Name	Addr	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CG_CTRL	\$25	-	-	-	-	REM	LEVEL	MH8	ML8
After cold reset		0	0	0	0	0	0	0	0

“冷启动”：参考 7.1

-:不执行，读作“0”

载频振荡器由一个 9 位计数器和两个模数寄存器组成，可设置高、低电平周期(分别是 MH8~0 与 ML8~0)。载波负荷比与载波频率是通过用各自的模数寄存器设置高、低电平宽度来决定的。每个宽度在 125ns~64us (当 sysclk = 4 MHz 时)的范围内设置。系统时钟乘以 2 后用来作 9 位计数器的输入(8 MHz 当 sysclk = 4 MHz 时)。见图 4-11。

ML 与 MH 的值可以通过下面的公式计算。

$$ML = (2 * sysclk * (1-D) * T)$$

$$MH = (2 * sysclk * D * T)$$

警告：保证输入值在 ML 和 MH 的 001H ~1FFH 范围内。

注释 D: 载波负荷比 (0 < D < 1)

sysclk: 系统时钟 (MHz)

T: 载波周期 (us)



实例 : Clock Source = 4MHz, 1/3Duty, Output = 38kHz

Ans: MODL = $2 * 4M * (1 - 1/3) * (1/38K) = 8CH \rightarrow 17.50\mu s$ (标准 17.54us).

MODH = $2 * 4M * (1/3) * (1/38K) = 46H \rightarrow 8.75\mu s$ (标准 8.77us).

REM = 38.008kHz.

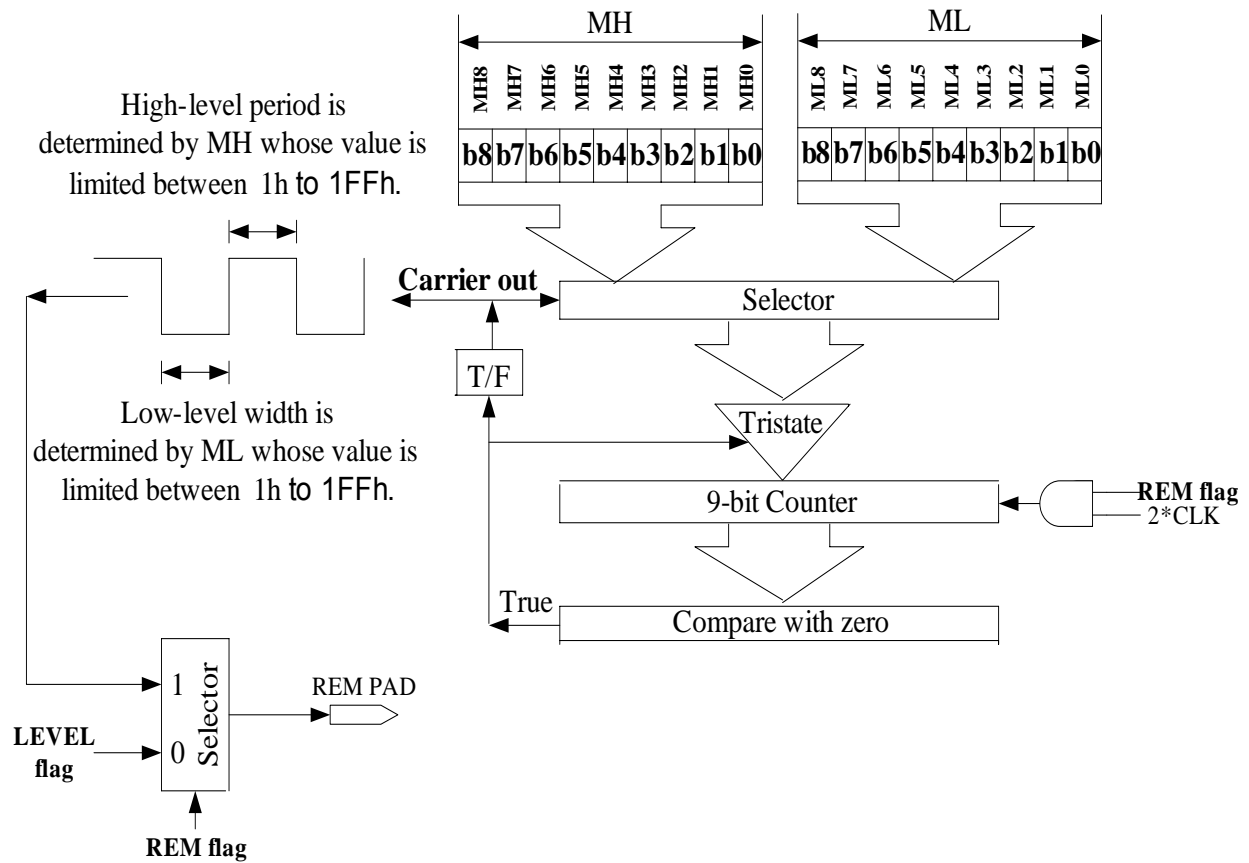


图 4-11 载频振荡器



4.9 中断请求寄存器

Control register IRQ (22H)			
Bit	Symbol	cold reset	Description
7	INTM	0	Interrupt Mask 1: enable interrupt. 0: disable interrupt.
0	INTF	0	Interrupt Flag 1: The TMR0 counter overflow generates an interrupt request.

“冷启动”：参考 7.1

中断请求可以传送程序计数器。中断执行一个传送通过将程序计数器移到栈顶，然后转移到中断向量地址（3FEh）。中断屏蔽标志（INTM）用来禁止或允许中断请求。

注释：中断标志由硬件设置，软件只能清除标志，除非写“1”到标志。



4.10 PGS 寄存器

Name	Addr	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PGS	\$23	-	-	-	-	-	-	PGS1	PGS0
After cold reset		0	0	0	0	0	0	0	0

“复位”：参考 7.1

系统可以通过硬件或用软件写 PGS 自动更新 PGS 寄存器（页选位）。用户可以使用指令“LCALL”和“LGOTO”，通过硬件到 OTP 任何地址。上面提到的五个指令需要花 2 个指令周期操作。见图 4-12。

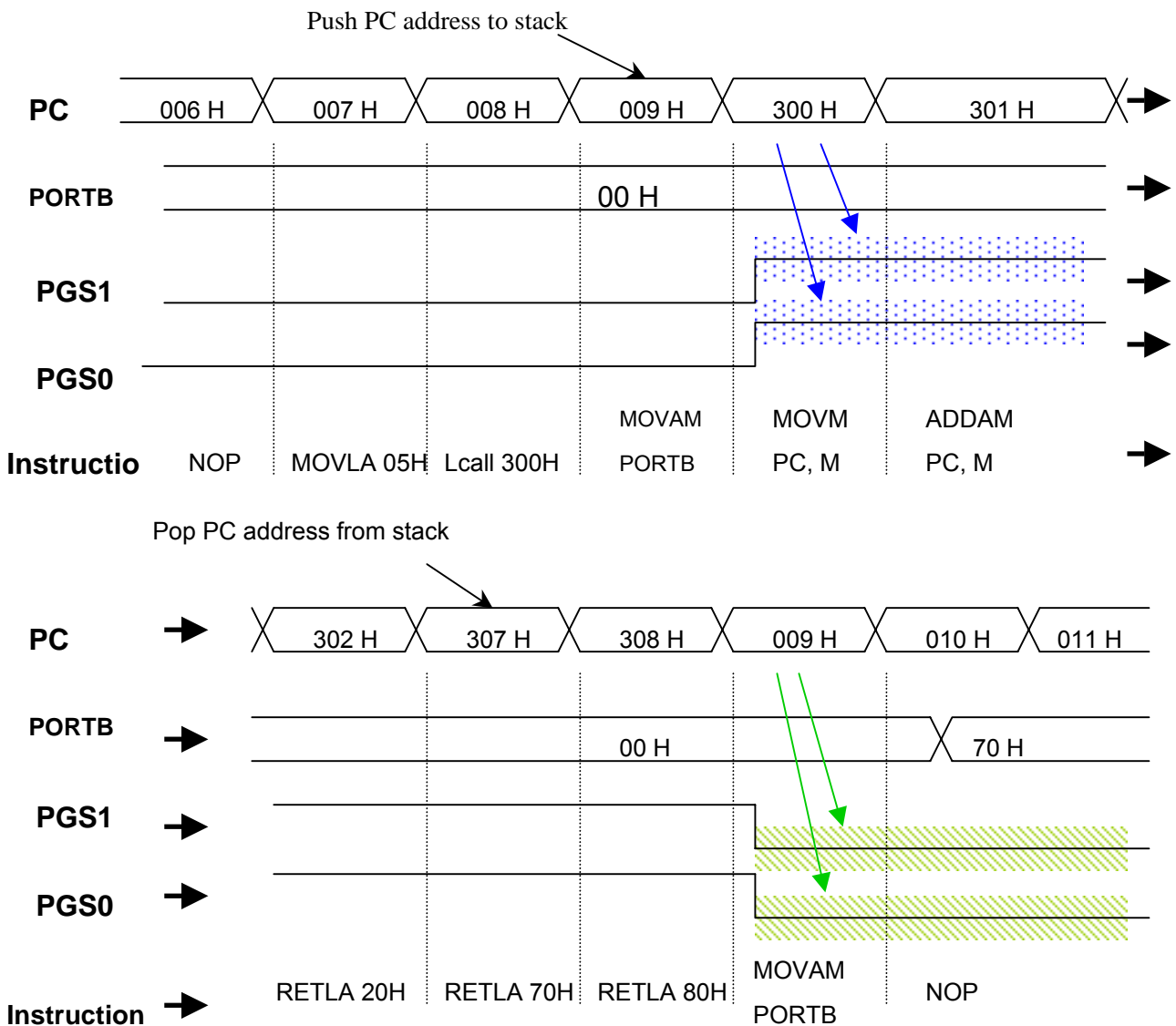


图 4-12 PGS[1:0] 操作图



然而用户必须注意中断的产生。比如，如果 PGS 寄存器的值是 00，那么在产生中断之前，用户要通过软件设置 PGS 寄存器的值为 10。产生中断后，中断向量的系统地址是 3FEH，通过硬件自动更新页选寄存器 PGS = 11 (3 页)。中断完成后，系统将取出栈顶的值送到程序计数器，设置 PGS[1:0]寄存器值为 00。产生中断前，被写入 10 的 PGS 寄存器将会丢失。当你自己写 PGS (页选位) 时，用户需要处理中断。见图 4-13。

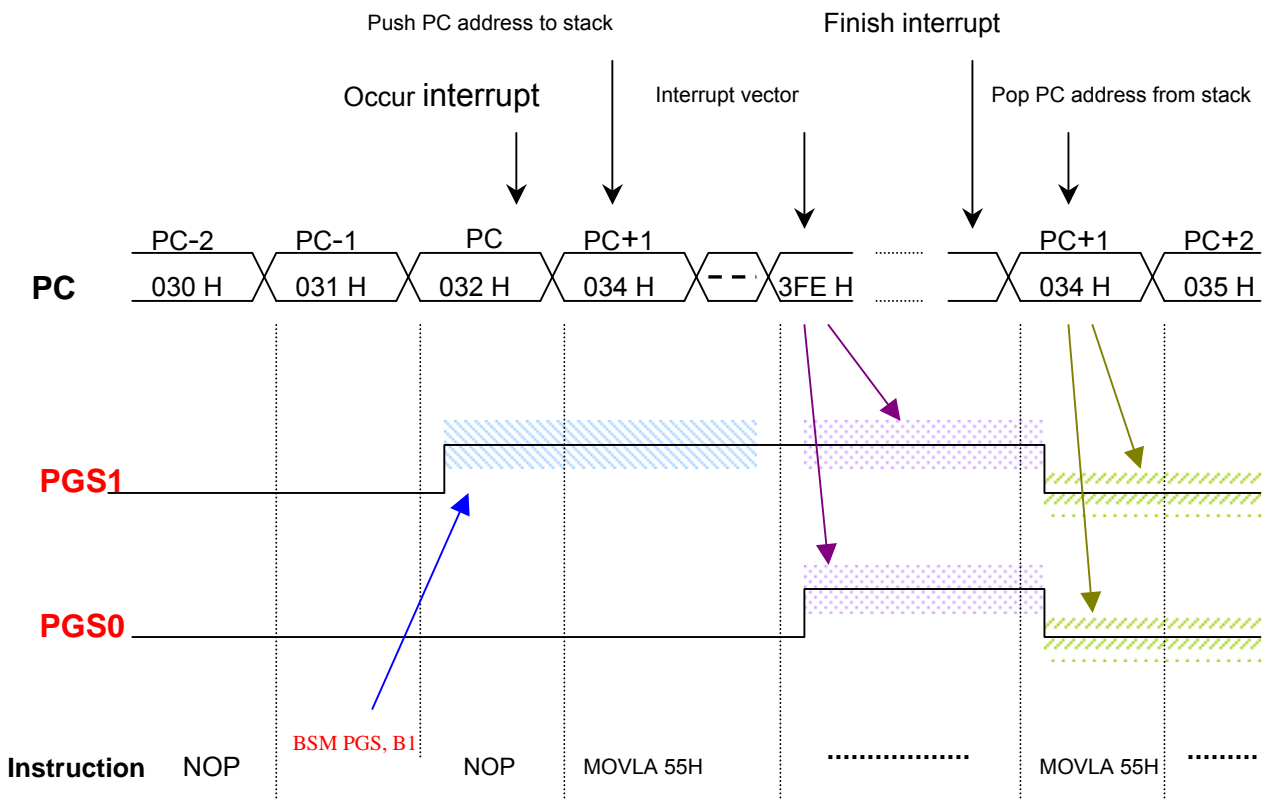


图 4-13 PGS [1:0]中断操作



4.11 PSTAT 寄存器

Name		Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PSTAT		PB Wake-up	PC Wake-up	PB Pull-down	PC1/ PC0 Pull-down	PC2 Pull-down	PC1 mode	X	PC0 mode
Setting	0	OFF	OFF	OFF	OFF	Disable	\overline{LED}	0	OFF
	1	ON	ON	ON	ON	Enable	PC1	0	IN
After cold reset		0	0	1	0	0	0	0	0

“冷复位”：参考 7.1

b0: 说明 PC₀ 端口的输入模式。

0 = OFF (高阻抗); 1 = IN (输入模式).

b1: 保留;

b2: 说明 PC1/LED 端口的 I/O 模式。

0 = LED (输出模式); 1 = PC 1 (输入模式)

b3: 说明 PC2 下拉电阻的使用。

0 = 禁止 (无下拉); 1 = 允许 (有下拉).

b4: 说明在 PC1/ PC0 端口输入模式下拉电阻的使用。

0 = OFF (不使用); 1 = ON (使用).

b5: 说明 PB 端口下拉电阻的使用。

0 = OFF (不使用); 1 = ON (使用).

b6: 说明 PC 端口的唤醒功能。

0 = OFF; 1 = ON.

芯片可通过改变 PC 端口的状态被唤醒，PC 端口设成输入模式。

b7: 说明 PB 端口唤醒功能。

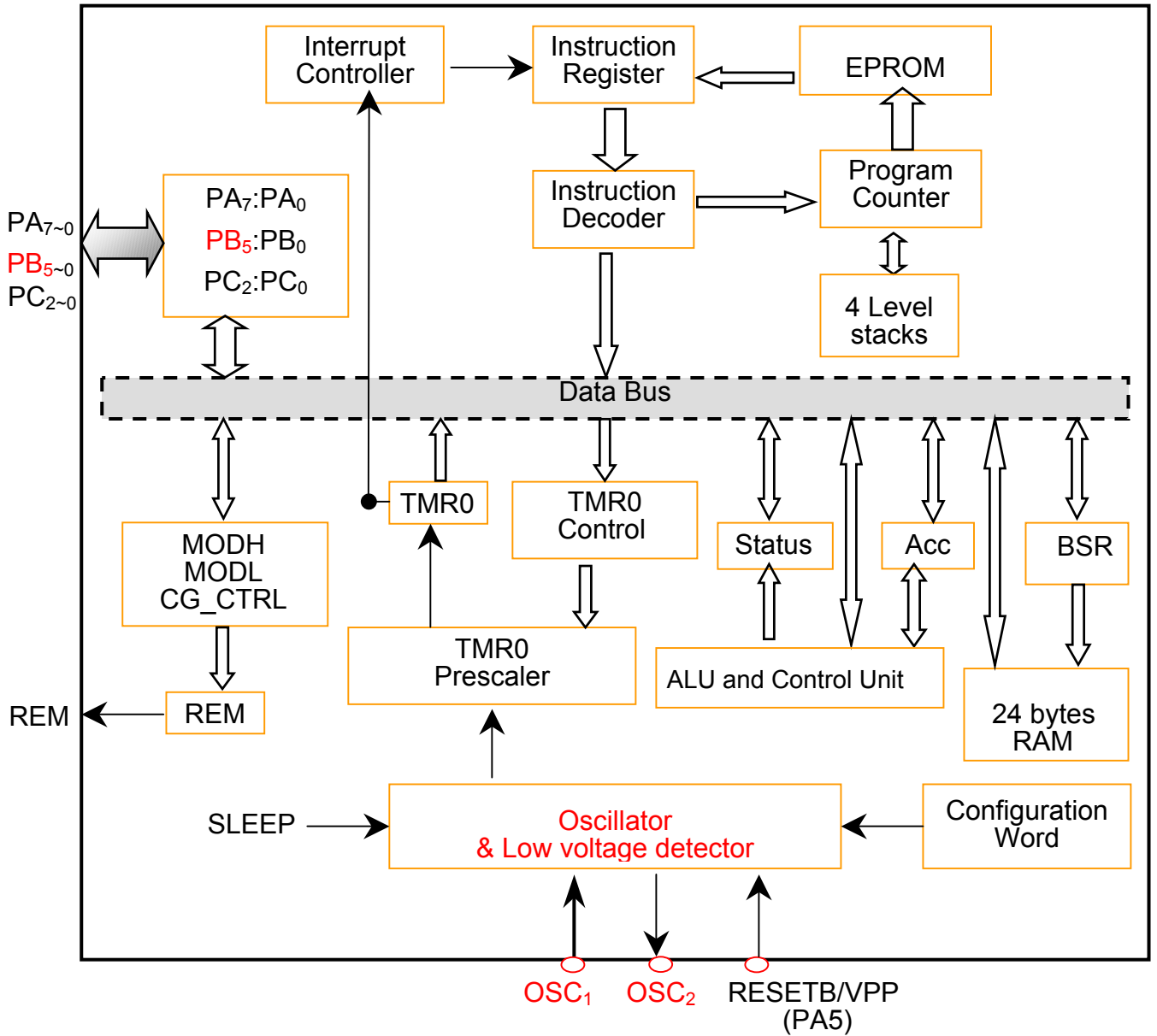
0 = OFF; 1 = ON.

芯片可以通过 PB 端口的状态被唤醒。

注释：在输入模式或关闭（OFF）模式，所有下拉电阻都自动断开。



5. 系统图表

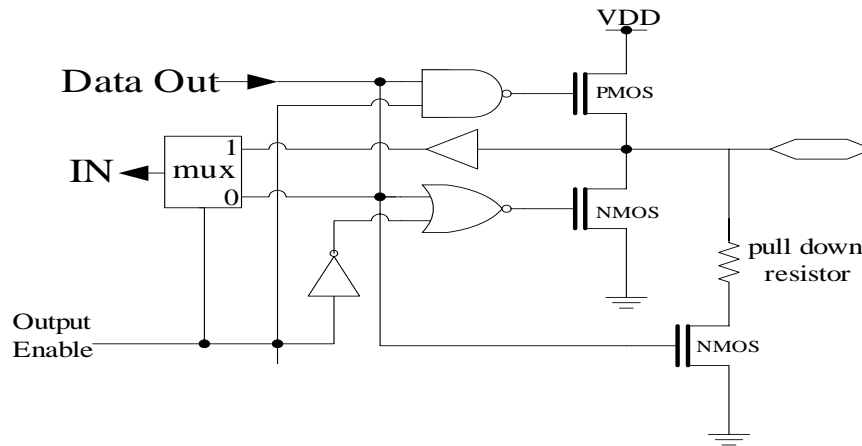




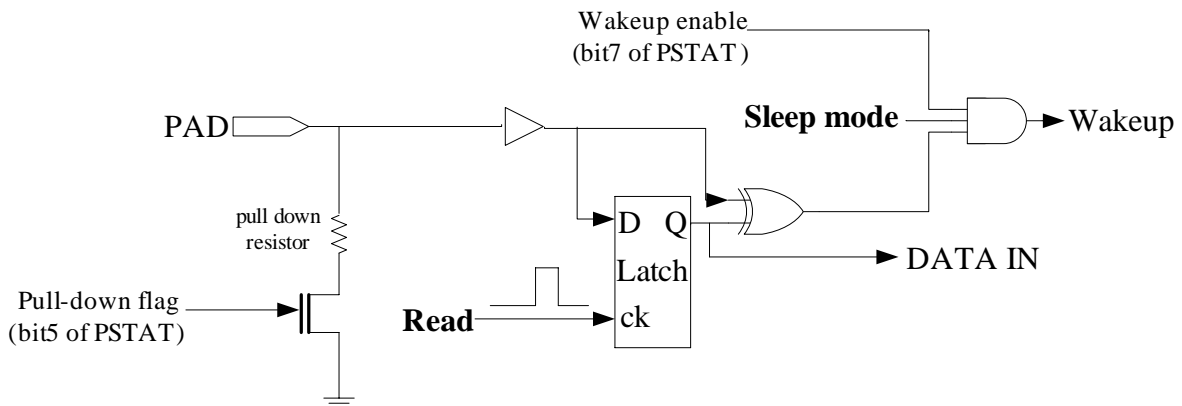
5.1 I/O 线路

I/O 线路部分简化图显示如下。

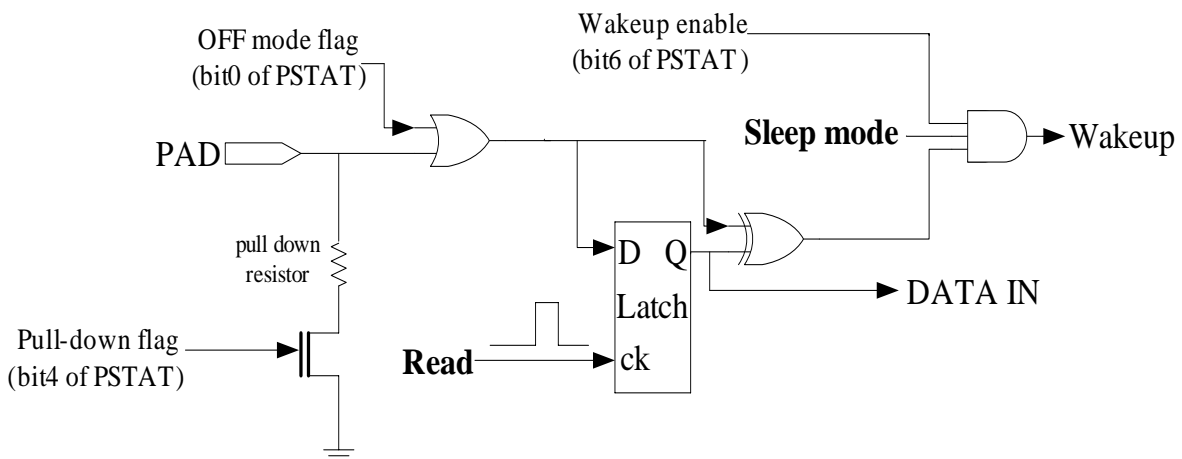
1. PA₇ ~ PA₀ (I/O)



2. PB₅ ~ PB₀ (I)

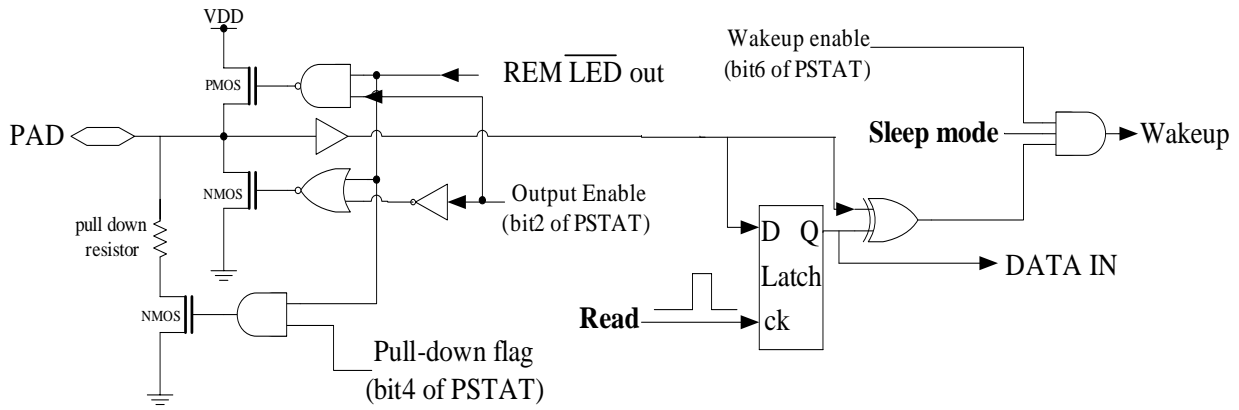


3. PC₀ (I)

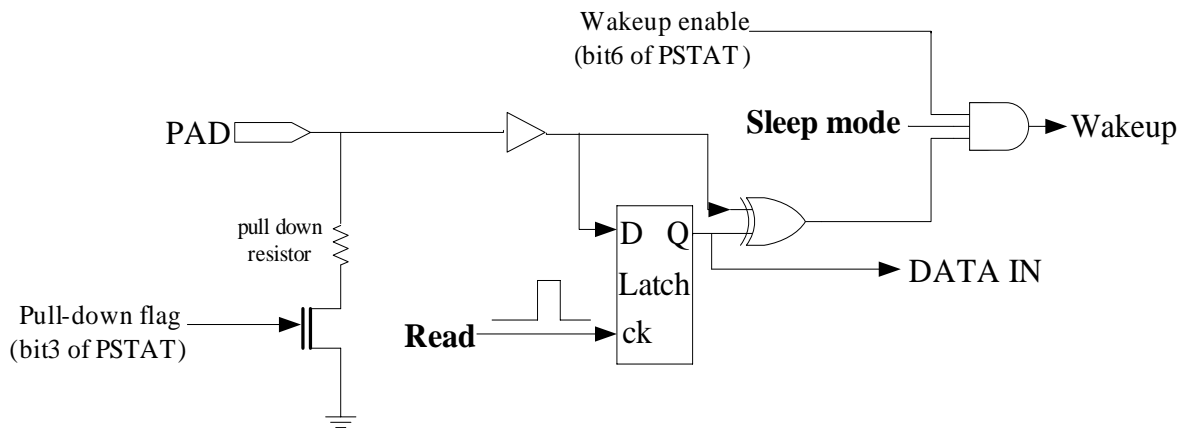




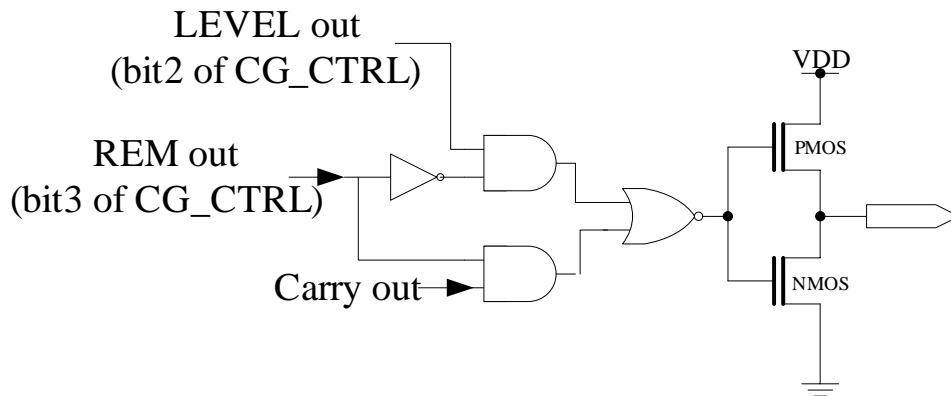
4. PC₁ (I/O)



5. PC₂ (I)



6. REM (O)





6. 存储器映象

TM58PR10 存储器分为程序存储器和数据存储器。

6.1 程序存储器

可以用程序寄存器直接寻址的同一页上只有 256 个字。Extra program memory 可以通过设置 PGS 寄存器的 bit1~0 寻址。指令执行顺序是由程序计数器控制的，程序计数器自动加 1。然而顺序也能被 skip, lcall, lgoto 指令改变，或者通过移动数据到程序计数器改变顺序。在高级模式下，TM58P10 允许直接寻址 1K 存储器任何地址，而不受页面大小限制。另外，lcall 和 lgoto 指令可提供灵活的寻址模式。

TM58PR10有一个可访问1K空间的10位程序计数器。如果访问地址超过1K，地址仍会映象到1K存储器，也就是1K+M将会映象到M。存储地址3ffh是为系统保留的。ROM结构如图6-1所示。

000H Reserved(for test)
001H Reset vector
002H Page 0 0FFH
100H Page 1 1FFH
200H Page 2 2FFH
300H Page 3 3FEH
3FEH Interrupt vector
3FFH Reserved(for test)

图 6-1 ROM 结构



6.2 CONFIG word

Configuration word 位于 800H，包含低电压检测和编码保护选择。如图 6-2 所示。

Bit	Symbol	Description		
2~1	LV1~LV0	LV1	LV0	Low Voltage detecting
		1	1	Don't use
		1	0	System reset when operating voltage is under 2V
		0	1	Unimplemented
		0	0	System reset when operating voltage is under 4V
3	CPT	CPT: Code Protection bit 1: OFF 0: ON		

图 6-2 Configuration Word



6.3 数据存储

数据存储是由专用的寄存器和通用随机存储器组成的。TM58PR10 有 24 个通过使用 bank 选择机制存取数据的通用寄存器。专用功能寄存器包含程序计数器(PC)，定时器(TMR0)寄存器，状态寄存器，bank 选择寄存器，I/O 寄存器。此外，TM58PR10 有 2 个辅助寄存器：间接寻址寄存器(IAR)、I/O 定向寄存器(IODIR)。寄存器映象如图 6-3 所示。

00H	IAR
01H	TMR0
02H	PC
03H	STATUS
04H	BSR
05H	PORTA
06H	PORTB
07H	PORTC
08H – 1FH	24 General Purpose Register
20H	MODL
21H	MODH
22H	IRQ
23H	PGS
24H	PSTAT
25H	CG_CTRL
26H	TIMER
27H	OSC_ADJ

图 6-3 寄存器映象



7. 功能描述

7.1 Reset

当满足下列任意一个条件时，TM58PR10 都可能复位。

(1) 上电

将状态寄存器中的PDB标志置成“1”。

(2) 掉电(电路保护) 参考电气特性

将状态寄存器中的PDB标志置成“1”。

(3) 唤醒

将状态寄存器中的PDB标志置成“0”。

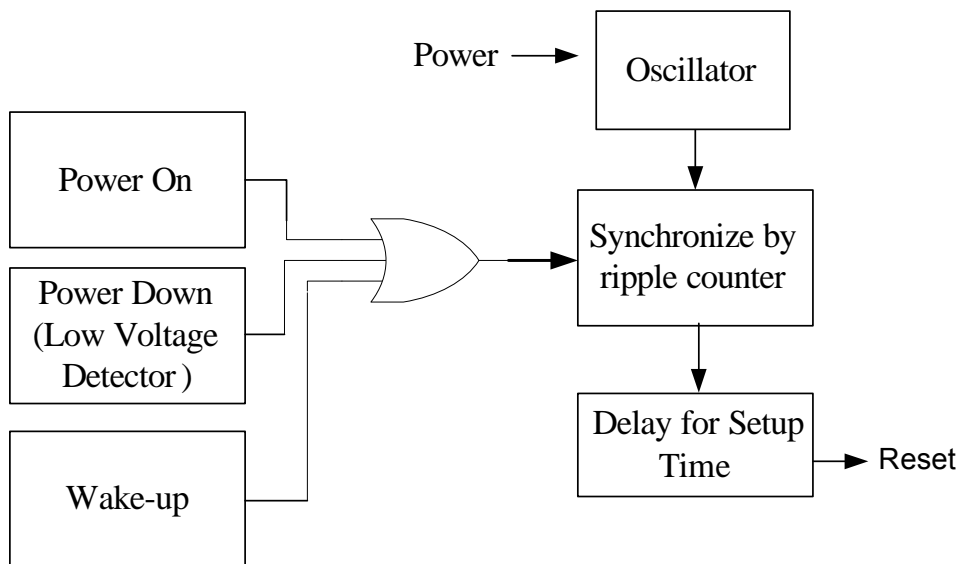


图 7-1 复位控制寄存器

如图7-1所示，三个复位条件被列出。掉电会引起TM58PR10复位，电压范围取决于configuration word的bit2~bit1。掉电复位是在电力不足的情况下用来保护芯片的。掉电的电压范围在电气特性中有详细说明。此外，电压的范围可能随process和温度变化而变化。一般来说，我们称前两种情况为冷复位。



最后一种情况称为热复位。不同的复位对寄存器和随机 RAM 的影响也是不同的。 \overline{PD} 用来决定复位的类型。这几种复位的关系如图 7-2 所示。

Address	Name	Cold Reset	Warm Reset
N/A	Accumulator	xxxx xxxx	pppp pppp
N/A	IODIR	1111 1111	pppp pppp
00H	IAR	---- ----	pppp pppp
01H	TMR0	xxxx xxxx	pppp pppp
02H	PC	11 1111 1111	11 1111 1111
03H	STATUS	---- 1xxx	---- 0ppp
04H	BSR	+++x xxxx	+++p pppp
05H	PORTA	0000 0000	pppp pppp
06H	PORTB	xxxx xxxx	xxpp pppp
07H	PORTC	---- -xxx	---- -ppp
08H – 1FH	24 General Purpose Register	xxxx xxxx	pppp pppp
20H	MODL	1111 1111	pppp pppp
21H	MODH	1111 1111	p pppp pppp
22H	IRQ	0--- --0	p--- --p
23H	PGS	---- --00	---- --00
24H	PSTAT	0010 00-0	pppp pp-p
25H	CG_CTL	---- 0000	---- pppp
26H	TMR0_CTL	---0 0000	---p pppp

图 7-2 复位条件

X: 未知的; P: 原来的数值; ?: 依据不同的复位条件;
-:不执行, 读作"0". +:不执行, 读作"1".

7.2 睡眠与唤醒

TM58PR10 执行睡眠指令进入睡眠模式。在睡眠模式下, 系统时钟关闭, IO 口和寄存器保持原有的状态, 因此装置就消耗较少的电量。在输入模式, PB 和 PC 脚的任意一个发生改变, 装置都会从 SLEEP 模式唤醒。在任何振荡模式下, 从睡眠模式唤醒都会产生 1024 系统时钟延时。唤醒复位向量是 3FFh。



8. 指令集

Mnemonic Operands	Instruction Code (Advance)	Cycles	Status Affected	OP-code
ADDAM M, m	(M)+(acc) → (M)	1	C, DC, Z	10 0101 1MMM MMMM
ADDAM M, a	(M)+(acc) → (acc)	1	C, DC, Z	10 0101 0MMM MMMM
ANDAM M, m	(M) . (acc) → (M)	1	Z	10 0100 1MMM MMMM
ANDAM M, a	(M) . (acc) → (acc)	1	Z	10 0100 0MMM MMMM
ANDLA I	Literal . (acc) (acc)	1	Z	11 1001 iiiii iiiii
BCM M, b0	Clear bit0 of (M)	1	None	00 1100 0MMM MMMM
BCM M, b1	Clear bit1 of (M)	1	None	00 1100 1MMM MMMM
BCM M, b2	Clear bit2 of (M)	1	None	00 1101 0MMM MMMM
BCM M, b3	Clear bit3 of (M)	1	None	00 1101 1MMM MMMM
BCM M, b4	Clear bit4 of (M)	1	None	00 1110 0MMM MMMM
BCM M, b5	Clear bit5 of (M)	1	None	00 1110 1MMM MMMM
BCM M, b6	Clear bit6 of (M)	1	None	00 1111 0MMM MMMM
BCM M, b7	Clear bit7 of (M)	1	None	00 1111 1MMM MMMM
BSM M, b0	Set bit0 of (M)	1	None	00 1000 0MMM MMMM
BSM M, b1	Set bit1 of (M)	1	None	00 1000 1MMM MMMM
BSM M, b2	Set bit2 of (M)	1	None	00 1001 0MMM MMMM
BSM M, b3	Set bit3 of (M)	1	None	00 1001 1MMM MMMM
BSM M, b4	Set bit4 of (M)	1	None	00 1010 0MMM MMMM
BSM M, b5	Set bit5 of (M)	1	None	00 1010 1MMM MMMM
BSM M, b6	Set bit6 of (M)	1	None	00 1011 0MMM MMMM
BSM M, b7	Set bit7 of (M)	1	None	00 1011 1MMM MMMM
BTMSC M, b0	If bit0 of (M) = 0, skip next instruction	1 + (skip)	None	00 0100 0MMM MMMM
BTMSC M, b1	If bit1 of (M) = 0, skip next instruction	1 + (skip)	None	00 0100 1MMM MMMM
BTMSC M, b2	If bit2 of (M) = 0, skip next instruction	1 + (skip)	None	00 0101 0MMM MMMM
BTMSC M, b3	If bit3 of (M) = 0, skip next instruction	1 + (skip)	None	00 0101 1MMM MMMM
BTMSC M, b4	If bit4 of (M) = 0, skip next instruction	1 + (skip)	None	00 0110 0MMM MMMM
BTMSC M, b5	If bit5 of (M) = 0, skip next instruction	1 + (skip)	None	00 0110 1MMM MMMM
BTMSC M, b6	If bit6 of (M) = 0, skip next instruction	1 + (skip)	None	00 0111 0MMM MMMM



BTMSC M, b7	If bit7 of (M) = 0, skip next instruction	1 + (skip)	None	00 0111 1MMM MMMM
BTMSS M, b0	If bit0 of (M) = 1, skip next instruction	1 + (skip)	None	00 0000 0MMM MMMM
BTMSS M, b1	If bit1 of (M) = 1, skip next instruction	1 + (skip)	None	00 0000 1MMM MMMM
BTMSS M, b2	If bit2 of (M) = 1, skip next instruction	1 + (skip)	None	00 0001 0MMM MMMM
BTMSS M, b3	If bit3 of (M) = 1, skip next instruction	1 + (skip)	None	00 0001 1MMM MMMM
BTMSS M, b4	If bit4 of (M) = 1, skip next instruction	1 + (skip)	None	00 0010 0MMM MMMM
BTMSS M, b5	If bit5 of (M) = 1, skip next instruction	1 + (skip)	None	00 0010 1MMM MMMM
BTMSS M, b6	If bit6 of (M) = 1, skip next instruction	1 + (skip)	None	00 0011 0MMM MMMM
BTMSS M, b7	If bit7 of (M) = 1, skip next instruction	1 + (skip)	None	00 0011 1MMM MMMM
CLRA	Clear accumulator	1	Z	10 0001 0000 0000
CLRM M	Clear memory M	1	Z	10 0001 1MMM MMMM
COMM M, m	$\sim(M) \rightarrow (M)$	1	Z	10 0010 1MMM MMMM
COMM M, a	$\sim(M) \rightarrow (\text{acc})$	1	Z	10 0010 0MMM MMMM
DECM M, m	Decrement M to M	1	Z	10 0110 1MMM MMMM
DECM M, a	$(M) - 1 \rightarrow (\text{acc})$	1	Z	10 0110 0MMM MMMM
DECMSZ M, m	$(M) - 1 \rightarrow (M)$, skip if (M) = 0	1 + (skip)	None	10 0111 1MMM MMMM
DECMSZ M, a	$(M) - 1 \rightarrow (\text{acc})$, skip if (M) = 0	1 + (skip)	None	10 0111 0MMM MMMM
INCM M, m	$(M) + 1 \rightarrow (M)$	1	Z	10 1000 1MMM MMMM
INCM M, a	$(M) + 1 \rightarrow (\text{acc})$	1	Z	10 1000 0MMM MMMM
INCMSZ M, m	$(M) + 1 \rightarrow (M)$, skip if (M) = 0	1 + (skip)	None	10 1001 1MMM MMMM
INCMSZ M, a	$(M) + 1 \rightarrow (\text{acc})$, skip if (M) = 0	1 + (skip)	None	10 1001 0MMM MMMM
IODIR M	Set PA i/o direction	1	None	10 0000 0000 0MMM
IORAM M, m	$(M) \text{ ior } (\text{acc}) \rightarrow (M)$	1	Z	10 1111 1MMM MMMM
IORAM M, a	$(M) \text{ ior } (\text{acc}) \rightarrow (\text{acc})$	1	Z	10 1111 0MMM MMMM
IORLA I	Literal ior (acc) \rightarrow (acc)	1	Z	11 0011 iiiiiiii
LCALL I	Call subroutine. However, LCALL can addressing 2K address	2	None	01 0iii iiiiiiii
LGOTO I	Go branch to any address	2	None	01 1iii iiiiiiii



MOVAM m	Move data form acc to memory	1	None	10 0000 1MMM MMMM
MOVLA I	Move literal to accumulator	1	None	11 0001 iiiiiiii
MOVM M, m	(M) → (M)	1	Z	10 0011 1MMM MMMM
MOVM M, a	(M) → (acc)	1	Z	10 0011 0MMM MMMM
NOP	No operation	1	None	10 0000 0000 0000
RET	Return	2	None	11 1111 0111 1111
RETI	Return and enable INTM	2	None	11 1111 1111 1111
RETLA I	Return and move literal to accumulator	2	None	11 1100 iiiiiiii
RLM M, m	Rotate left from m to itself	1	C	10 1100 1MMM MMMM
RLM M, a	Rotate left from m to acc	1	C	10 1100 0MMM MMMM
RRM M, m	Rotate right from m to itself	1	C	10 1110 1MMM MMMM
RRM M, a	Rotate right from m to acc	1	C	10 1110 0MMM MMMM
SLEEP	Enter sleep (saving) mode	1	TO, PO	10 0000 0000 0011
SUBAM M, m	(M)–(acc) → (M)	1	C, DC, Z	10 1010 1MMM MMMM
SUBAM M, a	(M)–(acc) → (acc)	1	C, DC, Z	10 1010 0MMM MMMM
SWAPM M, m	Swap data from m to itself	1	None	10 1101 1MMM MMMM
SWAPM M, a	Swap data from m to acc	1	None	10 1101 0MMM MMMM
XORAM M, m	(M) xor (acc) →(M)	1	Z	10 1011 1MMM MMMM
XORAM M, a	(M) xor (acc) →(acc)	1	Z	10 1011 0MMM MMMM
XORLA I	Literal xor (acc) →(acc)	1	Z	11 1000 iiiiiiii



9. 电气特性

9.1 绝对最大额定值

电源电压 $V_{SS}-0.3V$ to $V_{SS}+5.5V$ 存储温度 -50 to 125

输入电压 $V_{SS}-0.3V$ to $V_{DD}+0.3V$ 工作温度... 0 to 70

9.2 直流电特性

Symbol	Parameter	Test Conditions		Min.	Typ.	Max.	Unit
		VDD	Conditions				
VDD	Operating Voltage	---		2.0		3.6	V
V_{IH}	Input High Voltage	5V	I/O Port	2		VDD	V
V_{IL}	Input Low Voltage	5V	I/O Port			0.8	V
I_{DD1}	Standby Current	5V			1		uA
		3V			1		
I_{IL}	Input Leakage Current	5V	Vin=VDD, VSS		1		uA
		3V	Vin=VDD, VSS		1		
I_{OH}	PortA Driving Current	5V	Voh=4.5V		6.8		mA
			Voh=4V		13		
			Voh=3.5V		18		
		3V	Voh=2.7V		2.5		
			Voh=2.1V		5		
			Voh=1.5V		6.8		
	REM or PC1 Driving Current	5V	Voh=4.5V		5		
			Voh=4V		9.8		
			Voh=3.5V		13.5		
		3V	Voh=2.7V		2		
Voh=2.1V			3.7				
Voh=1.5V		5.1					



Symbol	Parameter	Test Conditions		Min.	Typ.	Max.	Unit
		VDD	Conditions				
I _{OL}	PortA Sink Current	5V	Voh=4.5V		165		uA
			Voh=4V		305		
			Voh=3.5V		405		
		3V	Voh=2.7V		63		
			Voh=2.1V		112		
			Voh=1.5V		150		
	REM or PC1 Sink Current	5V	Voh=4.5V		4.1		mA
			Voh=4V		7.2		
			Voh=3.5V		9		
		3V	Voh=2.7V		1.6		
			Voh=2.1V		2.9		
			Voh=1.5V		3.7		
LV	Low Voltage Reset		LV1 LV0 = 10B		2		V
			LV1 LV0 = 00B		4		
R	PortA Pull down resistance	5V	PortA input only		90		KΩ
		3V	PortA input only		180		
	PortB or PortC Pull down resistance	5V	PortB or PortC input only		58		KΩ
		3V	PortB or PortC input only		111		

9.3 交流电特性

Symbol	Parameter	Test Conditions		Min	Typ	Max	Unit
		VDD	Conditions				
f _{sys1}	System Clock	5V 3V	NT Crystal mode	200k		10M	hz
				200k		10M	
					4		
T _{rht}	Reset Hold Time		System clk = 4M		250u		s

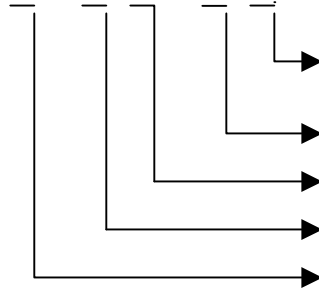
Reset Hold Time = 1000 / System clk



10. 封装信息

10.1 型号描述

TM58PR10 X XX X X



Ⓢ Green package; Ⓜ Pb-Free

C: Commercial

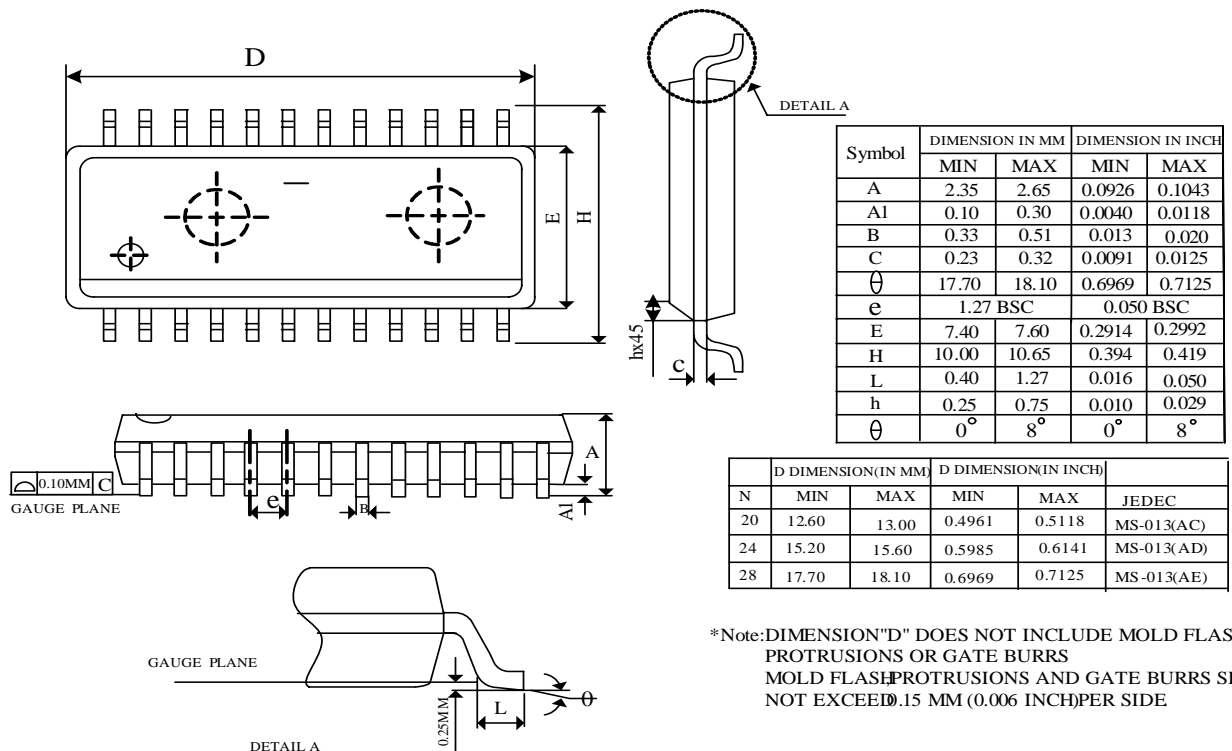
18:18 Pin, 20:20Pin, 24:24Pin

S: SOP, SS: SSOP

Part number

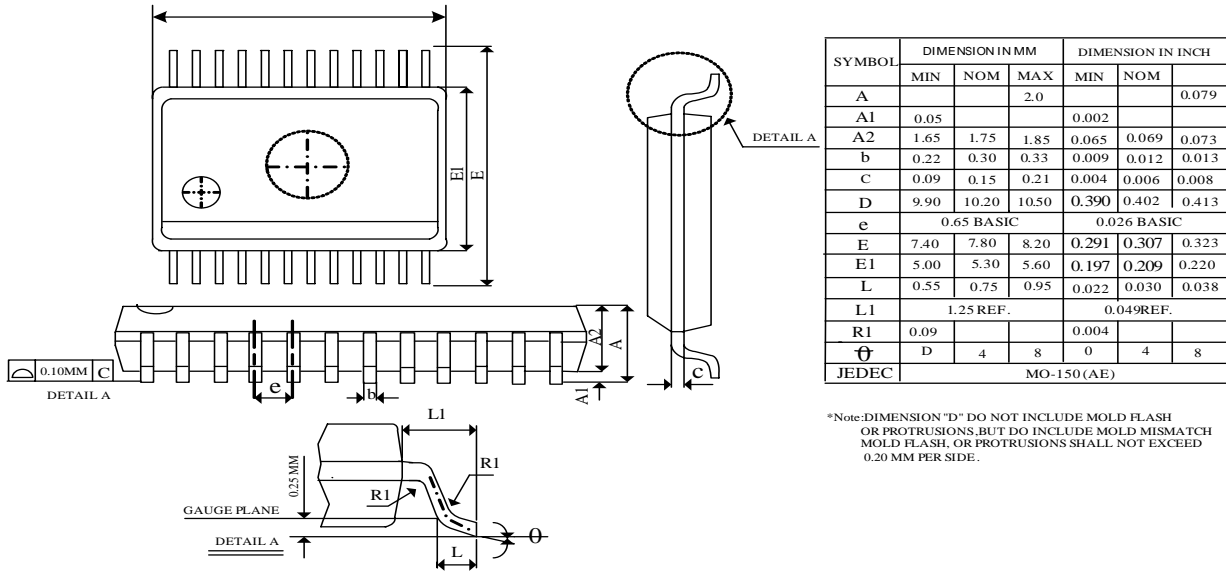
10.2 封装描述

10.2.1 24, 20pin SOP 300mil

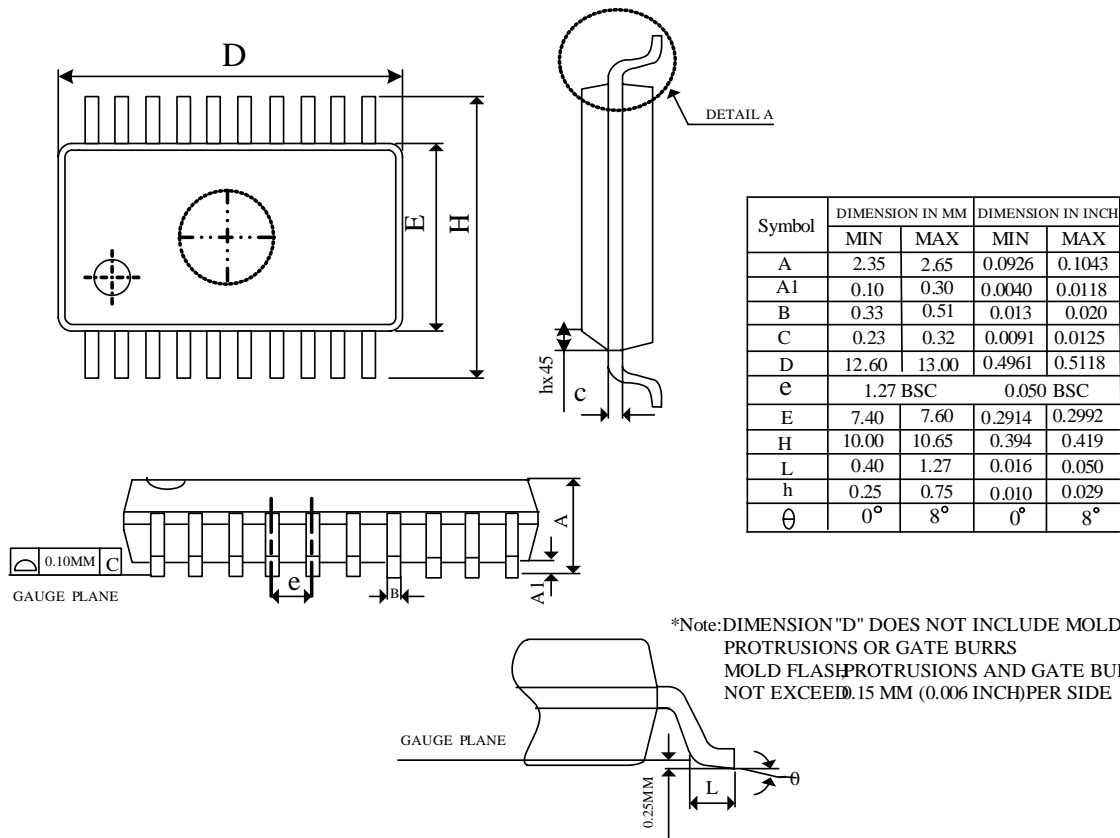




10.2.2 24 pin SSOP 209 mil

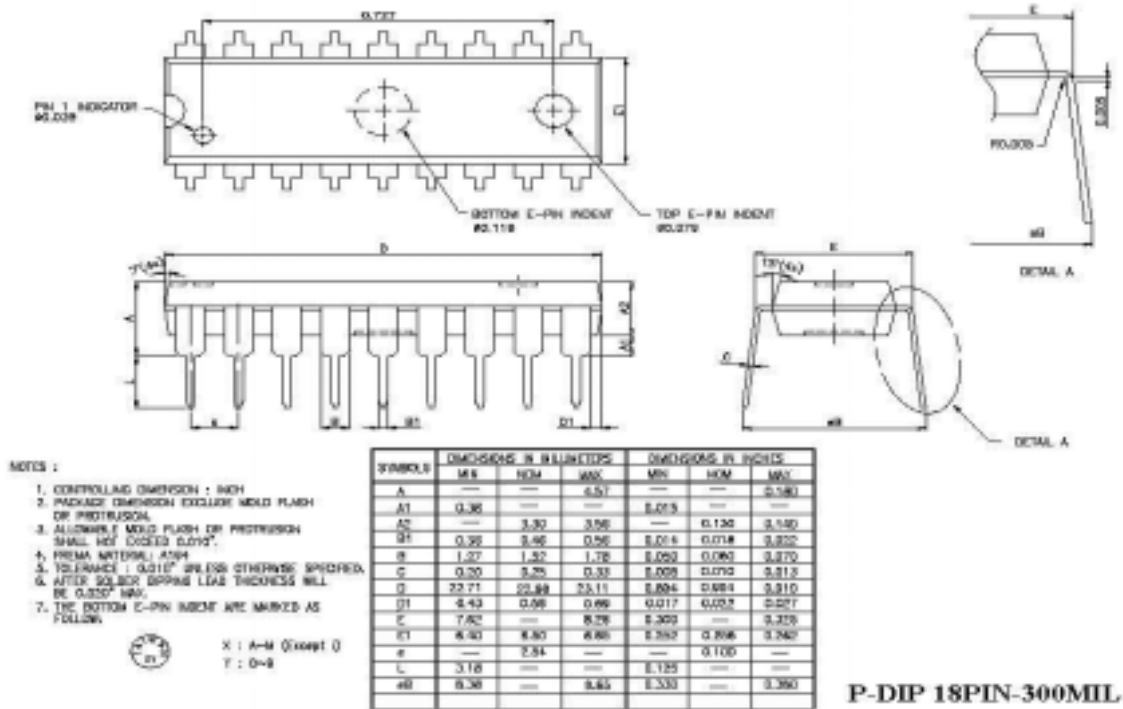


10.2.3 20 pin SSOP 209 mil





10.2.4 18 pin DIP 300 mil



10.2.5 18pin SOP 300mil

