

W78E52B ? ? ?



8 ? ? ? ? ?

目 录:

1.	概述.....	3
2.	特性.....	3
3.	管脚配置.....	5
4.	管脚描述.....	6
5.	方块图.....	8
6.	功能描述.....	9
6.1	定时器0, 1, 2.....	9
6.2	新增外设.....	9
6.3	减少EMI辐射.....	10
6.4	看门狗定时器.....	11
6.5	时钟.....	13
6.6	电源管理.....	13
6.7	复位.....	13
7.	片内FLASH EPROM 特性.....	14
7.1	读操作.....	14
7.2	禁止输出情况.....	14
7.3	编程操作.....	14
7.4	编程校验操作.....	14
7.5	擦除操作.....	14
7.6	擦除校验操作.....	14
7.7	编程/擦除禁止操作.....	14
8.	保密位.....	16
8.1	锁止位.....	16
8.2	MOVC 禁止.....	16
8.3	加密.....	17
9.	电气特性.....	17

? ? ? ? : December 21, 2004

? ? : SCI

9.1	绝对最大额定值	17
9.2	DC特性	18
9.3	AC特性	20
9.3.1	时钟输入波形	20
9.3.2	程序读取周期	21
9.3.3	数据读取周期	21
9.3.4	数据写周期	22
9.3.5	端口访问周期	22
9.3.6	编程操作	23
10.	时序波形图	24
10.1	程序读取周期	24
10.2	数据读周期	24
10.3	数据写周期	25
10.4	端口访问周期	25
10.5	编程操作	26
11.	典型应用电路	27
11.1	扩展的外部程序存储器和石英晶体	27
11.2	扩展的外部程序存储器和振荡器	28
12.	封装尺寸	29
12.1	DIP40	29
12.3	44 管脚PLCC	31
12.4	44 管脚PQFP	32
13.	文件版本描述	33



1. 概述

W78E52B 是宽频率范围、低功耗的 8 位微控制器。它的指令集同标准 8051 指令集完全兼容。W78E52B 包含 8K 字节的 Flash EPROM；256 字节的 RAM；4 个 8 位双向、可位寻址的 I/O 口；一个附加的 4 位 I/O 口 P4；3 个 16 位定时/计数器；一个硬件看门狗定时器及一个串行口。这些外围设备都由有 7 个中断源和 2 级中断能力的中断系统支持。为了方便用户进行编程和验证，W78E52B 内含的 Flash EPROM 允许电编程和电读写。一旦代码确定后，用户就可以对代码进行保护。

W78E52B 有 2 种节电模式，空闲模式和掉电模式，2 种模式均可由软件来控制选择。空闲模式下，处理器时钟被关闭，但外设仍继续工作。在掉电模式下晶体振荡器停止工作，以将功耗降至最低。外部时钟可以在任何时间及状态下被关闭，而不影响处理器运行。

2. 特性

- ?? 全静态设计的 CMOS 8 位微处理器
- ?? 宽电压范围：4.5V - 5.5V
- ?? 256 字节片内暂存 RAM
- ?? 8K 字节片内 Flash EPROM
- ?? 64KB 程序存储器地址空间
- ?? 64KB 数据存储器地址空间
- ?? 4 个 8 位双向 I/O 口
- ?? 一个附加的 4 位可位寻址 I/O 口，增加了 2 个中断 $\overline{INT2}/\overline{INT3}$ （限 PLCC/PQFP 44 芯封装形式）
- ?? 3 个 16 位定时/计数器
- ?? 一个全双工串行口（UART）
- ?? 看门狗定时器
- ?? 8 个中断源，2 级中断能力
- ?? 降低 EMI 模式
- ?? 内建电源管理
- ?? 代码保护机制
- ?? 封装：
 - ? DIP40: W78E52B-40
 - ? PLCC44: W78E52BP-40
 - ? PQFP44: W78E52BF-40
 - ? 无铅封装 DIP40: W78E052B40DL

W78E52B



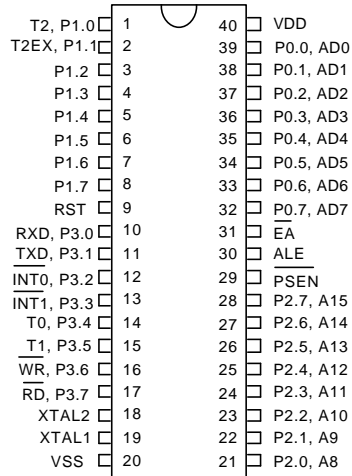
?无铅封装 PLCC44: W78E052B40PL

?无铅封装 PQFP44: W78E052B40FL

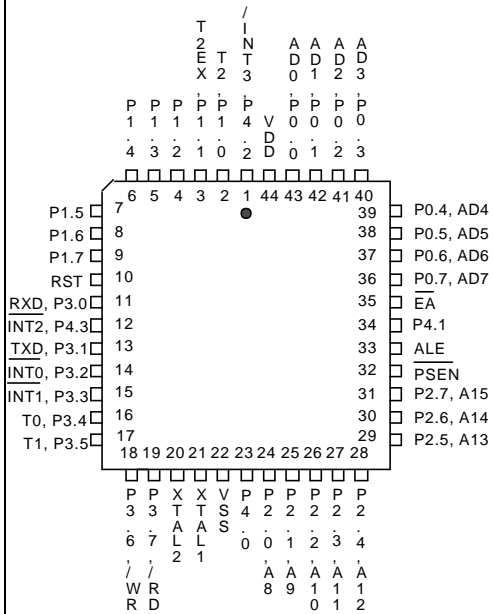


3. 管脚配置

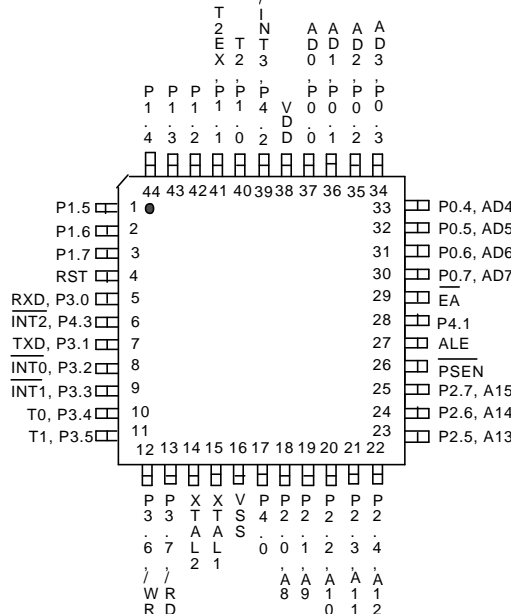
40-Pin DIP (W78E52B)



44-Pin PLCC (W78E52BP)



44-Pin QFP (W78E52BF)



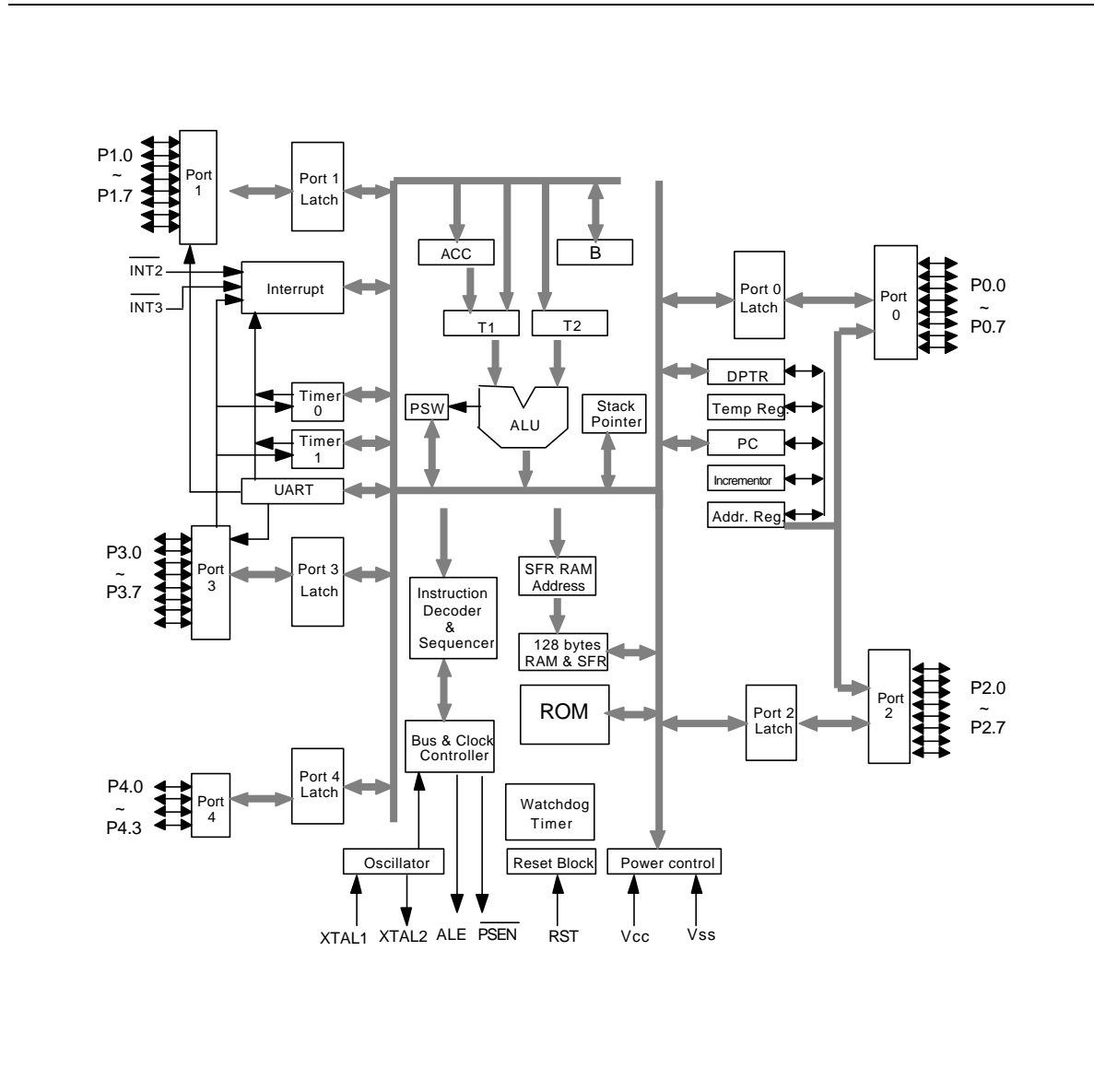
4. 管脚描述

符号	描述
\overline{EA}	外部访问使能：此管脚使处理器访问外部 ROM。当 \overline{EA} 保持高电平时，处理器访问内部 ROM。如果 \overline{EA} 管脚为高电平且程序计数器指向片内 ROM 空间，ROM 的地址和数据就不会出现在总线上。
\overline{PSEN}	程序存储使能：在执行取指令 (fetch) 和 MOV _C 的操作时，此管脚允许外部 ROM 数据出现在 P0 口的地址/数据总线上。当访问内部 ROM 时，此管脚上不输出 \overline{PSEN} 的选通信号。
ALE	地址锁存使能：ALE 用于将 P0 口地址锁存，使其和数据分离。
RST	复位：振荡器运行时，此管脚上出现两个机器周期的高电平将使器件复位。
XTAL1	石英晶体 1：晶体振荡器的输入。此管脚可由一个外部时钟驱动。
XTAL2	石英晶体 2：晶体振荡器的输出。XTAL2 是 XTAL1 的反相端。
VSS	地：地电位
VDD	电源：电源工作电压
P0.0-P0.7	端口 0：端口 0 是一个双向 I/O 口，在访问外部存储器时，端口 0 可用作低位地址/数据总线。端口 0 是一个开漏极端口，在进行编程时需要连接一个外部上拉电路。
P1.0-P1.7	端口 1：端口 1 是一个具有内部上拉电路的双向 I/O 口。有复用功能位，如下： T2 (P1.0)：定时/计数器 2 的外部计数输入 T2EX (P1.1) 定时/计数器 2 的重装载/捕获控制
P2.0-P2.7	端口 2：端口 2 是一个具有内部上拉电路的双向 I/O 口。此端口提供访问外部存储器的高位地址。

管脚描述 (续)

符号	描述
P3.0-P3.7	<p>端口3：端口3是一个具有内部上拉电路的双向I/O口。所有位都有复用功能，如下：</p> <p>RXD (P3.0)：串行口接收器输入</p> <p>TXD (P3.1)：串行口发送器输出</p> <p>$\overline{\text{INT}}0$ (P3.2)：外部中断0</p> <p>$\overline{\text{INT}}1$ (P3.3)：外部中断1</p> <p>T0 (P3.4)：定时器0外部输入</p> <p>T1 (P3.5)：定时器1外部输入</p> <p>$\overline{\text{WR}}$ (P3.6)：外部数据存储器写选通</p> <p>$\overline{\text{RD}}$ (P3.7)：外部数据存储器读选通</p>
P4.0-P4.3	<p>端口4：可位寻址的双向I/O口P4。P4.3和P4.2为功能复用管脚。它们既可以作为通用的I/O口，也可以作为外部中断源的输入 ($\overline{\text{INT}}2/\overline{\text{INT}}3$)</p>

5. 方块图





6. 功能描述

W78E52B 的体系结构包括一个外围有多个寄存器的核心控制器，5 个通用 I/O 口，256 字节的 RAM，3 个定时器/计数器和一个串行口。处理器支持 111 条不同的操作码，并可访问 64k 的程序地址空间和 64k 的数据存储空间。

6.1 定时器 0, 1, 2

定时器 0, 1, 2 分别包含 2 个 8 位数据寄存器。它们是定时器 0 下的 TL0、TH0，定时器 1 下的 TL1、TH1，定时器 2 下的 TL2、TH2。TCON 和 TMOD 对定时器 0, 1 进行控制。T2CON 寄存器对定时器 2 进行控制。RCAP2H, RCAP2L 是定时器 2 的重装/捕捉寄存器。

定时器 0, 1 的工作方式与 W78C51 一样。定时器 2 是 W78E52 的新增特性。它是一个由 T2CON 寄存器控制的 16 位定时器/计数器。同定时器 0, 1 一样，定时器 2 可以用作外部时间计数器和内部时钟。定时器 2 有 3 种运行方式：捕捉，自动重装，波特率发生器。在捕捉和自动重装模式下时钟速度与定时器 0, 1 相同。

6.2 新增外设

为了进一步优化 I/O 口，在 44 管脚的 PLCC 或 QFP 封装的器件中，附加了一个 4 位的可位寻址端口 P4 和两个外部中断 $\overline{INT2}$ / $\overline{INT3}$ 。描述如下：

$\overline{INT2}$ / $\overline{INT3}$ 两个附加的外部中断 $\overline{INT2}$ / $\overline{INT3}$ ，与标准的 80C52 中的外部中断 0 和 1 的功能相似。这些中断的功能/状态由 XICON（外部中断控制）寄存器中的位设置/表示。XICON 寄存器是可位寻址的，但不是标准的 80C52 中的标准寄存器。其地址为 0C0H。可用“SETB (/CLR) bit”指令来置位/清零 XICON 寄存器中的各个位。例如，“SETB 0C2H”指令可将 XICON 的 EX2 位置位。

XICON - 外部中断控制(C0H)

PX3	EX3	IE3	IT3	PX2	EX2	IE2	IT2
-----	-----	-----	-----	-----	-----	-----	-----

PX3：置位表明外部中断 3 的优先级为高

EX3：置位表明外部中断 3 有效

IE3：如果 IT3 = 1，当中断被检测/响应时，IE3 可由硬件自动置位/清零

IT3：当此位由软件置位/清零时，外部中断 3 为下降沿/低电平触发

PX2：置位表明外部中断 2 的优先级为高

EX2：置位表明外部中断 2 有效

IE2：如果 IT2 = 1，当中断被检测/响应时，IE2 可由硬件自动置位/清零

IT2：当此位由软件置位/清零时，外部中断 2 为下降沿/低电平触发

8 个中断源

中断源	矢量地址	同级内的优先权	使能设置位	中断类型边沿/电平
外部中断 0	03H	0 (最高)	IE.0	TCON.0
定时/计数器 0	0BH	1	IE.1	-
外部中断 1	13H	2	IE.2	TCON.2
定时/计数器 1	1BH	3	IE.3	-
串行端口	23H	4	IE.4	-
外部中断 2	33H	5	XICON.2	XICON.0
外部中断 3	3BH	6(最低)	XICON.6	XICON.3

I/O 口 4 (P4)

P4口是可以位寻址的，仅有4个I/O口；对应于 (P4<3:0>)。端口的地址为0D8H，除了P4.3和P4.2为功能复用管脚外，其功能与端口P1 相同。P4 既可以作为通用的I/O 口，也可以作为外部中断源 $\overline{INT2}/\overline{INT3}$ 的输入。

例如：

```
P4 REG 0D8H
MOV P4, #0AH           ; 在P4.0 - P4.3位上输出数据“A”
MOV A, P4              ; 读P4的状态到累加器A
ORL P4, #00000001B    ; 将P4.0位置位
ANL P4, #11111101B    ; 将P4.1位清零
```

6.3 减少EMI辐射

当程序运行于内部ROM 空间时，由于片内Flash EPROM 的存在，ALE 无效。ALE信号的传输会引起干扰，因此在ALE无用时，关闭ALE以减少EMI 辐射。要关断ALE信号的传输，只需将地址位于08Eh的AUXR SFR寄存器的0位置为1即可。当程序读取外部ROM/RAM数据或跳转到外部ROM中执行操作时，关闭的ALE再次被激活。当访问完成或程序返回到内部ROM 空间后，ALE 又一次被关断。将AUXR 寄存器的AO 位置1使ALE 输出无效。为了减少振荡电路中的EMI 辐射，W78E54B 允许用户通过编程将安全寄存器的B7 位清零，来减少片内振荡放大器的增益。一旦B7 置为0，放大器就会减少一半的增益。用户在试图减少晶振放大器增益时，必须注意：在高于24MHZ的高频下运行时，减少一半的增益也许会使外部晶振工作不正常。当在较低的增益下运行时，应当调整R，C1和C2的值。



***AUXR - 辅助寄存器(8EH)

-	-	-	-	-	-	-	AO
---	---	---	---	---	---	---	----

AO: 关闭ALE输出

断电标志

***PCON - 电源控制(87H)

-	-	-	POF	GF1	GF0	PD	IDL
---	---	---	-----	-----	-----	----	-----

POF: 断电标志位。当上电复位时, 由硬件将 POF 置位。由软件将 POF 清零, 来决定芯片复位是热启动还是冷启动。

GF1, GF0: 这两个位是为用户提供的通用标志位。

PD: 掉电模式位。置位进入掉电模式

IDL: 空闲模式位。置位进入空闲模式。

断电标志位为 PCON.4 位。当器件加 VDD 电压时, 此位被置位。随后由软件复位时, 此位可决定复位是热启动还是冷启动。

6.4 看门狗定时器

看门狗定时器是一个自行运行定时器, 用户可通过编程将其设置为系统监控器, 时基发生器或事件定时器。定时器基于一组分频器, 对系统时钟频率进行分割。分频器输出可选, 并决定溢出时间。溢出时, 如果看门狗有效, 将引起系统复位。看门狗定时器主要用作一个系统监控器, 在实时控制的应用中尤为重要。如果发现电源脉冲干扰或电磁干扰, 处理器将会运行不确定的代码。如果不及时检查, 整个系统可能会崩溃。由于时钟速率不同, 看门狗定时器将会产生不同的溢出时间, 在系统复位时, 看门狗定时器无效。总之, 可通过软件编程重启看门狗定时器, 并将其设置到一个可知状态。看门狗定时器的控制位的描述如下:

看门狗定时器控制寄存器

位:	7	6	5	4	3	2	1	0
	ENW	CLRW	WIDL	-	-	PS2	PS1	PS0

助记符: WDTC 地址: 8FH



ENW : 置位表明看门狗有效

CLRW : 置位表明看门狗定时器和预分频器清零。此标志位会自动清零。

WIDL : 若此位被置位，看门狗定时器在 IDLE 模式下有效；否则，在 IDLE 模式下不工作。缺省是清零。

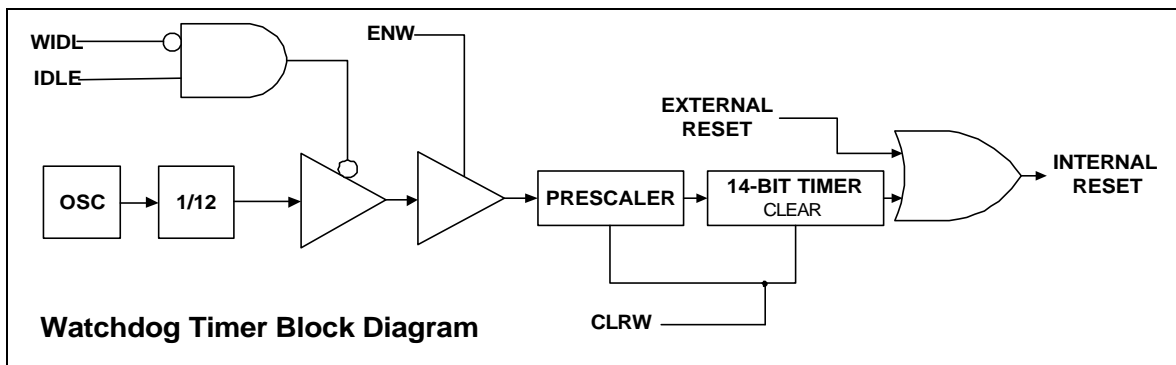
PS2 , PS1 , PS0 : 看门狗定时器预分频器选择，当设置 PS2 ~ 0，预分频系数选择如下：

PS2	PS1	PS0	预分频系数选择
0	0	0	2
0	1	0	4
0	0	1	8
0	1	1	16
1	0	0	32
1	0	1	64
1	1	0	128
1	1	1	256

溢出时间由下式得出：

$$1/\text{OSC} \times 2^{14} \times \text{预分频系数} \times 1000 \times 12 \text{ Ms}$$

在看门狗溢出之前，程序必须通过向 WDTC.6 (CLRW) 写入1，使14位定时器清零。当1写入该位后，14位定时器，预分频器及此位本身将在下一个指令周期被复位。复位时，看门狗定时器清零。





在 OSC = 20MHz 时，看门狗定时器典型的溢出时间

PS2	PS1	PS0	看门狗溢出时间
0	0	0	19.66 mS
0	1	0	39.32 mS
0	0	1	78.64 mS
0	1	1	157.28 mS
1	0	0	314.57 mS
1	0	1	629.14 mS
1	1	0	1.25 S
1	1	1	2.50 S

6.5 时钟

W78E52B 被设计成既可以使用一个晶体振荡器，也可以使用一个外部时钟。在使用时钟之前，时钟频率由内部二分频。这使得 W78E52B 对时钟占空比变化相对不敏感。W78E52B 包含一个内置的晶体振荡器。为使振荡器工作，必须在 XTAL1 和 XTAL2 管脚之间连接一个石英晶体。另外，必须分别在这两个管脚和地之间连一个负载电容。外部时钟源连接到管脚 XTAL1 上，管脚 XTAL2 悬空。晶体振荡器要求 XTAL1 上的输入是一个 CMOS 型输入。

6.6 电源管理

空闲模式

通过将 PCON 寄存器的 IDL 位置位，系统进入空闲模式。在空闲模式下，连接到处理器的内部时钟被关闭。外设和中断逻辑继续工作。当有中断或复位发生时，处理器退出空闲模式。

掉电模式

通过将 PCON 寄存器的 PD 位置位，处理器进入掉电模式。在这种模式下，包括振荡器在内的所有时钟被关闭。退出掉电模式的唯一方法是产生一个复位。

6.7 复位

外部 RESET 信号在 S5P2 期间被采样。为使复位有效，在振荡器运行时，复位信号至少要保持两个机器周期的高电平。当 W78E52B 应用一个外部 RC 网络时，复位线上的内部触发电路用来防止尖峰脉冲。复位逻辑电路也带有一个专用的消除尖峰脉冲的电路，同样可以消除复位线上的尖峰脉冲。在复位期间，端口地址被初始化为 FFH，堆栈指针为 07H，PCON (PCON.4 除外) 为 00H，除 SBUF 之外的所有 SFR 寄存器为 00H，SBUF 不被复位。

???: December 21, 2004



7. 片内FLASH EPROM 特性

W78E52B 有多种对片内 Flash EPROM 编程的模式。所有这些操作由 RST, ALE, $\overline{\text{PSEN}}$, A9CTRL (P3.0), A13CTRL (P3.1), A14CTRL (P3.2), OCTRL (P3.3), $\overline{\text{CE}}$ (P3.6), $\overline{\text{OE}}$ (P3.7), A0 (P1.0) 和 V_{pp} ($\overline{\text{EA}}$) 这些管脚来配置。另外管脚 A15 - A0 (P2.7 - P2.0, P1.7 - P1.0) 和 D7 - D0 (P0.7 - P0.0) 分别用作这些操作的地址和数据总线。

7.1 读操作

此操作支持用户读取代码和保密位。如果上锁位设置为 0, 则读数据无效。

7.2 禁止输出情况

当 $\overline{\text{OE}}$ 设为高电平, 则 D7..D0 上无数据输出。

7.3 编程操作

此操作用于对 Flash EPROM 和保密位进行编程。当 V_{pp} 达到 V_{cp} (12.5V) 电平, $\overline{\text{CE}}$ 设为低电平且 $\overline{\text{OE}}$ 设为高电平时, 则进行编程操作。

7.4 编程校验操作

编程操作后, 所有编程数据必须经过校验。每个字节被编程后, 即执行此操作。此操作会确保一个充足的编程裕量。

7.5 擦除操作

擦除操作是将数据从 0 变为 1 的唯一方法。此操作将使所有的 Flash EPROM 单元和保密位由 0 变为 1。当 V_{pp} 达到 V_{ep} 电平, $\overline{\text{CE}}$ 设为低电平且 $\overline{\text{OE}}$ 设为高电平时, 则执行擦除操作。

7.6 擦除校验操作

擦除操作后, 芯片中所有的字节必须被校验, 看是否都被成功地擦除到 1。擦除校验操作自动确保了充足的擦除裕量。擦除操作后, 当 $V_{pp} = V_{ep}$ (14.5V), $\overline{\text{CE}}$ 为高电平且 $\overline{\text{OE}}$ 为低电平时, 执行擦除校验操作。

7.7 编程/擦除禁止操作

此操作允许用不同的数据对多个芯片进行并行擦除或编程。当 $\text{P3.6}(\overline{\text{CE}}) = V_{IH}$, $\text{P3.7}(\overline{\text{OE}}) = V_{IH}$ 时, 禁止对非目标芯片的擦除和编程操作。所以, 除了 P3.6 和 P3.7 管脚外, 每个芯片均有公共输入。

操作	P3.0 (A9 CTRL)	P3.1 (A13 CTRL)	P3.2 (A14 CTRL)	P3.3 (OE CTRL)	P3.6 (\overline{CE})	P3.7 (\overline{OE})	EA (VPP)	P2,P1 (A15..A0)	P0 (D7..D0)	注释
读	0	0	0	0	0	0	1	地址	数据输出	
输出无效	0	0	0	0	0	1	1	X	Hi-Z	
编程	0	0	0	0	0	1	V _{CP}	地址	数据输入	
编程校验	0	0	0	0	1	0	V _{CP}	地址	数据输出	@3
擦除	1	0	0	0	0	1	V _{EP}	A0:0, 其它: X	数据 输入 0FFH	@4
擦除校验	1	0	0	0	1	0	V _{EP}	地址	数据输出	@5
编程/擦除禁止	X	0	0	0	1	1	V _{CP} / V _{EP}	X	X	

注释：

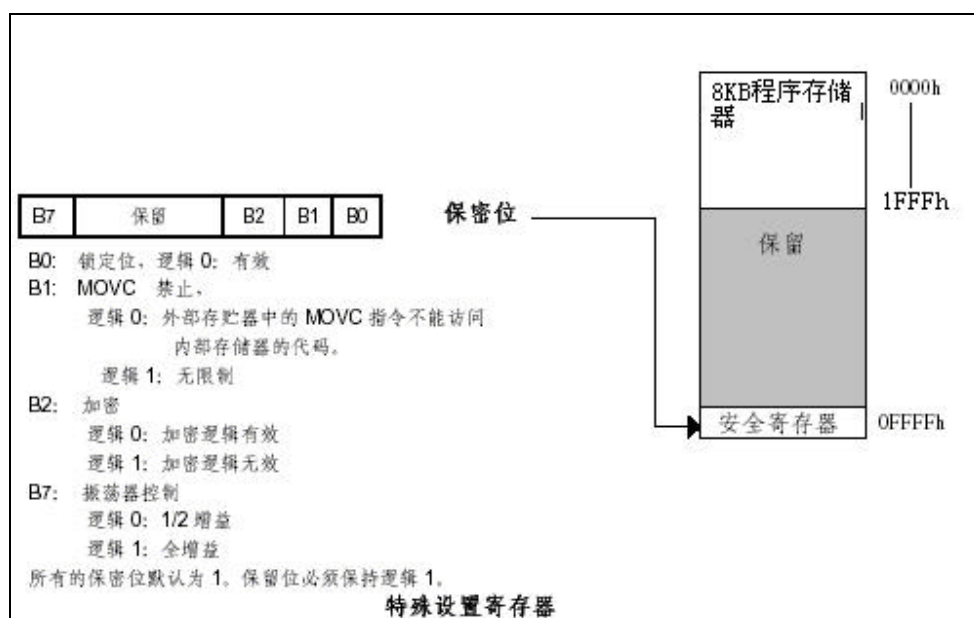
1. 所有这些操作发生在RST = VIH, ALE = VIL 和 \overline{PSEN} = VIH条件下。
2. V_{CP} = 12.5V, V_{EP} = 14.5V, V_{IH} = V_{DD}, V_{IL} = V_{SS}。
3. 在编程操作之后进行编程校验操作。
4. 擦除操作将擦除所有的片内Flash EPROM单元和保密位。
5. 在擦除操作之后进行擦除校验操作。

8. 保密位

在片内 Flash EPROM 操作模式下，Flash EPROM 可被反复地编程和校验。直到 Flash EPROM 中的代码被确认为 OK，代码就可以被保护起来。

Flash EPROM 的保护及其操作描述如下：

W78E52B 具有一个安全寄存器，在正常模式下无法进行访问。只有在 Flash EPROM 操作模式下，对其进行访问。一旦安全寄存器各位由高设为低时，就不能再改变。只有通过全擦除操作才可将其全部复位。Flash EPROM 操作模式下，安全寄存器的地址为#0FFFFh。



8.1 锁止位

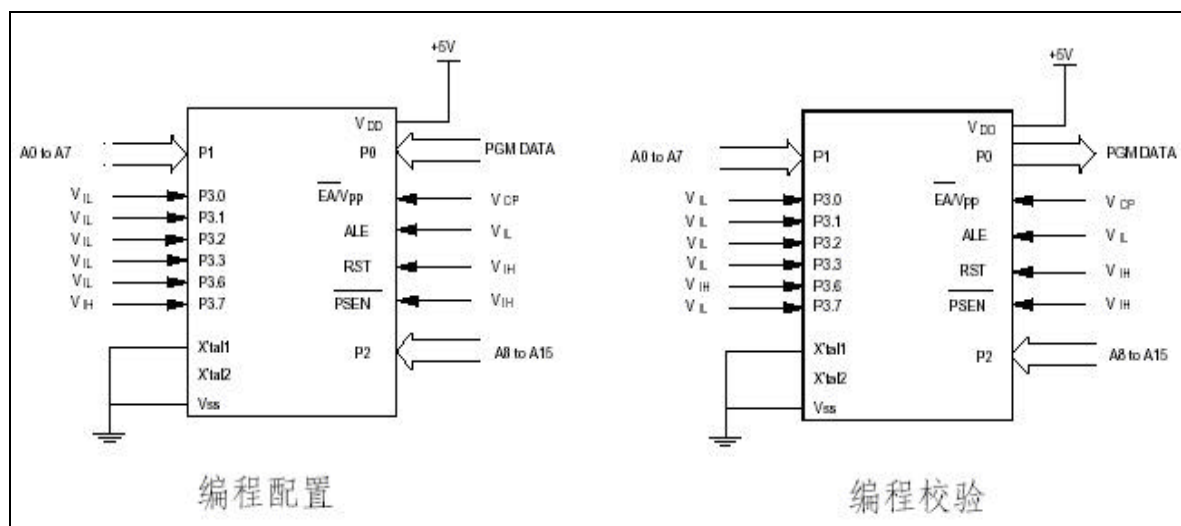
此位是用来保护用户在 W78E52B 中的程序代码。在完成编程和校验操作后，设置此位。一旦该位设置为 0，就无法再对 Flash EPROM 的数据和特殊设置寄存器进行访问。

8.2 MOVC 禁止

此位用来限制 MOVC 指令的可访问区域。它可防止外部程序存储器的 MOVC 指令读取内部程序代码。当此位被设置为 0，外部程序存储器的 MOVC 指令只可以访问外部存储器代码，而不能访问内部存储器。内部程序存储器的 MOVC 指令可以访问内部和外部存储器中的 ROM 数据。如果此位设置为 1，则对 MOVC 指令没有限制。

8.3 加密

此位用于代码保护中加密逻辑的使能/非使能。一旦加密有效，端口 0 上的数据就会通过加密逻辑进行编码。只有擦除整个芯片，才会使此位复位。



9. 电气特性

9.1 绝对最大额定值

参数	符号	最小值	最大值	单位
直流电源电压	VDD-VSS	-0.3	+7.0	V
输入电压	VIN	VSS -0.3	VDD +0.3	V
工作温度	TA	0	70	
贮存温度	TST	-55	+150	

注释：超出最大绝对额定值表所列的情况使用，会对器件的可靠性和寿命造成严重损害。

9.2 DC特性

(规格测试条件 $V_{DD} = V_{SS} = 5V \pm 10\%$, $T_A = 25^\circ C$, $F_{osc} = 20\text{ MHz}$.)

参数	符号	测试条件	规格		单位
			最小值	最大值	
工作电压	VDD	-	4.5	5.5	V
工作电流	I _{DD}	空载, VDD = 5.5V, RST=1	-	20	mA
空闲电流	I _{IDLE}	空闲模式, VDD= 5.5V	-	6	mA
掉电电流	I _{PWDN}	掉电模式, VDD= 5.5V	-	50	μA
输入电流 P1,P2,P3,P4	I _{IN1}	VDD= 5.5V VIN= 0V或VDD	-50	+10	μA
逻辑1到0的转换电 P1P2,P3(*1)P4	I _{TL}	VDD = 5.5V VIN = 2.0V (*1)	-550	-	μA
输入电流RST (*2)	I _{IN2}	VDD=5.5V VIN=VDD	-10	+300	μA
P0, EA输入漏电流	I _{LK}	VDD = 5.5v 0V < VIN < VDD	-10	+10	μA
P1, P2, P3, P4 输出低电压	V _{OL1}	VDD = 4.5V I _{OL1} = +2 mA	-	0.45	V
ALE, PSEN, P0 (*3) 输出低电压	V _{OL2}	VDD = 4.5V I _{OL2} = +4 mA	-	0.45	V
P1, P2, P3, P4 输出高电压	V _{OH1}	VDD = 4.5V I _{OH1} = -100 mA	2.4	-	V
ALE, PSEN, P0 (*3) 输出高电压	V _{OH2}	VDD = 4.5V I _{OH2} = -400 mA	2.4	-	V
输入低电压 (RST 除外)	V _{IL1}	VDD = 4.5V	0	0.8	V
输入低电压RST(*4)	V _{IL2}	VDD = 4.5V	0	0.8	V

DC 特性 (续)

参数	符号	测试条件	规格		单位
			最小值	最大值	
输入低电压XTAL1 (*4)	VIL3	VDD = 4.5V	0	0.8	V
输入高电压 (RST 除外)	VIH1	VDD = 4.5V	2.4	VDD+0.2	V
吸收电流 P1, P2, P3, P4	ISK1	VDD = 4.5V Vs = 0.45V	4	12	mA
RST (*4)输入高电压	VIH2	VDD = 4.5V	0.67 VDD	VDD +0.2	V
输入高电压XTAL1 (*4)	VIH3	VDD = 4.5V	0.67 VDD	VDD +0.2	V
吸收电流 P0, ALE, PSEN (*3)	ISK2	VDD = 4.5V Vs = 0.45V	8	16	mA
源电流 P1, P2, P3, P4	ISR1	VDD = 4.5V Vs = 2.4V	-100	-250	uA
源电流 P0, ALE, PSEN (*3)	ISR2	VDD = 4.5V Vs = 2.4V	-8	-14	mA

注：

*1. 当P1 P2 P3 上的管脚被外部拉高或拉低时，他们会产生变迁电流。当VIN为2V时，变迁电流达到最大值

*2. RST脚有内建上拉电阻

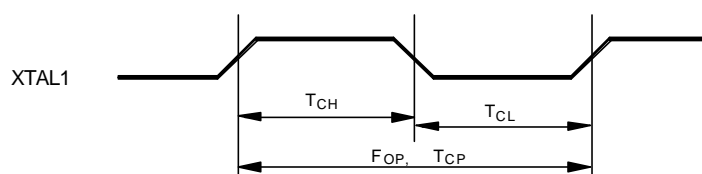
*3. P0, ALE and PSEN 在外部访问模式中测试

*4. XTAL1是CMOS输入,RST脚为施密特触发

9.3 AC特性

在生产部件，决定 I/O 缓冲器，容性负载和布线电容的额定值时，要特别考虑器件的 AC 标准。大多数规格表示为若干个时钟输入周期 (T_{cp})，实际器件的偏差通常不超过 20nS。以下的数字表示了在使用 2 和 4 mA 输出缓冲器时，一个 0.6 micron CMOS 处理工艺的性能。

9.3.1 时钟输入波形



参数工作	符号	最小值	典型值	最大值	单位	注释
速率	FOP	0	-	40	MHz	1
时钟周期	TCP	25	-	-	nS	2
时钟高	TCH	10	-	-	nS	3
时钟低	TCL	10	-	-	nS	3

注释：

1. 时钟在任一状态都可以停止。
2. T_{cp}规格用作其它规格的基准。
3. XTAL1的输入对占空比没有要求。



9.3.2 程序读取周期

参数	符号	最小值	典型值	最大值	单位	注释
地址有效到ALE低	TAAS	1 TCP - Δ	-	-	nS	4
ALE低后地址保持	TAAH	1 TCP -.?	-	-	nS	1, 4
ALE低到 $\overline{\text{PSEN}}$ 低	TAPL	1 TCP -.?	-	-	nS	4
$\overline{\text{PSEN}}$ 低到数据有效	TPDA	-	-	2 TCP	nS	2
$\overline{\text{PSEN}}$ 高后数据保持	TPDH	0	-	1TCP	nS	3
$\overline{\text{PSEN}}$ 高后数据悬浮	TPDZ	0	-	1TCP	nS	
ALE脉宽	TALW	2 TCP -.?	2 TCP	-	nS	4
$\overline{\text{PSEN}}$ 脉宽	TPSW	3 TCP -.?	3 TCP	-	nS	4

注释：

1. 在整个存储器存取周期,P0.0 - P0.7,P2.0 - P2.7保持稳定。
2. 存储器访问时间为3T_{cp}。
3. 内部数据锁定先于 $\overline{\text{PSEN}}$ 变为高电平。
4. “?”为20nS (由于缓冲器驱动延迟和线载延迟(wire loading))。

9.3.3 数据读取周期

参数	符号	最小值	典型值	最大值	单位	注释
ALE低到 $\overline{\text{RD}}$ 低	TDAR	3 TCP-?.?	-	3 TCP+?.?	nS	1, 2
$\overline{\text{RD}}$ 低到数据有效	TDDA	-	-	4 TCP	nS	1
$\overline{\text{RD}}$ 高后数据保持	TDDH	0	-	2 TCP	nS	
$\overline{\text{RD}}$ 高后数据悬浮	TDDZ	0	-	2 TCP	nS	
$\overline{\text{RD}}$ 脉宽	TDRD	6 TCP-?.?	6 TCP	-	nS	2

注释：

1. 数据存储器访问时间为8T_{cp}。
2. “?”为20nS (由于缓冲器驱动延迟和线载延迟)。

9.3.4 数据写周期

参数	符号	最小值	典型值	最大值	单位
ALE低到 \overline{WR} 低	T_{DAW}	3 TCP-?	-	3 TCP+?	nS
\overline{WR} 低到数据有效	T_{DAD}	1 TCP-?	-	-	nS
\overline{WR} 高后数据保持	T_{DWD}	1 TCP-?	-	-	nS
\overline{WR} 脉宽	T_{DWR}	6 TCP-?	6 TCP	-	nS

注释：“?”为20nS（由于缓冲器驱动延迟和线载延迟）

9.3.5 端口访问周期

参数	符号	最小值	典型值	最大值	单位
端口输入建立到ALE低	T_{PDS}	1 TCP	-	-	nS
ALE低后端口输入保持	T_{PDH}	0	-	-	nS
端口输出到ALE高	T_{PDA}	1 TCP	-	-	nS

注释：端口在S5P2时读取数据，在S6P2结束时输出数据。时序以ALE为参考（由于参考ALE较为方便）。

9.3.6 编程操作

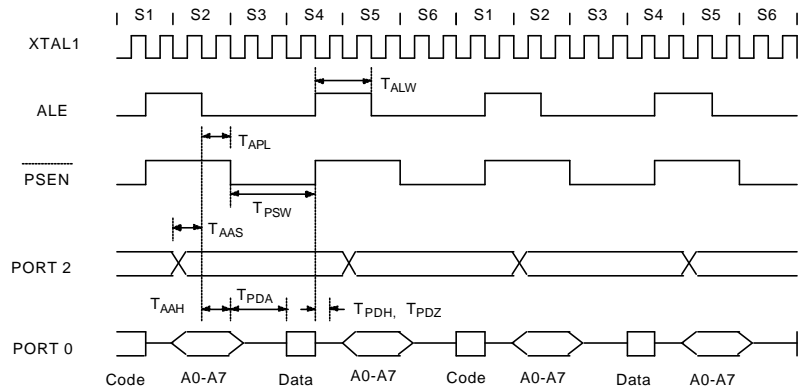
参数	符号	最小值	典型值	最大值	单位
Vpp建立时间	TVPS	2.0	-	-	μS
数据建立时间	TDS	2.0	-	-	μS
数据保持时间	TDH	2.0	-	-	μS
地址建立时间	TAS	2.0	-	-	μS
地址保持时间	TAH	0	-	-	μS
编程操作中 \overline{CE} CE编程脉宽	TPWP	290	300	310	μS
OECTRL建立时间	TOCS	2.0	-	-	μS
OECTRL保持时间	TOCH	2.0	-	-	μS
\overline{OE} 建立时间	TOES	2.0	-	-	μS
\overline{OE} 高到输出悬浮	TDFP	0	-	130	nS
\overline{OE} 有效后数据有效	TOEV	-	-	- 150	nS

注释：Flash 数据只有在Flash 模式下才被访问。RST 管脚必须拉至VIH状态，ALE 管脚必须拉至VIL状态，PSEN 管脚必须拉至VIH状态。

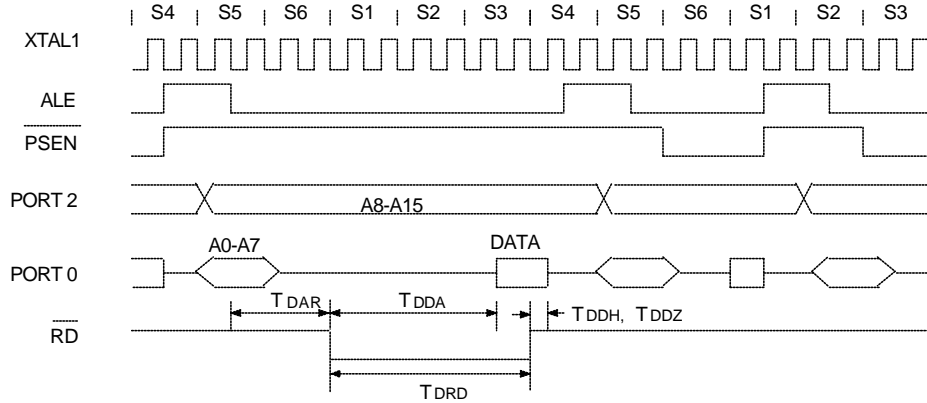


10. 时序波形图

10.1 程序读取周期

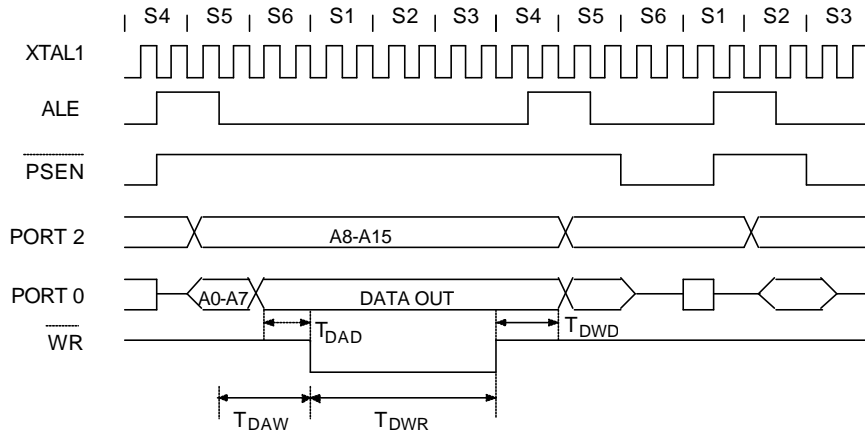


10.2 数据读周期

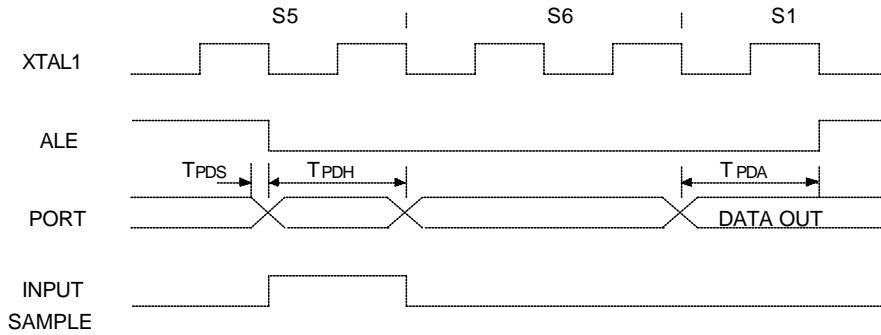




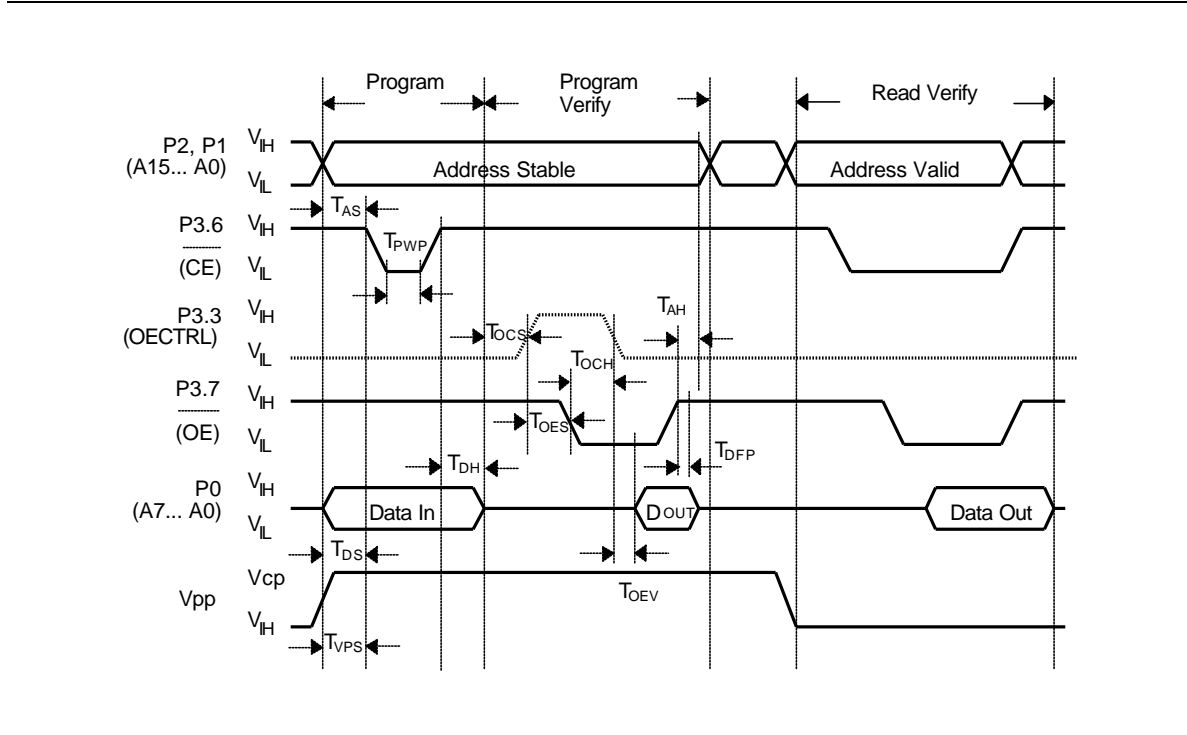
10.3 数据写周期



10.4 端口访问周期

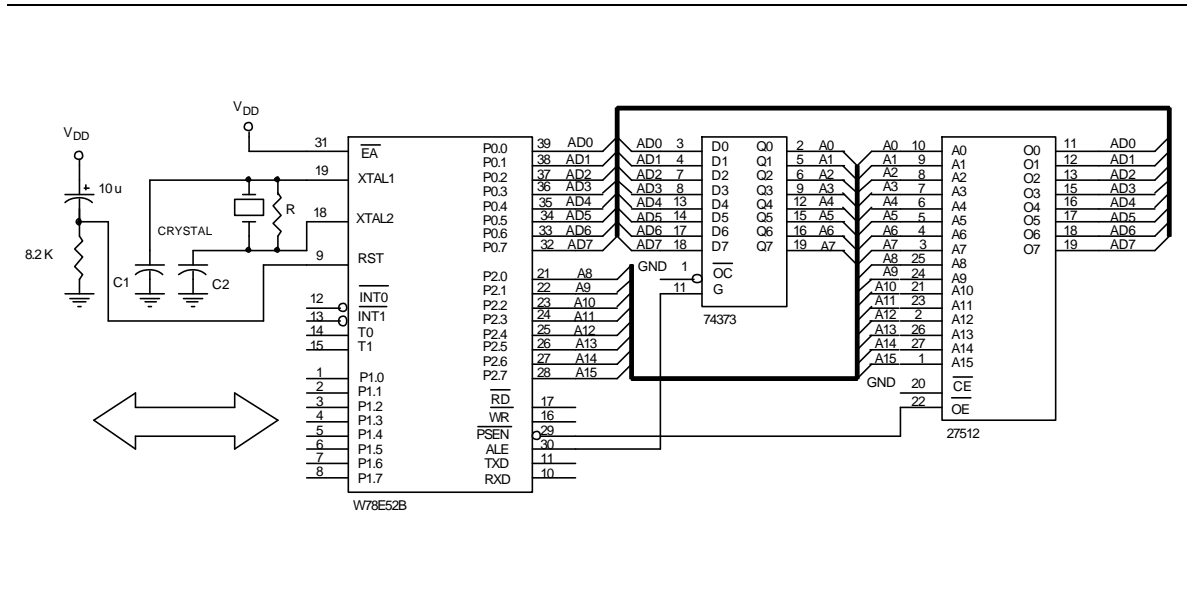


10.5 编程操作



11. 典型应用电路

11.1 扩展的外部程序存储器和石英晶体



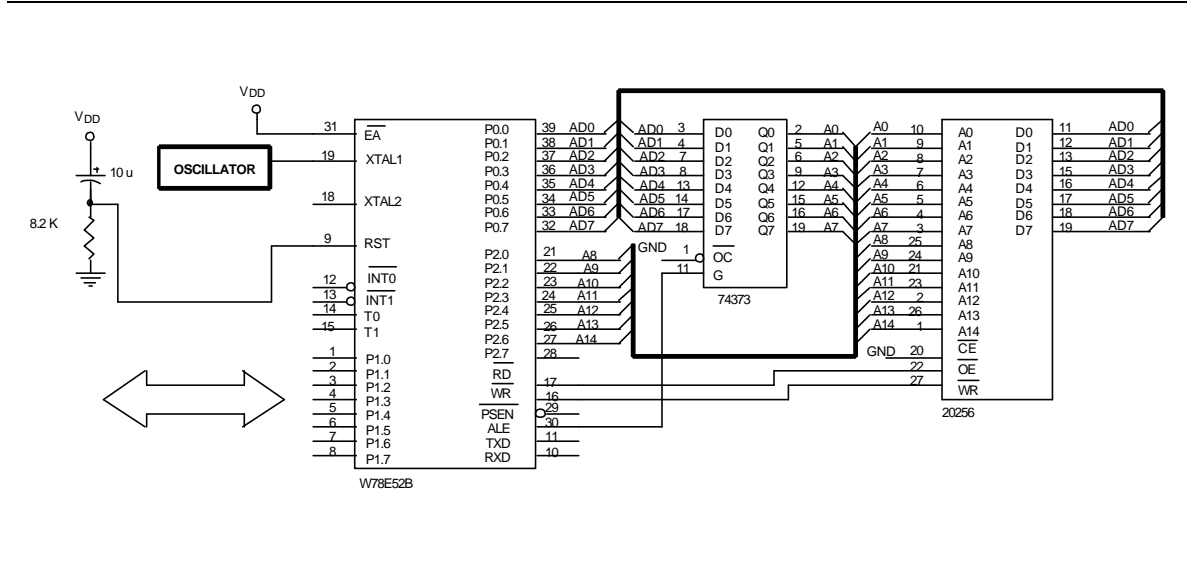
石英晶体	C1	C2	R
16 MHz	30P	30P	-
24 MHz	15P	15P	-
33 MHz	10P	10P	6.8K
40 MHz	5P	5P	4.7K

上表列出了石英晶体应用的参考值（全增益）

注释：C1, C2, R 元件参考图A

典型应用电路 (续)

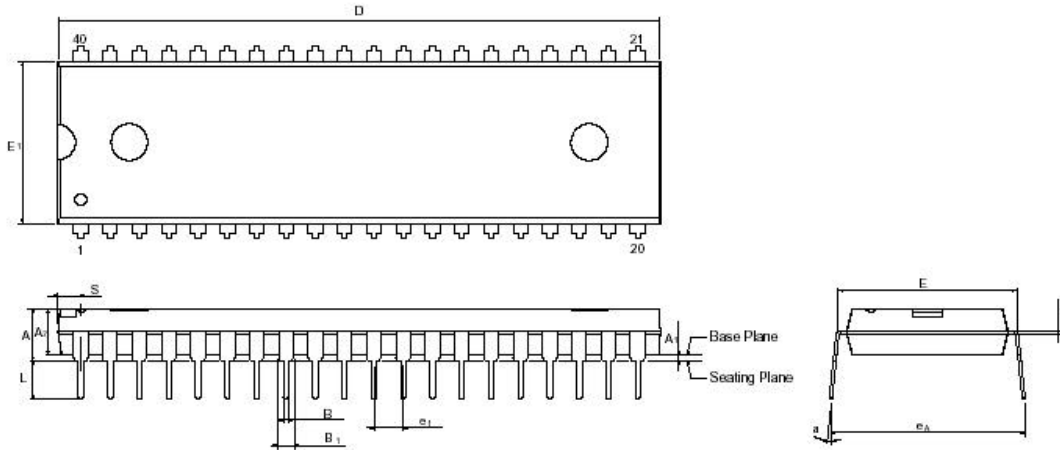
11.2 扩展的外部程序存储器和振荡器





12. 封装尺寸

12.1 DIP40



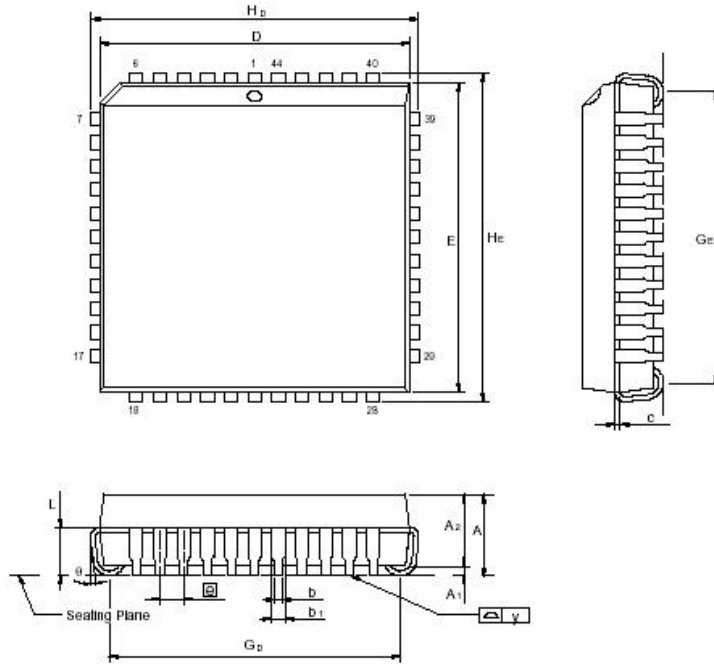
Symbol	Dimension in inch			Dimension in mm		
	Min.	Nom.	Max.	Min.	Nom.	Max.
A	—	—	0.210	—	—	5.334
A ₁	0.010	—	—	0.254	—	—
A ₂	0.150	0.155	0.160	3.81	3.937	4.064
B	0.016	0.018	0.022	0.406	0.457	0.559
B ₁	0.048	0.050	0.054	1.219	1.27	1.372
c	0.008	0.010	0.014	0.203	0.254	0.356
D	—	2.055	2.070	—	52.20	52.58
E	0.590	0.600	0.610	14.986	15.24	15.494
E ₁	0.540	0.545	0.550	13.72	13.84	13.97
e ₁	0.090	0.100	0.110	2.286	2.54	2.794
L	0.120	0.130	0.140	3.048	3.302	3.556
a	0	—	15	0	—	15
e _A	0.630	0.650	0.670	16.00	16.51	17.01
S	—	—	0.090	—	—	2.286

Notes:

1. Dimension D Max. & S include mold flash or tie bar burrs.
2. Dimension E1 does not include interlead flash.
3. Dimension D & E1 include mold mismatch and are determined at the mold parting line.
4. Dimension B1 does not include dambar protrusion/intrusion.
5. Controlling dimension: Inches.
6. General appearance spec. should be based on final visual inspection spec.

封装尺寸 (续)

12.3 44 管脚PLCC

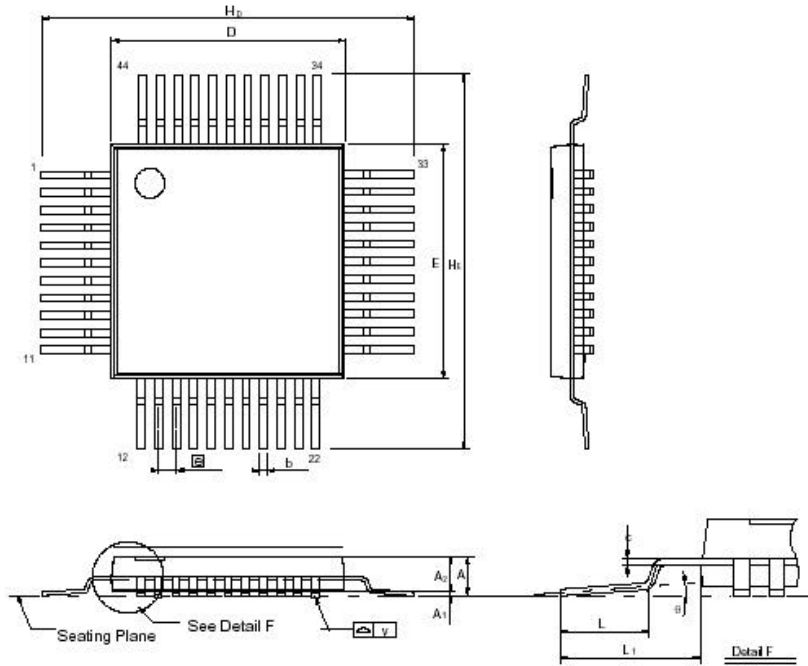


Symbol	Dimension in inch			Dimension in mm		
	Min.	Nom.	Max.	Min.	Nom.	Max.
A	—	—	0.185	—	—	4.699
A ₁	0.020	—	—	0.508	—	—
A ₂	0.145	0.150	0.155	3.683	3.81	3.937
b ₁	0.026	0.028	0.032	0.66	0.711	0.813
b	0.016	0.018	0.022	0.406	0.457	0.559
C	0.008	0.010	0.014	0.203	0.254	0.356
D	0.648	0.653	0.658	16.46	16.59	16.71
E	0.648	0.653	0.658	16.46	16.59	16.71
Ⓜ	0.050	BSC	—	1.27	BSC	—
G _D	0.590	0.610	0.630	14.99	15.49	16.00
G _E	0.590	0.610	0.630	14.99	15.49	16.00
H _D	0.680	0.690	0.700	17.27	17.53	17.78
H _E	0.680	0.690	0.700	17.27	17.53	17.78
L	0.090	0.100	0.110	2.296	2.54	2.794
y	—	—	0.004	—	—	0.10

- Notes:
1. Dimension D & E do not include interlead flash.
 2. Dimension b₁ does not include dambar protrusion/intrusion.
 3. Controlling dimension: Inches
 4. General appearance spec. should be based on final visual inspection spec.

封装尺寸 (续)

12.4 44 管脚PQFP



Symbol	Dimension in inch			Dimension in mm		
	Min.	Nom.	Max.	Min.	Nom.	Max.
A	—	—	—	—	—	—
A ₁	0.002	0.01	0.02	0.05	0.25	0.5
A ₂	0.075	0.081	0.087	1.90	2.05	2.20
b	0.01	0.014	0.018	0.25	0.35	0.45
c	0.004	0.006	0.010	0.101	0.152	0.254
D	0.390	0.394	0.398	9.9	10.00	10.1
E	0.390	0.394	0.398	9.9	10.00	10.1
Ⓜ	0.025	0.031	0.036	0.635	0.80	0.952
H _D	0.510	0.520	0.530	12.95	13.2	13.45
H _E	0.510	0.520	0.530	12.95	13.2	13.45
L	0.025	0.031	0.037	0.65	0.8	0.95
L ₁	0.051	0.063	0.075	1.295	1.6	1.905
y	—	—	0.003	—	—	0.08
θ	0°	—	7°	0°	—	7°

Notes:

1. Dimension D & E do not include interlead flash.
2. Dimension b does not include dambar protrusion/intrusion.
3. Controlling dimension: Millimeter
4. General appearance spec. should be based on final visual inspection spec.



13. 文件版本描述

版本	日期	页	描述
SC1	12/21/2004	-	初次发行
SC2	Dec 27, 2004	3	增加无铅封装编号

**Headquarters**

No. 4, Creation Rd. III,
Science-Based Industrial Park,
Hsinchu, Taiwan
TEL: 886-3-5770066
FAX: 886-3-5665577
<http://www.winbond.com.tw/>

Taipei Office

9F, No.480, Rueiguang Rd.,
Neihu District, Taipei, 114,
Taiwan, R.O.C.
TEL: 886-2-8177-7168
FAX: 886-2-8751-3579

Winbond Electronics Corporation America

2727 North First Street, San Jose,
CA 95134, U.S.A.
TEL: 1-408-9436666
FAX: 1-408-5441798

Winbond Electronics Corporation Japan

7F Daini-ueno BLDG, 3-7-18
Shinyokohama Kohoku-ku,
Yokohama, 222-0033
TEL: 81-45-4781881
FAX: 81-45-4781800

Winbond Electronics (Shanghai) Ltd

27F, 2299 Yan An W. Rd. Shanghai,
200336 China
TEL: 86-21-62365999
FAX: 86-21-62365998

Winbond Electronics (H.K.) Ltd.

Unit 9-15, 22F, Millennium City,
No. 378 Kwun Tong Rd.,
Kowloon, Hong Kong
TEL: 852-27513100
FAX: 852-27552064

*Please note that all data and specifications are subject to change without notice.
All the trade marks of products and companies mentioned in this data sheet belong to their respective owners.*