

IC 设计中的建库技术研究及实现

黄义定

摘要: 随着数字电子技术的迅速发展,基于设计的标准单元已经成为主流的设计风格。主要改进了标准单元库中版图库的建库技术,接着结合与门版图设计实例详细讲解了这些建库技术的应用。

关键词: 版图库; 间距; 单元; Pitch

中图分类号: TN402 文献标识码: A

Creating Library Technology of IC Design and Implement
Huang Yiding

Abstract: With speedy development of digital electronics technology, standard cell based design has become a mainstream design style. Creating layout library technology is mainly improved on, by explaining the layout of AND gate, the application of creating library technology is clearly illustrated.

Keywords: layout library; spacing; cell; Pitch

1 引言

近年来,在 VLSI 中,基于设计的标准单元已经成为主流的设计风格。标准单元库也变得越来越大,有的已达 500 多个。然而,要建立、验证和维护这些标准单元库需要大量的时间、人力和物力,而且错误会经常渗透到单元设计和单元特性工艺中[3]。目前的技术也越来越多样化,而且变化速度很快,所以一个单元库需要经常维护。举例来说,对于 DTCMOS、VTCMOS、DTCMOS 这样的低压技术和局部耗尽的 SOI,要求对单元的版图和模板重新设计。这些新的单元是不能通过改变已经参数化的单元模板的参数而产生。在这种情况下,这样大的单元库已成为 VLSI 中实现缩短产品进入市场短时间的一个障碍。所以需要建库。然而一个标准单元库中包括符号库、布局布线库、综合库、仿真库、时序库、版图库[1]。那么为什么要建版图库呢?

全定制设计在高性能处理器是时主要的设计风格。对于性能调整方面,它对每个管子的大小和位置有全面控制的优势,但是随着管子层次设计的复杂程度越来越高,以前我们设计几百门,几千门,现在已经达到几百万门,全定制设计已经不再是切实可行的方法了。这种复杂程度的增加需要引进额外的层次,导致了布局布线 (P&R) 工具和综合工具的使用成为强制性的方法。布局布线(P&R)工具需要版图库[2]。

综合工具需要版图库里的单元的逻辑模型,包括它的时序模型和功耗模型。

下面是我们在做 TMS320F240/206DSP 设计中,主要是从减小芯片面积和最大发挥布局布线优势来考虑的,在建版图库中改进的地方。

2 IC 设计中的建库技术

2.1 一般的建库技术:

2.1.1 对于所有单元类型的设计规则:

- 1) 每一个逻辑 Pin 必须包括至少有一个端口的物理描述,每个端口必须至少有一个物理几何尺寸。
- 2) 属于一个单元的所有对象必须在单元边界里面。
- 3) 在一些技术中,电源和地伸出边缘或者在边界外边。
- 4) Pin 的边缘和 Blockage 必须至少是到单元边界最小距离的一半。
- 5) 使单元尺寸最小没有必要使芯片面积最小。最好是稍微增加芯片面积就能优化布局而不是在脑子中一直不考虑布局而一味地减小单元的面积。

2. 1. 2 设计标准单元

a 优化单元的宽度

1) 避免创建在宽度上变化非常大的同种类型的标准单元

这会导致不平衡的行的长度。一般来说，在你的库里，最大标准单元的宽度应当不超过同种类型的最小标准单元的 5—6 倍。如果你需要更复杂的单元的话，最好是单元高度加倍或者是它的三倍，保持一个合理的宽度。布局布线工具可以在复合高度单元的周围不产生缝隙的情况下混合放置单高度和复合高度单元从而优化核面积的作用。

2) 所有单元的宽度应当是 Pin 网格的倍数。

如果一个单元的宽度不是 Pin 网格的倍数的话，即使它的 Pin 在网格上，这个单元也会导致与它邻近的单元与网格不一致。除非是因为其它的单元的未对准导致它们的 Pin 不在网格上，这样才能使 Pin 在网格上。因此要用到比需要更多的水平或垂直的 tracks。

使单元宽度是 Pin 网格的倍数能够导致单元面积的增加，但是将会减小整个芯片的面积。

3) 布局应当在一个衔接快的网格上进行，结果使单元的边缘也在网格上。

b 优化单元高度

优化单元高度依赖于你的设计利用的行的风格

风格 1：在单一单元行中都是标准高度单元 如图 1 所示：

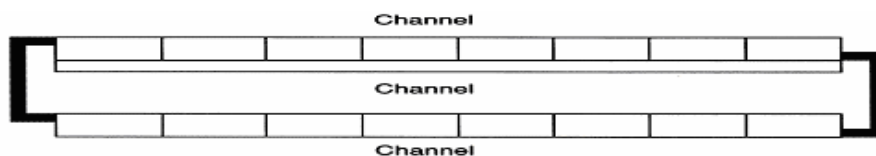


图 1 在单一单元行中都是标准高度单元

很明显，这种设计有两层或多层。单元高度是受限制的。如果你在设计时，你可以使电源共享。通过电源共享可以减少通道的数量，从而减小芯片的面积。

风格 2：在单一单元行中都是可变高度单元 如图 2 所示：

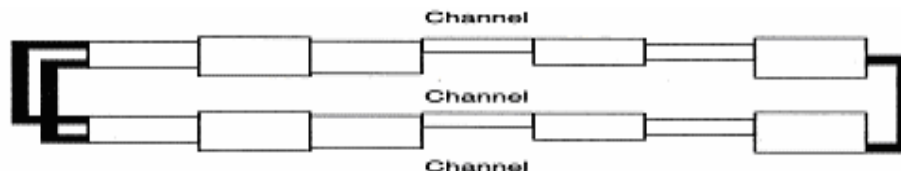


图 2 在单一单元行中都是可变高度单元

这些设计通常是两层设计。对于三层或更多层，它们不是非常有效的。他们允许单元高度以 30% 的幅度变化，但不允许电源共享。

风格 3：在双单元行中都是单一高度和双倍高度的单元 如图 3 所示：



图 3 在双单元行中都是单一高度和双倍高度的单元

这些设计有两层或多层。单一高度或双倍高度单元被放置在双倍行中。这种设计意味着电源共享。

风格 4：在单元海设计中都是多倍高度单元 如图 4 所示：

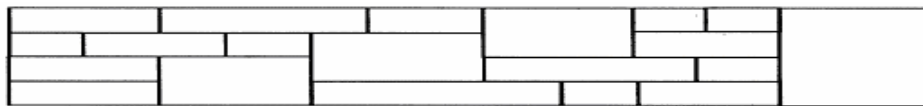


图 4 在单元海设计中都是多倍高度单元

这些设计的特点是有三层或多层。他们不允许两层布线而且也没有布线通道，因此你不能用基本通道布线器。你可以有单一，双倍，或多倍高度的单元。这种设计允许有电源线的最有效的电源共享。

2.2 确定布线网格 Pitch

在进行每一布线层时，你必须定义水平和垂直网格。要做到这些，你又必须做好下列工作：

2.2.1 对每一层选择优化和非优化布线方向。

按照通常惯例是 HVH，也就是说 M1 和 M3 是水平方向，M2 是垂直方向。

2.2.2 确定每层的最小 Pitch

这种 Pitch 必须至少是 line-to-via 之间的距离。下列图 5 给出了 Pitch 的定义。

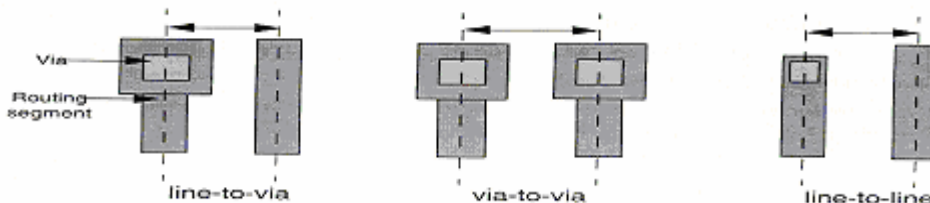
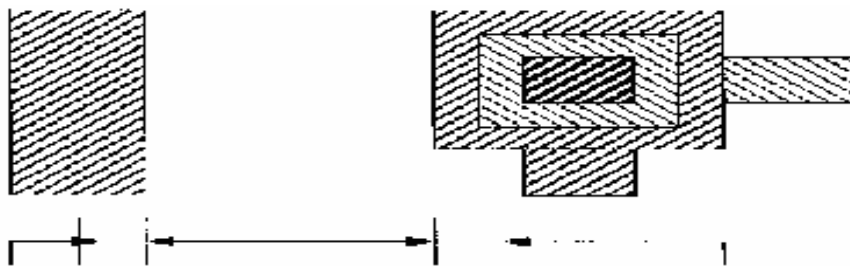


图 5 节距 (Pitch)

用的最多的是 Pitch 是 line-to-via，它的计算如图 6 所示：



metal 宽度的一半 + metal 间距 + via 的一半

图 6 线到空的间距 (line-to-via)

2.2.3 允许对角相邻的 via

允许对角相邻的 via 放在一起会增加距离。这也许使垂直距离稍微大于 line-to-via，但是将会减少整个芯片的面积，主要是因为 via 的减少会导致在拥挤的地方进行更拥挤更长的布线。

2.2.4 使整个布线 tracks 资源最大

如果你有 HVH 层的方案，应当使 M1 和 M3 之间的距离最小，可以在 M2 增加你所需要的距离。减小两层 (M1 和 M3) 的间距比用同样的数量减少每一层的间距可以给你更多的布线资源。

2.2.5 如果允许你有较小的 track Pitch 和较多的布线资源的话，你可以利用矩形 via. 确保矩形 via 和 Pitch 仍然允许对角线 vias.

一般来说，你可以使你整个的布线 track 资源最大。但是，如果一个方向被限制的话，你也也许想在那个方向上使你的资源最大。

举例，拿一个对于三层都是同样大小的 line-to-via 和没有对角线 via 的 HVH 库来说。通

过允许对角线 via 增加水平层 (M1 和 M3) 的的间距而使 M2 上的垂直布线资源最大。这也许不能够使整个布线资源达到最优,但是它减小了在被限制的 M2 上的拥挤程度。

另外,如果有些单元没有自由的 M1 tracks,而且 M3 Pitch 比 M2 大得多,你可以在 M2 上增加间距。

处理有过多限制层的另一种技巧就是利用芯片的宽长比,可以减小对那层的布线要求。

3 设计举例

本例是我们在做 TMS320F240/206DSP 设计中建 0.35um 标准单元库中的简单的与非门的版图。

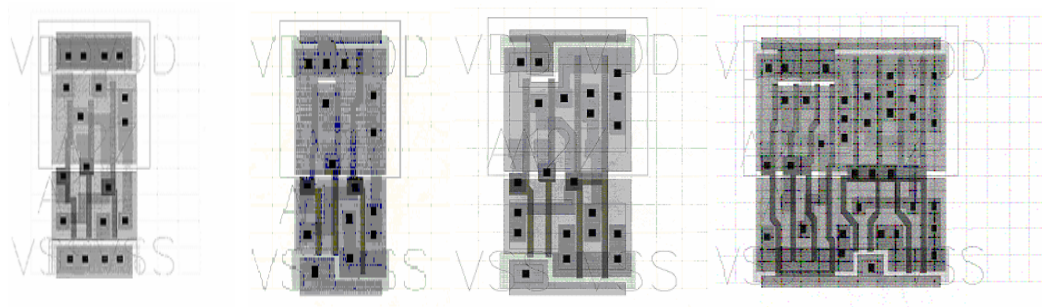


图 7 an02d0

图 8 an02d1

图 9 an02d2

图 10 an02d4

由上图可以看到,在标准单元中,它们的高度是相等的,但是宽度是而且每个单元的宽度都是网格的整数倍,而且同是与门,最大的与门 an02d4 宽度是最小与门 an02d0 宽度的 2.25 倍.我们在建库时设定的 Pitch 是 1.4um,按照 HVH 的布线方向,一个实际的电路版图如图 11 所示:

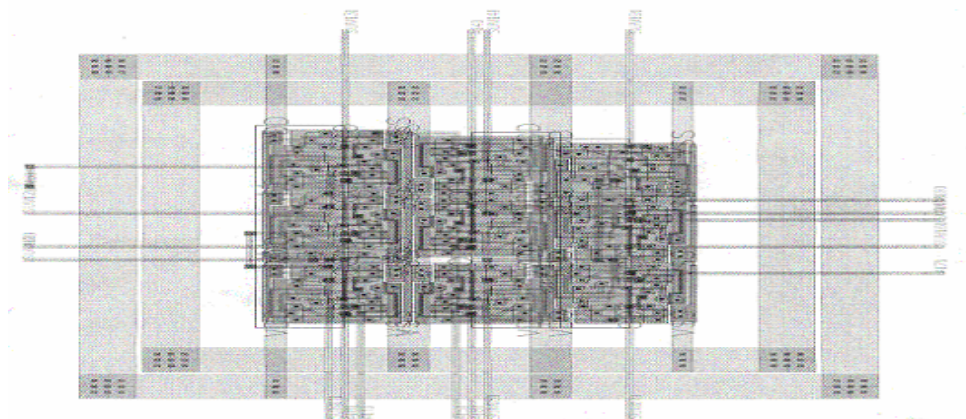


图 11 hyd 版图

4 小结:

上述的建库技术主要是是基于优化标准单元库减小芯片面积和最大发挥布局布线软件优势而考虑的.要使自动布局布线达到最好的效果,一个设计合适的标准单元库是一个非常重要的因素。

参考文献:

[1] 罗静.建库流程介绍[J].September 09,2004

[2] 王志功,景为平.集成电路设计与九天EDA工具应用[M].南京:东南大学出版社,2004..

[3] Johannes Grad , James E. Stine .A Standard Cell Library for Student Projects[J].<http://www.ieee.com>

作者简介:

黄义定,女,1975—,汉族,江南大学信息工程学院,硕士研究生;籍贯:河南;研究方向:大规模集成电路; E-mail:huangyidingpaper@gmail.com