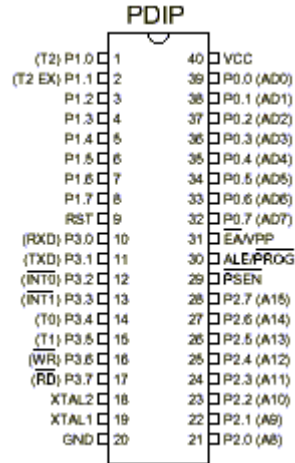


AT89LV52 是美国 ATMEL 公司生产的低电压，高性能 CMOS 8 位单片机，片内含 8k bytes 的可反复擦写的只读程序存储器（PEROM）和 256 bytes 的随机存取数据存储器（RAM），器件采用 ATMEL 公司的高密度、非易失性存储技术生产，与标准 MCS-51 指令系统及 8052 产品引脚兼容，片内置通用 8 位中央处理器（CPU）和 Flash 存储单元，功能强大 AT89LV52 单片机适合于许多较为复杂控制应用场合。AT89LV52 可工作于 2.7V—6.0V 电源。

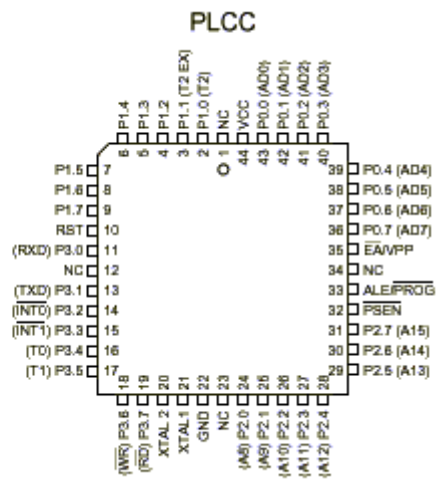
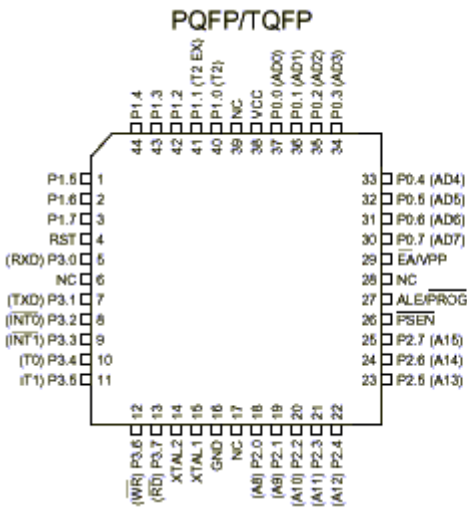
**主要性能参数:**

- 与 MCS—51 产品指令和引脚完全兼容
- 8k 字节可重擦写 Flash 闪速存储器
- 1000 次擦写周期
- 2.7—6V 的工作电压范围
- 全静态操作：0 Hz—12MHz
- 三级加密程序存储器
- 256×8 字节内部 RAM
- 32 个可编程 I/O 口线
- 3 个 16 位定时/计数器
- 8 个中断源
- 可编程串行 UART 通道
- 低功耗空闲和掉电模式

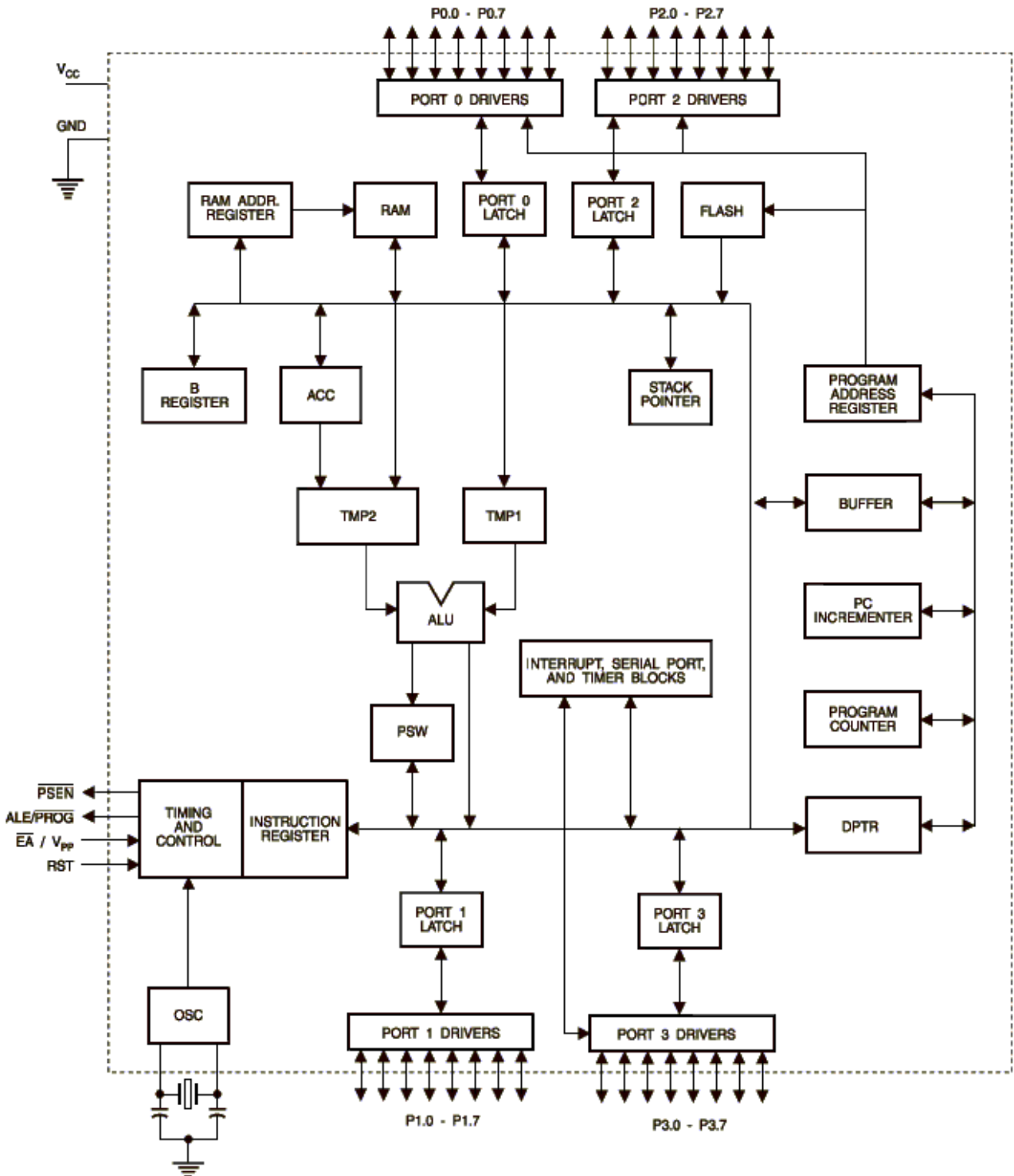


**功能特性概述:**

AT89LV52 提供以下标准功能：8k 字节 Flash 闪速存储器，256 字节内部 RAM，32 个 I/O 口线，3 个 16 位定时/计数器，一个 6 向量两级中断结构，一个全双工串行通信口，片内振荡器及时钟电路。同时，AT89LV52 可降至 0Hz 的静态逻辑操作，并支持两种软件可选的节电工作模式。空闲方式停止 CPU 的工作，但允许 RAM，定时/计数器，串行通信口及中断系统继续工作。掉电方式保存 RAM 中的内容，但振荡器停止工作并禁止其它所有部件工作直到下一个硬件复位。



AT89LV52 方框图



**引脚功能说明**

- V<sub>CC</sub>: 电源电压
- GND: 地

• **P0 口:** P0 口是一组 8 位漏极开路型双向 I/O 口，也即地址/数据总线复用口。作为输出口用时，每位能吸收电流的方式驱动 8 个 TTL 逻辑门电路，对端口 P0 写“1”时，可作为高阻抗输入端用。

在访问外部数据存储器或程序存储器时，这组口线分时转换地址（低 8 位）和数据总线复用，在访问期间激活内部上拉电阻。

在 Flash 编程时，P0 口接收指令字节，而在程序校验时，输出指令字节，校验时，要求外接上拉电阻。

• **P1 口:** P1 是一个带内部上拉电阻的 8 位双向 I/O 口，P1 的输出缓冲级可驱动（吸收或输出电流）4 个 TTL 逻辑门电路。对端口写“1”，通过内部的上拉电阻把端口拉到高电平，此时可作输入口。作输入口使用时，因为内部存在上拉电阻，某个引脚被外部信号拉低时会输出一个电流( $I_{IL}$ )。

与 AT89C51 和 AT89LV51 不同之处是，P1.0 和 P1.1 还可分别作为定时/计数器 2 的外部计数输入（P1.0/T2）和输入（P1.1/T2EX），参见表 1。

Flash 编程和程序校验期间，P1 接收低 8 位地址。

表1 P1.0和P1.1的第二功能

引脚号	功能特性
P1.0	T2（定时/计数器2外部计数脉冲输入），时钟输出
P1.1	T2EX（定时/计数2捕获/重装触发和方向控制）

• **P2 口:** P2 是一个带有内部上拉电阻的 8 位双向 I/O 口，P2 的输出缓冲级可驱动（吸收或输出电流）4 个 TTL 逻辑门电路。对端口 P2 写“1”，通过内部的上拉电阻把端口拉到高电平，此时可作输入口，作输入口使用时，因为内部存在上拉电阻，某个引脚被外部信号拉低时会输出一个电流( $I_{IL}$ )。

在访问外部程序存储器或 16 位地址的外部数据存储器（例如执行 MOVX @DPTR 指令）时，P2 口送出高 8 位地址数据。在访问 8 位地址的外部数据存储器（如执行 MOVX @RI 指令）时，P2 口输出 P2 锁存器的内容。

Flash 编程或校验时，P2 亦接收高位地址和一些控制信号。

• **P3 口:** P3 口是一组带有内部上拉电阻的 8 位双向 I/O 口。P3 口输出缓冲级可驱动（吸收或输出电流）4 个 TTL 逻辑门电路。对 P3 口写入“1”时，它们被内部上拉电阻拉高并可作为输入端口。此时，被外部拉低的 P3 口将用上拉电阻输出电流 ( $I_{IL}$ )。

P3 口除了作为一般的 I/O 口线外，更重要的用途是它的第二功能，如下表所示：

端口引脚	第二功能
P3.0	RXD（串行输入口）
P3.1	TXD（串行输出口）
P3.2	$\overline{INT0}$ （外中断0）
P3.3	$\overline{INT1}$ （外中断1）
P3.4	T0（定时/计数器0）
P3.5	T1（定时/计数器1）
P3.6	$\overline{WR}$ （外部数据存储器写选通）
P3.7	$\overline{RD}$ （外部数据存储器读选通）

此外，P3 口还接收一些用于 Flash 闪速存储器编程和程序校验的控制信号。

- **RST**: 复位输入。当振荡器工作时，RST 引脚出现两个机器周期以上高电平将使单片机复位。

- **ALE/PROG**: 当访问外部程序存储器或数据存储器时，ALE（地址锁存允许）输出脉冲用于锁存地址的低 8 位字节。一般情况下，ALE 仍以时钟振荡频率的 1/6 输出固定的脉冲信号，因此它可对外输出时钟或用于定时目的。要注意的是：每当访问外部数据存储器时将跳过一个 ALE 脉冲。

对 Flash 存储器编程期间，该引脚还用于输入编程脉冲（PROG）。

如有必要，可通过对特殊功能寄存器（SFR）区中的 8EH 单元的 D0 位置位，可禁止 ALE 操作。该位置位后，只有一条 MOVX 和 MOVC 指令才能将 ALE 激活。此外，该引脚会被微弱拉高，单片机执行外部程序时，应设置 ALE 禁止位无效。

- **PSEN**: 程序储存允许（PSEN）输出是外部程序存储器的读选通信号，当 AT89LV52 由外部程序存储器取指令（或数据）时，每个机器周期两次 PSEN 有效，即输出两个脉冲。在此期间，当访问外部数据存储器，将跳过两次 PSEN 信号。

- **EA/VPP**: 外部访问允许。欲使 CPU 仅访问外部程序存储器（地址为 0000H—FFFFH），EA 端必须保持低电平（接地）。需注意的是：如果加密位 LB1 被编程，复位时内部会锁存 EA 端状态。

如 EA 端为高电平（接 Vcc 端），CPU 则执行内部程序存储器中的指令。

Flash 存储器编程时，该引脚加上+12V 的编程允许电源 Vpp。

- **XTAL1**: 振荡器反相放大器的及内部时钟发生器的输入端。

- **XTAL2**: 振荡器反相放大器的输出端。

• **特殊功能寄存器:**

在 AT89LV52 片内存储器中，80H—FFH 共 128 个单元为特殊功能寄存器（SFR），SFR 的地址空间映象如表 2 所示。

并非所有的地址都被定义，从 80H—FFH 共 128 个字节只有一部分被定义，还有相当一部分没有定义。对没有定义的单元读写将是无效的，读出的数值将不确定，而写入的数据也将丢失。

不应将数据“1”写入未定义的单元，由于这些单元在将来的产品中可能赋予新的功能，在这种情况下，复位后这些单元数值总是“0”。

表2 AT89LV52 SFR 映象及复位状态

0F8H									0FFH
0F0H	B 00000000								0F7H
0E8H									0EFH
0E0H	ACC 00000000								0E7H
0D8H									0DFH
0D0H	PSW 00000000								0D7H
0C8H	T2CON 00000000	T2MOD XXXXXX00	RCAP2L 00000000	RCAP2H 00000000	TL2 00000000	TH2 00000000			0CFH
0C0H									0C7H
0B8H	IP XX000000								0BFH
0B0H	P3 11111111								0B7H
0A8H	IE 0X000000								0AFH
0A0H	P2 11111111								0A7H
98H	SCON 00000000	SBUF XXXXXXXX							9FH
90H	P1 11111111								97H
88H	TCON 00000000	TMOD 00000000	TL0 00000000	TL1 00000000	TH0 00000000	TH1 00000000			8FH
80H	P0 11111111	SP 00000111	DPL 00000000	DPH 00000000				PCON 0XXX0000	87H

AT89LV52 除了与 AT89C51 和 AT89LV51 所有的定时/计数器 0 和定时/计数器 1 外，还增加了一个定时/计数器 2。定时/计数器 2 的控制和状态位位于 T2CON（参见表 3）T2MOD（参见表 4），寄存器对（RCA02H、RCAP2L）是定时器 2 在 16 位捕获方式或 16 位自动重装载方式下的捕获/自动重装载寄存器。

表3 定时/计数器2控制寄存器T2CON

T2CON 地址 = 0C8H		复位值 = 0000 0000B						
可寻址位								
Bit	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/ $\overline{T2}$	CP/ $\overline{RL2}$
	7	6	5	4	3	2	1	0

符号	功能
TF2	定时器2溢出标志。定时器2溢出时，又由硬件置位，必须由软件清0。当RCLK=1或TCLK=1时，定时器2溢出，不对TF2置位。
EXF2	定时器2外部标志。当EXEN2=1,且当T2EX引脚上出现负跳变而出现捕获或重装载时，EXF2置位，申请中断。此时如果允许定时器2中断，CPU将响应中断，执行定时器2中断服务程序，EXF2必须由软件清除。当定时器2工作在向上或向下计数工作方式时（DCEN=1），EXF2不能激活中断。
RCLK	接收时钟允许。RCLK=1时，用定时器2溢出脉冲作为串行口（工作于工作方式1或3时）的接收时钟，RCLK=0，用定时器1的溢出脉冲作为接收时钟。
TCLK	发送时钟允许。TCLK=1时，用定时器2溢出脉冲作为串行口（工作于工作方式1或3时）的发送时钟，RCLK=0，用定时器1的溢出脉冲作为发送脉冲。
EXEN2	定时器2外部允许标志。当EXEN2=1时，如果定时器2未用于作串行口的波特率发生器，在T2EX端出现负跳变脉冲时，激活定时器2捕获或重装载。EXEN2=0时，T2EX端的外部信号无效。
TR2	定时器2启动/停止控制位。TR2=1时，启动定时器2。
C/ $\overline{T2}$	定时器2定时方式或计数方式控制位。C/ $\overline{T2}$ =0，选择定时方式。C/ $\overline{T2}$ =1时，选择对外部事件计数方式（下降沿触发）。
CP/ $\overline{RL2}$	捕获/重装载选择。CP/ $\overline{RL2}$ =1时，如EXEN2=1，且T2EN端出现负跳变脉冲时发生捕获操作。CP/ $\overline{RL2}$ =0时，若定时器2溢出或EXEN2=1条件下，T2EN端出现负跳变脉冲，都会出现自动重装载操作。当RCLK=1或TCLK=1时，该位无效，在定时器2溢出时强制其自动重装载。

• **中断寄存器:**

AT89LV52 有 6 个中断源，2 个中断优先级，IE 寄存器控制各中断位，IP 寄存器中 6 个中断源的每一个可定为 2 个优先级。

• **数据存储:**

AT89LV52 有 256 个字节的内部 RAM，80H-FFH 高 128 个字节与特殊功能寄存器（SFR）地址是重叠的，也就是高 128 字节的 RAM 和特殊功能寄存器的地址是相同的，但物理上它们是分开的。

当一条指令访问 7FH 以上的内部地址单元时，指令中使用的寻址方式是不同的，也即寻址方式决定是访问高 128 字节 RAM 还是访问特殊功能寄存器。如果指令是直接寻址方式则为访问特殊功能寄存器。

例如，下面的直接寻址指令访问特殊功能寄存器 0A0H（即 P2 口）地址单元。

```
MOV 0A0H, #data
```

间接寻址指令访问高 128 字节 RAM，例如，下面的间接寻址指令中，R0 的内容为 0A0H，则访问数据字节地址为 0A0H，而不是 P2 口（0A0H）。

```
MOV @R0, #data
```

堆栈操作也是间接寻址方式，所以，高 128 位数据 RAM 亦可作为堆栈区使用。

• **定时器 0 和定时器 1:**

AT89LV52 的定时器 0 和定时器 1 的工作方式与 AT89LV51 相同。

• **定时器 2:**

定时器 2 是一个 16 位定时/计数器。它既可当定时器使用，也可作为外部事件计数器使用，其工作方式由特殊功能寄存器 T2CON（如表 3）的 C/T2 位选择。定时器 2 有三种工作方式：捕获方式，自动重载（向上或向下计数）方式和波特率发生器方式，工作方式由 T2CON 的控制位来选择，参见表 4。

表4 定时器2工作方式

RCLK +TCLK	CP/RL2	TR2	MODE
0	0	1	16-bit Auto-reload
0	1	1	16-bit Capture
1	X	1	Baud Rate Generator
X	X	0	(Off)

定时器 2 由两个 8 位寄存器 TH2 和 TL2 组成，在定时器工作方式中，每个机器周期 TL2 寄存器的值加 1，由于一个机器周期由 12 个振荡时钟构成，因此，计数速率为振荡频率的 1/12。

在计数工作方式时，当 T2 引脚上外部输入信号产生由 1 至 0 的下降沿时，寄存器的值加 1，在这种工作方式下，每个机器周期的 5SP2 期间，对外部输入进行采样。若在第一个机器周期中采到的值为 1，而在下一个机器周期中采到的值为 0，则在紧跟着的下一个周期的 S3P1 期间寄存器加 1。由于识别 1 至 0 的跳变需要 2 个机器周期（24 个振荡周期），因此，最高计数速率为振荡频率的 1/24。为确保采样的正确性，要求输入的电平在变化前至少保持一个完整周期的时间，以保证输入信号至少被采样一次。

• **捕获方式:**

在捕获方式下，通过 T2CON 控制位 EXEN2 来选择两种方式。如果 EXEN2=0，定时器 2 是一个 16 位定时器或计数器，计数溢出时，对 T2CON 的溢出标志 TF2 置位，同时激活中断。如果 EXEN2=1，定时器 2 完成相同的操作，而当 T2EX 引脚外部输入信号发生 1 至 0 负跳变时，也出现 TH2 和 TL2 中的值分别被捕获到 RCAP2H 和 RCAP2L 中。另外，T2EX 引脚信号的跳变使得 T2CON 中的 EXF2 置位，与 TF2 相仿，EXF2 也会激活中断。捕获方式如图 4 所示。

• **自动重载（向上或向下计数器）方式:**

当定时器 2 工作于 16 位自动重载方式时，能对其编程为向上或向下计数方式，这个功能可通过特殊功能寄存器 T2CON（见表 5）的 DCEN 位（允许向下计数）来选择的。复位时，DCEN 位置“0”，定时器 2 默认设置为向上计数。当 DCEN 置位时，定时器 2 既可向上计数也可向下计数，这取决于 T2EX 引脚的值，参见图 5，当 DCEN=0 时，定时器 2 自动设置为向上计数，在这种方式下，T2CON 中的 EXEN2 控制位有两种选择，若 EXEN2=0，定时器 2 为向上计数至 0FFFFH 溢出，置位 TF2 激活中断，同时把 16 位计数寄存器 RCAP2H 和 RCAP2L 重载，RCAP2H 和 RCAP2L 的值可由软件预置。若 EXEN2=1，定时器 2 的 16 位重载由溢出或外部输入端 T2EX 从 1 至 0 的下降沿触发。这个脉冲使 EXF2 置位，如果中断允许，同样产生中断。

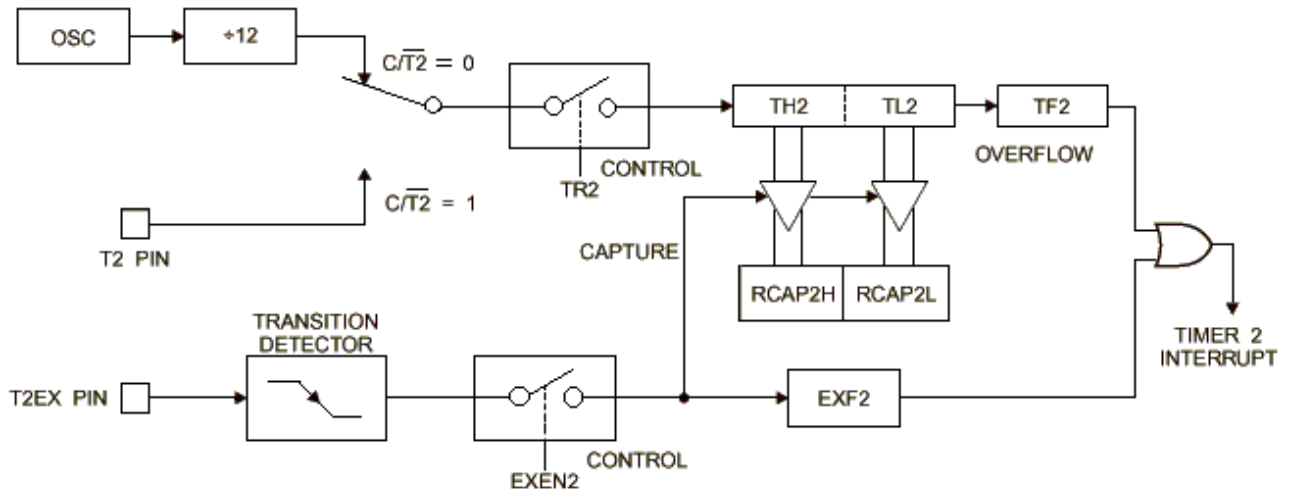


图4 定时器的捕获方式

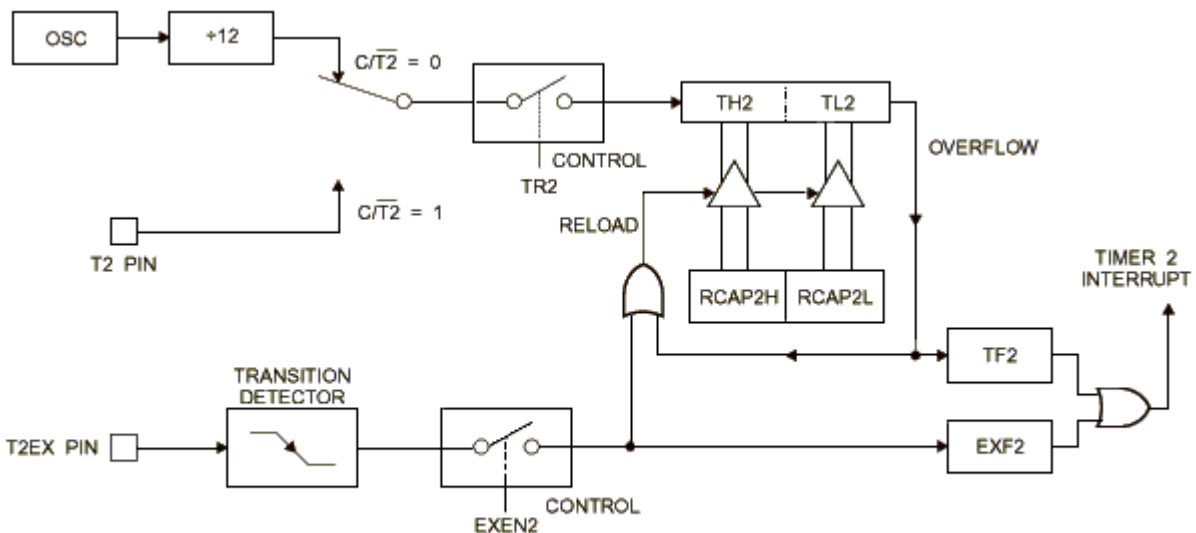


图5 定时器2自动重载方式 (DCEN=0)

当 DCEN=1 时，允许定时器 2 向上或向下计数，如图 6 所示。这种方式下，T2EX 引脚控制计数器方向。T2EX 引脚为逻辑“1”时，定时器向上计数，当计数 0FFFFH 向上溢出时，置位 TF2，同时把 16 位计数寄存器 RCAP2H 和 RCAP2L 重装载到 TH2 和 TL2 中。T2EX 引脚为逻辑“0”时，定时器 2 向下计数，当 TH2 和 TL2 中的数值等于 RCAP2H 和 RCAP2L 中的值时，计数溢出，置位 TF2，同时将 0FFFFH 数值重新装入定时寄存器中。

当定时/计数器 2 向上溢出或向下溢出时，置位 EXF2 位。

**• 波特率发生器:**

当 T2CON (表 3) 中的 TCLK 和 RCLK 置位时，定时/计数器 2 作为波特率发生器使用。如果定时/计数器 2 作为发送器或接收器，其发送和接收的波特率可以是不同的，定时器 1 用于其它功能，如图 7 所示。若 RCLK 和 TCLK 置位，则定时器 2 工作于波特率发生器方式。



定时器2—T2MOD控制寄存器

T2MOD地址 = 0C9H						复位值 = XXXX XX00B		
不可寻址位								
Bit	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	T2OE	DCEN

符号	功能
-	未定义，保留将来使用
T2OE	定时器2输出允许控制位
DCEN	置位该位，允许定时器2向上和向下计数

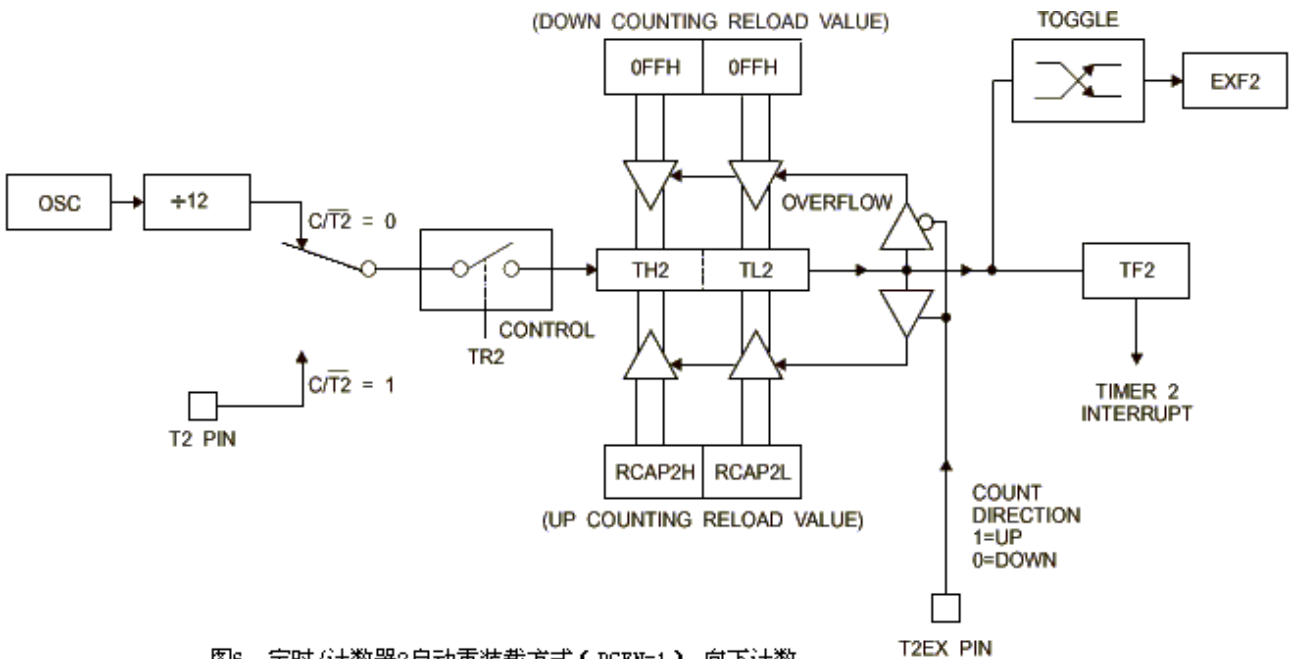


图6 定时/计数器2自动重载方式 (DCEN=1) 向下计数

波特率发生器的方式与自动重载方式相仿，在此方式下，TH2 翻转使定时器 2 的寄存器用 RCAP2H 和 RCAP2L 中的 16 位数值重新装载，该数值由软件设置。

在方式 1 和方式 3 中，波特率由定时器 2 的溢出速率根据下式确定：

$$\text{方式1和3的波特率} = \frac{\text{定时器的溢出率}}{16}$$

定时器既能工作于定时方式也能工作于计数方式，在大多数的应用中，是工作在定时方式 (C/T2=0)。定时器 2 作为波特率发生器时，与作为定时器的操作是不同的，通常作为定时器时，在每个机器周期 (1/12 振荡频率) 寄存器的值加 1，而作为波特率发生器使用时，在每个状态时间 (1/2 振荡频率) 寄存器的值加 1。波特率的计算公式如下：

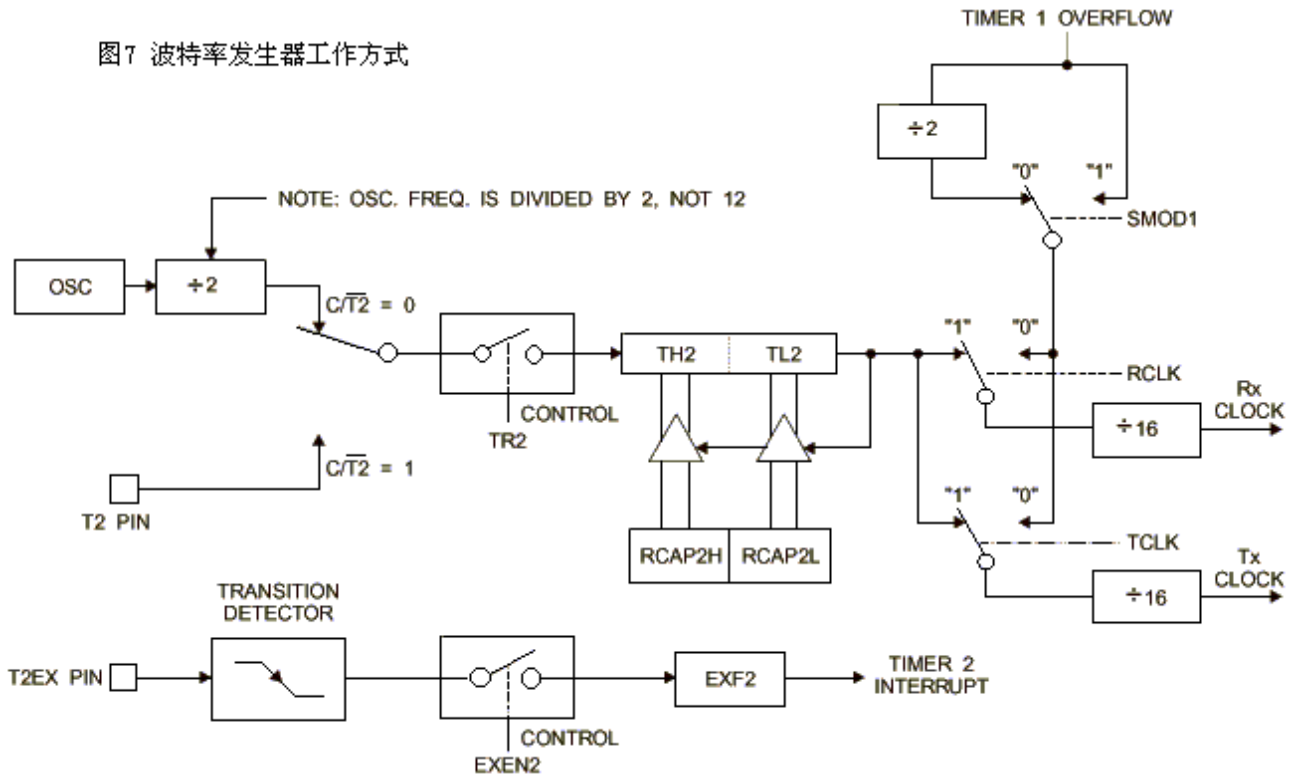
$$\text{方式1和3的波特率} = \frac{\text{振荡频率}}{32 \times [65536 - (RCAP2H, RCAP2L)]}$$

式中 (RCAP2H, RCAP2L) 是 RCAP2H 和 RCAP2L 中的 16 位无符号数。

定时器 2 作为波特率发生器使用的电路如图 7 所示。T2CON 中的 RCLK 或 TCLK=1 时，波特率工作方式才有效。在波特率发生器工作方式中，TH2 翻转不能使 TF2 置位，故而不产生中断。但若 EXEN2 置位，且 T2EX 端产生由 1 至 0 的负跳变，则会使 EXF2 置位，此时并不能将 (RCAP2H, RCAP2L) 的内容重新装入 TH2 和 TL2 中。所以，当定时器 2 作为波特率发生器使用时，T2EX 可作为附加的外部中断源来使用。需要注意的是，当定时器 2 工作于波特率器时，作为定时器运行 (TR2=1) 时，并不能访问 TH2 和 TL2。因为此时每个状态时间定时器都会加 1，对其读写将得到一个不确定的数值。

然而，对 RCAP2 则可读而不可写，因为写入操作将是重新装载，写入操作可能令写和/或重装载出错。在访问定时器 2 或 RCAP2 寄存器之前，应将定时器关闭 (清除 TR2)。

图7 波特率发生器工作方式



**• 可编程时钟输出:**

定时器 2 可通过编程从 P1.0 输出一个占空比为 50% 的时钟信号，如图 8 所示。P1.0 引脚除了是一个标准的 I/O 口外，还可以通过编程使其作为定时/计数器 2 的外部时钟输入和输出占空比 50% 的时钟脉冲。当时钟振荡频率为 12MHz 时，输出时钟频率范围为 61Hz—3MHz。

当设置定时/计数器 2 为时钟发生器时，C/T2 (T2CON .1) =0, T2OE (T2MOD.1) =1, 必须由 TR2 (T2CON.2) 启动或停止定时器。时钟输出频率取决于振荡频率和定时器 2 捕获寄存器 (RCAP2H, RCAP2L) 的重新装载值，公式如下：

$$\text{输出时钟频率} = \frac{\text{振荡器频率}}{4 \times [65536 - (RCAP2H, RCAP2L)]}$$

在时钟输出方式下，定时器 2 的翻转不会产生中断，这个特性与作为波特率发生器使用时相仿。定时器 2 作为波特率发生器使用时，还可作为时钟发生器使用，但需要注意的是波特率和时钟输出频率不能分开确定，这是因为它们同使用 RCAP2L 和 RCAP2H。

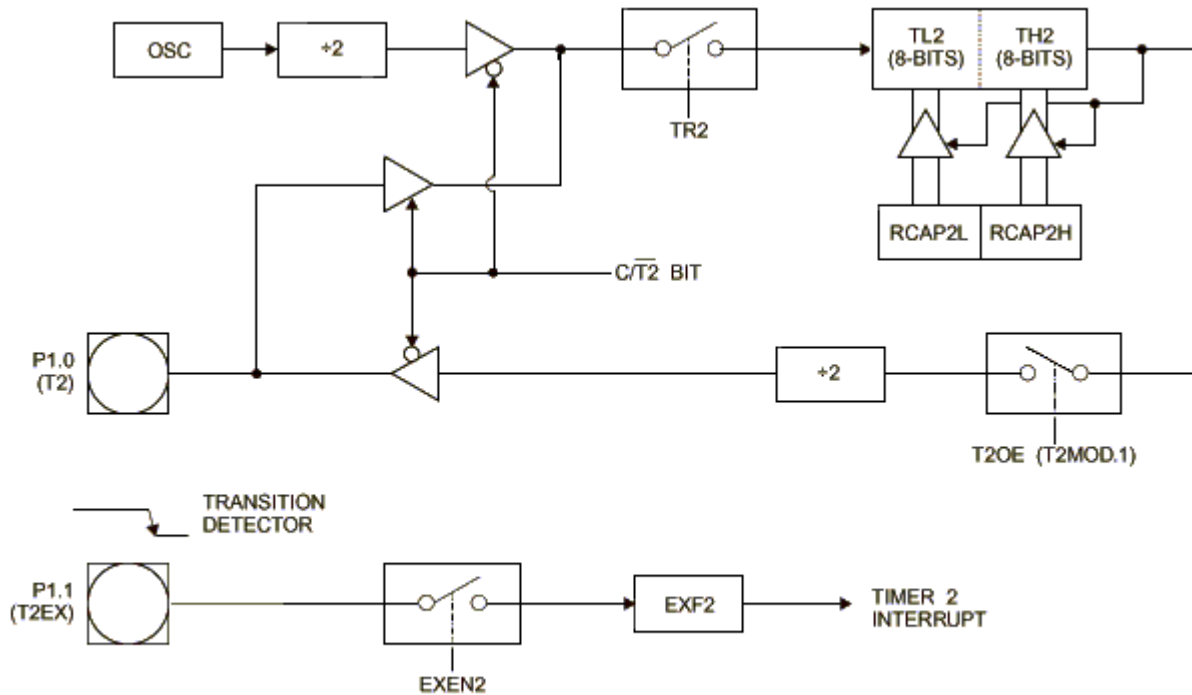


图8 定时器2时钟输出方式

• UART:

AT89LV52 的 UART 工作方式与 AT89LV51 工作方式相同。

• 中断:

AT89LV52 共有 6 个中断向量：两个外中断（INT0 和 INT1），3 个定时器中断（定时器 0、1、2）和串行口中断。所有这些中断源如图 9 所示。

这些中断源可通过分别设置专用寄存器 IE 的置位或清 0 来控制每一个中断的允许或禁止。IE 也有一个总禁止位 EA，它能控制所有中断的允许或禁止。

注意表 5 中的 IE.6 为保留位，在 AT89LV51 中 IE.5 也是保留位。程序员不应将“1”写入这些位，它们是将来 AT89 系列产品作为扩展用的。

定时器 2 的中断是由 T2CON 中的 TF2 和 EXF2 逻辑或产生的，当转向中断服务程序时，这些标志位不能被硬件清除，事实上，服务程序需确定是 TF2 或 EXF2 产生中断，而由软件清除中断标志位。

定时器 0 和定时器 1 的标志位 TF0 和 TF1 在定时器溢出那个机器周期的 S5P2 状态置位，而会在下一个机器周期才查询到该中断标志。然而，定时器 2 的标志位 TF2 在定时器溢出的那个机器周期的 S2P2 状态置位，并在同一个机器周期内查询到该标志。

表5 中断允许寄存器 (IE)

(MSB)								(LSB)
EA	-	ET2	ES	ET1	EX1	ET0	EX0	
允许位=1 表示允许中断 允许位=0 表示禁止中断								
Symbol	Position	Function						
EA	IE.7	EA=0时，禁止所有中断。 EA=1时，各中断的允许或禁止取决于各中断控制位的状态。						
-	IE.6	保留位						
ET2	IE.5	定时器2中断允许控制位						
ES	IE.4	串行口中断允许控制位						
ET1	IE.3	定时器1中断允许控制位						
EX1	IE.2	外中断1中断允许控制位						
ET0	IE.1	定时器0中断允许控制位						
EX0	IE.0	外中断0中断允许控制位						
程序员不应将“1”写入保留位，这些位是将来AT89系列产品作为扩展用的。								

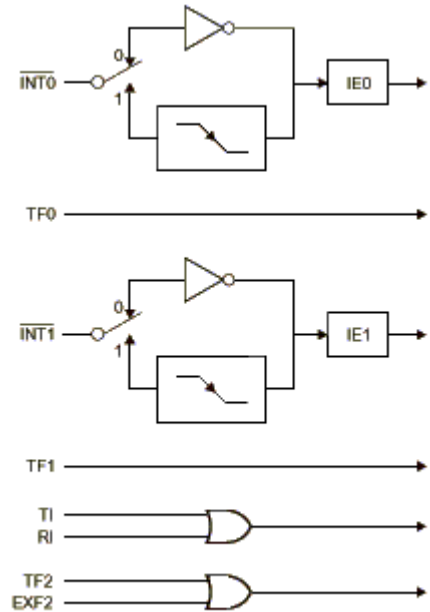


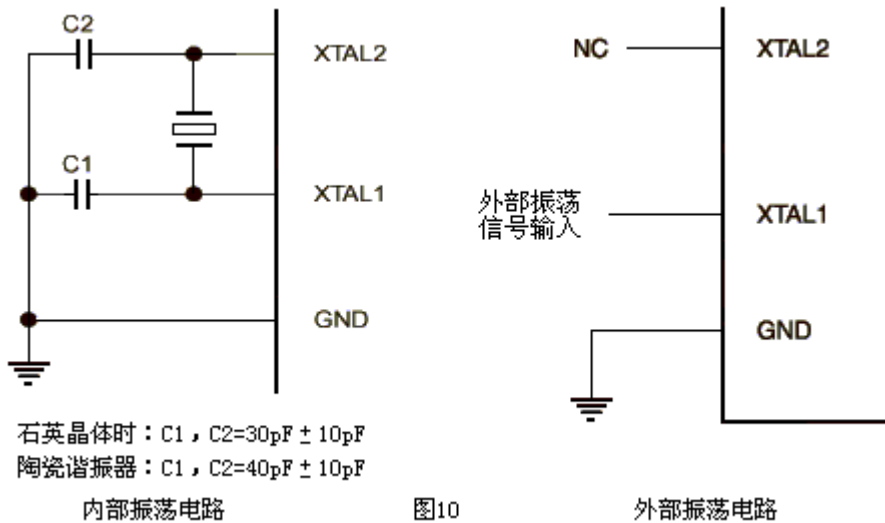
图9 AT89LV52中断源

• 时钟振荡器:

AT89LV52 中有一个用于构成内部振荡器的高增益反相放大器，引脚 XTAL1 和 XTAL2 分别是该放大器的输入端和输出端。这个放大器与作为反馈元件的片外石英晶体或陶瓷谐振器一起构成自激振荡器，振荡电路参见图 10。

外接石英晶体（或陶瓷谐振器）及电容 C1、C2 接在放大器的反馈回路中构成并联振荡电路。对外接电容 C1、C2 虽然没有十分严格的要求，但电容容量的大小会轻微影响振荡频率的高低、振荡器工作的稳定性、起振的难易程序及温度稳定性，如果使用石英晶体，我们推荐电容使用  $30\text{pF} \pm 10\text{pF}$ ，而如使用陶瓷谐振器建议选择  $40\text{pF} \pm 10\text{pF}$ 。

用户也可以采用外部时钟。采用外部时钟的电路如图 10 右图所示。这种情况下，外部时钟脉冲接到 XTAL1 端，即内部时钟发生器的输入端，XTAL2 则悬空。



石英晶体时：C1，C2= $30\text{pF} \pm 10\text{pF}$   
陶瓷谐振器：C1，C2= $40\text{pF} \pm 10\text{pF}$

内部振荡电路

图10

外部振荡电路

由于外部时钟信号是通过一个 2 分频触发器后作为内部时钟信号的，所以对外部时钟信号的占空比没有特殊要求，但最小高电平持续时间和最大的低电平持续时间应符合产品技术条件的要求。

**• 空闲节电模式:**

在空闲工作模式状态，CPU 自身处于睡眠状态而所有片内的外设仍保持激活状态，这种方式由软件产生。此时，同时将片内 RAM 和所有特殊功能寄存器的内容冻结。空闲模式可由任何允许的中断请求或硬件复位终止。

由硬件复位终止空闲状态只需两个机器周期有效复位信号，在此状态下，片内硬件禁止访问内部 RAM，但可以访问端口引脚，当用复位终止空闲方式时，为避免可能对端口产生意外写入，激活空闲模式的那条指令后一条指令不应是一条对端口或外部存储器的写入指令。

**• 掉电模式:**

在掉电模式下，振荡器停止工作，进入掉电模式的指令是最后一条被执行的指令，片内 RAM 和特殊功能寄存器的内容在终止掉电模式前被冻结。退出掉电模式的唯一方法是硬件复位，复位后将重新定义全部特殊功能寄存器，但不改变 RAM 中的内容，在 Vcc 恢复到正常工作电平前，复位应无效，且必须保持一定时间以使振荡器重新启动并稳定工作。

空闲和掉电模式下，个端口引脚状态如表 6 所示。

表6 空闲和掉电模式外部引脚状态

模式	程序存储器	ALE	PSEN	P0	P1	P2	P3
空闲模式	内部	1	1	数据	数据	数据	数据
空闲模式	外部	1	1	浮空	数据	地址	数据
掉电模式	内部	0	0	数据	数据	数据	数据
掉电模式	外部	0	0	浮空	数据	数据	数据

**• 程序存储器的加密:**

AT89LV52 有 3 个程序加密位，可对芯片上的 3 个加密位 LB1、LB2、LB3 进行编程 (P) 或不编程 (U) 来得到如表 7 所示的功能:

表7 加密位保护功能表

	程序加密位			保护类型
	LB1	LB2	LB3	
1	U	U	U	无程序保护功能
2	P	U	U	禁止从内部存储器取代码字节执行外部存储器的MOVC指令。 复位时，EA被采样并锁存，禁止对Flash存储器进一步编程
3	P	P	U	除与方式2功能相同外，同时禁止校验
4	P	P	P	除与方式3相同外，同时禁止外部执行

注：表中的 U——表示未编程，P——表示编程

当加密位 LB1 被编程时，在复位期间，EA 端的逻辑电平被采样并锁存，如果单片机上电后一直没有复位，则锁存起的初始值是一个随机数，且这个随机数会一直保存到真正复位为止。为使单片机能正常工作，被锁存的 EA 电平值必须与该引脚当前的逻辑电平一致。此外，加密位只能通过整片擦除的方法清除。

**• Flash 存储器的编程:**

AT89LV52 单片机内部有 8k 字节的 Flash PEROM，这个 Flash 存储阵列出厂时已处于擦除状态（即所有存储单元的内容均为 FFH），用户随时可对其进行编程。

AT89LV52 的顶面标识和签名字节如表 8 所示。

表8 AT89LV52顶面标识及签名字节

<b>V<sub>pp</sub> = 12V</b>	
顶面标识	AT89LV52 xxxx yyww
签名字节	(030H) = 1EH (031H) = 62H (032H) = FFH

AT89LV52 的程序存储器阵列是采用字节写入方式编程的，每次写入一个字节，要对整个芯片内的 PEROM 程序存储器写入一个非空字节，必须使用片擦除的方式将整个存储器的内容清除。

**• 编程方法:**

编程前，须按表 9 和图 11 所示设置好地址、数据及控制信号， AT89LV52 编程方法如下：

1. 在地址线上加上要编程单元的地址信号。
2. 在数据线上加上要写入的数据字节。
3. 激活相应的控制信号。
4. 将 EA/V<sub>pp</sub> 端加上+12V 编程电压。
5. 每对 Flash 存储阵列写入一个字节或每写入一个程序加密位，加上一个 ALE/PROG 编程脉冲。每个字节写入周期是自身定时的，通常约为 1.5ms。重复 1—5 步骤，改变编程单元的地址和写入的数据，直到全部文件编程结束。

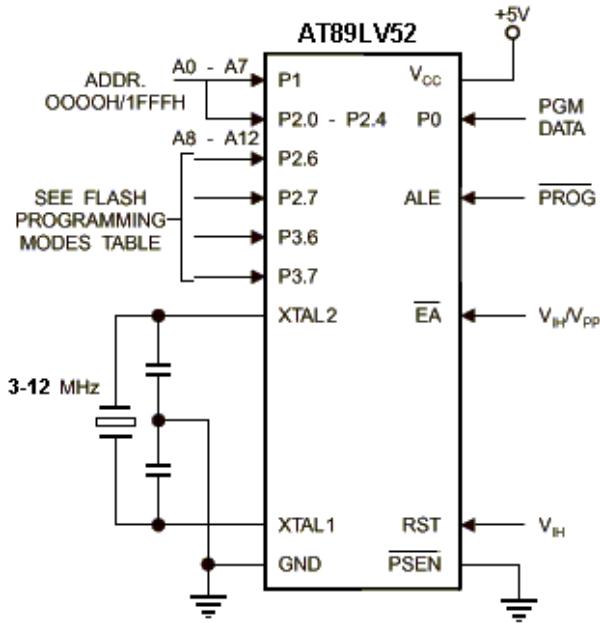


图11 编程电路

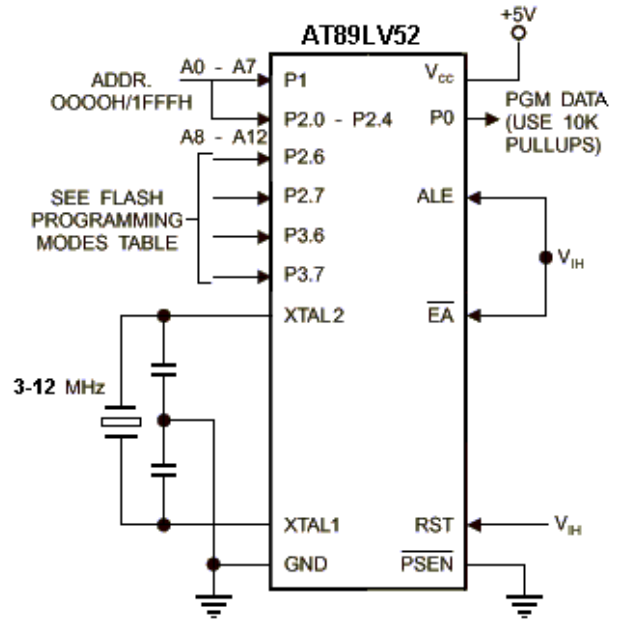


图12 校验电路

• 数据查询:

AT89LV52 单片机用  $\overline{\text{Data Palling}}$  表示一个写周期结束为特征，在一个写周期中，如需读取最后写入的一个字节，则读出的数据的最高位 (P0.7) 是原来写入字节最高位的反码。写周期完成后，所输出的数据是有效的数据，即可进入下一个字节的写周期，写周期开始后， $\overline{\text{Data Palling}}$  可能随时有效。

• **Ready/Busy:** 字节编程的进度可通过“RDY/BSY 输出信号监测，编程期间，ALE 变为高电平“H”后，P3.4 (RDY/BSY) 端电平被拉低，表示正在编程状态 (忙状态)。编程完成后，P3.4 变为高电平表示准备就绪状态。

• **程序校验:** 如果加密位 LB1、LB2 没有进行编程，则代码数据可通过地址和数据线读回原编写的数据，采用如图 12 的电路。加密位不可直接校验，加密位的校验可通过对存储器的校验和写入状态来验证。

• **芯片擦除:** 利用控制信号的正确组合 (表 6) 并保持 ALE/PROG 引脚 10ms 的低电平脉冲宽度即可将 PEROM 阵列 (4k 字节) 和三个加密位整片擦除，代码阵列在片擦除操作中将任何非空单元写入“1”，这步骤需再编程之前进行。

• **读片内签名字节:** AT89LV52 单片机内有 3 个签名字节，地址为 030H、031H 和 032H。用于声明该器件的厂商、型号和编程电压。读 AT89LV52 签名字节需将 P3.6 和 P3.7 置逻辑低电平，读签名字节的过程和单元 030H、031H 及 032H 的正常校验相仿，只返回值意义如下：

(030H) =1EH 声明产品由 ATMEL 公司制造。

(031H) =62H 声明为 AT89LV52 单片机。

(032H) =FFH 声明为 12V 编程电压。

表9 Flash 存储器编程真值表

方式	RST	PSEN	ALE/PROG	$\overline{EA}/V_{pp}$	P2.6	P2.7	P3.6	P3.7	
写代码数据	H	L		12V	L	H	H	H	
读代码数据	H	L	H	H	L	L	H	H	
写加密位	Bit - 1	H	L		12V	H	H	H	H
	Bit - 2	H	L		12V	H	H	L	L
	Bit - 3	H	L		12V	H	L	H	L
片擦除	H	L	(1)	12V	H	L	L	L	
读签名字节	H	L	H	H	L	L	L	L	

注：片擦除操作时要求PROG脉冲宽度为10ms

**Flash编程和校验特性**

$T_A = 0^\circ\text{C to } 70^\circ\text{C}$ ,  $V_{CC} = 5.0 \pm 10\%$

符号	参数	最小值	最大值	单位
$V_{PP}^{(1)}$	编程电压	11.5	12.5	V
$I_{PP}^{(1)}$	编程电流		25	$\mu\text{A}$
$1/t_{CLCL}$	时钟频率	3	12	MHz
$t_{AVGL}$	建立地址到PROG变低时间	$48t_{CLCL}$		
$t_{GHAX}$	PROG变低后地址保持时间	$48t_{CLCL}$		
$t_{DVGL}$	建立数据到PROG变低时间	$48t_{CLCL}$		
$t_{GHDX}$	PROG变低后数据保持时间	$48t_{CLCL}$		
$t_{EHSH}$	ENABLE变高到Vpp时间	$48t_{CLCL}$		
$t_{SHGL}$	加Vpp到PROG变低时间	10		$\mu\text{s}$
$t_{GHSL}^{(1)}$	PROG后保持Vpp时间	10		$\mu\text{s}$
$t_{GLGH}$	PROG宽度	1	110	$\mu\text{s}$
$t_{AVQV}$	地址到数据有效时间		$48t_{CLCL}$	
$t_{ELQV}$	ENABLE低到数据有效		$48t_{CLCL}$	
$t_{EHQZ}$	ENABLE后数据浮空	0	$48t_{CLCL}$	
$t_{GHBL}$	PROG变高到BUSY变低时间		1.0	$\mu\text{s}$
$t_{WC}$	字节写入周期		2.0	ms

注：仅用于12V编程模式



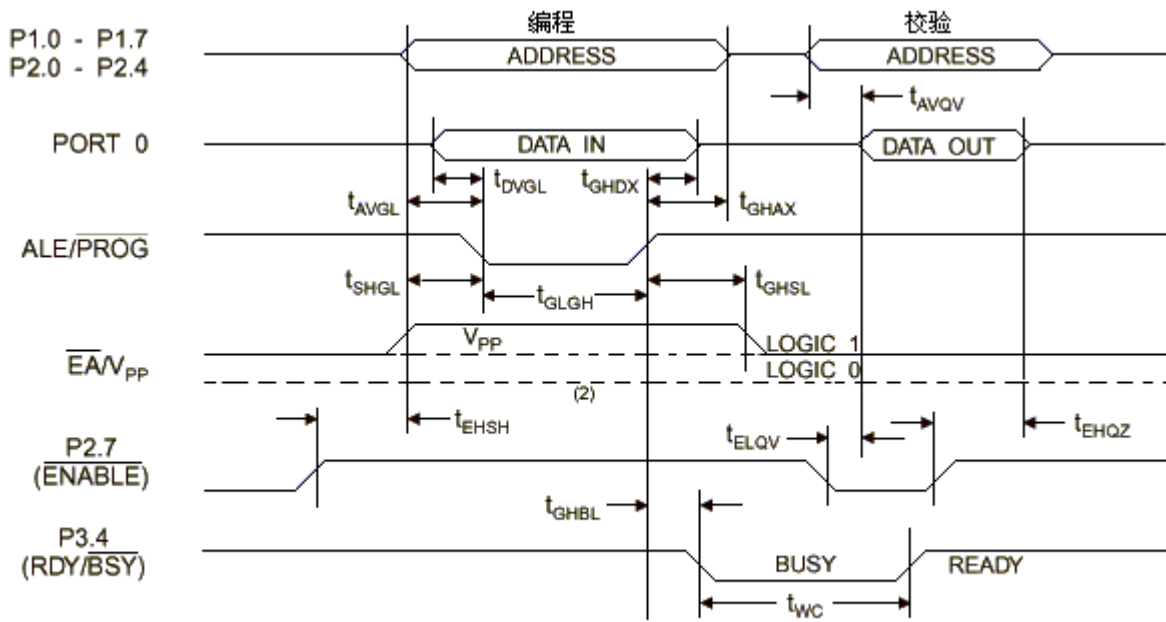


图13 Flash编程和校验波形

• AT89LV52 的极限参数:

极限参数	
工作温度	-55°C to +125°C
储藏温度	-65°C to +150°C
任一引脚对地电压	-1.0V to +7.0V
最高工作电压	6.6V
直流输出电流	15.0 mA

• 直流参数:

### DC Characteristics

The values shown in this table are valid for  $T_A = -40^{\circ}\text{C}$  to  $85^{\circ}\text{C}$  and  $V_{CC} = 2.7\text{V}$  to  $6.0\text{V}$ , unless otherwise noted.

Symbol	Parameter	Condition	Min	Max	Units
$V_{IL}$	Input Low Voltage	(Except $\overline{EA}$ )	-0.5	$0.2 V_{CC} - 0.1$	V
$V_{IL1}$	Input Low Voltage ( $\overline{EA}$ )		-0.5	$0.2 V_{CC} - 0.3$	V
$V_{IH}$	Input High Voltage	(Except XTAL1, RST)	$0.2 V_{CC} + 0.9$	$V_{CC} + 0.5$	V
$V_{IH1}$	Input High Voltage	(XTAL1, RST)	$0.7 V_{CC}$	$V_{CC} + 0.5$	V
$V_{OL}$	Output Low Voltage <sup>(1)</sup> (Ports 1,2,3)	$I_{OL} = 1.6 \text{ mA}$		0.45	V
$V_{OL1}$	Output Low Voltage <sup>(1)</sup> (Port 0, ALE, PSEN)	$I_{OL} = 3.2 \text{ mA}$		0.45	V
$V_{OH}$	Output High Voltage (Ports 1,2,3, ALE, PSEN)	$I_{OH} = -60 \mu\text{A}, V_{CC} = 5\text{V} \pm 10\%$	2.4		V
		$I_{OH} = -25 \mu\text{A}$	$0.75 V_{CC}$		V
		$I_{OH} = -10 \mu\text{A}$	$0.9 V_{CC}$		V
$V_{OH1}$	Output High Voltage (Port 0 in External Bus Mode)	$I_{OH} = -800 \mu\text{A}, V_{CC} = 5\text{V} \pm 10\%$	2.4		V
		$I_{OH} = -300 \mu\text{A}$	$0.75 V_{CC}$		V
		$I_{OH} = -80 \mu\text{A}$	$0.9 V_{CC}$		V
$I_{IL}$	Logical 0 Input Current (Ports 1,2,3)	$V_{IN} = 0.45\text{V}$		-50	$\mu\text{A}$
$I_{TL}$	Logical 1 to 0 Transition Current (Ports 1,2,3)	$V_{IN} = 2\text{V}$		-650	$\mu\text{A}$
$I_{LI}$	Input Leakage Current (Port 0, $\overline{EA}$ )	$0.45 < V_{IN} < V_{CC}$		$\pm 10$	$\mu\text{A}$
RRST	Reset Pulldown Resistor		50	300	$\text{K}\Omega$
$C_{IO}$	Pin Capacitance	Test Freq. = 1 MHz, $T_A = 25^{\circ}\text{C}$		10	pF
$I_{CC}$	Power Supply Current	Active Mode, 12 MHz		25	mA
		Idle Mode, 12 MHz		6.5	mA
	Power Down Mode <sup>(2)</sup>	$V_{CC} = 6\text{V}$		100	$\mu\text{A}$
		$V_{CC} = 3\text{V}$		40	$\mu\text{A}$

Notes: 1. Under steady state (non-transient) condition,  $I_{OL}$  must be externally limited as follows:  
 Maximum  $I_{OL}$  per port pin: 10 mA  
 Maximum  $I_{OL}$  per 8-bit port: Port 0: 26 mA  
 Ports 1, 2, 3: 15 mA  
 Maximum total  $I_{OL}$  or all output pins: 71 mA

If  $I_{OL}$  exceeds the test condition,  $V_{OL}$  may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.

2. Minimum  $V_{CC}$  for Power Down is 2V.

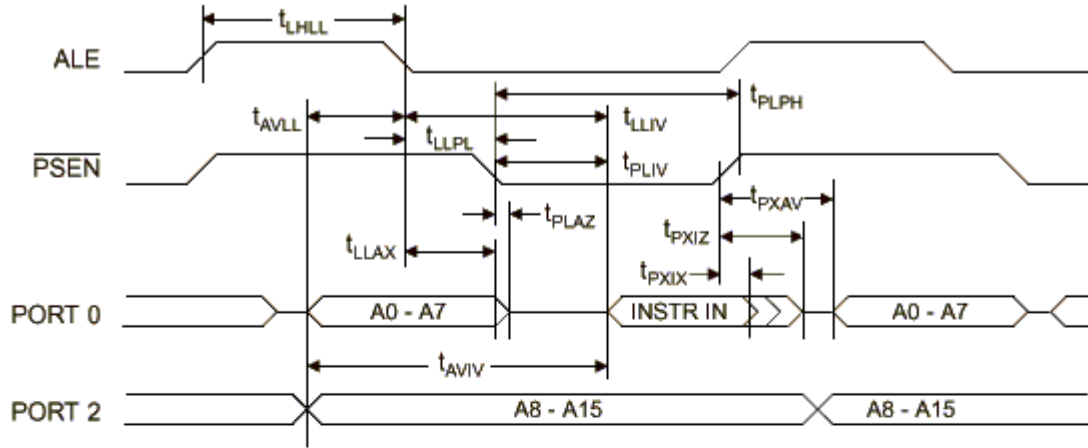
• 交流特性:

在以下工作条件, P0 口, ALE/PROG, PSEN 的负载电容为 100pF, 其他输出口负载电容为 80pF。

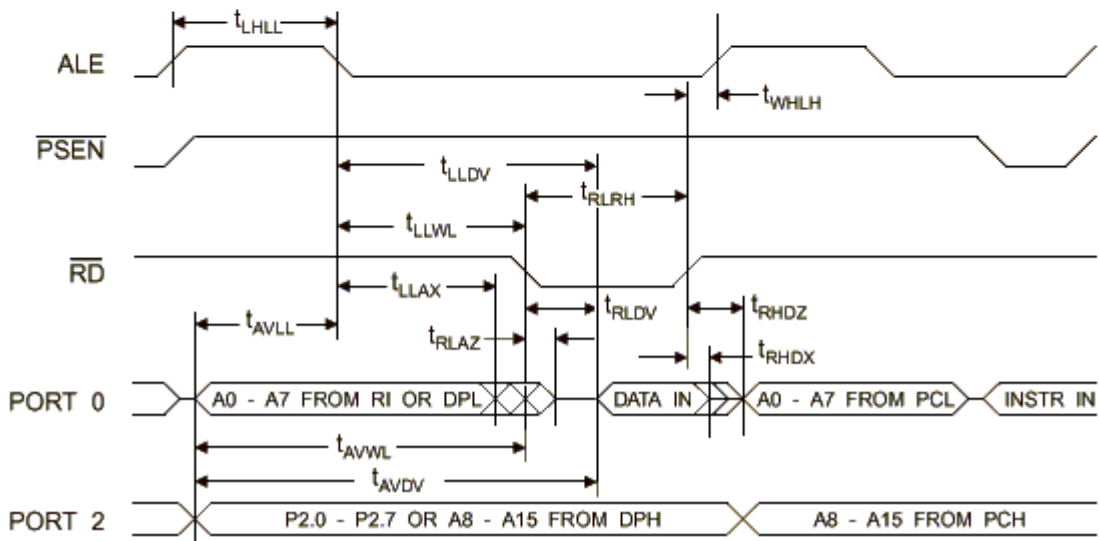
外部程序和数据存储器特性

Symbol	Parameter	12 MHz Oscillator		Variable Oscillator		Units
		Min	Max	Min	Max	
$1/t_{CLCL}$	Oscillator Frequency			0	12	MHz
$t_{LHL}$	ALE Pulse Width	127		$2t_{CLCL}-40$		ns
$t_{AVLL}$	Address Valid to ALE Low	43		$t_{CLCL}-40$		ns
$t_{LLAX}$	Address Hold After ALE Low	48		$t_{CLCL}-35$		ns
$t_{LLIV}$	ALE Low to Valid Instruction In		233		$4t_{CLCL}-100$	ns
$t_{LLPL}$	ALE Low to $\overline{PSEN}$ Low	43		$t_{CLCL}-40$		ns
$t_{PLPH}$	$\overline{PSEN}$ Pulse Width	205		$3t_{CLCL}-45$		ns
$t_{PLIV}$	$\overline{PSEN}$ Low to Valid Instruction In		145		$3t_{CLCL}-105$	ns
$t_{PXIX}$	Input Instruction Hold After $\overline{PSEN}$	0		0		ns
$t_{PXIZ}$	Input Instruction Float After $\overline{PSEN}$		59		$t_{CLCL}-25$	ns
$t_{PXAV}$	$\overline{PSEN}$ to Address Valid	75		$t_{CLCL}-8$		ns
$t_{AVIV}$	Address to Valid Instruction In		312		$5t_{CLCL}-105$	ns
$t_{PLAZ}$	$\overline{PSEN}$ Low to Address Float		10		10	ns
$t_{RLRH}$	$\overline{RD}$ Pulse Width	400		$6t_{CLCL}-100$		ns
$t_{WLWH}$	$\overline{WR}$ Pulse Width	400		$6t_{CLCL}-100$		ns
$t_{RLDV}$	$\overline{RD}$ Low to Valid Data In		252		$5t_{CLCL}-165$	ns
$t_{RHDX}$	Data Hold After $\overline{RD}$	0		0		ns
$t_{RHDZ}$	Data Float After $\overline{RD}$		97		$2t_{CLCL}-70$	ns
$t_{LLDV}$	ALE Low to Valid Data In		517		$8t_{CLCL}-150$	ns
$t_{AVDV}$	Address to Valid Data In		585		$9t_{CLCL}-165$	ns
$t_{LLWL}$	ALE Low to $\overline{RD}$ or $\overline{WR}$ Low	200	300	$3t_{CLCL}-50$	$3t_{CLCL}+50$	ns
$t_{AVWL}$	Address to $\overline{RD}$ or $\overline{WR}$ Low	203		$4t_{CLCL}-130$		ns
$t_{QVWX}$	Data Valid to $\overline{WR}$ Transition	23		$t_{CLCL}-60$		ns
$t_{QVWH}$	Data Valid to $\overline{WR}$ High	433		$7t_{CLCL}-150$		ns
$t_{WHQX}$	Data Hold After $\overline{WR}$	33		$t_{CLCL}-50$		ns
$t_{RLAZ}$	$\overline{RD}$ Low to Address Float		0		0	ns
$t_{WHLH}$	$\overline{RD}$ or $\overline{WR}$ High to ALE High	43	123	$t_{CLCL}-40$	$t_{CLCL}+40$	ns

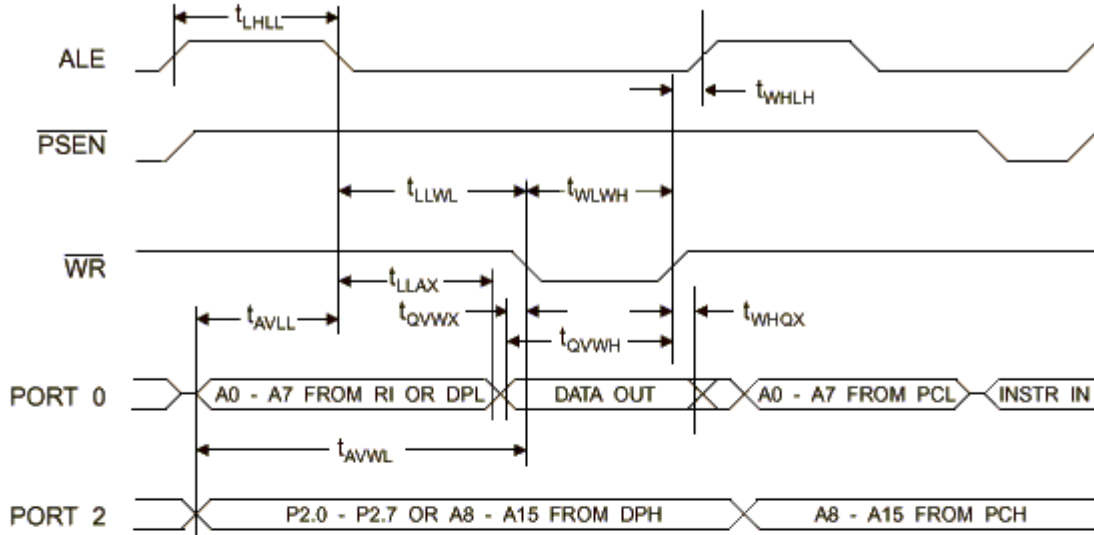
外部程序存储器读周期



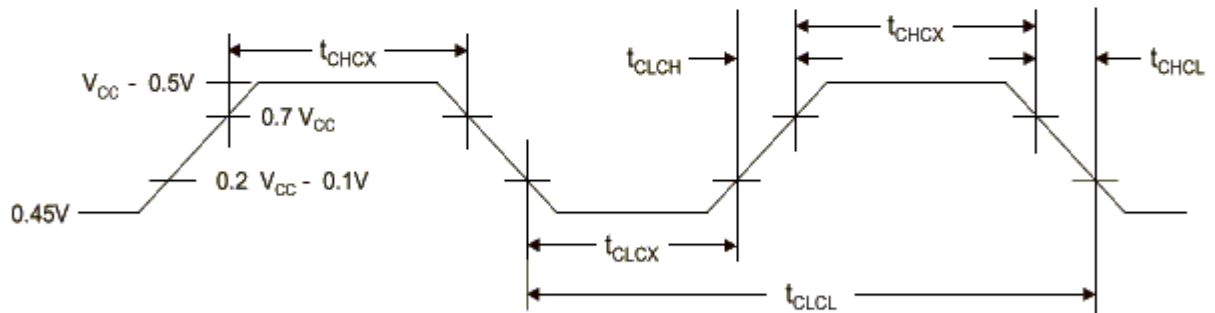
外部数据存储器读周期



### 外部数据存储器写周期



### 外部时钟驱动波形



### 外时钟驱动参数

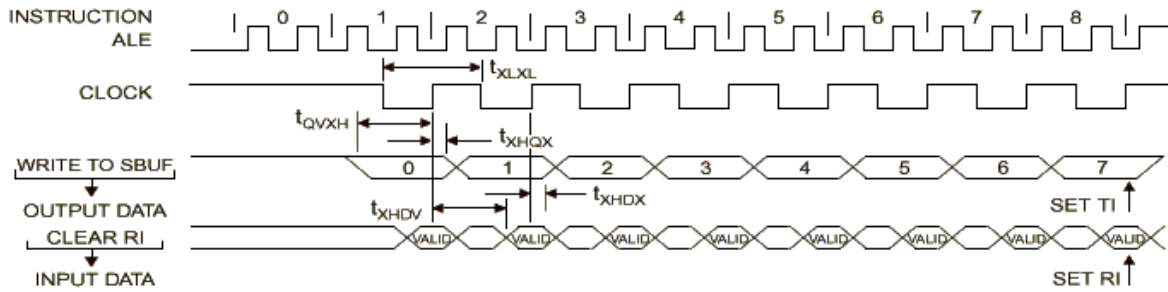
Symbol	Parameter	Min	Max	Units
$1/t_{CLCL}$	Oscillator Frequency	0	12	MHz
$t_{CLCL}$	Clock Period	83.3		ns
$t_{CHCX}$	High Time	20		ns
$t_{CLCX}$	Low Time	20		ns
$t_{CLCH}$	Rise Time		20	ns
$t_{CHCL}$	Fall Time		20	ns

### 串行口时序：移位寄存器测试条件

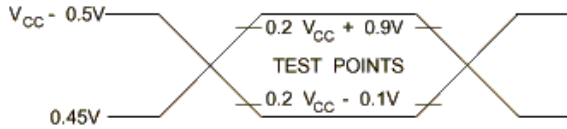
The values in this table are valid for  $V_{CC} = 2.7V$  to  $6.0V$  and Load Capacitance =  $80\text{ pF}$ .

符号	参数	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
$t_{XLXL}$	串行口时钟周期	1.0		$12t_{CLCL}$		$\mu s$
$t_{QVXH}$	建立数据输出到时钟上升沿	700		$10t_{CLCL}-133$		ns
$t_{XHGX}$	时钟上升沿建立后输出数据保持时间	50		$2t_{CLCL}-117$		ns
$t_{XHDX}$	时钟上升沿建立后输入数据保持时间	0		0		ns
$t_{XHDV}$	时钟上升沿建立到输入数据下降		700		$10t_{CLCL}-133$	ns

### 移位寄存器时序波形



### AC 测试输入/输出波形

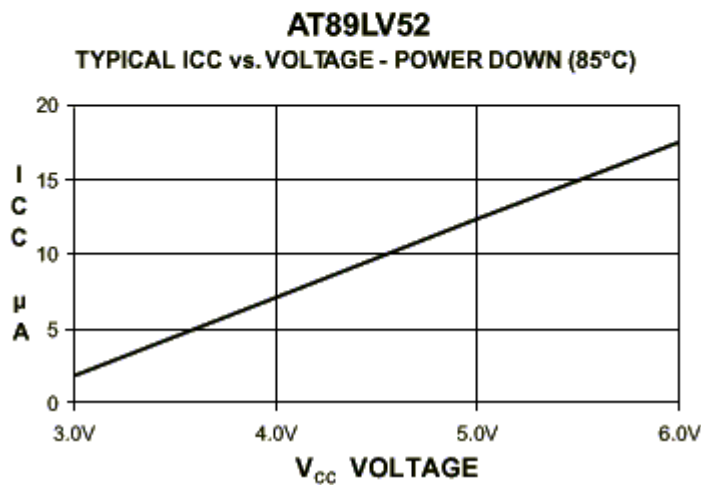
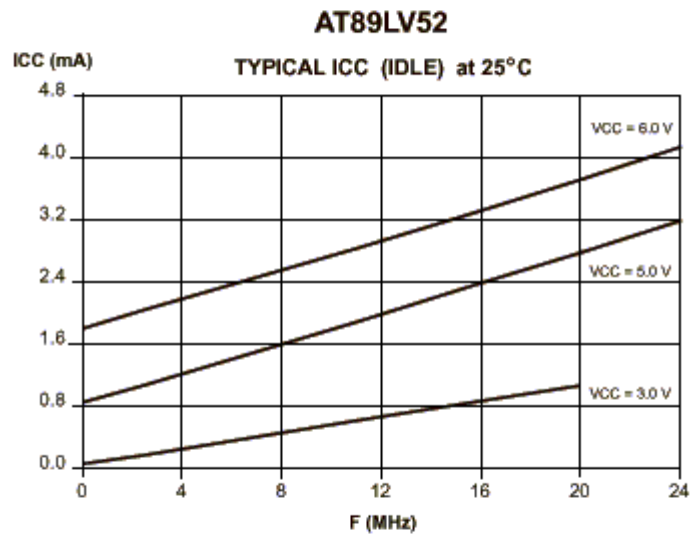
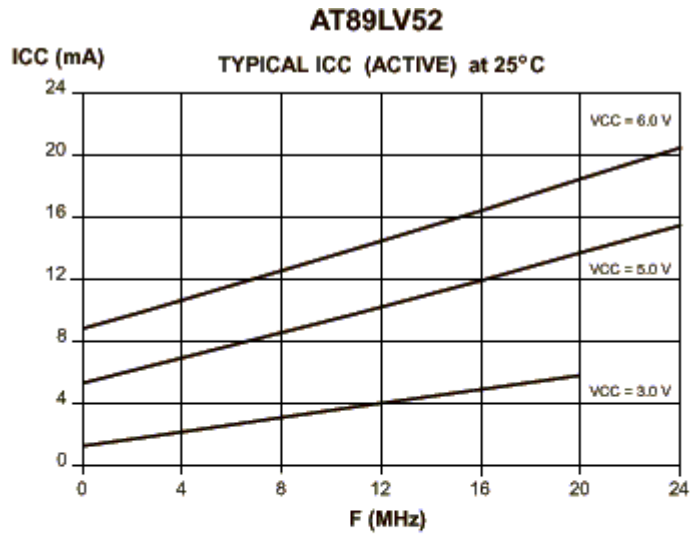


Note: 1. AC Inputs during testing are driven at  $V_{CC} - 0.5V$  for a logic 1 and  $0.45V$  for a logic 0. Timing measurements are made at  $V_{IH}$  min. for a logic 1 and  $V_{IL}$  max. for a logic 0.

### 浮空波形



Note: 1. For timing purposes, a port pin is no longer floating when a  $100\text{ mV}$  change from load voltage occurs. A port pin begins to float when  $100\text{ mV}$  change from the loaded  $V_{OH}/V_{OL}$  level occurs.



## Ordering Information

Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
12	2.7V to 6V	AT89LV52-12AC	44A	Commercial (0° C to 70° C)
		AT89LV52-12JC	44J	
		AT89LV52-12PC	40P6	
12	2.7V to 6V	AT89LV52-12AI	44A	Industrial (-40° C to 85° C)
		AT89LV52-12JI	44J	
		AT89LV52-12PI	40P6	

Package Type	
<b>44A</b>	44 Lead, Thin Plastic Gull Wing Quad Flatpack (TQFP)
<b>44J</b>	44 Lead, Plastic J-Leaded Chip Carrier (PLCC)
<b>40P6</b>	40 Lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)