

### 附录3: AT94K 系列现场可编程系统标准集成电路

AT94K 系列 (FPSLIC family) 整合了Atmel AT40K 系列 SRAM FPGA 和高性能的带标准外设的 Atmel AVR 8位 RISC 微控制器。此器件中包含了扩展数据和指令SRAM 及器件控制和管理逻辑,以 Atmel 0.35 的四层金属 CMOS 工艺制作。10K - 40K 门的 AT40K FPGA带8位微控制器和36K 字节的SRAMAT40K FPGA 核心是一个完全符合 3.3V PCI 标准, 带10 ns 分布式同步/异步可编程的全双工口/单工口的 SRAM, 8 个全局时钟, Cache Logic 性能 (部分或全部可重新设置而不丢失数据) 及 10,000 至 40,000 的可用门数的基于SRAM的 FPGA 。

#### 特点

大规模现场可编程系统标准集成电路

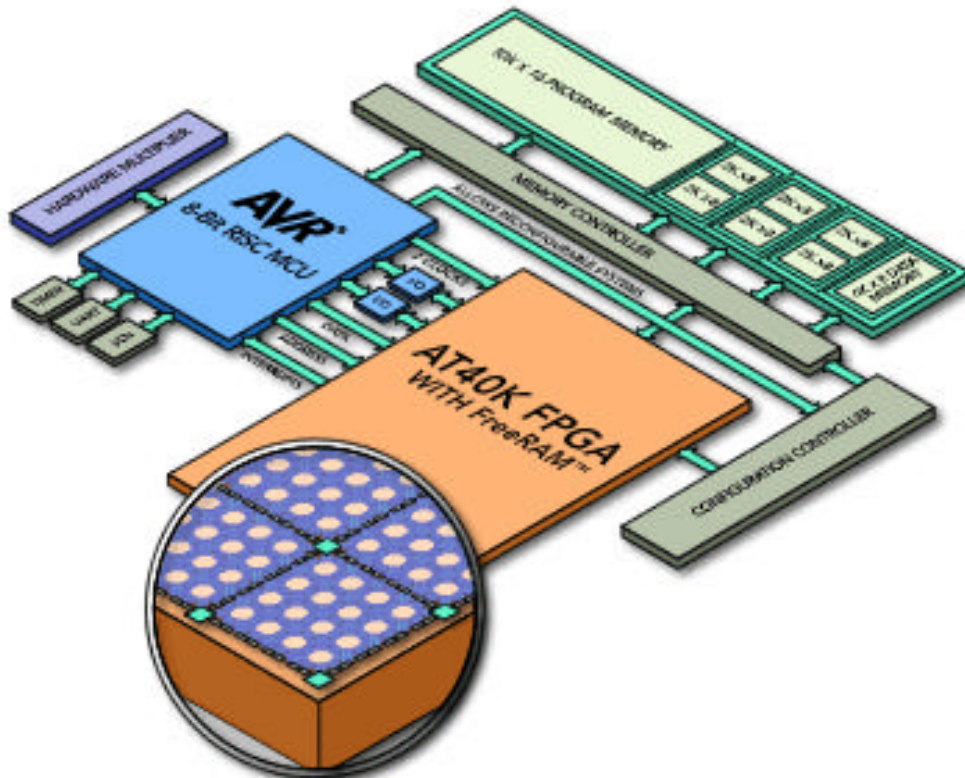
- AT40K 基于SRAM的 FPGA 具有嵌入式高性能的 RISC AVR 核心及扩展的数据和指令的 SRAM
  - 10,000到 40,000 门基于专利 SRAM的 AT40K FPGA 带 FreeRAM
  - 4.6K至18.4K 位的分布式单/双口 FPGA 的用户 SRAM
  - 高性能 DSP 优化的 FPGA 核心单元
  - 内置动态可重新编程 - 可存取设置FPGA
- AVR 微控制器核心片内支持 Cache Logic 设计
- 极低静态和动态功耗 - 最适于轻便及手持式的应用
- 专利 AVR 扩展 RISC 结构
- 120条功能强大的指令 - 绝大多数执行周期为单时钟周期
  - 基于DSP系统的高性能硬件累乘器
  - 可用超过 30 MIPS Performance
  - 带32个内部寄存器的“C”代码优化结构
  - 低电压休眠, 省电及掉电模式
  - 32K字节动态分配指令和数据 SRAM
  - 最多 16K x 16 内部15 ns 指令 SRAM
  - 最多 14K x 8 内部15 ns 数据 SRAM
- AVR Fixed外设
- 工业标准的两线接口
  - 两个可编程串行 UART
  - 两个带分立预定比例器和 PWM 的 8 位定时器/计数器 和一个带分立预定比例器, 比较, 捕获模式及8位, 9位, 或10位PWM 的16位定时器/计数器
- 支持 FPGA 标准的外设
- AVR 外设控制 - 16 解码 AVR 地址线可直接存取 FPGA
  - 标准外设的FPGA 宏功能库
  - 16 FPGA给AVR提供内部中断
  - 最多给 AVR 4 个外部中断
  - 8个全局 FPGA 时钟
  - 两个从AVR 逻辑驱动的 FPGA 时钟
  - 可从FPGA 核心存取FPGA 全局 时钟
- 复合振荡器电路
- 带片内振荡器的可编程看门狗定时器
  - AVR 内部时钟电路振荡器
  - 可软件选择时钟频率
  - 定时器/计数器实时时钟振荡器
- V<sub>CC</sub> : 3.0V- 3.6V
- 3.3V 33 MHz PCI标准的 FPGA I/O
- 24 mA 下沉/源高性能 I/O 结构
  - 所有 FPGA I/O 单独可编程

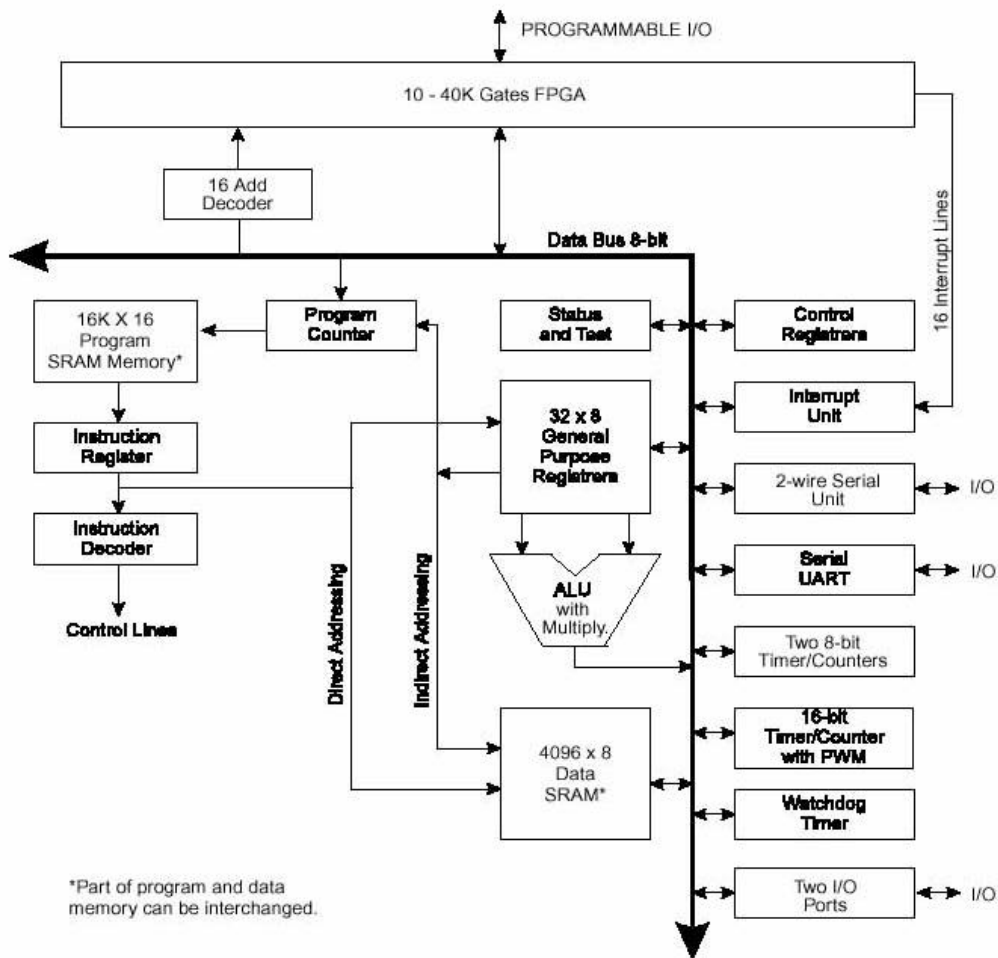
引脚与 Atmel AT40K 系列 FPGA 兼容  
 高性能, 低电压 0.35 CMOS 四层金属处理  
 State-of-the-art 基于 PC 的包含协检验的集成软件

表 1. AT94K 系列

器件	AT94K10	AT94K20	AT94K40
FPGA 门数	10K	20K	40K
FPGA 核心单元	576	1024	2304
FPGA SRAM 位数	4096	8192	18432
FPGA 寄存器数(全部)	864	1408	2880
最多 FPGA 用户 I/O	144	192	288
可编程 SRAM 字节数	20K - 32K	20K - 32K	20K - 32K
数据 SRAM 字节数	4K - 16K	4K - 16K	4K - 16K
硬件类乘器 (8位)	有	有	有
两线串行接口	有	有	有
UART	2	2	2
看门狗定时器	有	有	有
定时器/计数器	3	3	3
实时时钟	有	有	有
典型的 AVR 吞吐量 @ 40 MHz	30 MIPS	30 MIPS	30 MIPS
工作电压	3.0 - 3.6V	3.0 - 3.6V	3.0 - 3.6V

图 1. AT94K 的结构





AT94K内嵌 AVR 核心，通过在单个时钟周期内执行指令，实现每 MHz 1 MIPS 的吞吐量以允许系统设计者优化功耗与处理速度。AVR 核心基于一个包含了丰富指令集和32个通用工作寄存器的扩展 RISC 结构。所有 32 个寄存器直接与算数逻辑单元 (ALU) 联接，在一个时钟周期内执行单条指令时允许存取两个独立的寄存器。当吞吐量达到CLK频率下的普通CISC微控制器十倍时合成的结构可更有效的编码。AVR 可操作片外SRAM。FPGA 设置 SRAM 和 AVR 指令编码SRAM 都能自动地在系统上电时使用 Atmel 的内置可编程AT17系列EEPROM 设置存储器来装载。State-of-the-art FPSLIC 设计工具 “System Designer”

是为了与FPSLIC结构协调而开发以减少用来集成微控制器开发及调试的整体时间，FPGA 开发和 放置与布线及完成系统协检验的功能集中在易于使用的软件工具中。