

MSP430X41X混合信号微控制器

- 低电压范围: 1.8 V ... 3.6 V
- 超低功耗:
 - 活动模式: 1 MHz, 2.2 V时为200 μ A
 - 待机模式: 0.7 μ A
 - 掉电模式: (RAM数据保持): 0.1 μ A
- 五种省电模式。
- 从待机到唤醒模式响应时间不超过6 μ S
- 频率锁相环: FLL+。
- 16位精简指令系统, 指令周期125ns。
- 带有三个或五个捕获/比较寄存器的16位定时器 (Timer_A)。
- 集成96段LCD驱动器。
- 片内集成比较器。
- 串行在线可编程, 无需提供外部编程电压。
- 可编程的安全熔丝代码保护措施。
- 闪烁存储器, 器件具有bootstrap程序装载器。
- 该系列产品包括:
 - MSP430F412: 4KB + 256B Flash Memory, 256B RAM;
 - MSP430F413: 8KB + 256B Flash Memory, 256B RAM;
 - MSP430F415: 16KB + 256B Flash Memory, 512B RAM;
 - MSP430F417: 32KB + 256B Flash Memory, 1KB RAM;
- 64脚QFP/QFN封装形式。

产品描述:

TI公司的MSP430系列是一个特别强调超低功耗的单片品种, 很适合应用于采用电池供电的长时间工作场合。在这个系列中有很多个型号, 它们是由一些基本功能模块按不同的应用目标组合而成。MSP430系列的CPU采用16位精简指令系统, 集成有16位寄存器和常数发生器, 发挥了最高的代码效率。它采用数字控制振荡器 (DCO), 使得从低功耗模式到唤醒模式的转换时间小于6 μ s。其中MSP430x41x 系列微控制器设计有一个16位定时器, 一个比较器, 96段LCD驱动器和48个通用I/O引脚。

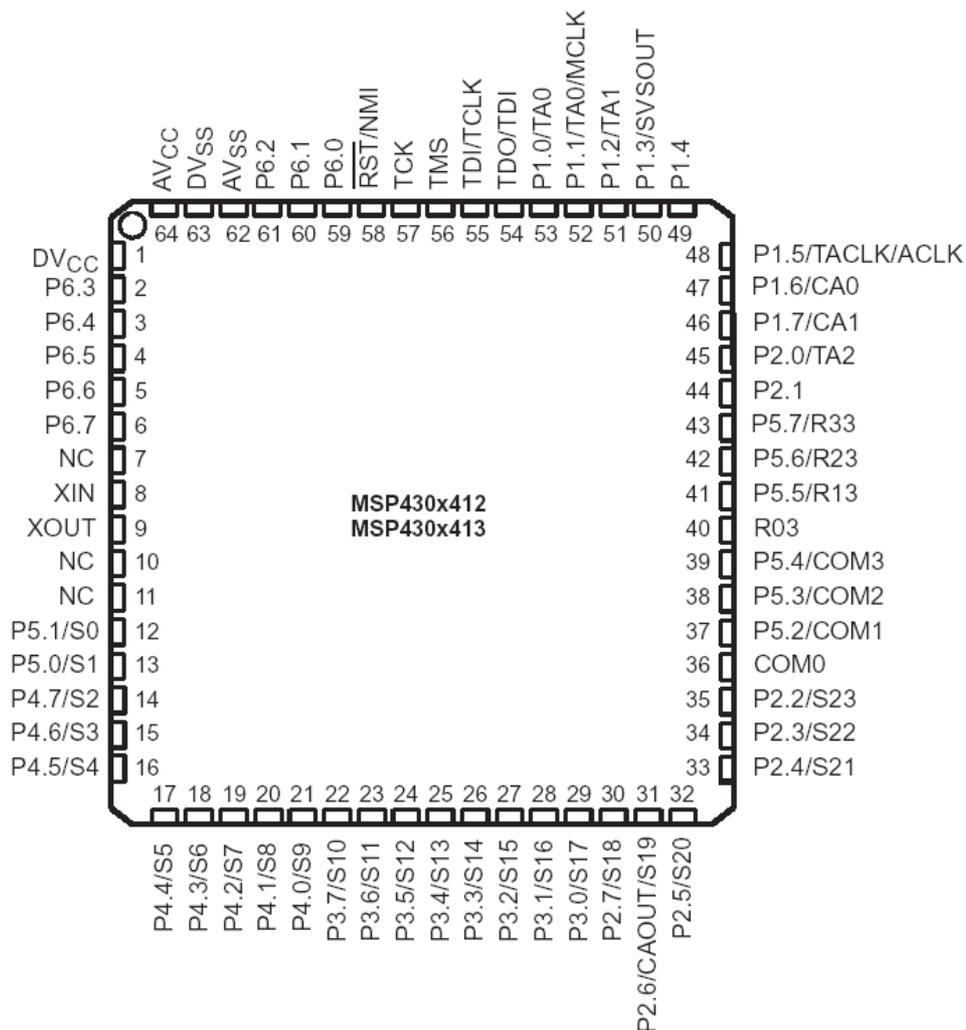
典型应用:

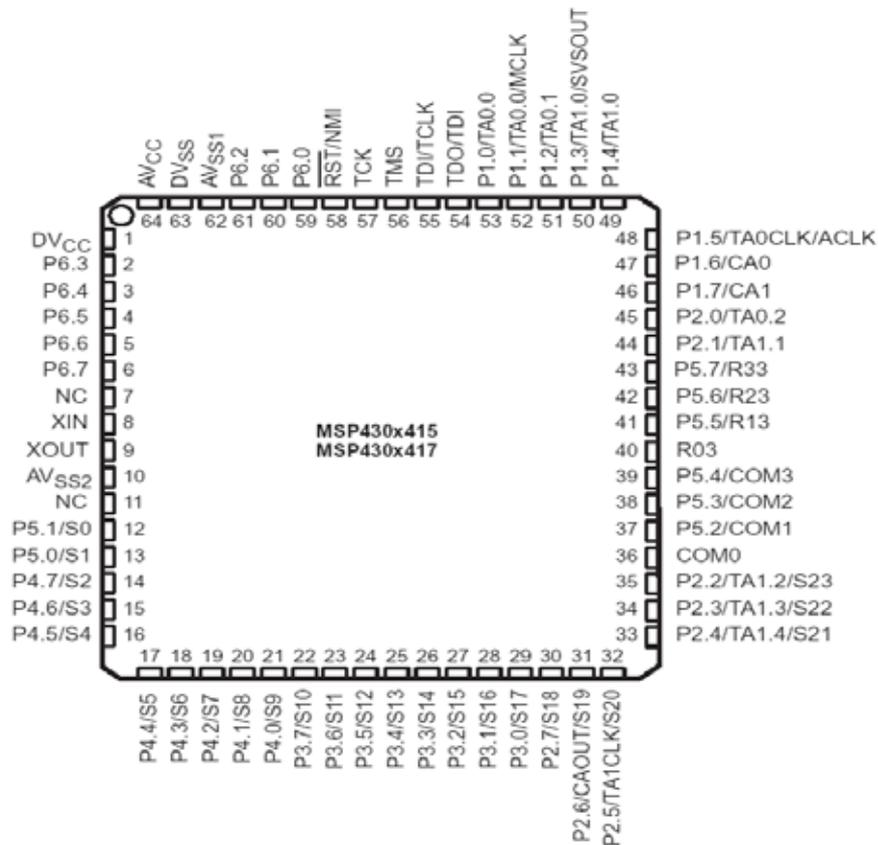
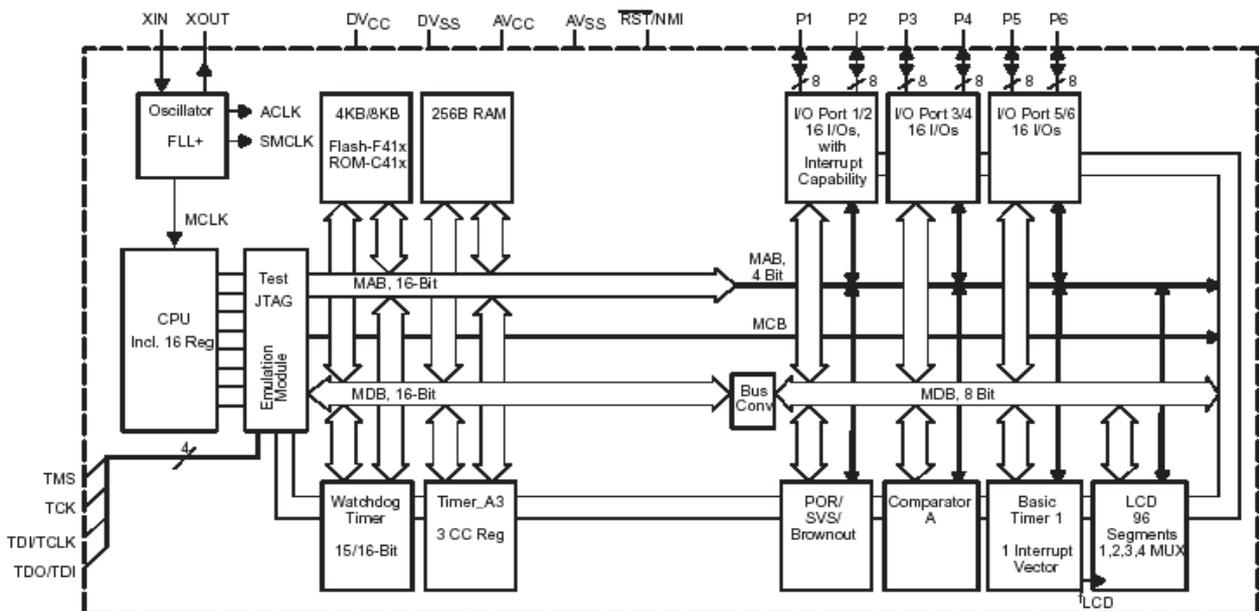
捕获传感器的模拟信号转换为数据加以处理后发送到主机。其中芯片中的比较器和定时器是工业仪表、计数装置和手持式仪表等产品设计中的理想选择。

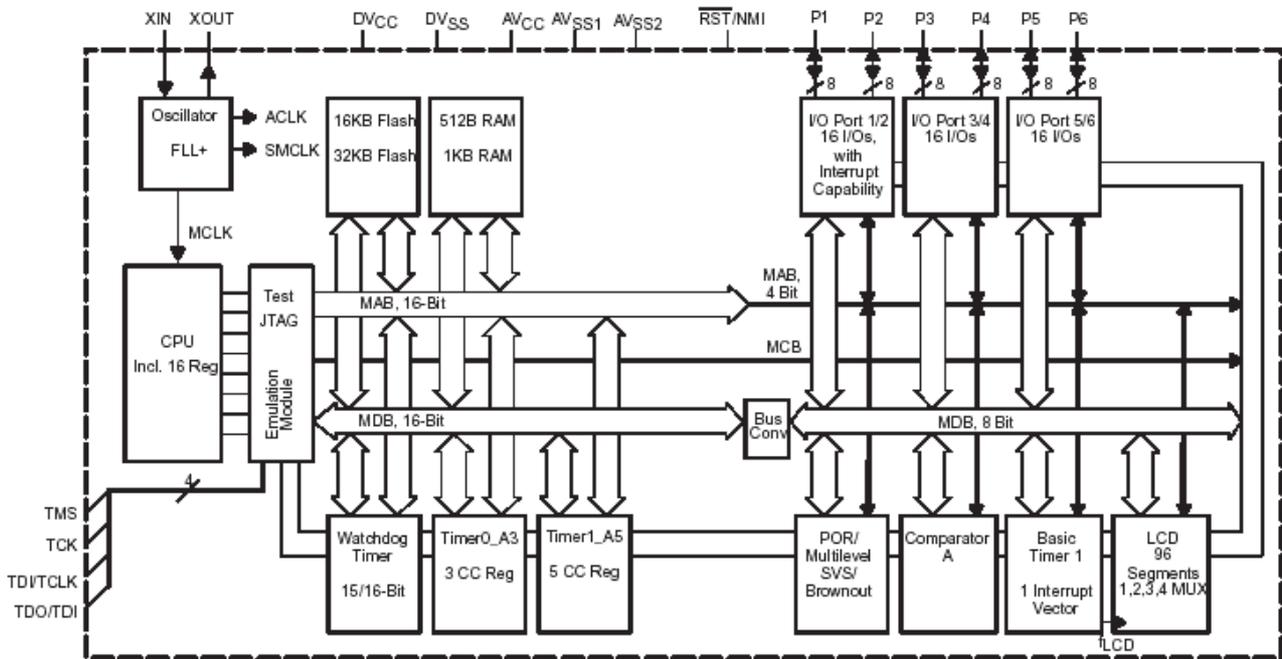
可选型号

TA	封装形式 PLASTIC 64-PIN QFP (PM)	封装形式 PLASTIC 64-PIN QFN (RTD)
-40°C—85°C	MSP430C412IPM MSP430C413IPM MSP430F412IPM MSP430F413IPM MSP430F415IPM MSP430F417IPM	MSP430C412IRTD§ MSP430C413I RTD§ MSP430F412I RTD MSP430F413I RTD MSP430F415I RTD§ MSP430F417I RTD§

MSP430X412、MSP430X413引脚定义:



MSP430X415、MSP430X417引脚定义:

MSP430x412、MSP430x413功能模块图如下:


MSP430x415、MSP430x417功能模块图如下:

MSP430x412、MSP430x413引脚功能

引脚名称	编号	I/O	描述
AVCC	64		模拟正电源端, 向电压检测电路, brownout, 晶体震荡电路, 锁频环电路, 比较器 A, 端口 1, 以及液晶分压电阻网络供电, 上电不必早于 DVCC.
AVSS	62		内部连接于 DVSS
DVCC	1		数字正电源端, 提供所有部件电源 (由 AVCC 供电的除外)
DVSS	63		数字地, 所有部件的接地 (通过 AVCC/AVSS 供电的除外)
NC	7, 10, 11		空脚
P1.0/TA0	53	I/O	通用数字 I/O/定时器_A. 捕获方式: CCI0A 输入, 比较方式: Out0 输出
P1.1/TA0/MCLK	52	I/O	通用数字 I/O/定时器_A. 捕获方式: CCI0B 输入/MCLK 输出, 注意: 在这个引脚上, TA0 只能输入,
P1.2/TA1	51	I/O	捕获方式: CCI1A 输入, 比较方式: Out1 输出
P1.3/SVSSOut	50	I/O	通用数字 I/O/SVS: SVS 比较器的输出端
P1.4	49	I/O	通用数字 I/O
P1.5/TACLK/ ACLK	48	I/O	通用数字 I/O/定时器 A 输入时钟/ ACLK 输出
P1.6/CA0	47	I/O	通用数字 I/O/比较器 A 输入脚
P1.7/CA1	46	I/O	通用数字 I/O/比较器 A 输入脚
P2.0/TA2	45	I/O	通用数字 I/O/定时器_A. 捕获方式: CCI2A 输入, 比较方式: Out2 输出
P2.1	44	I/O	通用数字 I/O
P2.2/S23	35	I/O	通用数字 I/O/LCD 段 23 输出脚 (见注 1)
P2.3/S22	34	I/O	通用数字 I/O/LCD 段 22 输出脚 (见注 1)
P2.4/S21	33	I/O	通用数字 I/O/LCD 段 21 输出脚 (见注 1)
P2.5/S20	32	I/O	通用数字 I/O/LCD 段 20 输出脚 (见注 1)
P2.6/CAOUT/S19	31	I/O	通用数字 I/O/比较器 A 输出/LCD 段 19 输出脚 (见注 1)
P2.7/S18	30	I/O	通用数字 I/O/LCD 段 18 输出脚 (见注 1)
P3.0/S17	29	I/O	通用数字 I/O/LCD 段 17 输出脚 (见注 1)
P3.1/S16	28	I/O	通用数字 I/O/LCD 段 16 输出脚 (见注 1)
P3.2/S15	27	I/O	通用数字 I/O/LCD 段 15 输出脚 (见注 1)

P3.3/S14	26	I/O	通用数字 I/O/LCD 段 14 输出脚 (见注 1)
P3.4/S13	25	I/O	通用数字 I/O/LCD 段 13 输出脚 (见注 1)
P3.5/S12	24	I/O	通用数字 I/O/LCD 段 12 输出脚 (见注 1)
P3.6/S11	23	I/O	通用数字 I/O/LCD 段 11 输出脚 (见注 1)
P3.7/S10	22	I/O	通用数字 I/O/LCD 段 10 输出脚 (见注 1)
P4.0/S9	21	I/O	通用数字 I/O/LCD 段 9 输出脚 (见注 1)
P4.1/S8	20	I/O	通用数字 I/O/LCD 段 8 脚 (见注 1)
P4.2/S7	19	I/O	通用数字 I/O/LCD 段 7 输出脚 (见注 1)
P4.3/S6	18	I/O	通用数字 I/O/LCD 段 6 输出脚 (见注 1)
P4.4/S5	17	I/O	通用数字 I/O/LCD 段 5 输出脚 (见注 1)
P4.5/S4	16	I/O	通用数字 I/O/LCD 段 4 输出脚 (见注 1)
P4.6/S3	15	I/O	通用数字 I/O/LCD 段 3 输出脚 (见注 1)
P4.7/S2	14	I/O	通用数字 I/O/LCD 段 2 输出脚 (见注 1)
P5.0/S1	13	I/O	通用数字 I/O/LCD 段 1 输出脚 (见注 1)
P5.1/S0	12	I/O	通用数字 I/O/LCD 段 0 输出脚 (见注 1)
COM0	36	O	LCD 公共输出端 COM0.
P5.2/COM1	37	I/O	通用数字 I/O/ LCD 公共输出端 COM1
P5.3/COM2	38	I/O	通用数字 I/O/ LCD 公共输出端 COM2
P5.4/COM3	39	I/O	通用数字 I/O/ LCD 公共输出端 COM3
R03	40	I	LCD 模拟电平第四极输入脚(最低电平 V5)
P5.5/R13	41	I/O	通用数字 I/O/ LCD 模拟电平第三极输入脚(最低电平 V3 或 V4)
P5.6/R23	42	I/O	通用数字 I/O/ LCD 模拟电平第二极输入脚(最低电平 V2)
P5.7/R33	43	I/O	通用数字 I/O/ LCD 模拟电平第一极输入脚(最低电平 V1)
P6.0	59	I/O	通用数字 I/O 脚
P6.1	60	I/O	通用数字 I/O 脚
P6.2	61	I/O	通用数字 I/O 脚
P6.3	2	I/O	通用数字 I/O 脚
P6.4	3	I/O	通用数字 I/O 脚
P6.5	4	I/O	通用数字 I/O 脚
P6.6	5	I/O	通用数字 I/O 脚
P6.7	6	I/O	通用数字 I/O 脚
RST/NMI	58	I	复位输入脚或非屏蔽终端输入端
TCK	57	I	测试时钟. TCK 是芯片编程和测试的时钟输入脚
TDI	55	I	测试数据输入. TDI 用作数据输入. 芯片的保护熔丝与 TDI 相连.
TDO/TDI	54	I/O	测试数据输出. TDO/TDI 做为数据输出或编程数据输入端
TMS	56	I	测试模式选择. TMS 在芯片编程和测试时是输入脚
XIN	8	I	晶体振荡器 XT1 输入脚. 可以连接标准晶体或晶体振荡器.
XOUT/TCLK	9	I/O	晶体振荡器 XT1 输入脚.或测试时钟输入脚

注1: 当LCD模块控制位置, 不需要 PxSEL位设置, LCD 功能将自动被选择。

MSP430X415、MSP430X417引脚功能

引脚名称	编号	I/O	描述
AVCC	64		模拟正电源端, 向电压检测电路, brownout, 晶体震荡电路, 锁频环电路, 比较器 A, 端口 1, 以及液晶分压电阻网络供电, 上电不必早于 DVCC.
AVSS1	62		内部连接于 DVSS
DVCC	1		数字正电源端, 提供所有部件电源 (由 AVCC 供电的除外)
DVSS	63		数字地, 所有部件的接地 (通过 AVCC/AVSS.供电的除外)
AVSS2	10		内部连接于 DVSS
NC	7, 11		空脚
P1.0/TA0.0	53	I/O	通用数字 I/O/定时器_A. 捕获方式: CCI0A 输入, 比较方式: Out0 输出
P1.1/TA0.0/MCLK	52	I/O	通用数字 I/O/定时器_A. 捕获方式: CCI0B 输入/MCLK 输出, 注意: 在这个引脚上, TA0 只能输入,
P1.2/TA0.1	51	I/O	捕获方式: CCI1A 输入, 比较方式: Out1 输出
P1.3/SVSSOut	50	I/O	通用数字 I/O/SVS: SVS 比较器的输出端
P1.4/TA1.0	49	I/O	通用数字 I/O, CC10A 输入, OUT0 输出
P1.5/TA0CLK/ ACLK	48	I/O	通用数字 I/O /定时器 A 输入时钟/ ACLK 输出

P1.6/CA0	47	I/O	通用数字 I/O/比较器 A 输入脚
P1.7/CA1	46	I/O	通用数字 I/O/比较器 A 输入脚
P2.0/TA0.2	45	I/O	通用数字 I/O/定时器_A. 捕获方式: CCI2A 输入, 比较方式: Out2 输出
P2.1/TA1.1	44	I/O	通用数字 I/O/定时器_A. 捕获方式: CCI1A 输入, 比较方式: Out1 输出
P2.2/TA1.2/S23	35	I/O	通用数字 I/O/定时器_A. 捕获方式: CCI2A 输入, 比较方式: Out2 输出 /LCD 段 23 输出脚 (见注 1)
P2.3/TA1.3/S22	34	I/O	通用数字 I/O/定时器_A. 捕获方式: CCI3A 输入, 比较方式: Out3 输出 /LCD 段 22 输出脚 (见注 1)
P2.4/TA1.4/S21	33	I/O	通用数字 I/O//定时器_A. 捕获方式: CCI4A 输入, 比较方式: Out4 输出 LCD 段 21 输出脚 (见注 1)
P2.5/TA1CLK/S20	32	I/O	通用数字 I/O/定时器_A 输入 LCD 段 20 输出脚 (见注 1)
P2.6/CAOUT/S19	31	I/O	通用数字 I/O/比较器 A 输出/LCD 段 19 输出脚 (见注 1)
P2.7/S18	30	I/O	通用数字 I/O/LCD 段 18 输出脚 (见注 1)
P3.0/S17	29	I/O	通用数字 I/O/LCD 段 17 输出脚 (见注 1)
P3.1/S16	28	I/O	通用数字 I/O/LCD 段 16 输出脚 (见注 1)
P3.2/S15	27	I/O	通用数字 I/O/LCD 段 15 输出脚 (见注 1)
P3.3/S14	26	I/O	通用数字 I/O/LCD 段 14 输出脚 (见注 1)
P3.4/S13	25	I/O	通用数字 I/O/LCD 段 13 输出脚 (见注 1)
P3.5/S12	24	I/O	通用数字 I/O/LCD 段 12 输出脚 (见注 1)
P3.6/S11	23	I/O	通用数字 I/O/LCD 段 11 输出脚 (见注 1)
P3.7/S10	22	I/O	通用数字 I/O/LCD 段 10 输出脚 (见注 1)
P4.0/S9	21	I/O	通用数字 I/O/LCD 段 9 出脚 (见注 1)
P4.1/S8	20	I/O	通用数字 I/O/LCD 段 8 脚 (见注 1)
P4.2/S7	19	I/O	通用数字 I/O/LCD 段 7 出脚 (见注 1)
P4.3/S6	18	I/O	通用数字 I/O/LCD 段 6 出脚 (见注 1)
P4.4/S5	17	/O	通用数字 I/O/LCD 段 5 出脚 (见注 1)
P4.5/S4	16	I/O	通用数字 I/O/LCD 段 4 出脚 (见注 1)
P4.6/S3	15	I/O	通用数字 I/O/LCD 段 3 输出脚 (见注 1)
P4.7/S2	14	I/O	通用数字 I/O/LCD 段 2 输出脚 (见注 1)
P5.0/S1	13	I/O	通用数字 I/O/LCD 段 1 输出脚 (见注 1)
P5.1/S0	12	I/O	通用数字 I/O/LCD 段 0 输出脚 (见注 1)
COM0	36	O	LCD 公共输出端 COM0-3.
P5.2/COM1	37	I/O	通用数字 I/O/ LCD 公共输出端 COM1
P5.3/COM2	38	I/O	通用数字 I/O/ LCD 公共输出端 COM2
P5.4/COM3	39	I/O	通用数字 I/O/ LCD 公共输出端 COM3
R03	40	I	LCD 模拟电平第四极输入脚(最低电平 V5)
P5.5/R13	41	I/O	通用数字 I/O/ LCD 模拟电平第三极输入脚(最低电平 V3 或 V4)
P5.6/R23	42	I/O	通用数字 I/O/ LCD 模拟电平第二极输入脚(最低电平 V2)
P5.7/R33	43	I/O	通用数字 I/O/ LCD 模拟电平第一极输入脚(最低电平 V1)
P6.0	59	I/O	通用数字 I/O 脚
P6.1	60	I/O	通用数字 I/O 脚
P6.2	61	I/O	通用数字 I/O 脚
P6.3	2	I/O	通用数字 I/O 脚
P6.4	3	I/O	通用数字 I/O 脚
P6.5	4	I/O	通用数字 I/O 脚
P6.6	5	I/O	通用数字 I/O 脚
P6.7/SVSIN	6	I/O	通用数字 I/O 脚, 数字输出
RST/NMI	58	I	复位输入脚或非屏蔽终端输入端
TCK	57	I	测试时钟. TCK 是芯片编程和测试的时钟输入脚
TDI /TCLK	55	I	测试数据输入. TDI 用作数据输入. 芯片的保护熔丝与 TDI 相连.
TDO/TDI	54	I/O	测试数据输出. TDO/TDI 做为数据输出或编程数据输入端
TMS	56	I	测试模式选择. TMS 在芯片编程和测试时是输入脚
XIN	8	I	晶体振荡器 XT1 输入脚. 可以连接标准晶体或晶体振荡器.
XOUT/TCLK	9	I/O	晶体振荡器 XT1 输入脚.或测试时钟输入脚

简介:

CPU

MSP430 CPU具有一个16位的精简指令计算机结构,对应用是高度透明的。所有的操作,除了程序流程指令,都是通过源操作数的7种寻址模式和目标操作数的四种寻址模式的组合对寄存器操作进行的。

CPU集成了16个寄存器,减小了指令执行时间。寄存器到寄存器操作的执行时间是一个CPU周期。其中4个寄存器用作特殊用途:一个是程序计数器,一个堆栈指针,一个状态寄存器和一个常数发生器。其余寄存器都可以用作通用寄存器。外围模块通过数据、地址和控制总线与CPU相连。通过所有存储器操作指令可以很容易的对它们进行控制。

程序计数器	PC/R0
堆栈指针	SP/R1
状态寄存器	SR/CG1/R2
常数发生器	CG2/R3
通用寄存器	R4
通用寄存器	R5
通用寄存器	R14
通用寄存器	R15

指令集

采用寄存器—寄存器结构的指令体系,提供一种非常强大易用的汇编语言。整个指令集由51条指令构成,具有三种格式和七种寻址方式

表1 总结了三种指令格式并举例,寻址方式见表2

表1 指令字格式

双操作数:源—目的	Eg ADD R4,R5	R4+R5→R5
单操作数:目的	Eg CALL R8	PC→(TOS),R8→PC
相对转移(条件/无条件)	Eg JNE	当位为0时跳转

每一条指令是字操作指令还是字节操作指令由后缀“B”决定

例: 字操作

```
MOV EDE,TONI
ADD #235h,&MEM
PUSH R5
SWPB R5
```

字节操作

```
MOV.B EDE,TONI
ADD.B #35h,&MEM
PUSH.B R5
```

表2: 寻址方式描述

寻址方式	S	D	语 法	例 子	操 作
寄存器寻址	√	√	MOV RS, RD	MOV R10,R11	R10→R11
相对寻址	√	√	MOV X(Rn),Y(Rm)	MOV2(R5),6(R6)	M(2+R5)→M(6+R6)
符号(PC相对)寻址	√	√	MOV EDE,TONI		M(EDE)→M(TONI)
绝对寻址	√	√	MOV &MEM,&TCDAT		M(MEM)→M(TCDAT)
间接寻址	√		MOV @Rn,Y(Rm)	MOV @R10,Tab(R6)	M(R10)→M(TAB+R6)
间接变址寻址	√		MOV @Rn+Rm	MOV @R10+,R11	M(R10)→R11 R10+2→R10
立即寻址	√		MOV #X,TONI	MOV #45,TONI	#45→M(TONI)

通过计算进行转移(BR)和子程序调用(CALL)指令采用和其他指令相同的寻址方式。由于这些寻址方式提供了间接寻址方法,非常适合通过计算地址来实现分支跳转和子程序调用。这种编程能力实现了一种不同于传统8位或16位控制器的程序结构。例如,可以很容易地解决多程序调用中的指针和堆栈问题,而不必通过设置大量程序标志来进行流程控制。

工作方式:

通过对不同模块操作模式和CPU状态的智能化管理, MSP430 芯片的工作方式可以适应多种超低电压和超低功耗的需求, 即便在中断处理期间也一样。一个中断事件可以把系统从各种低功耗方式唤醒并且通过RETI指令返回到中断以前的工作状态。系统适用的时钟信号有ACLK和MCLK。ACLK 就是晶振的频率信号, MCLK 和 SMCLK 是ACLK的倍频信号, 作为系统和子系统时钟。

MSP430支持下列六种运行模式:

- 活动模式AM: 可由软件设定, 所有的时钟都是活动的。

- 低功耗模式0 (LPM0):

CPU关闭

ACLK和SMCLK信号保持活动,

MCLK可用于模块, FLL+锁相环保持活动。

- 低功耗模式1 (LPM1):

CPU关闭

MCLK可用于模块, FLL+锁相环保持关闭。

- 低功耗模式2 (LPM2):

CPU关闭

ACLK保持活动,

MCLK和FLL+锁相环、DCO被禁止

- 低功耗模式3 (LPM3):

CPU关闭

ACLK保持活动

MCLK和FLL+锁相环、DCO、DCOCLK被关闭

- 低功耗模式4 (LPM4):

CPU关闭

ACLK信号关闭 (晶振停止)

MCLK、FLL+锁相环和DCOCLK被禁止, DCO的DC发生器被禁止

不同的运行模式由软件控制内部时钟系统运行来控制。时钟系统通过硬件和软件的大量组合达到应用的最低功耗和成本优化:

中断向量地址:

中断向量和上电起始地址位于ROM中的0FFFFh – 0FFE0h范围内。向量中包含各种中断处理程序的16位入口地址。

中断源	中断标志	系统中断	字地址	优先级
上电 外部复位 看门狗 闪烁存储器	WDTIFG KEYV (注释2)	RESET	0FFFEh	15,最高
NMI 振荡器错误 非法访问Flash ROM 存储器	NMIIFG (注释2&4) OFIFG (注释2&4) ACCVIFG (注释2&4)	(非)可屏蔽 (非)可屏蔽 (非)可屏蔽	0FFFCh	14
			0FFFAh	13
			0FFF8h	12
比较器 A	CMPAIFG	可屏蔽	0FFF6h	11
看门狗定时器	WDTIFG		0FFF4h	10
			0FFF2h	9
			0FFF0h	8
			0FFEEh	7
TIMER_A3	CCIFG0 (注释3)	可屏蔽	0FFECCh	6
TIMER_A3	CCIFG1,CCIFG2 TAIFG (注释2&3)	可屏蔽	0FFEAh	5
I/O口 P1 (8位标志:)	P1IFG.0 (注释2&3) P1IFG.7 (注释2&3)	可屏蔽	0FFE8h	4
			0FFE6h	3
			0FFE4h	2
I/O口 P2 (8位标志:)	P2IFG.0 (注释2&3) P2IFG.7 (注释2&3)	可屏蔽	0FFE2h	1
BASIC TIMER 1	BTIFG	可屏蔽	0FFE0h	0,最低

注释1: 多源标志;

注释2: 中断标志位于模块内部;

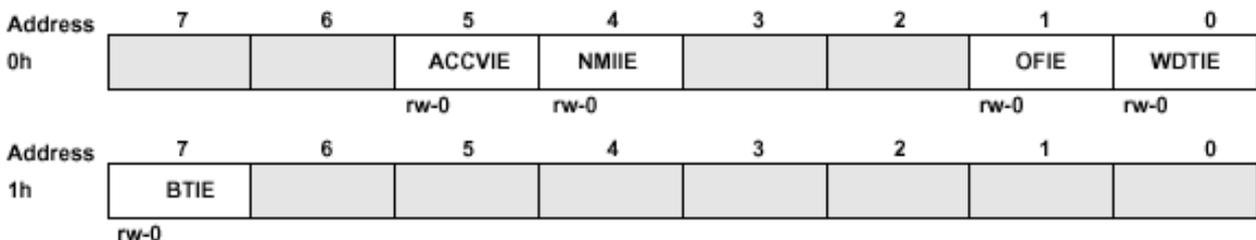
注释3: (非)可屏蔽中断: 单独的中断允许位可以禁止单一中断, 但总中断允许位不行。

注释4: 只执行MSP430X415和MSP430X417

特殊功能寄存器:

大多数中断和模块的使能位被集中于最低地址空间, 没有分配功能用途的特殊功能寄存器位在物理上并不存在于器件中。这种安排提供简单的软件访问。

中断使能寄存器1和2



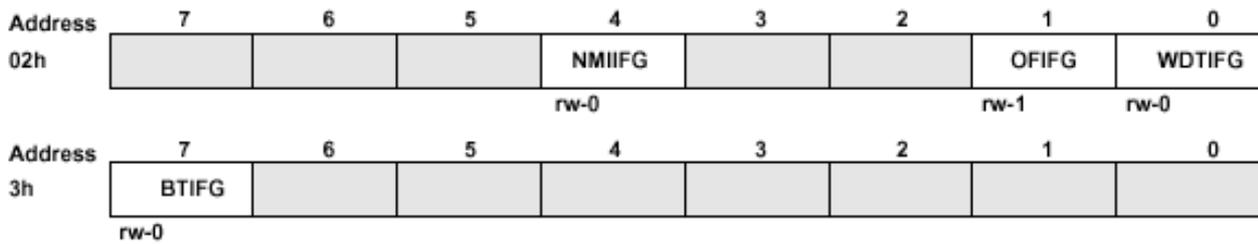
WDTIE: 看门狗定时器中断允许信号;

OFIE: 振荡器错误中断允许信号;

NMIIE: 非可屏蔽中断允许信号;

ACCVIE: (非)可屏蔽中断允许信号, 访问违例如果闪速存储器/模块忙;

BTIE: 基本定时器1中断允许信号。

中断标志寄存器1和2:


WDTIFG: 当溢出、保密密码非法、VCC上电复位或RST/NMI引脚引起复位时置1;

OFIFG: 振荡器错误时置1;

NMIIFG: 通过RST/NMI 引脚置1;

BTIFG: 基本定时器1 中断标志。

模块使能寄存器1和2


Legend: rw:

rw-0:



位可读可写

位可读可写, 可由 PUC 复位

器件中没有设置 SFR 位

存储器组织:

		MSP430F412	MSP430C412	MSP430F413	MSP430C413
存储器	大小	4KB	4KB	8KB	
中断向量	ROM	0FFFFh-0FFE0h	0FFFFh-0FFE0h	0FFFFh-0FFE0h	0FFFFh-0FFE0h
代码存储器	ROM	0FFFFh-0F000h	0FFFFh-0F000h	0FFFFh-0E000h	0FFFFh-0E000h
信息存储器	大小	256Byte 010FFh-01000h	无 无	256Byte 010FFh-01000h	无 无
引导存储器	大小	1KB 0FFFh-0C00h	无 无	1KB 0FFFh-0C00h	无 无
RAM	大小	256Byte 02FFh-0200h	256Byte 02FFh-0200h	256Byte 02FFh-0200h	256Byte 02FFh-0200h
外围模块	16-bit	01FFh-0100h	01FFh-0100h	01FFh-0100h	01FFh-0100h
	8-bit	0FFh-010h	0FFh-010h	0FFh-010h	0FFh-010h
	8-bit SFR	0Fh-00h	0Fh-00h	0Fh-00h	0Fh-00h

		MSP430F415	MSP430F417
存储器	大小	16KB	32KB
中断向量	ROM	0FFFFh-0FFE0h	0FFFFh-0FFE0h
代码存储器	ROM	0FFFFh-0E000h	0FFFFh-0E000h
信息存储器	大小	256Byte 010FFh-01000h	256Byte 010FFh-01000h
引导存储器	大小	1KB 0FFFh-0C00h	1KB 0FFFh-0C00h
RAM	大小	512Byte 03FFh-0200h	1KB 05FFh-0200h
外围模块	16-bit	01FFh-0100h	01FFh-0100h
	8-bit	0FFh-010h	0FFh-010h
	8-bit SFR	0Fh-00h	0Fh-00h

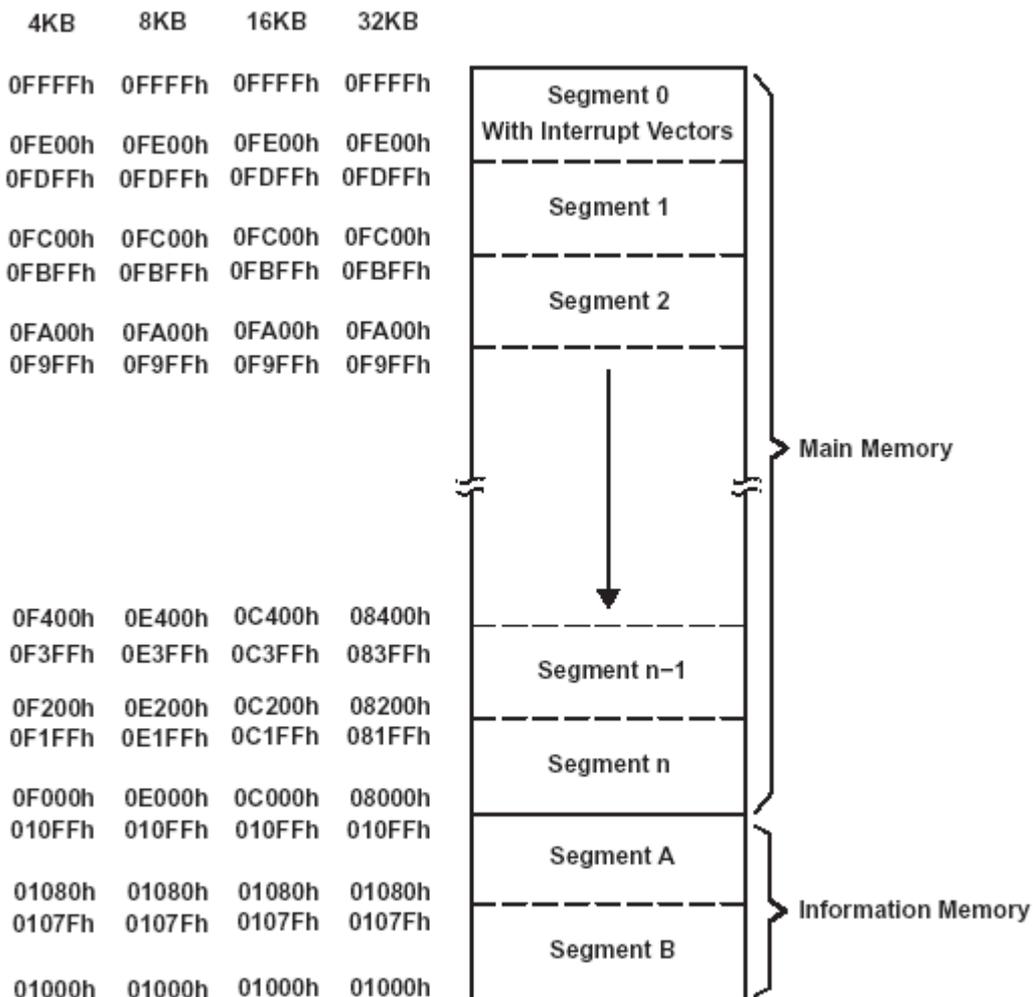
含有bootstrap装载器引导ROM

bootstrap装载器的目的是用来将数据下载到FLASH存储器模块中。在正常的下载环境, 需要进行不同的数据读、写和删除操作。详细的数据手册查看SLAAA089。

BSL Function	PM Package Pins
Data Transmit	53 - P1.0
Data Receive	52 - P1.1

Flash存储器:

- Flash存储器包括n段主存储器(每个段512字节)和2段信息存储器(A和B, 每个段128字节)。
- 段0到n可以一次性删除, 也可以每个段单独删除;
- 段A和段B可以单独删除, 或者和段0-n一起删除, 段A和段B也叫做信息存储器;
- 未经编程的新器件可能在信息存储器中存有若干字节数据(厂家生产测试所需), 建议用户在第一次使用前对信息存储器进行一次删除。



外围模块:

通过数据总线、地址总线和控制总线和cpu相连的外围模块, 可以通过所有内存操作指令进行控制。想获得更详细的数据资料, 请查看MSP430X4XX系列用户手册中的SLAU056.PDF文件。

振荡器和系统时钟:

MSP430X41X系列芯片的时钟系统支持基本时钟模块,包括支持32768Hz晶振、一个内部数字控制的振荡器(DCO)和一个高频晶体振荡器。基本时钟模块的设计是为了同时满足低成本和低功耗的要求。内部DCO可以在6微秒内快速打开时钟源并稳定。

本系统可以使用三种时钟:

- 辅助时钟(ACLK),来自32768Hz晶振或者高频晶振。
- 主时钟(MCLK),CPU使用的主时钟。
- 次主时钟(SMCLK),有外围模块使用的子系统时钟。
- ACLK/n,ACLK,ACLK/2,ACLK/4或者ACLK/8的缓冲输出。

上电电路, 供电电压管理器

上电电路是在上电和掉电时用于为芯片提供正确的内部复位信号。供电电压管理(SVS)电路检测供电电压是否下降到混合水平或者用户选择的电压以下(仅支持MSP430X415和MSP430X417),同时支持供电电压管理(芯片自动复位)和监测(SVM,芯片不自动复位)。

CPU在上电电路释放芯片复位后开始代码执行。不过Vcc不能下降到Vcc(min)。用户必须确保缺省的FLL+设定不会改变直至Vcc到达Vcc(min)。如果愿意,SVS电路可以用于监测Vcc何时到达Vcc(min)。

数字I/O

MSP430中有6个I/O端口—端口P1到P6:

- 所有I/O位可以独立编程
- 任何输入、输出和中断条件的组合都是可能的
- P1、P2端口的所有8位可以选择边缘中断输入
- 所有指令支持对端口控制寄存器的读/写

基本定时器1

基本定时器1有两个独立的8位定时器,可以组合在一起构成一个16位定时器/计数器。两个定时器都可通过软件读写。基本定时器1可以用来产生周期性中断和LCD模块所需的时序信号。

LCD驱动器

LCD驱动器产生驱动LCD显示器所需的公共端和段信号。LCD控制器使用专用数据存储器来保持段驱动信号。他可以产生静态、2-MUX、3-MUX、4-MUX LCD模式的公共端和段信号。

看门狗定时器

看门狗定时器模块(WDT)的主要功能是在发生软件问题后进行控制系统的重启。如果选定的时间间隔溢出,系统产生复位。如果看门狗功能在应用中不需要,这个模块可以配置为间隔定时器在选定的时间间隔产生中断。

比较器A

比较器A模块的主要功能是支持精密的斜坡模拟/数字转换、电池电压管理和外部模拟信号的检测。

定时器-A3/或定时器0-A3

定时器-A3/或定时器0-A3是一个带有3个捕获/比较寄存器的16位定时器/计数器。定时器-A3/或定时器0-A3可以支持多个捕获/比较、PWM输出和内部时序。定时器-A3/或定时器0-A3也具有扩展中断能力。中断可以由计数器溢出条件或者每个捕获/比较寄存器产生。

Timer_A3/Timer0_A3 Signal Connections					
Input Pin Number	Device Input Signal	Module Input Name	Module Block	Module Output Signal	Output Pin Number
48 - P1.5	TACLK/TA0CLK	TACLK	Timer	NA	
	ACLK	ACLK			
	SMCLK	SMCLK			
48 - P1.5	TACLK/TA0CLK	INCLK			
53 - P1.0	TA0/TA0.0	CCI0A	CCR0	TA0/TA0.0	53 - P1.0
52 - P1.1	TA0/TA0.0	CCI0B			
	DVSS	GND			
	DVCC	VCC			
51 - P1.2	TA1/TA0.1	CCI1A	CCR1	TA1/TA0.1	51 - P1.2
	CAOUT (internal)	CCI1B			
	DVSS	GND			
	DVCC	VCC			
45 - P2.0	TA2/TA0.2	CCI2A	CCR2	TA2/TA0.2	45 - P2.0
	ACLK (internal)	CCI2B			
	DVSS	GND			
	DVCC	VCC			

定时器1-A5(仅对MSP430X415/X417)

定时器1-A5是一个带有7个捕获/比较寄存器的16位定时器/计数器。定时器1-A5可以支持多个捕获/比较、PWM输出和内部时序。定时器1-A5也具有扩展中断能力。中断可以由计数器溢出条件或者每个捕获/比较寄存器产生。

Timer1_A5 Signal Connections					
Input Pin Number	Device Input Signal	Module Input Name	Module Block	Module Output Signal	Output Pin Number
32 - P2.5	TA1CLK	TACLK	Timer	NA	
	ACLK	ACLK			
	SMCLK	SMCLK			
32 - P2.5	TA1CLK	INCLK			
49 - P1.4	TA1.0	CCI0A	CCR0	TA1.0	49 - P1.4
50 - P1.3	TA1.0	CCI0B			
	DVSS	GND			
	DVCC	VCC			
44 - P2.1	TA1.1	CCI1A	CCR1	TA1.1	44 - P2.1
	CAOUT (internal)	CCI1B			
	DVSS	GND			
	DVCC	VCC			
35 - P2.2	TA1.2	CCI2A	CCR2	TA1.2	35 - P2.2
	Not Connected	CCI2B			
	DVSS	GND			
	DVCC	VCC			
34 - P2.3	TA1.3	CCI3A	CCR3	TA1.3	34 - P2.3
	Not Connected	CCI3B			
	DVSS	GND			
	DVCC	VCC			
33 - P2.4	TA1.4	CCI4A	CCR4	TA1.4	33 - P2.4
	Not Connected	CCI4B			
	DVSS	GND			
	DVCC	VCC			

外围模块布局

PERIPHERALS WITH WORD ACCESS			
Watchdog	Watchdog Timer control	WDTCTL	0120h
Timer1_A5 (MSP430x415 and MSP430x417 only)	Timer1_A interrupt vector	TA1IV	011Eh
	Timer1_A control	TA1CTL	0180h
	Capture/compare control 0	TA1CCTL0	0182h
	Capture/compare control 1	TA1CCTL1	0184h
	Capture/compare control 2	TA1CCTL2	0186h
	Capture/compare control 3	TA1CCTL3	0188h
	Capture/compare control 4	TA1CCTL4	018Ah
	Reserved		018Ch
	Reserved		018Eh
	Timer1_A register	TA1R	0190h
	Capture/compare register 0	TA1CCR0	0192h
	Capture/compare register 1	TA1CCR1	0194h
	Capture/compare register 2	TA1CCR2	0196h
	Capture/compare register 3	TA1CCR3	0198h
	Capture/compare register 4	TA1CCR4	019Ah
	Reserved		019Ch
	Reserved		019Eh
Timer_A3/Timer0_A3	Timer_A/Timer0_A interrupt vector	TAIV/TA0IV	012Eh
	Timer_A/Timer0_A control	TACTL/TA0CTL	0160h
	Capture/compare control 0	TACCTL0/TA0CCTL0	0162h
	Capture/compare control 1	TACCTL1/TA0CCTL1	0164h
	Capture/compare control 2	TACCTL2/TA0CCTL2	0166h
	Reserved		0168h
	Reserved		016Ah
	Reserved		016Ch
	Reserved		016Eh
	Timer_A/Timer0_A register	TAR/TA0R	0170h
	Capture/compare register 0	TACCR0/TA0CCR0	0172h
	Capture/compare register 1	TACCR1/TA0CCR1	0174h
	Capture/compare register 2	TACCR2/TA0CCR2	0176h
	Reserved		0178h
	Reserved		017Ah
Reserved		017Ch	
Reserved		017Eh	
Flash	Flash control 3	FCTL3	012Ch
	Flash control 2	FCTL2	012Ah
	Flash control 1	FCTL1	0128h

PERIPHERALS WITH BYTE ACCESS			
LCD	LCD memory 20	LCDM20	0A4h
	:	:	:
	LCD memory 16	LCDM16	0A0h
	LCD memory 15	LCDM15	09Fh
	:	:	:
	LCD memory 1	LCDM1	091h
	LCD control and mode	LCDCTL	090h
Comparator_A	Comparator_A port disable	CAPD	05Bh
	Comparator_A control2	CACTL2	05Ah
	Comparator_A control1	CACTL1	059h
Brownout, SVS	SVS control register	SVSCTL	056h
FLL+ Clock	FLL+ Control1	FLL_CTL1	054h
	FLL+ Control0	FLL_CTL0	053h
	System clock frequency control	SCFQCTL	052h
	System clock frequency integrator	SCFI1	051h
	System clock frequency integrator	SCFI0	050h
Basic Timer1	BT counter2	BTCNT2	047h
	BT counter1	BTCNT1	046h
	BT control	BTCTL	040h
Port P6	Port P6 selection	P6SEL	037h
	Port P6 direction	P6DIR	036h
	Port P6 output	P6OUT	035h
	Port P6 input	P6IN	034h
Port P5	Port P5 selection	P5SEL	033h
	Port P5 direction	P5DIR	032h
	Port P5 output	P5OUT	031h
	Port P5 input	P5IN	030h
Port P4	Port P4 selection	P4SEL	01Fh
	Port P4 direction	P4DIR	01Eh
	Port P4 output	P4OUT	01Dh
	Port P4 input	P4IN	01Ch
Port P3	Port P3 selection	P3SEL	01Bh
	Port P3 direction	P3DIR	01Ah
	Port P3 output	P3OUT	019h
	Port P3 input	P3IN	018h
Port P2	Port P2 selection	P2SEL	02Eh
	Port P2 interrupt enable	P2IE	02Dh
	Port P2 interrupt-edge select	P2IES	02Ch
	Port P2 interrupt flag	P2IFG	02Bh
	Port P2 direction	P2DIR	02Ah
	Port P2 output	P2OUT	029h
	Port P2 input	P2IN	028h

PERIPHERALS WITH BYTE ACCESS (CONTINUED)			
Port P1	Port P1 selection	P1SEL	026h
	Port P1 interrupt enable	P1IE	025h
	Port P1 interrupt-edge select	P1IES	024h
	Port P1 interrupt flag	P1IFG	023h
	Port P1 direction	P1DIR	022h
	Port P1 output	P1OUT	021h
	Port P1 input	P1IN	020h
Special Functions	SFR module enable 2	ME2	005h
	SFR module enable 1	ME1	004h
	SFR interrupt flag2	IFG2	003h
	SFR interrupt flag1	IFG1	002h
	SFR interrupt enable2	IE2	001h
	SFR interrupt enable1	IE1	000h

绝对最大额定范围:

VCC- V SS电压 : -0.3 V to + 4.1 V .

每一个引脚外加电压: -0.3 V to V CC +0.3 V

二极管电流: ±2 mA

存储温度(未编程芯片) -55°C to 150°C.

存储温度 (已编程芯片) -40°C to 85°C

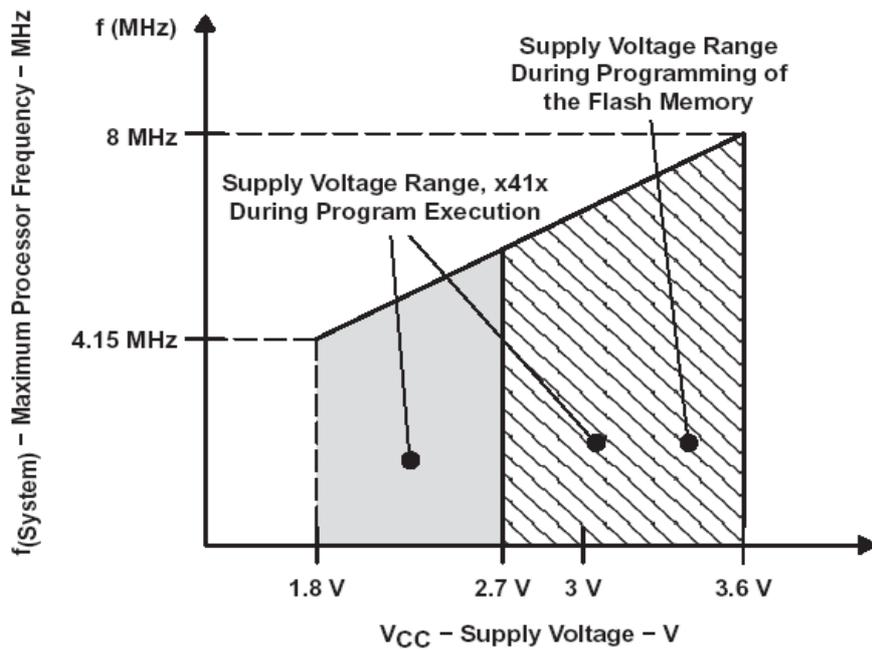
特别强调的是超过“最大额定范围”，将引起芯片永久性损坏。在最大额定条件下工作，会影响芯片的可靠性。

推荐运行条件

PARAMETER		MIN	NOM	MAX	UNITS
Supply voltage during program execution, SVS disabled VCC (AVCC = DVCC = VCC)	MSP430x41x	1.8		3.6	V
Supply voltage during program execution, SVS enabled (see Note 1), VCC (AVCC = DVCC = VCC)	MSP430x41x	2.2		3.6	V
Supply voltage during programming of flash memory, VCC (AVCC = DVCC = VCC)	MSP430F41x	2.7		3.6	V
Supply voltage, VSS (AVSS/1/2 = DVSS = VSS)		0		0	V
Operating free-air temperature range, T _A	MSP430x41x	-40		85	°C
LFXT1 crystal frequency, f(LFXT1) (see Note 2)	LF selected, XTS_FLL=0 Watch crystal		32768		Hz
	XT1 selected, XTS_FLL=1 Ceramic resonator	450		8000	kHz
	XT1 selected, XTS_FLL=1 Crystal	1000		8000	kHz
Processor frequency (signal MCLK), f _(System)	VCC = 1.8 V	DC		4.15	MHz
	VCC = 3.6 V	DC		8	

注释1: 最小的操作供电电压是通过降低供电电压直到引起POR动作的触发点电压来确定的。当供电电压上升到最小供电电压加SVS的滞后电压之上时, POR停止。

2: 处于LF模式的LFXT1振荡器要求采用一个晶体。


Figure 1. Frequency vs Supply Voltage

在推荐的供电电压和运行温度范围内时的电气特性（除非另有说明）

流入 $V_{CC}+DV_{CC}$ 的供电电流，包括外部电流

PARAMETER		TEST CONDITIONS		MIN	NOM	MAX	UNIT
$I_{(AM)}$	Active mode, $f_{(MCLK)} = f_{(SMCLK)} = 1 \text{ MHz}$, $f_{(ACLK)} = 32,768 \text{ Hz}$, $XTS_FLL = 0$ (F41x: Program executes in flash)	C41x	$V_{CC} = 2.2 \text{ V}$	160	200	μA	
			$V_{CC} = 3 \text{ V}$	240	300		
		F41x	$V_{CC} = 2.2 \text{ V}$	200	250		
			$V_{CC} = 3 \text{ V}$	300	350		
$I_{(LPM0)}$	Low-power mode, (LPM0) $f_{(MCLK)} = f_{(SMCLK)} = 0.5 \text{ MHz}$, $f_{(ACLK)} = 32,768 \text{ Hz}$, $XTS_FLL = 0$ $FN_8=FN_4=FN_3=FN_2=0$	C41x	$V_{CC} = 2.2 \text{ V}$	32	45	μA	
			$V_{CC} = 3 \text{ V}$	55	70		
$I_{(LPM0)}$	Low-power mode, (LPM0) $f_{(MCLK)} = f_{(SMCLK)} = 1 \text{ MHz}$, $f_{(ACLK)} = 32,768 \text{ Hz}$, $XTS_FLL = 0$ $FN_8=FN_4=FN_3=FN_2=0$	F41x	$V_{CC} = 2.2 \text{ V}$	57	70	μA	
			$V_{CC} = 3 \text{ V}$	92	100		
$I_{(LPM2)}$	Low-power mode, (LPM2)		$V_{CC} = 2.2 \text{ V}$	11	14	μA	
			$V_{CC} = 3 \text{ V}$	17	22		
$I_{(LPM3)}$	Low-power mode, (LPM3) (see Note 2)		$T_A = -40^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	0.95	1.4	μA
			$T_A = -10^\circ\text{C}$		0.8	1.3	
			$T_A = 25^\circ\text{C}$		0.7	1.2	
			$T_A = 60^\circ\text{C}$		0.95	1.4	
			$T_A = 85^\circ\text{C}$		1.6	2.3	
			$T_A = -40^\circ\text{C}$	$V_{CC} = 3 \text{ V}$	1.1	1.7	
			$T_A = -10^\circ\text{C}$		1.0	1.6	
			$T_A = 25^\circ\text{C}$		0.9	1.5	
			$T_A = 60^\circ\text{C}$		1.1	1.7	
			$T_A = 85^\circ\text{C}$		2.0	2.6	
$I_{(LPM4)}$	Low-power mode, (LPM4)		$T_A = -40^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	0.1	0.5	μA
			$T_A = 25^\circ\text{C}$		0.1	0.5	
			$T_A = 85^\circ\text{C}$		0.8	2.5	

注释: 所有输入连接到0 V或 V_{CC}。输出悬空。LPM2, LPM3和LPM4下的电流消耗是在基本定时器 Timer1和LCD (选择ACLK)工作时测量的。比较器A和SVS模块的消耗电流单独说明。

与系统频率相对应的活动模式下的电流消耗: (flash 型)

$$I(AM) = I(AM) [1 \text{ MHz}] \times f(\text{System}) [\text{MHz}]$$

与供电电压相对应的活动模式下的电流消耗: (flash 型)

$$I(AM) = I(AM) [3 \text{ V}] + 140\mu\text{A}/\text{V} \times (V_{CC} - 3 \text{ V})$$

推荐工作温度下电气特性(除非另外说明)

施密特触发式输入— P1, P2, P3, P4, P5和P6口;

PARAMETER		V _{CC}	MIN	TYP	MAX	UNIT
V _{IT+}	Positive-going input threshold voltage	2.2 V	1.1		1.5	V
		3 V	1.5		1.9	
V _{IT-}	Negative-going input threshold voltage	2.2 V	0.4		0.9	V
		3 V	0.9		1.3	
V _{hys}	Input voltage hysteresis (V _{IT+} - V _{IT-})	2.2 V	0.3		1.1	V
		3 V	0.45		1	

RST/NMI; JTAG: TCK, TMS, TDI, TDO

PARAMETER		V _{CC}	MIN	TYP	MAX	UNIT
V _{IL}	Low-level input voltage	2.2 V/3 V	V _{SS}		V _{SS} +0.6	V
V _{IH}	High-level input voltage		0.8×V _{CC}		V _{CC}	V

输入Px.x, Tax.x/TAx

PARAMETER	TEST CONDITIONS	V _{CC}	MIN	TYP	MAX	UNIT
t _(int)	External interrupt timing Port P1, P2: P1.x to P2.x, External trigger signal for the interrupt flag, (see Note 1)	2.2 V/3 V	1.5			cycle
		2.2 V	62			ns
		3 V	50			
t _(cap)	Timer_A, capture timing TAx/TAx.y	2.2 V	62			ns
		3 V	50			
f _(TAext)	Timer_A clock frequency externally applied to pin TAxCLK/TAxCLK, INCLK t _(H) = t _(L)	2.2 V			8	MHz
		3 V			10	
f _(TAint)	Timer_A clock frequency SMCLK or ACLK signal selected	2.2 V			8	MHz
		3 V			10	

注: 当满足最小的t_{cap}时间和参数时, 外部信号将触发捕获事件。即便捕获信号小于t_{cap}也可能触发捕获事件。为了确保正确获得16位定时器值和为标志位置位, 周期和时间必须满足这些规范。

漏电流

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	NOM	MAX	UNIT
I _{lkg} (P1.x)	Leakage current	Port P1 V _(P1.x) (see Note 2)	2.2 V/3 V			±50	nA
I _{lkg} (P6.x)		Port P6 V _(P6.x) (see Note 2)				±50	

输出-P1, P2, P3, P4, P5和P6口

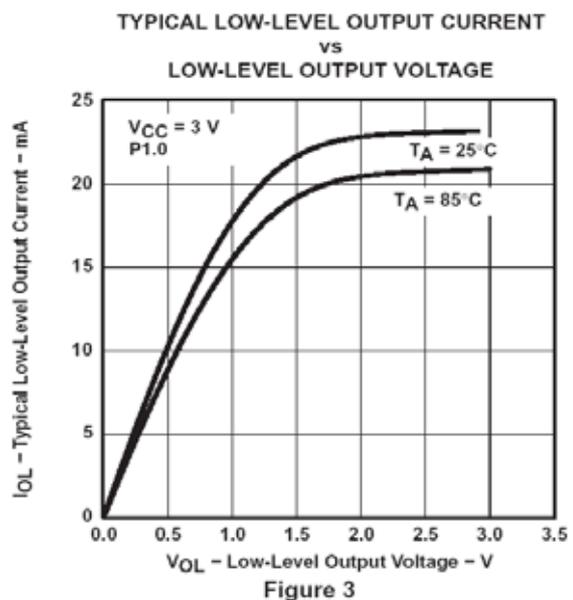
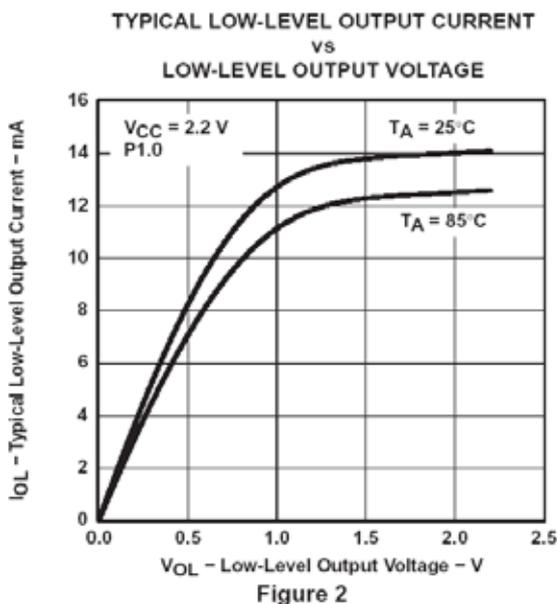
PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V _{OH} High-level output voltage	I _{OH(max)} = -1.5 mA, V _{CC} = 2.2 V, See Note 1	V _{CC} -0.25		V _{CC}	V
	I _{OH(max)} = -6 mA, V _{CC} = 2.2 V, See Note 2	V _{CC} -0.6		V _{CC}	
	I _{OH(max)} = -1.5 mA, V _{CC} = 3 V, See Note 1	V _{CC} -0.25		V _{CC}	
	I _{OH(max)} = -6 mA, V _{CC} = 3 V, See Note 2	V _{CC} -0.6		V _{CC}	
V _{OL} Low-level output voltage	I _{OL(max)} = 1.5 mA, V _{CC} = 2.2 V, See Note 1	V _{SS}		V _{SS} +0.25	V
	I _{OL(max)} = 6 mA, V _{CC} = 2.2 V, See Note 2	V _{SS}		V _{SS} +0.6	
	I _{OL(max)} = 1.5 mA, V _{CC} = 3 V, See Note 1	V _{SS}		V _{SS} +0.25	
	I _{OL(max)} = 6 mA, V _{CC} = 3 V, See Note 2	V _{SS}		V _{SS} +0.6	

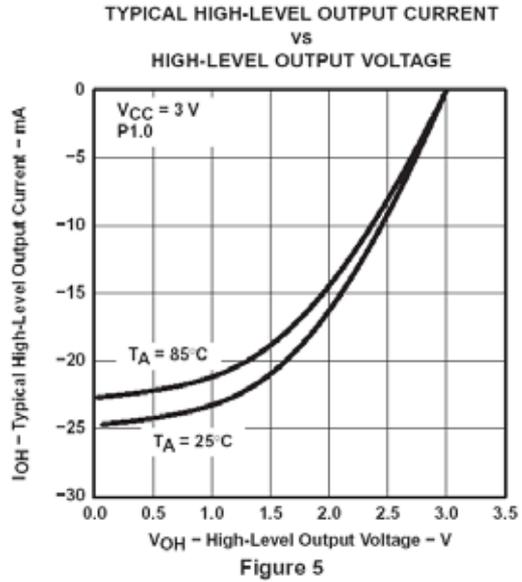
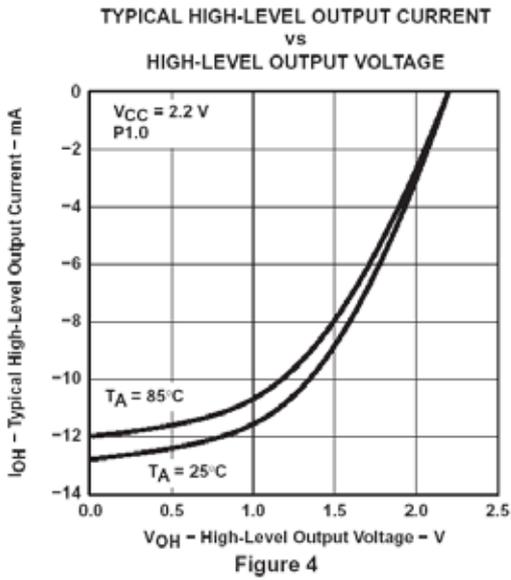
注释1: 对于所有输出组合, 最大总电流I_{OH(max)}和I_{OL(max)}不能超过±12 mA, 以便输出电压满足输出电压下降标准。

2: 对于所有输出组合, 最大总电流I_{OH(max)}和I_{OL(max)}不能超过±48 mA, 以便输出电压满足输出电压下降标准。

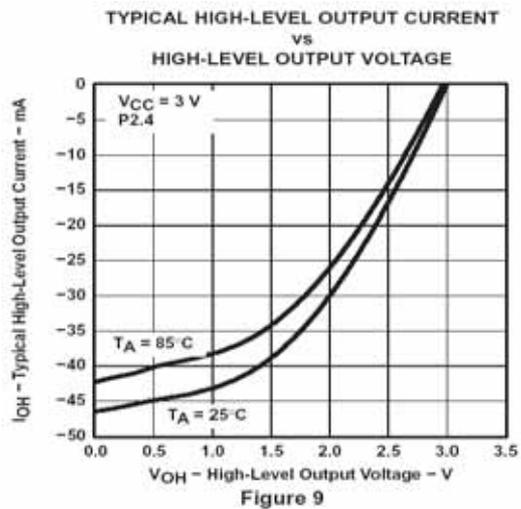
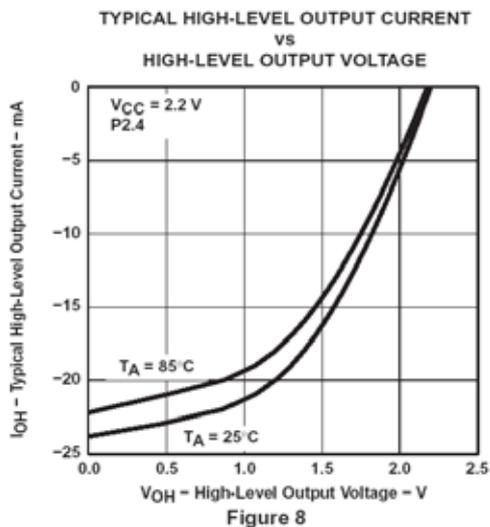
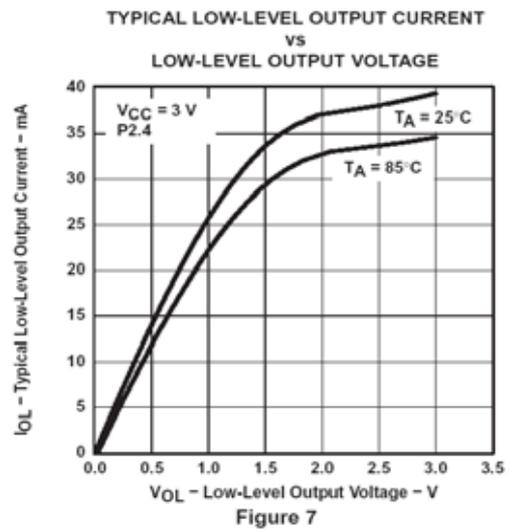
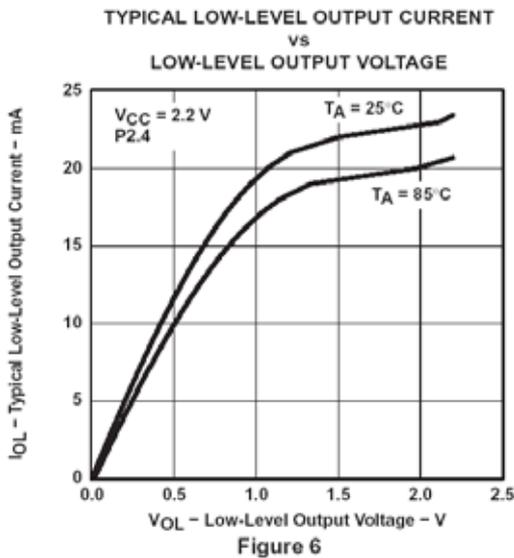
输出频率

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f _{Px,y} (1 ≤ x ≤ 6, 0 ≤ y ≤ 7)	C _L = 20 pF, I _L = ±1.5mA	V _{CC} = 2.2 V	DC	10	MHz
		V _{CC} = 3 V	DC	12	
f _{ACLK} , f _{MCLK} , f _{SMCLK}	C _L = 20 pF	V _{CC} = 2.2 V		8	MHz
		V _{CC} = 3 V		12	
t _{Xdc} Duty cycle of output frequency	P1.5/TACLK/ACLK, C _L = 20 pF V _{CC} = 2.2 V / 3 V	f _{ACLK} = f _{LFXT1} = f _{XT1}	40%	60%	
		f _{ACLK} = f _{LFXT1} = f _{LF}	30%	70%	
		f _{ACLK} = f _{LFXT1} /n		50%	
	P1.1/TA0/MCLK, C _L = 20 pF, V _{CC} = 2.2 V / 3 V	f _{MCLK} = f _{LFXT1} /n	50%- 15 ns	50%	50%+ 15 ns
f _{MCLK} = f _{DCOCLK}		50%- 15 ns	50%	50%+ 15 ns	

MSP430X412, MSP430X413 输出端口P1、P2、P3、P4、P5、和P6




MSP430X415, MSP430X417 输出端口P1、P2、P3、P4、P5、和P6



推荐工作温度下电气特性(除非另外说明) (续)
唤醒LPM3

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
$t_{(LPM3)}$ Delay time	$V_{CC} = 2.2 V/3 V$			6	μs

RAM

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
VRAMh	CPU halted (see Note 1)	1.6			V

LCD

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$V_{(33)}$	Voltage at P5.7/R33 Voltage at P5.6/R23 Voltage at P5.5/R13 Voltage at R03 $V_{CC} = 3 V$	2.5		$V_{CC} + 0.2$	V
$V_{(23)}$		$(V_{(33)} - V_{(03)}) \times 2/3 + V_{(03)}$			
$V_{(13)}$		$(V_{(33)} - V_{(03)}) \times 1/3 + V_{(03)}$			
$V_{(03)}$		$V_{(33)} - 2.5$	$V_{CC} + 0.2$		
$V_{O(HLCD)}$ Output 1	$I_{(HLCD)} \leq 10 nA$	$V_{(RSS)} + 0.125$		V_{CC}	V
$V_{O(LLCD)}$ Output 0	$I_{(LLCD)} \leq 10 nA$	V_{SS}		$V_{SS} + 0.125$	
$I_{(R03)}$	Input leakage R03 = V_{SS} P5.5/R13 = $V_{CC}/3$ P5.6/R23 = $2 \times V_{CC}/3$ $V_{CC} = 3 V$	No load at all segment and common lines,		± 20	nA
$I_{(R13)}$				± 20	
$I_{(R23)}$				± 20	
$V_{(Sxx0)}$	Segment line voltage $I_{(Sxx)} = -3 \mu A$, $V_{CC} = 3 V$	$V_{(03)}$		$V_{(03)} - 0.1$	V
$V_{(Sxx1)}$		$V_{(13)}$		$V_{(13)} - 0.1$	
$V_{(Sxx2)}$		$V_{(23)}$		$V_{(23)} - 0.1$	
$V_{(Sxx3)}$		$V_{(33)}$		$V_{(33)} + 0.1$	

比较器-A

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT	
$I_{(CC)}$	CAON = 1, CARSEL = 0, CAREF = 0	$V_{CC} = 2.2 V$	25	40	μA	
		$V_{CC} = 3 V$	45	60		
$I_{(Refladder/RefDiode)}$	CAON = 1, CARSEL = 0, CAREF = 1/2/3, No load at P1.6/CA0 and P1.7/CA1	$V_{CC} = 2.2 V$	30	50	μA	
		$V_{CC} = 3 V$	45	71		
$V_{(Ref025)}$	$\frac{\text{Voltage @ } 0.25 V_{CC} \text{ node}}{V_{CC}}$ PCA0 = 1, CARSEL = 1, CAREF = 1, No load at P1.6/CA0 and P1.7/CA1	$V_{CC} = 2.2 V / 3 V$	0.23	0.24	0.25	
$V_{(Ref050)}$	$\frac{\text{Voltage @ } 0.5 V_{CC} \text{ node}}{V_{CC}}$ PCA0 = 1, CARSEL = 1, CAREF = 2, No load at P1.6/CA0 and P1.7/CA1	$V_{CC} = 2.2 V / 3 V$	0.47	0.48	0.50	
$V_{(RefVT)}$	(see Figure 10 and Figure 11) PCA0 = 1, CARSEL = 1, CAREF = 3, No load at P1.6/CA0 and P1.7/CA1; $T_A = 85^\circ C$	$V_{CC} = 2.2 V$	390	480	540	mV
		$V_{CC} = 3.0 V$	400	490	550	
$V_{(IC)}$	Common-mode input voltage range CAON = 1	$V_{CC} = 2.2 V/3 V$	0	$V_{CC} - 1.0$	V	
$V_{(offset)}$	Offset voltage See Note 2	$V_{CC} = 2.2 V/3 V$	-30		30	mV
V_{hys}	Input hysteresis CAON = 1	$V_{CC} = 2.2 V / 3 V$	0	0.7	1.4	mV
$t_{(response LH)}$	$T_A = 25^\circ C$, Overdrive 10 mV, without filter: CAF = 0	$V_{CC} = 2.2 V$	160	210	300	ns
		$V_{CC} = 3 V$	80	150	240	
	$T_A = 25^\circ C$, Overdrive 10 mV, with filter: CAF = 1	$V_{CC} = 2.2 V$	1.4	1.9	3.4	μs
		$V_{CC} = 3 V$	0.9	1.5	2.6	
$t_{(response HL)}$	$T_A = 25^\circ C$, Overdrive 10 mV, without filter: CAF = 0	$V_{CC} = 2.2 V$	130	210	300	ns
		$V_{CC} = 3 V$	80	150	240	
	$T_A = 25^\circ C$, Overdrive 10 mV, with filter: CAF = 1	$V_{CC} = 2.2 V$	1.4	1.9	3.4	μs
		$V_{CC} = 3.0 V$	0.9	1.5	2.6	

注 1: $I_{lkg}(Px.x)$ 表示比较器端点的漏电流。

2: 通过使用CAEX位, 使比较器—A反相, 在连续测量中可以消除输入偏移电压。然后把两个连续的测量值加在一起。

推荐工作温度下电气特性(除非另外说明) (续)

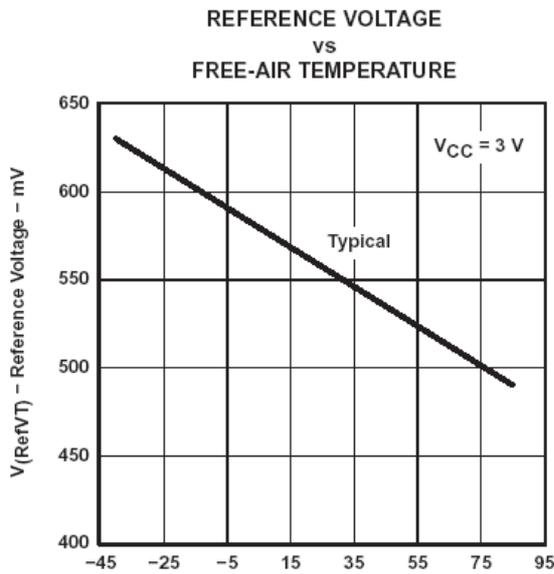


Figure 10 $V(\text{Refvt})$ 和温度关系 $V_{CC}=3\text{V}$

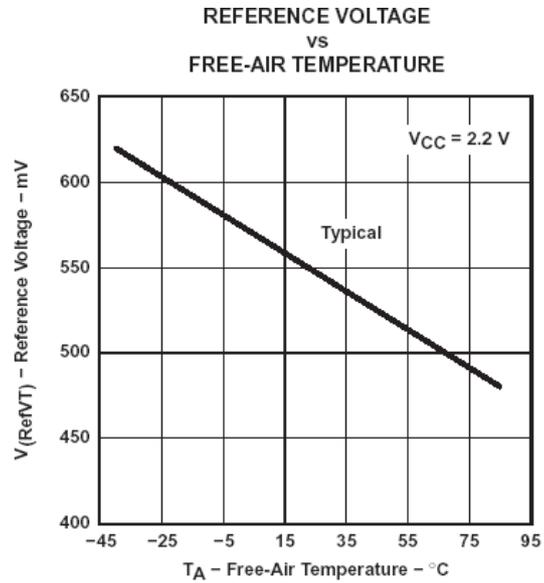


Figure 11 $V(\text{Refvt})$ 和温度关系 $V_{CC}=3\text{V}$

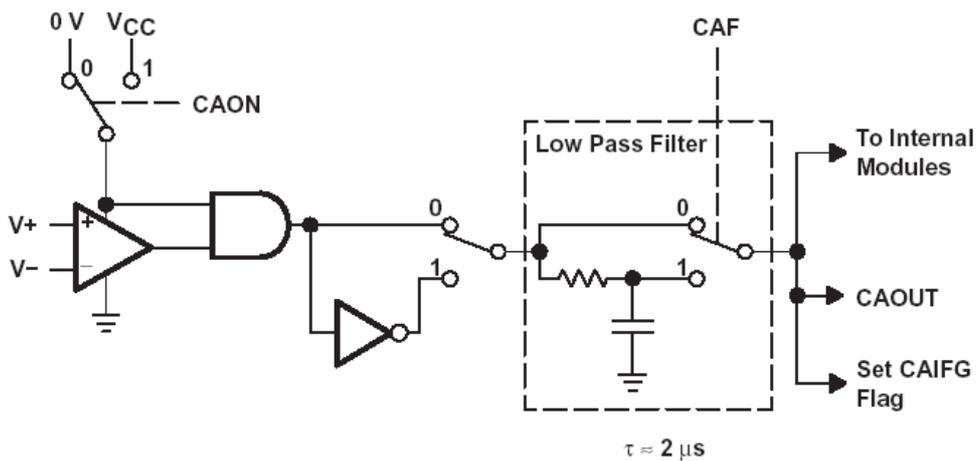


Figure 12. Block Diagram of Comparator_A Module

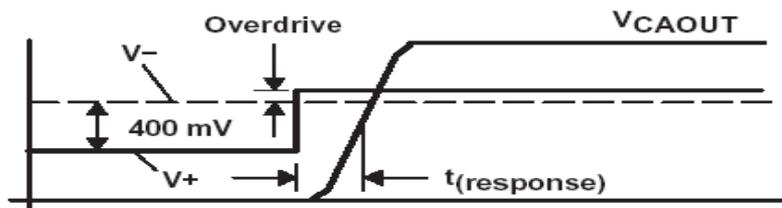


Figure 13. Overdrive Definition

推荐工作温度下电气特性(除非另外说明) (续)

POR 探测器, 复位 (见注释 23)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{BOR}(\text{delay})$	$dV_{CC}/dt \geq 30 \text{ V/ms}$	5		150	μs
	$dV_{CC}/dt \leq 30 \text{ V/ms}$			2000	
$V_{CC}(\text{start})$	$dV_{CC}/dt \leq 3 \text{ V/s}$ (see Figure 12)		$0.7 \times V_{B_IT-}$		V
$V_{(B_IT-)}$	Brownout $dV_{CC}/dt \leq 3 \text{ V/s}$ (see Figure 12, 13, 14)	0.9	1.35	1.71	V
$V_{hys}(B_IT-)$			70	100	110
$t_{(\text{reset})}$	Pulse length needed at RST/NMI pin to accepted reset internally, $V_{CC} = 2.2 \text{ V}/3 \text{ V}$	2			μs

注释 23: I_{CC} 中包含brown-out模块的电流消耗

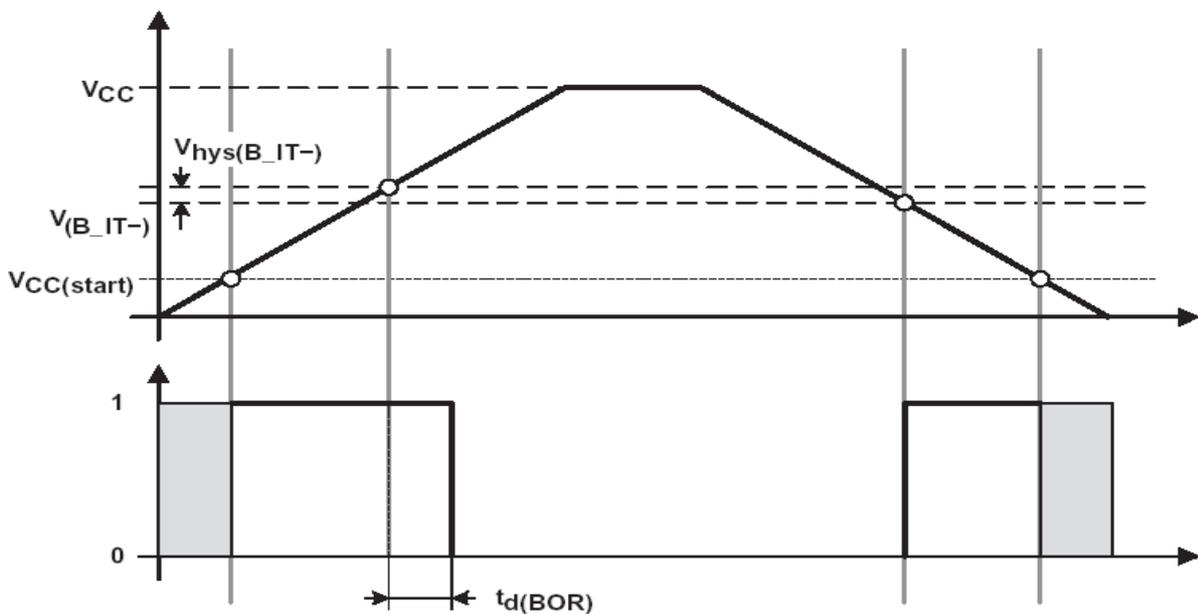


Figure14 POR/Brownout复位 (BOR) 和供电电压

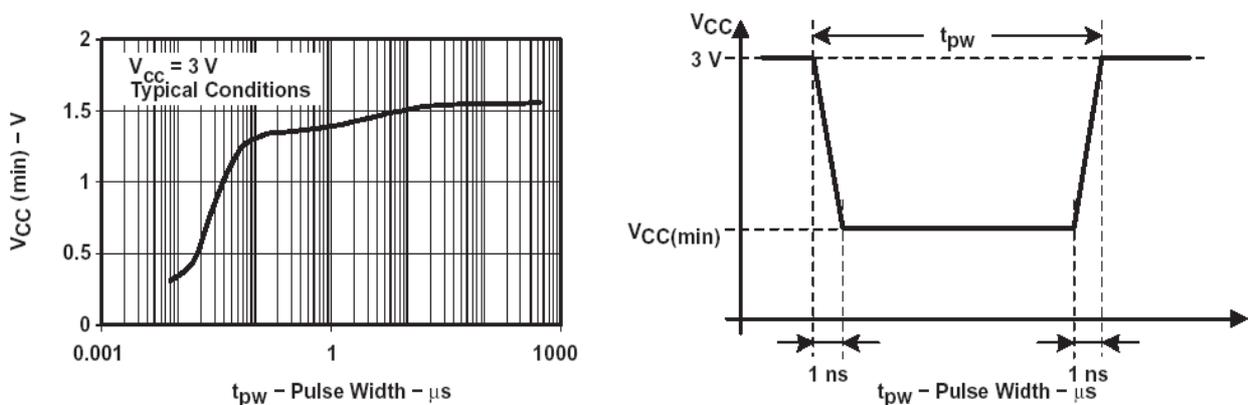


Figure15 产生一个POR/Borwnout信号方波 $V_{CC}(\text{min})$ 电平

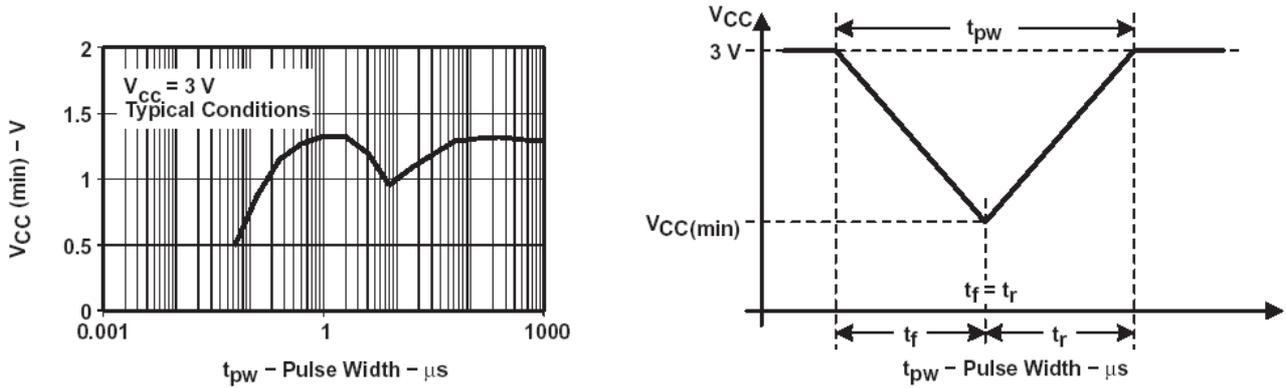


Figure 16 产生一个POR/Brownout信三角波VCC (min) 电平

SVS (只支持MSP430X412, MSP430X413)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_d(\text{SVSR})$	$dV_{CC}/dt > 30\text{V/ms}$ (see Note 2)	5		150	μs
	$dV_{CC}/dt \leq 30\text{V/ms}$ (see Note 2)			2000	μs
$t_d(\text{SVSon})$	SVSon, switch from 0 to 1, $V_{CC} = 3\text{V}$ (see Note 2)	20		150	μs
$V(\text{SVSstart})$	$dV_{CC}/dt \leq 3\text{V/s}$ (see Figure 17)		1.55	1.7	V
$V(\text{SVS_IT-})$	$dV_{CC}/dt \leq 3\text{V/s}$ (see Figure 17)	1.8	1.95	2.2	V
$V_{\text{hys}}(\text{SVS_IT-})$	$dV_{CC}/dt \leq 3\text{V/s}$ (see Figure 17)	70	100	155	mV
$I_{CC}(\text{SVS})$ (see Note 1)	$VLD = 0$ (VLD bits are in SVSCTL register), $V_{CC} = 2.2\text{V}/3\text{V}$		10	15	μA

SVS (只支持MSP430X415, MSP430X417)

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT	
$t_d(\text{SVSR})$	$dV_{CC}/dt > 30\text{V/ms}$ (see Figure 17)	5		150	μs	
	$dV_{CC}/dt \leq 30\text{V/ms}$			2000	μs	
$t_d(\text{SVSon})$	SVSon, switch from $VLD=0$ to $VLD \neq 0$, $V_{CC} = 3\text{V}$	20		150	μs	
t_{settle}	$VLD = 0 \uparrow$			12	μs	
$V(\text{SVSstart})$	$VLD = 0$, $V_{CC}/dt \leq 3\text{V/s}$ (see Figure 17)		1.55	1.7	V	
$V_{\text{hys}}(\text{SVS_IT-})$	$V_{CC}/dt \leq 3\text{V/s}$ (see Figure 17)	$VLD = 1$	70	120	155	mV
		$VLD = 2 \dots 14$	$V(\text{SVS_IT-}) \times 0.004$	$V(\text{SVS_IT-}) \times 0.008$		
	$V_{CC}/dt \leq 3\text{V/s}$ (see Figure 17), external voltage applied on SVSIN	$VLD = 15$	4.4		10.4	mV
$V(\text{SVS_IT-})$	$V_{CC}/dt \leq 3\text{V/s}$ (see Figure 17)	$VLD = 1$	1.8	1.9	2.05	V
		$VLD = 2$	1.94	2.1	2.25	
		$VLD = 3$	2.05	2.2	2.37	
		$VLD = 4$	2.14	2.3	2.48	
		$VLD = 5$	2.24	2.4	2.6	
		$VLD = 6$	2.33	2.5	2.71	
		$VLD = 7$	2.46	2.65	2.86	
		$VLD = 8$	2.58	2.8	3	
		$VLD = 9$	2.69	2.9	3.13	
		$VLD = 10$	2.83	3.05	3.29	
		$VLD = 11$	2.94	3.2	3.42	
		$VLD = 12$	3.11	3.35	3.61 \uparrow	
		$VLD = 13$	3.24	3.5	3.76 \uparrow	
		$VLD = 14$	3.43	3.7 \uparrow	3.99 \uparrow	
	$V_{CC}/dt \leq 3\text{V/s}$ (see Figure 17), external voltage applied on SVSIN	$VLD = 15$	1.1	1.2	1.3	
$I_{CC}(\text{SVS})$ (see Note 1)	$VLD = 0$, $V_{CC} = 2.2\text{V}/3\text{V}$		10	15	μA	

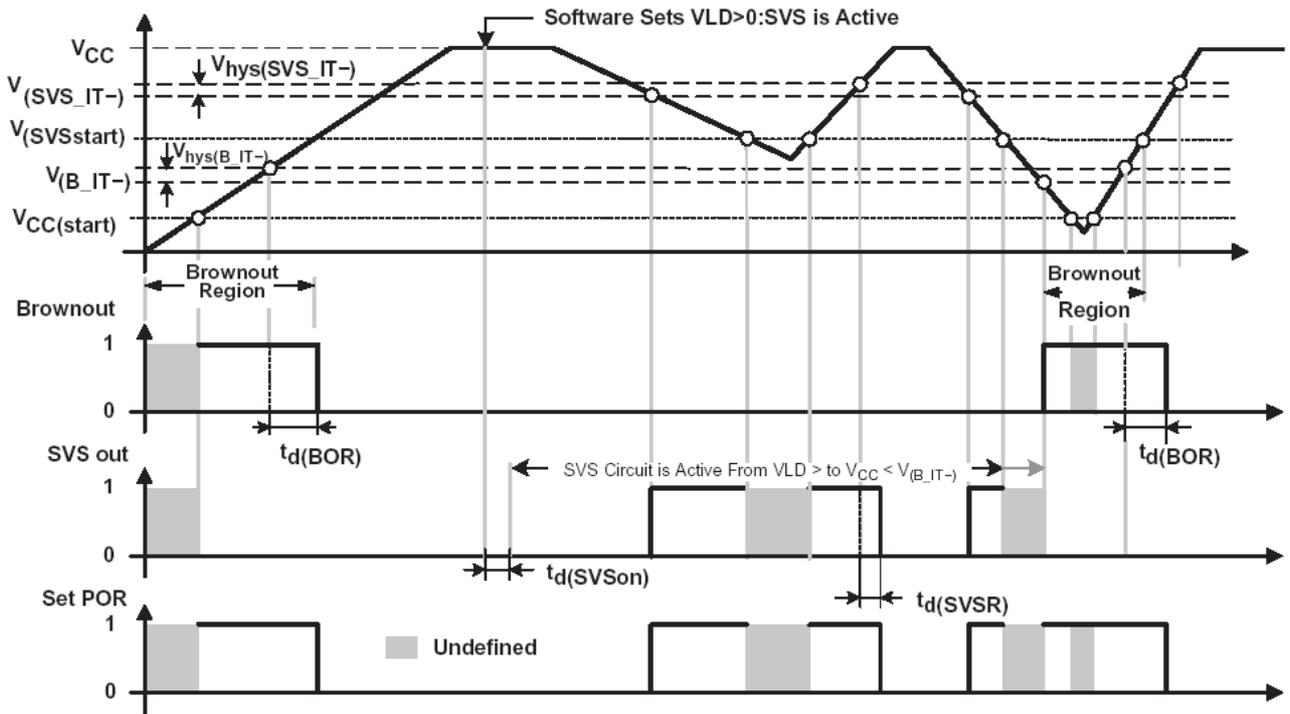


Figure 17 SVS复位 (SVSR) 和供电电压关系

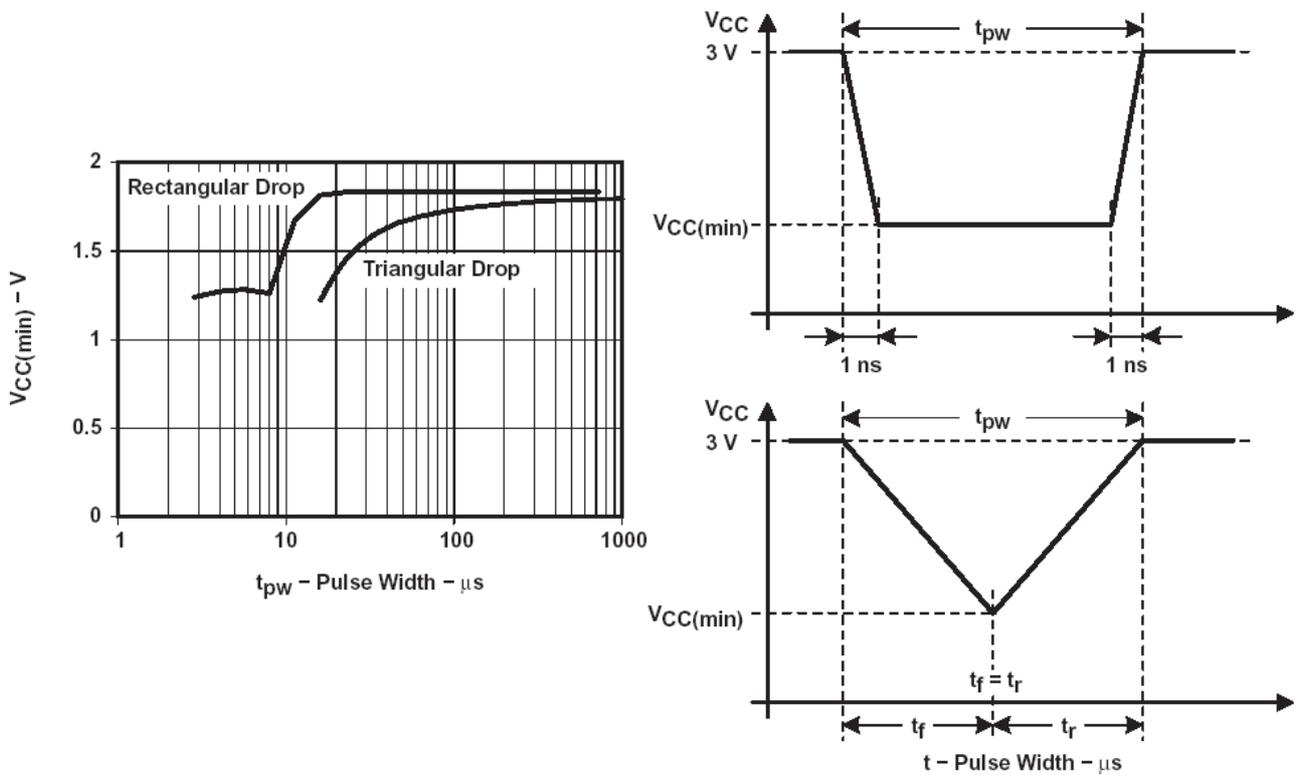


Figure18 产生SVS信号的方波或三角波小降的VCC (min) 电平

DCO

PARAMETER	TEST CONDITIONS		MIN	TYP	MAX	UNIT
$f_{(DCOCLK)}$	$N_{(DCO)}=01E0h, FN_8=FN_4=FN_3=FN_2=0, D=2, DCO+=0$	$V_{CC} = 2.2V/3V$		1		MHz
$f_{(DCO2)}$	$FN_8=FN_4=FN_3=FN_2=0, DCO+=1$	$V_{CC} = 2.2V$	0.23	0.41	0.82	MHz
		$V_{CC} = 3V$	0.30	0.57	1.20	
$f_{(DCO27)}$	$FN_8=FN_4=FN_3=FN_2=0, DCO+=1$	$V_{CC} = 2.2V$	2.25	4.0	8.0	MHz
		$V_{CC} = 3V$	3.0	5.6	11.2	
$f_{(DCO2)}$	$FN_8=FN_4=FN_3=0, FN_2=1; DCO+=1$	$V_{CC} = 2.2V$	0.45	0.85	1.75	MHz
		$V_{CC} = 3V$	0.60	1.2	2.4	
$f_{(DCO27)}$	$FN_8=FN_4=FN_3=0, FN_2=1; DCO+=1$	$V_{CC} = 2.2V$	4.4	8.0	16.5	MHz
		$V_{CC} = 3V$	6.0	11.0	22.5	
$f_{(DCO2)}$	$FN_8=FN_4=0, FN_3=1, FN_2=x; DCO+=1$	$V_{CC} = 2.2V$	0.73	1.3	2.7	MHz
		$V_{CC} = 3V$	1.0	1.85	3.9	
$f_{(DCO27)}$	$FN_8=FN_4=0, FN_3=1, FN_2=x; DCO+=1$	$V_{CC} = 2.2V$	6.5	12.0	24.0	MHz
		$V_{CC} = 3V$	9.0	16.5	34.0	
$f_{(DCO2)}$	$FN_8=0, FN_4=1, FN_3=FN_2=x; DCO+=1$	$V_{CC} = 2.2V$	1.1	2.1	4.3	MHz
		$V_{CC} = 3V$	1.6	2.9	6.0	
$f_{(DCO27)}$	$FN_8=0, FN_4=1, FN_3=FN_2=x; DCO+=1$	$V_{CC} = 2.2V$	9.5	18.0	38.0	MHz
		$V_{CC} = 3V$	13.0	25.0	52.0	
$f_{(DCO2)}$	$FN_8=1, FN_4=FN_3=FN_2=x; DCO+=1$	$V_{CC} = 2.2V$	2.2	4.0	8.2	MHz
		$V_{CC} = 3V$	3.0	5.6	12.0	
$f_{(DCO27)}$	$FN_8=1, FN_4=FN_3=FN_2=x, DCO+=1$	$V_{CC} = 2.2V$	17.5	32.0	65.0	MHz
		$V_{CC} = 3V$	24.0	45.0	94.0	
S	$f_{(NDCO)}+1 = f_{(NDCO)}$		1.07		1.13	
D_t	Temperature drift, $N_{(DCO)} = 01E0h, FN_8=FN_4=FN_3=FN_2=0, D=2, DCO+=0$, (see Note 25)	$V_{CC} = 2.2V$	-0.31	-0.36	-0.40	%/-C
		$V_{CC} = 3V$	-0.33	-0.38	-0.43	
D_V	Drift with V_{CC} variation, $N_{(DCO)} = 01E0h, FN_8=FN_4=FN_3=FN_2=0, D=2, DCO+=0$ (see Note 25)		0	5	10	%V

NOTE 25: 这个参数没有经产品测试

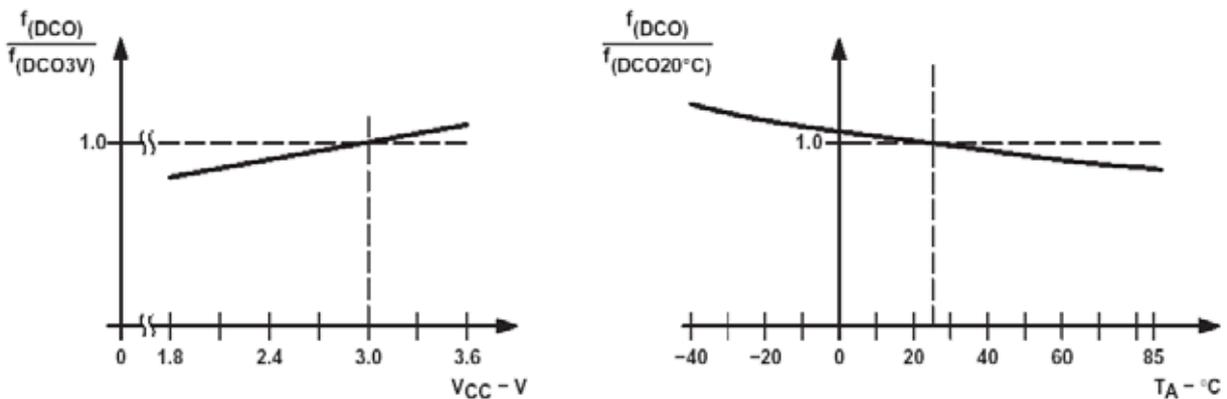


Figure19 DCO频率和供电电压VCC以及和环境温度关系

推荐工作温度下电气特性 (除非另外说明) (续)

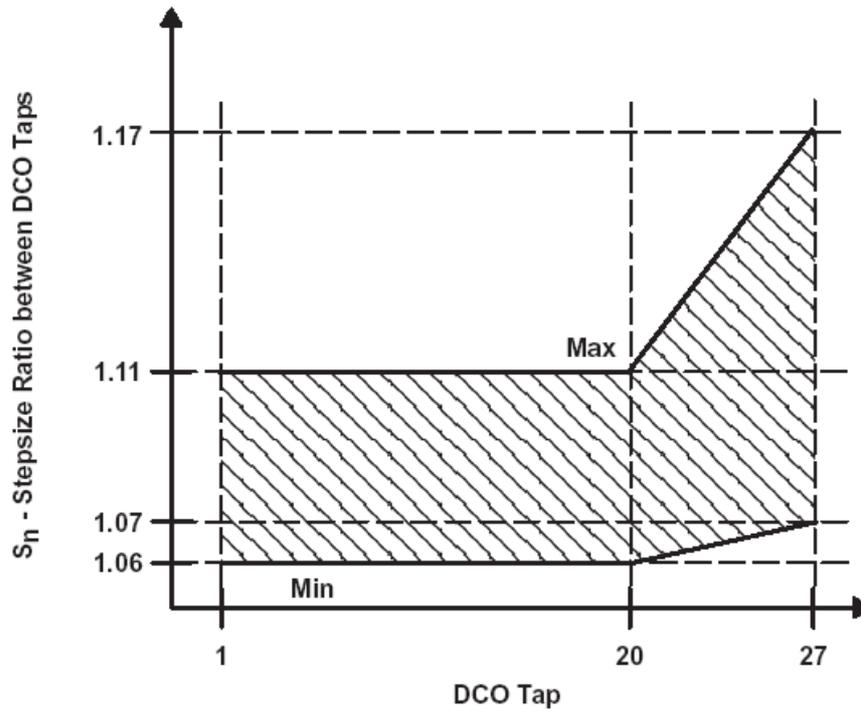


Figure20 DCO TAP STEP SIZE

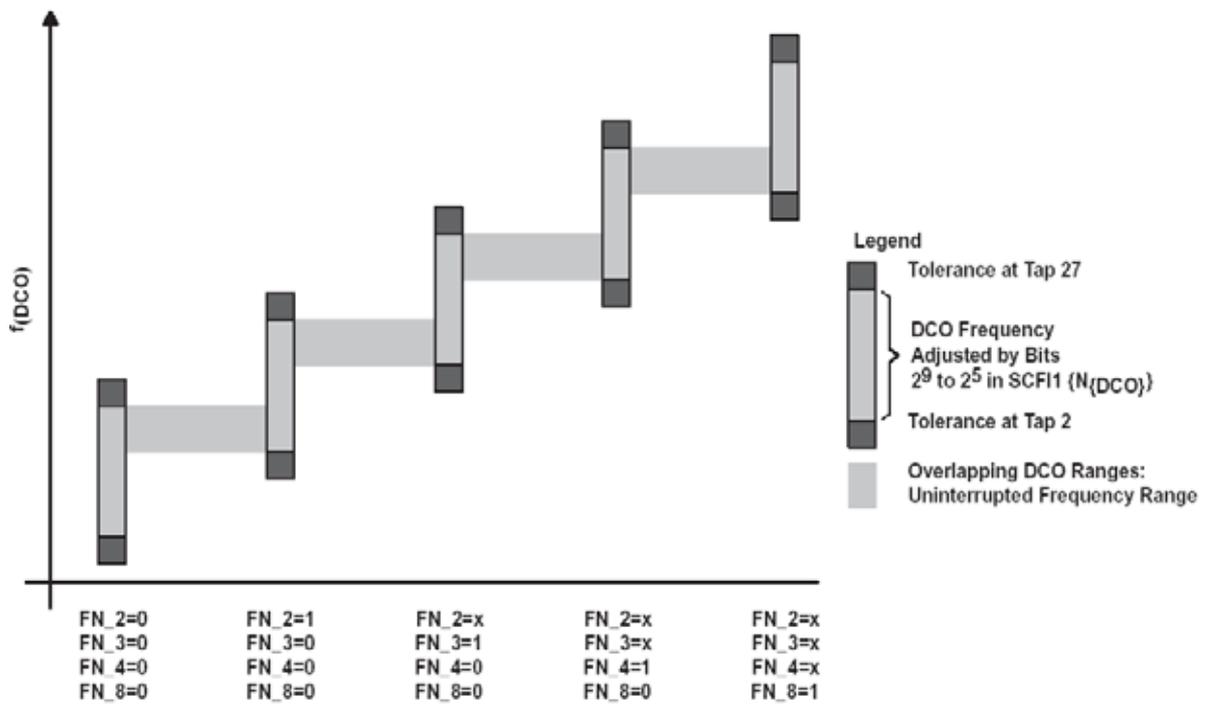


figure21 由FN_x位控制的五个交迭的DCO范围

LFXT1振荡

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	TYP	MAX	UNIT
C _{XIN}	Integrated load capacitance	OSCCAP _x = 0h	2.2 V/3 V		0		pF
		OSCCAP _x = 1h	2.2 V/3 V		10		
		OSCCAP _x = 2h	2.2 V/3 V		14		
		OSCCAP _x = 3h	2.2 V/3 V		18		
C _{XOUT}	Integrated load capacitance	OSCCAP _x = 0h	2.2 V/3 V		0		pF
		OSCCAP _x = 1h	2.2 V/3 V		10		
		OSCCAP _x = 2h	2.2 V/3 V		14		
		OSCCAP _x = 3h	2.2 V/3 V		18		
V _{IL}	Input levels at XIN	see Note 3	2.2 V/3 V	V _{SS}		0.2×V _{CC}	V
V _{IH}				0.8×V _{CC}		V _{CC}	

NOTES: 1. The parasitic capacitance from the package and board may be estimated to be 2pF. The effective load capacitor for the crystal is $(C_{XIN} \times C_{XOUT}) / (C_{XIN} + C_{XOUT})$. It is independent of XTS_FLL.

FLASH 存储器

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	NOM	MAX	UNIT
V _{CC} (PGM/ERASE)	Program and Erase supply voltage			2.7		3.6	V
f _{FTG}	Flash Timing Generator frequency			257		476	kHz
I _{PGM}	Supply current from DV _{CC} during program		2.7 V/ 3.6 V		3	5	mA
I _{ERASE}	Supply current from DV _{CC} during erase		2.7 V/ 3.6 V		3	5	mA
t _{CPT}	Cumulative program time	see Note 1	2.7 V/ 3.6 V			4	ms
t _{CMErase}	Cumulative mass erase time	see Note 2	2.7 V/ 3.6 V	200			ms
	Program/Erase endurance			10 ⁴	10 ⁵		cycles
t _{Retention}	Data retention duration	T _J = 25°C		100			years
t _{Word}	Word or byte program time	see Note 3			35		t _{FTG}
t _{Block_0}	Block program time for 1 st byte or word				30		
t _{Block_1-63}	Block program time for each additional byte or word				21		
t _{Block_End}	Block program end-sequence wait time				6		
t _{Mass Erase}	Mass erase time				5297		
t _{Seq Erase}	Segment erase time				4819		

JTAG接口

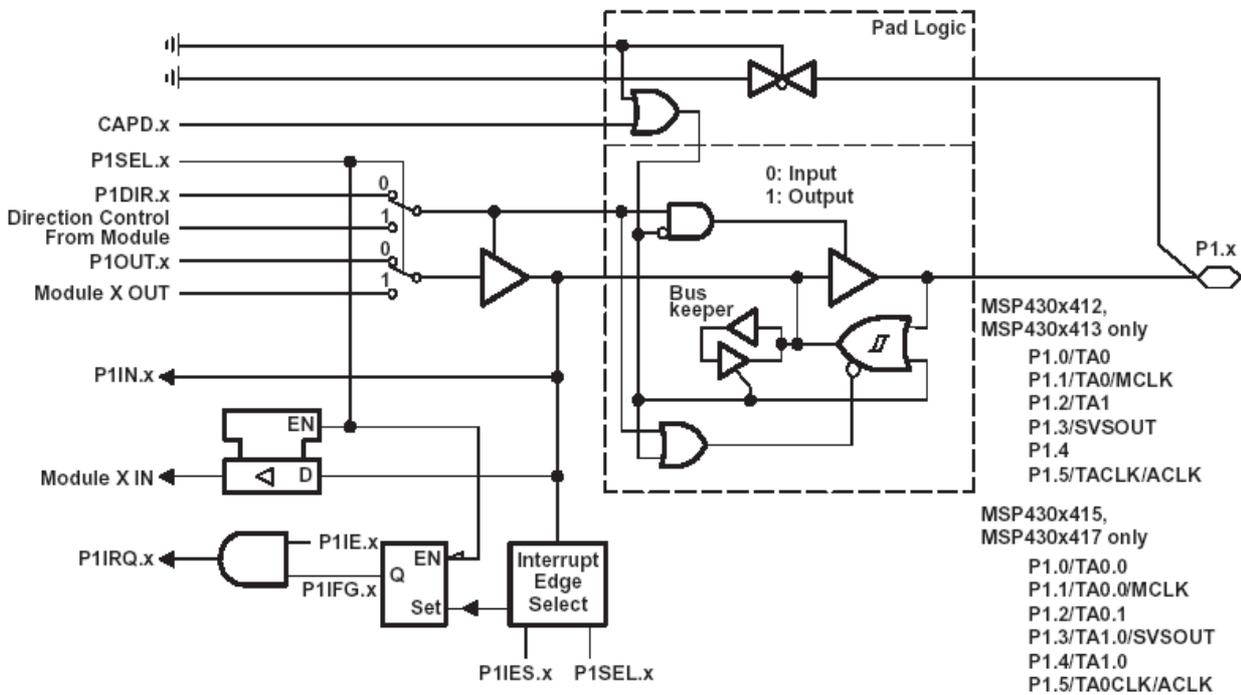
PARAMETER		TEST CONDITIONS	V _{CC}	MIN	NOM	MAX	UNIT
f _{TCK}	TCK input frequency	see Note 1	2.2 V	0		5	MHz
			3 V	0		10	MHz
R _{Internal}	Internal pull-up resistance on TMS, TCK, TDI/TCLK	see Note 2	2.2 V/ 3 V	25	60	90	kΩ

JTAG安全熔丝

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	NOM	MAX	UNIT
V _{CC} (FB)	Supply voltage during fuse-blow condition	T _A = 25°C		2.5			V
V _{FB}	Voltage level on TDI/TCLK for fuse-blow - 'C41x			3.5		3.9	V
	Voltage level on TDI/TCLK for fuse-blow - 'F41x			6		7	V
I _{FB}	Supply current into TDI/TCLK during fuse blow					100	mA
t _{FB}	Time to blow fuse					1	ms

输入/输出电路

带有施密特触发器的输入输出P1, P1.0到P1.5



PnSEL.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x
P1SEL.0	P1DIR.0	P1DIR.0	P1OUT.0	Out0 Sig. [†]	P1IN.0	CCI0A [†]	P1IE.0	P1IFG.0	P1IES.0
P1SEL.1	P1DIR.1	P1DIR.1	P1OUT.1	MCLK	P1IN.1	CCI0B [†]	P1IE.1	P1IFG.1	P1IES.1
P1SEL.2	P1DIR.2	P1DIR.2	P1OUT.2	Out1 Sig. [†]	P1IN.2	CCI1A [†]	P1IE.2	P1IFG.2	P1IES.2
P1SEL.3	P1DIR.3	P1DIR.3	P1OUT.3	SVSOUT	P1IN.3	Unused	P1IE.3	P1IFG.3	P1IES.3
P1SEL.4	P1DIR.4	P1DIR.4	P1OUT.4	DVSS [§] Out0 Sig. [‡]	P1IN.4	Unused [§] CCI0A [†]	P1IE.4	P1IFG.4	P1IES.4
P1SEL.5	P1DIR.5	P1DIR.5	P1OUT.5	ACLK	P1IN.5	TACLK [†]	P1IE.5	P1IFG.5	P1IES.5

注释

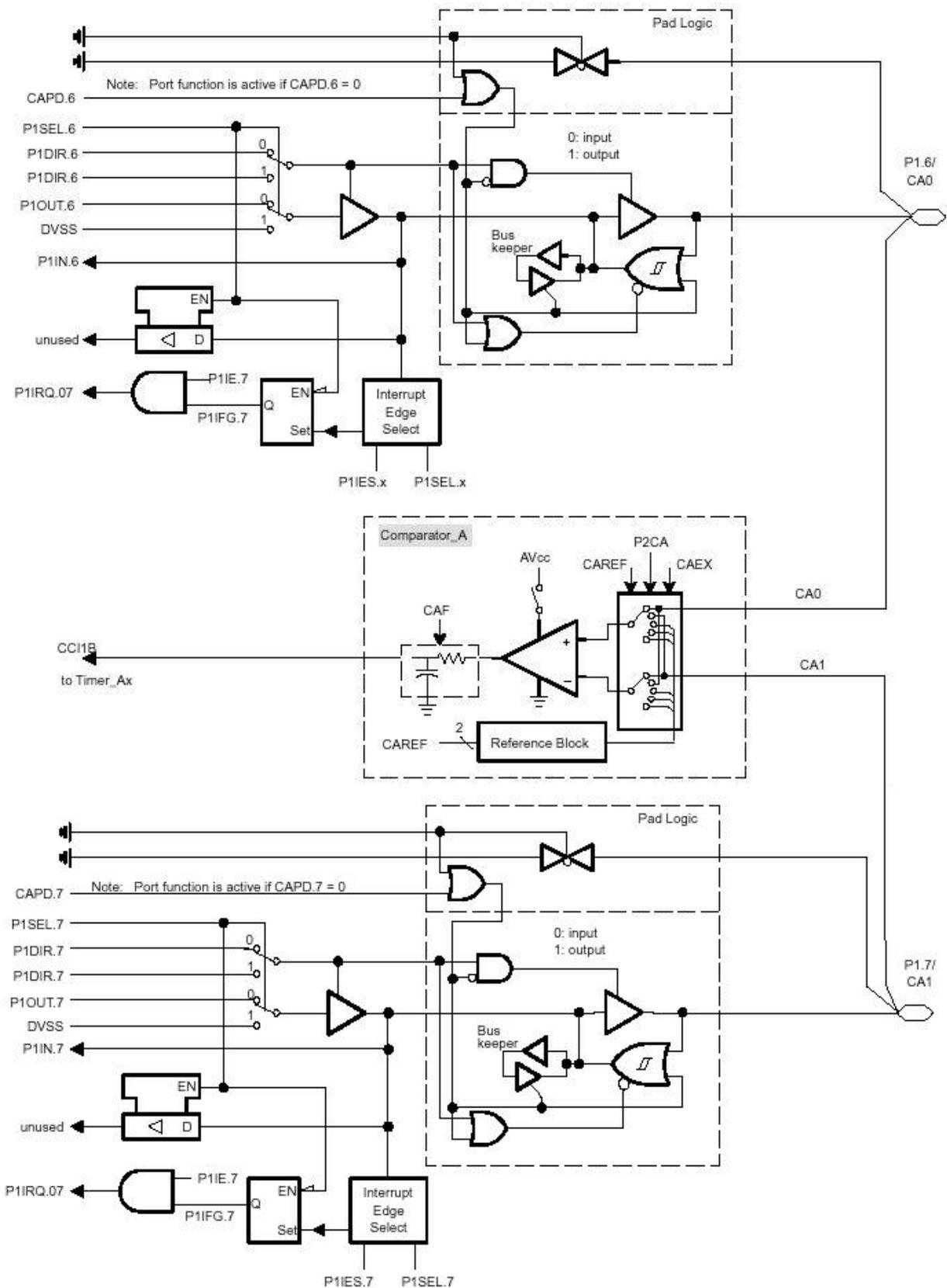
+ Time_A3和Time0_A3

‡ Time1_A5(仅MSP430X415, MSP430X417)

§ MSP430X412,MSP430X413

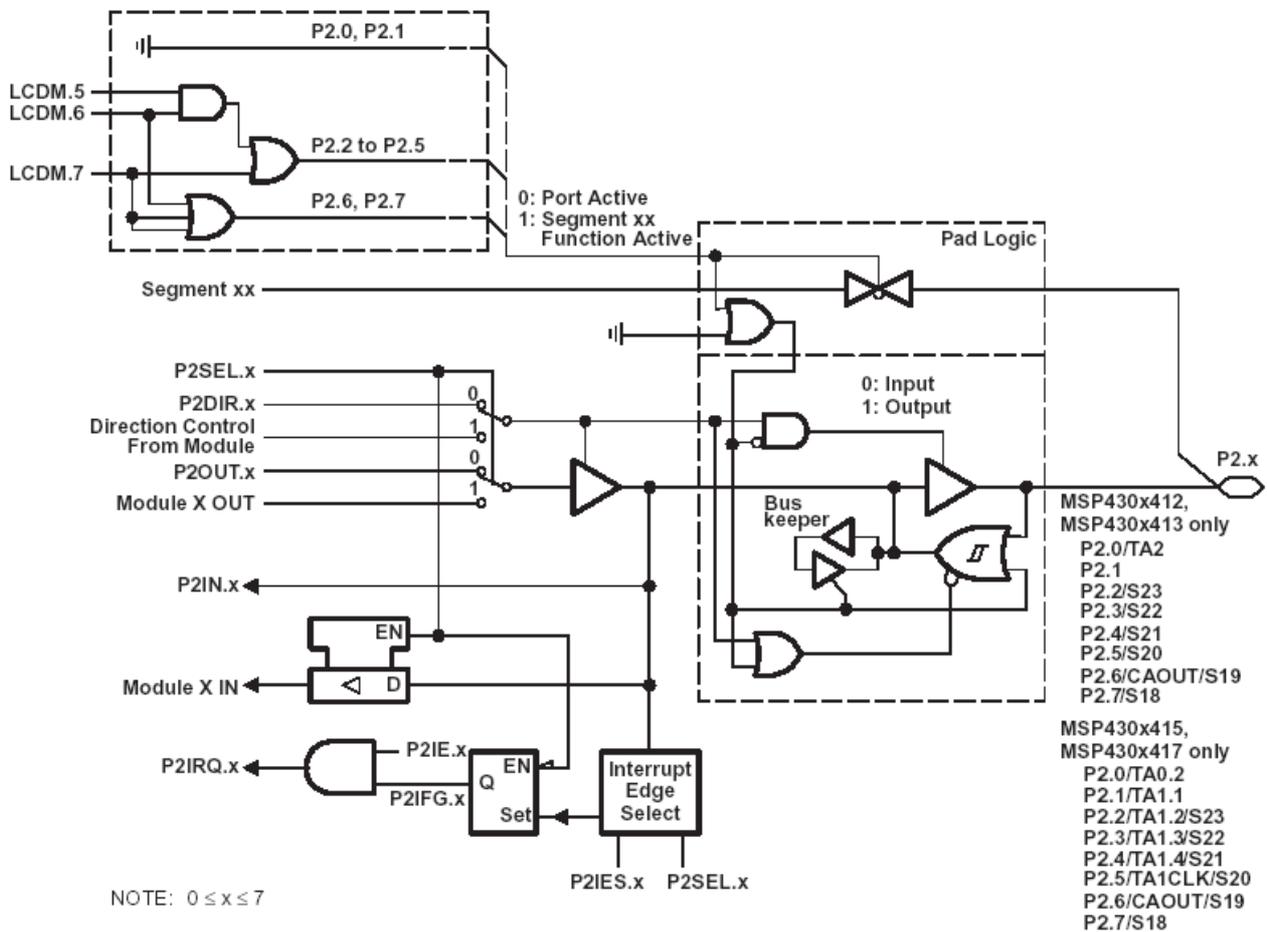
输入/输出电路 (续)

输入输出带有施密特触发器的P1口, P1.6, P1.7



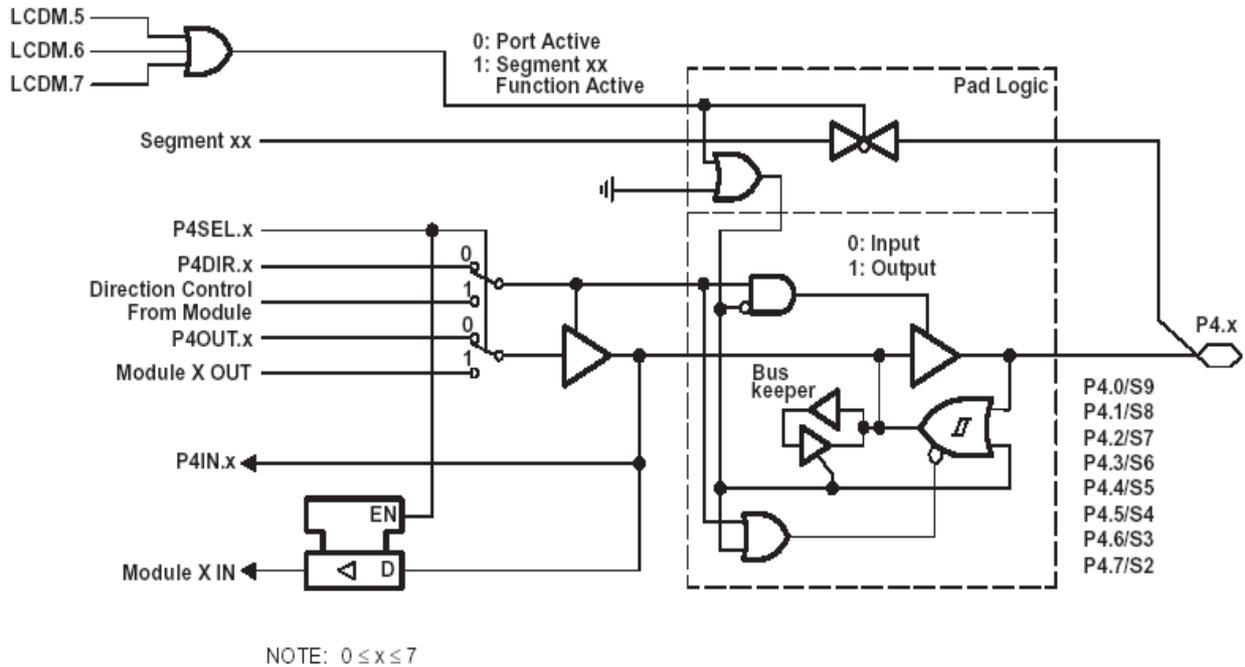
输入/输出电路图 (续)

输入输出带有施密特触发器的P2口,P2.0到P2.7



PnSel.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.0	P2DIR.0	P2DIR.0	P2OUT.0	Out2 sig. †	P2IN.0	CCI2A †	P2IE.0	P2IFG.0	P2IES.0
P2Sel.1	P2DIR.1	P2DIR.1	P2OUT.1	DVSS	P2IN.1	unused	P2IE.1	P2IFG.1	P2IES.1
P2Sel.2	P2DIR.2	P2DIR.2	P2OUT.2	DVSS	P2IN.2	unused	P2IE.2	P2IFG.2	P2IES.2
P2Sel.3	P2DIR.3	P2DIR.3	P2OUT.3	DVSS	P2IN.3	unused	P2IE.3	P2IFG.3	P2IES.3
P2Sel.4	P2DIR.4	P2DIR.4	P2OUT.4	DVSS	P2IN.4	unused	P2IE.4	P2IFG.4	P2IES.4
P2Sel.5	P2DIR.5	P2DIR.5	P2OUT.5	DVSS	P2IN.5	unused	P2IE.5	P2IFG.5	P2IES.5
P2Sel.6	P2DIR.4	P2DIR.6	P2OUT.6	CAOUT	P2IN.6	unused	P2IE.6	P2IFG.6	P2IES.6
P2Sel.7	P2DIR.5	P2DIR.7	P2OUT.7	DVSS	P2IN.7	unused	P2IE.7	P2IFG.7	P2IES.7

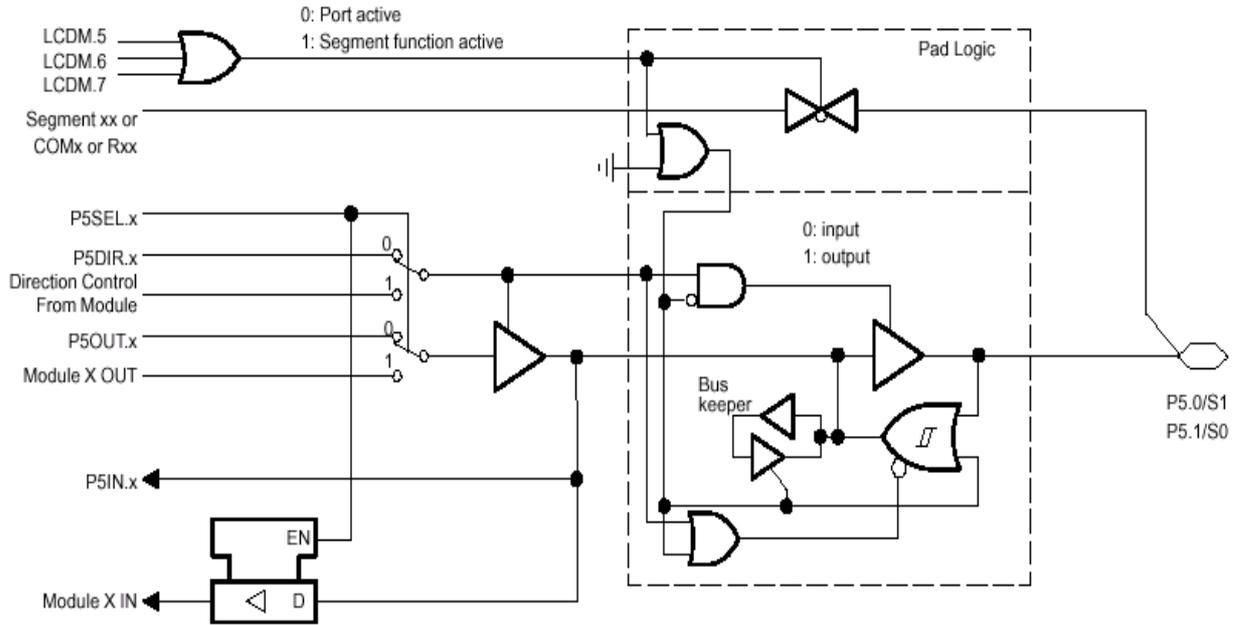
† Timer_A

输入/输出电路图 (续)
输入输出带有施密特触发器的P4口,P4.0到P4.7


PnSEL.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P4SEL.0	P4DIR.0	P4DIR.0	P4OUT.0	DVSS	P4IN.0	Unused
P4SEL.1	P4DIR.1	P4DIR.1	P4OUT.1	DVSS	P4IN.1	Unused
P4SEL.2	P4DIR.2	P4DIR.2	P4OUT.2	DVSS	P4IN.2	Unused
P4SEL.3	P4DIR.3	P4DIR.3	P4OUT.3	DVSS	P4IN.3	Unused
P4SEL.4	P4DIR.4	P4DIR.4	P4OUT.4	DVSS	P4IN.4	Unused
P4SEL.5	P4DIR.5	P4DIR.5	P4OUT.5	DVSS	P4IN.5	Unused
P4SEL.6	P4DIR.6	P4DIR.6	P4OUT.6	DVSS	P4IN.6	Unused
P4SEL.7	P4DIR.7	P4DIR.7	P4OUT.7	DVSS	P4IN.7	Unused

输入/输出电路图 (续)

输入输出带有施密特触发器的P5口,P5.0, P5.1

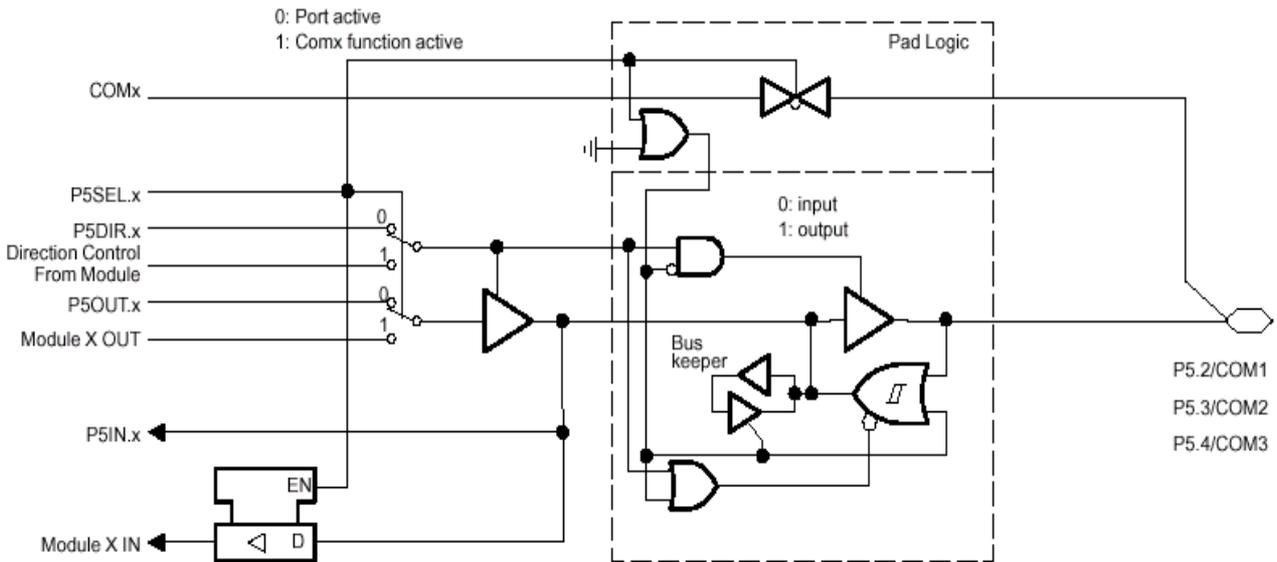


Note: $0 \leq x \leq 1$

PnSel.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	Segment
P5Sel.0	P5DIR.0	P5DIR.0	P5OUT.0	DVSS	P5IN.0	unused	S1
P5Sel.1	P5DIR.1	P5DIR.1	P5OUT.1	DVSS	P5IN.1	unused	S0

输入/输出电路图 (续)

输入输出带有施密特触发器的P5口,P5.2, P5.4



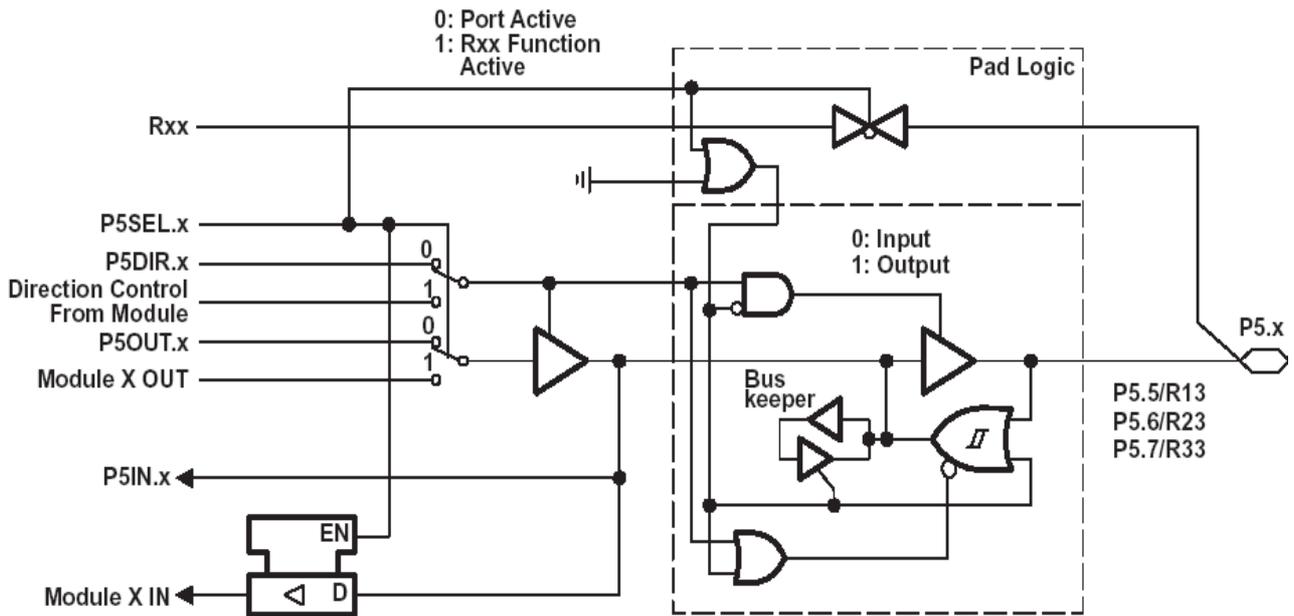
Note: $2 \leq x \leq 4$

注:

方向控制位P5SEL.2, P5SEL.3和P5SEL.4用于区分是端口还是LCD公共端。注意在驱动4MUX LCD 时要使用所有COM端 (COM3到COM0), 3MUX LCD 使用COM2 到COM0, 2MUX LCD使用COM1和COM0, 静态LCD只使用COM0。

输入/输出电路图 (续)

输入输出带有施密特触发器的P5口,P5.5到P5.7

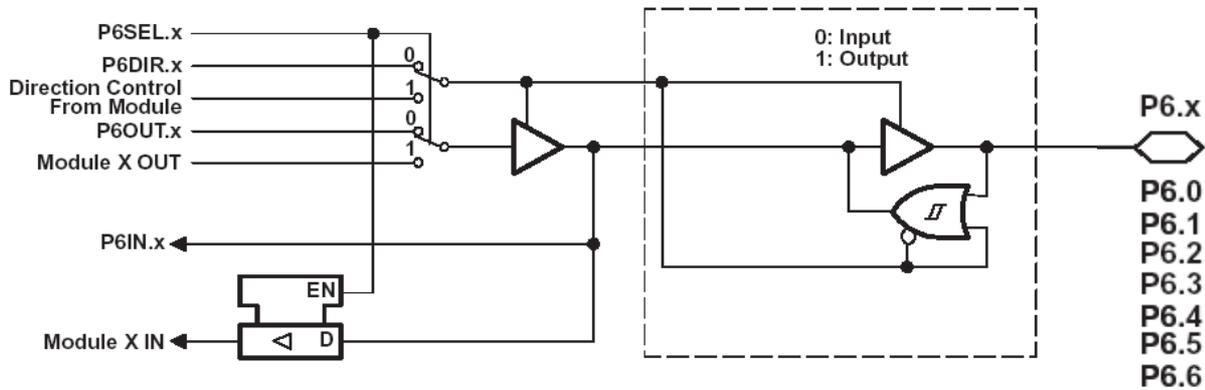


NOTE: $5 \leq x \leq 7$

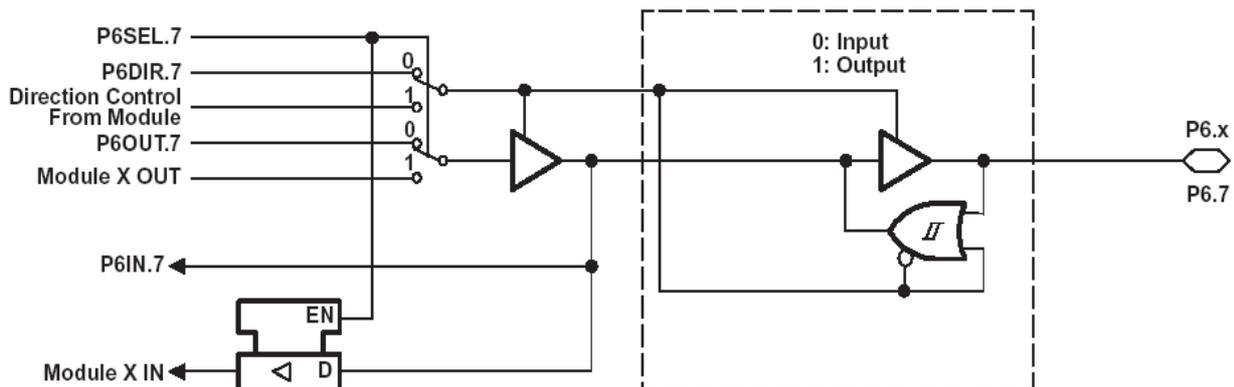
PnSEL.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	Rxx
P5SEL.5	P5DIR.5	P5DIR.5	P5OUT.5	DVSS	P5IN.5	Unused	R13
P5SEL.6	P5DIR.6	P5DIR.6	P5OUT.6	DVSS	P5IN.6	Unused	R23
P5SEL.7	P5DIR.7	P5DIR.7	P5OUT.7	DVSS	P5IN.7	Unused	R33

注:

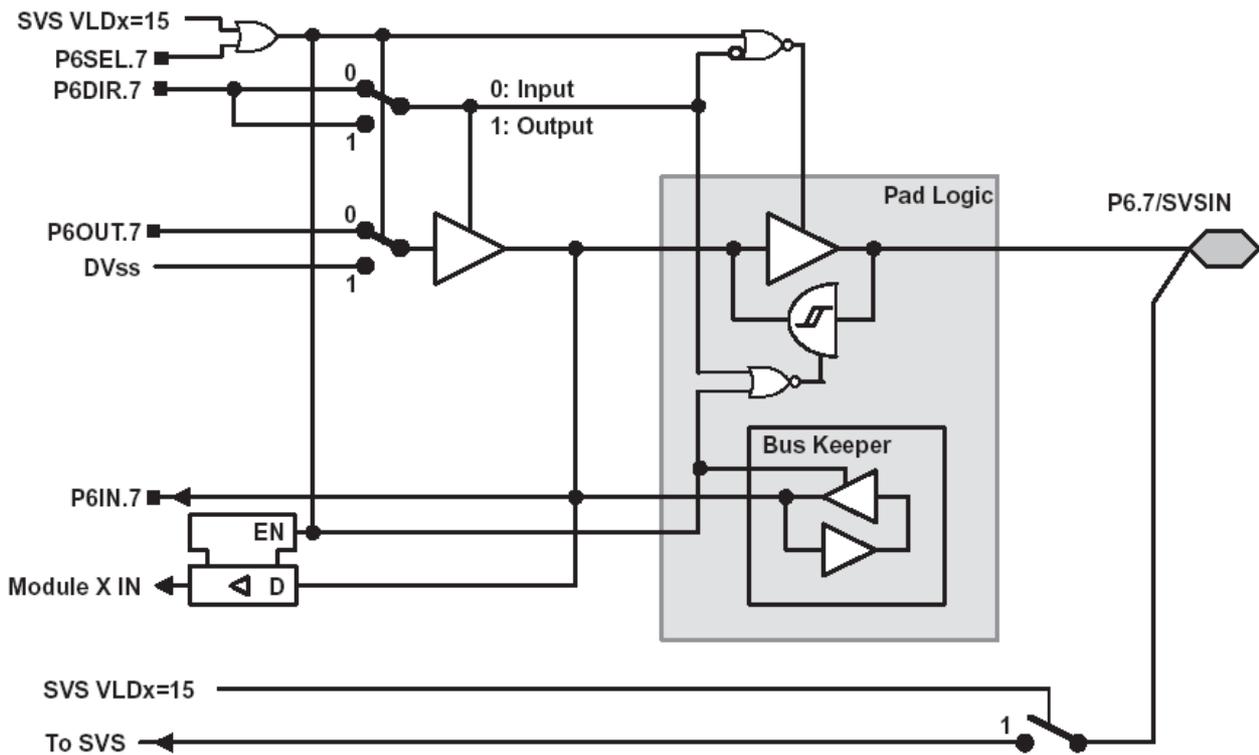
方向控制位P5SEL.5, P5SEL.6和P5SEL.7用于区分是端口还是LCD模拟电压功能。注意在驱动4MUX和3MUX LCD时需要所有得电阻Rxx分压电压, 从R33到R03。 2MUX LCD需要接R33, R13和R03, 静态LCD 要求外接R33和R03。

输入/输出电路图 (续)
输入输出带有施密特触发器的P6口,P6.0到P6.6

 NOTE: $0 \leq x \leq 6$

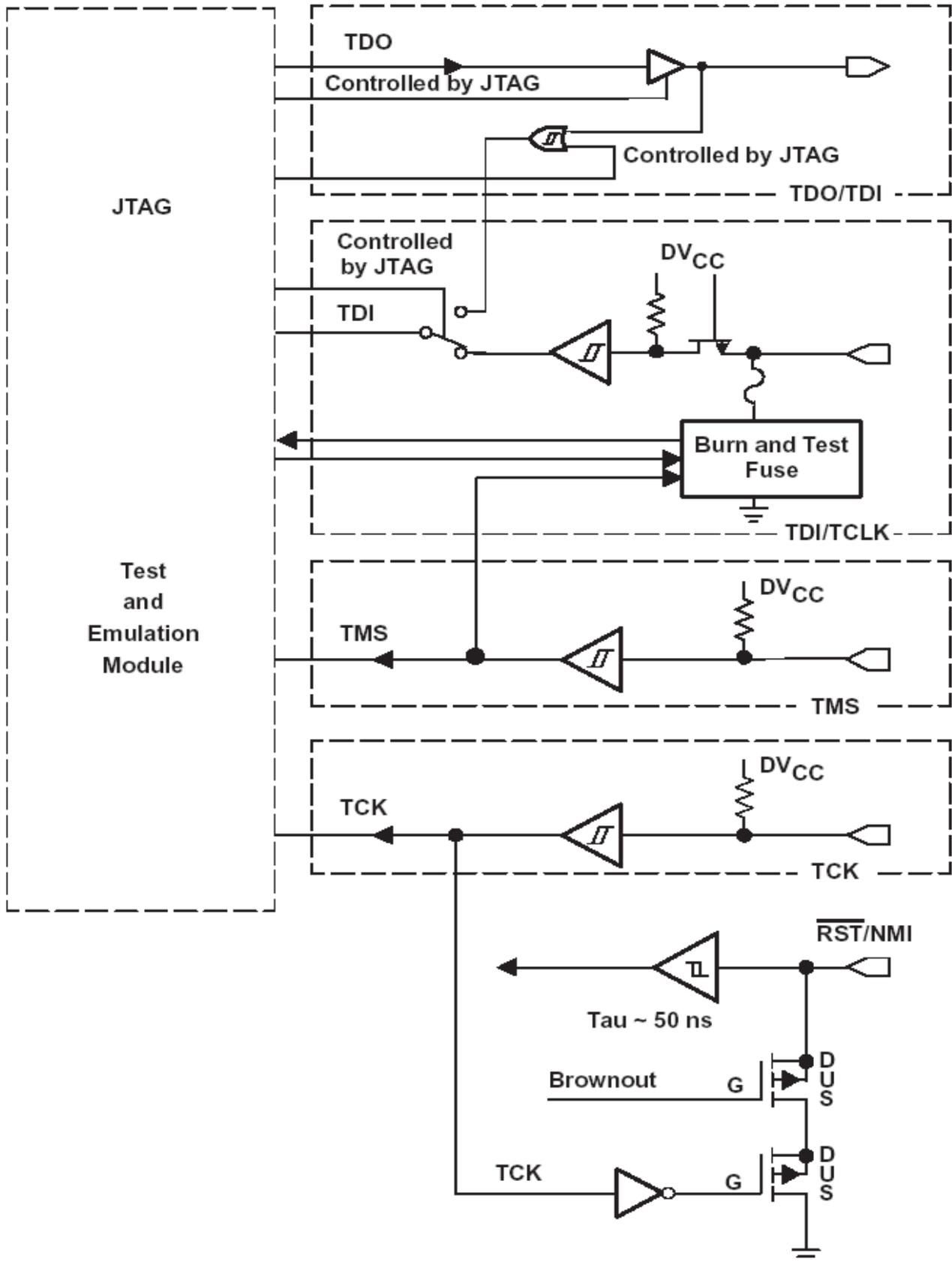
PnSEL.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P6SEL.0	P6DIR.0	P6DIR.0	P6OUT.0	DVSS	P6IN.0	Unused
P6SEL.1	P6DIR.1	P6DIR.1	P6OUT.1	DVSS	P6IN.1	Unused
P6SEL.2	P6DIR.2	P6DIR.2	P6OUT.2	DVSS	P6IN.2	Unused
P6SEL.3	P6DIR.3	P6DIR.3	P6OUT.3	DVSS	P6IN.3	Unused
P6SEL.4	P6DIR.4	P6DIR.4	P6OUT.4	DVSS	P6IN.4	Unused
P6SEL.5	P6DIR.5	P6DIR.5	P6OUT.5	DVSS	P6IN.5	Unused
P6SEL.6	P6DIR.6	P6DIR.6	P6OUT.6	DVSS	P6IN.6	Unused

输入输出带有施密特触发器的P6口,P6.7(仅MSP430X412/413)


SVS VLDx = 15	P6SEL.7	P6DIR.7	Port Function
0	0	0	P6.7 Input
0	0	1	P6.7 Output
0	1	X	Undefined
1	X	X	SVSIN

输入输出带有施密特触发器的P6口,P6.7(仅MSP430X415/417)


SVS VLDx = 15	P6SEL.7	P6DIR.7	Port Function
0	0	0	P6.7 Input
0	0	1	P6.7 Output
0	1	X	Undefined
1	X	X	SVSIN

JTAG引脚TMS, TCK, TDI, TDO/TDI, 施密特式输入/输出或输出


JTAG 熔丝检测模式

在上电复位 (POR) 后, 第一次使用MSP430器件的JTAG口, 在TDI端有一个熔丝检查模式, 可以检测熔丝的通断。该模式有效时, 如果熔丝没烧断, 将有一个熔丝检查电流 I_{TF} (电压3V时1 mA) 从TDI引脚流到地。必须注意防止意外激活熔丝检查模式, 以免增加系统功耗。上电后, TMS引脚的第一个下降沿将激活熔丝检查模式, 或者如果在上电期间TMS保持低电平, 该模式也会激活。TMS引脚的第二个上升沿将关闭熔丝检查模式。该模式关闭后, 熔丝检查模式保持无效直到另一个POR出现。在每一次POR, 熔丝检查模式, 都有机会激活。

只有当熔丝检查模式激活时, 才会出现熔丝检查电流并且TMS引脚保持低电平(见图19)。这样可以通过保持TMS引脚为高电平(缺省条件), 防止额外的电流消耗。

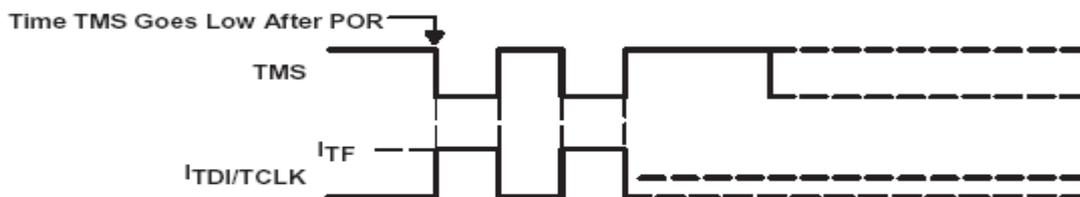
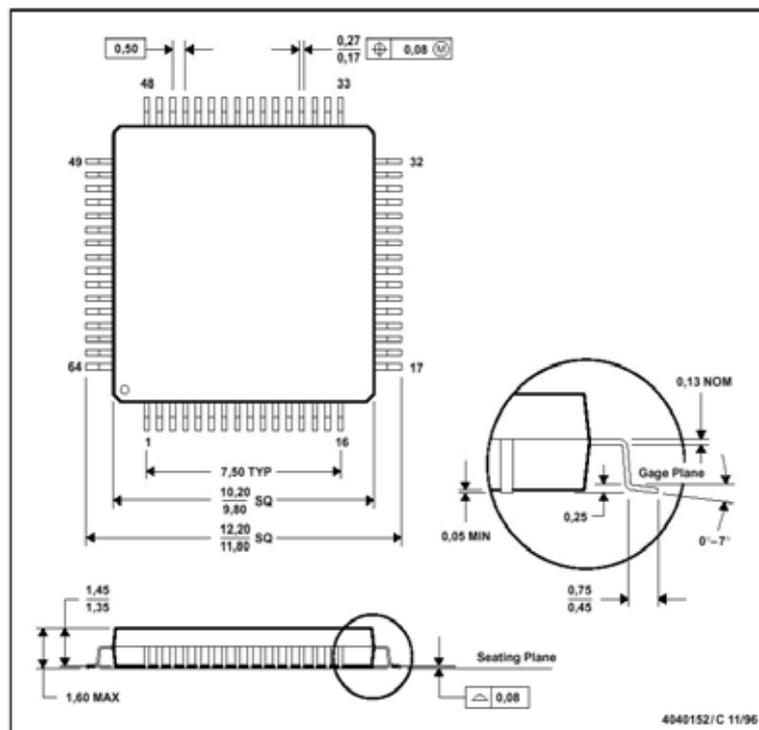


Figure 22 MSP430C41X和MSP430F41X系列芯片熔丝检查模式的电流波形

PM (S-PQFP-G64) 方形塑料封装



注释 A: 所有度量单位为毫米。

B: 此图仅供参考, 如有变化不需另行通知。

C: 在JEDEC MS-026范围内变化。

D: 通过使用硬模, 也可能增强塑料强度。

说明: 该中文资料在翻译过程中难免存在错误, 请依照英文资料为准。