

MSP430x43x, MSP430x44x混合信号微控制器

低供电电压范围：1.8V...3.6V

超低功耗：

- 活动模式：1MHz，2.2V 时为 280 μ A
- 等待模式：1.1 μ A
- 关闭模式 (RAM 保持)：0.1 μ A

五种省电模式

6 μ s 内从等待状态唤醒

16 位精简指令结构，125ns 指令时间周期

具有内部参考电平、采样保持和自动扫描特性的 12 位 A/D 转换器

带有三个或七个捕捉/比较寄存器的 16 位定时器 B

带有三个捕捉/比较寄存器的 16 位定时器 A

片内集成比较器

串行通讯接口 (USART)，软件选择异步 UART 或者同步 SPI 接口

- MSP430x44x 芯片有两个 USART(USART0,USART1)
- MSP430x43x 芯片有一个 USART(USART0)

欠电压检测器

具有可编程电平检测的供电电压管理器/监视器

串行在线编程，无需外部编程电压，可编程的安全熔丝代码保护

集成多达 160 段的 LCD 驱动器

系列器件包括：

- MSP430F435:
16KB+256B flash 存储器 512B RAM
- MSP430F436:
24KB+256B flash 存储器 1KB RAM
- MSP430F437:
32KB+256B flash 存储器 1KB RAM
- MSP430F447:
32KB+256B flash 存储器 1KB RAM
- MSP430F448:
48KB+256B flash 存储器 2KB RAM
- MSP430F449:
60KB+256B flash 存储器 2KB RAM

要获得完整的模块描述参见 MSP430x4xx 系列用户手册，文献号 SLAU056

说明

德州仪器公司的 MSP430 系列超低功耗微控制器由几个针对不同应用目标具有不同外围设备的芯片系列组成。MSP430 的设计有五种低功耗模式，可以大大延长便携式测量设备中的电池寿命。芯片具有一个强大的 16 位 RISC CPU，10 个 16 位的寄存器以及常数发生器，能够最大限度的提高代码的效率。数字控制的振荡器 (DCO) 可以在 6 微秒内将 CPU 从低功耗模式唤醒。

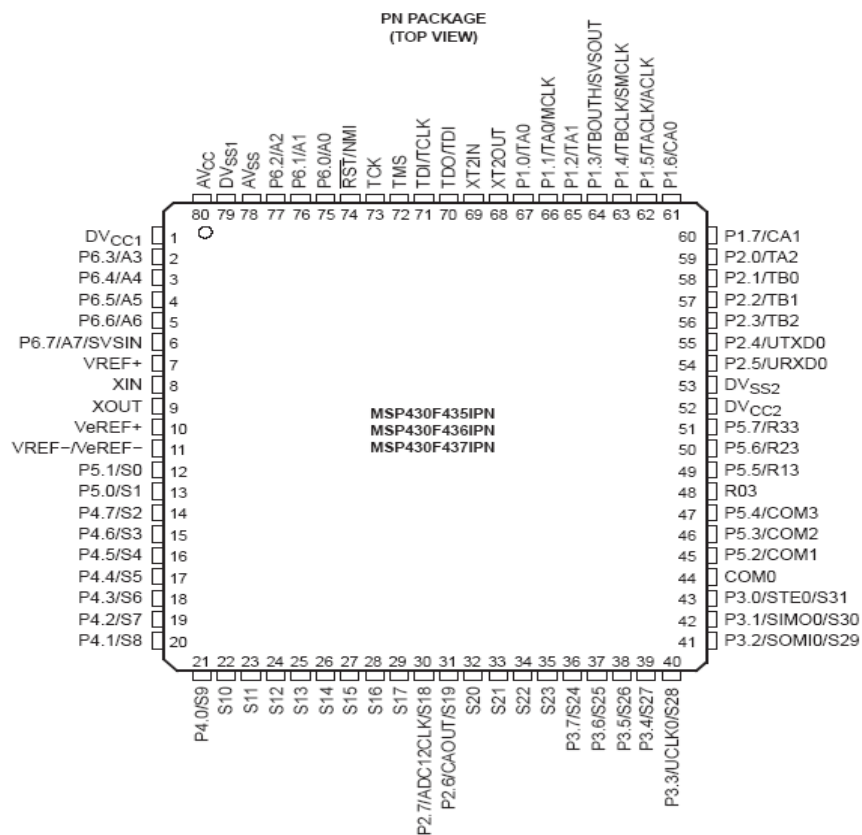
MSP430x43x 和 MSP430x44x 系列配置了两个内置 16 位定时器、一个 12 位快速 A/D 转换器、一个或者两个通用同步/异步串行通讯接口(USART)和 48 个 I/O 引脚以及一个多达 160 段的液晶(LCD)驱动器。

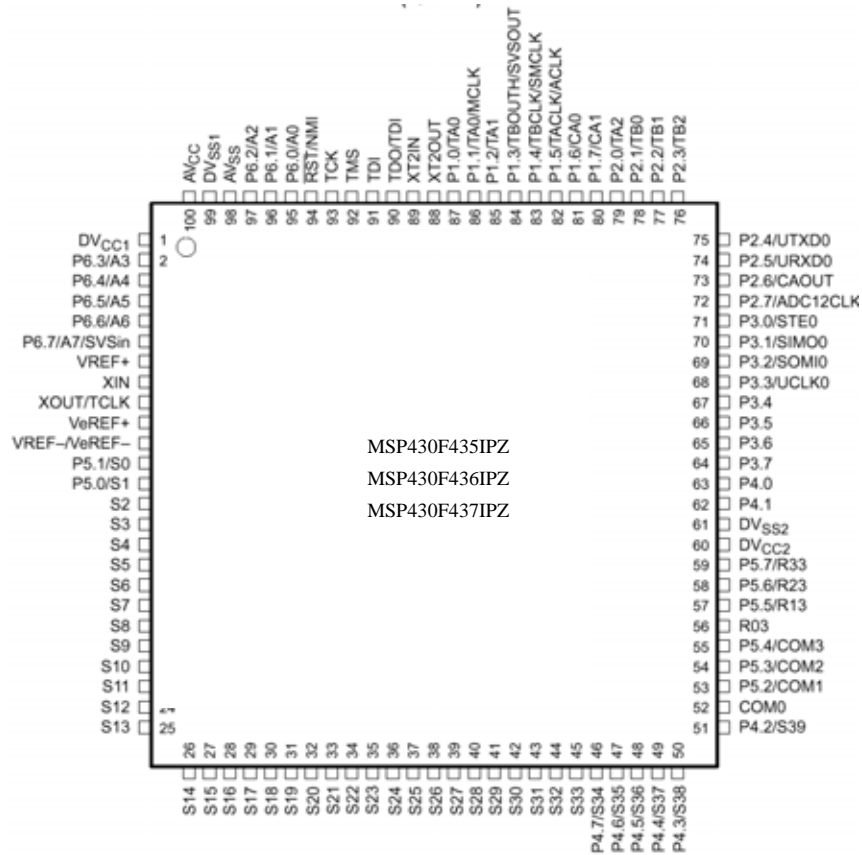
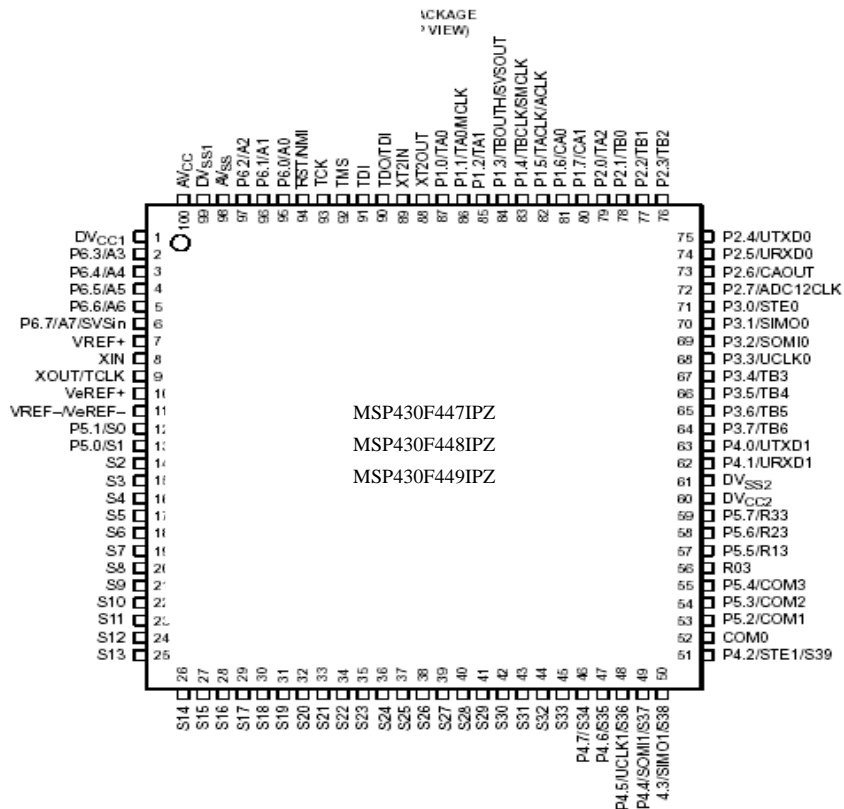
MSP430 的典型应用包括测量系统与控制系统，可以将捕获模拟信号转换为数字值，然后对数据进行处理并显示在液晶面板上。定时器功能可以使得其配置理想地使用在工业控制中，例如波形计数器、数字马达控制、电能表、手持式仪表等等。内置的硬件乘法器增强了 CPU 的性能。

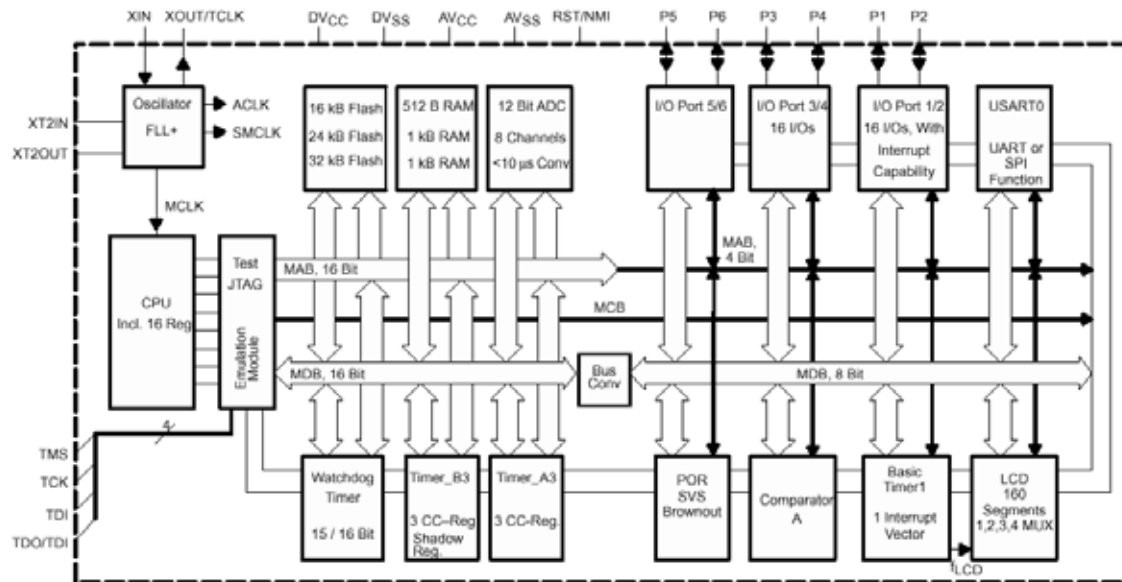
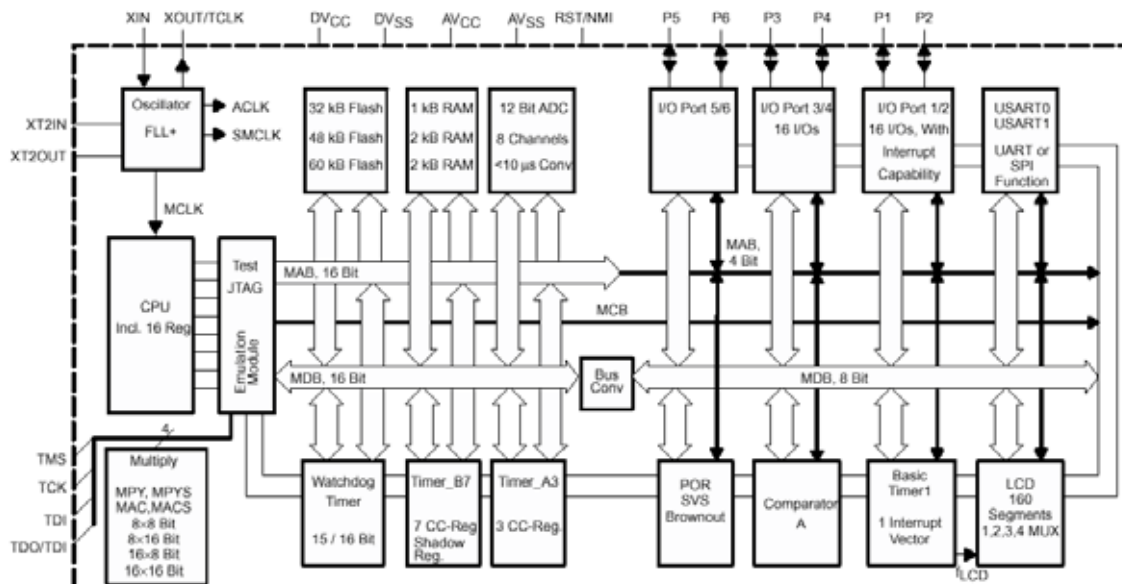
可选型号

T _A	PACKAGED DEVICES	
	PLASTIC 80-PIN QFP (PN)	PLASTIC 100-PIN QFP (PZ)
-40°C to 85°C	MSP430F435IPN MSP430F436IPN MSP430F437IPN	MSP430F435IPZ MSP430F436IPZ MSP430F437IPZ MSP430F447IPZ MSP430F448IPZ MSP430F449IPZ

MSP430x435IPN, MSP430x436IPN和 MSP430x437IPN的引脚定义



MSP430x435IPZ, MSP430x436IPZ, MSP430x437IPZ的引脚定义

MSP430x447IPZ, MSP430x448IPZ, MSP430x449IPZ的引脚定义


MSP430x43x功能模块框图

MSP430x44x功能模块框图


MSP430x43x引脚功能

引 脚		说 明		
PN引脚名称 序号	I/O	PZ引脚名称 序号	I/O	
DVcc1 1		DVcc1 1		数字供电电源正端.为所有数字部分供电
P6.3/A3 2	I/O	P6.3/A3 2	I/O	通用数字I/O引脚, 模拟量输入A3 - 12位ADC
P6.4/A4 3	I/O	P6.4/A4 3	I/O	通用数字I/O引脚, 模拟量输入A4 - 12位ADC
P6.5/A5 4	I/O	P6.5/A5 4	I/O	通用数字I/O引脚, 模拟量输入A5 - 12位ADC
P6.6/A6/DAC0 5	I/O	P6.6/A6/DAC0 5	I/O	通用数字I/O引脚, 模拟量输入A6 - 12位ADC
P6.7/A7/ SVSIN 6	I/O	P6.7/A7/ SVSIN 6	I/O	通用数字I/O引脚, 模拟量输入A7 - 12位ADC, SVS输入
VREF+ 7	O	VREF+ 7	O	参考电压的正输出引脚
XIN 8	I	XIN 8	I	晶体振荡器XT1的输入端口, 可连接标准晶振或者钟表晶振
XOUT/TCLK 9	I/O	XOUT/TCLK 9	I/O	晶体振荡器XT1的输出引脚或测试时钟输入
VeREF+ 10	I/P	VeREF+ 10	I/P	外部参考电压的输入
VREF-/VeREF- 11	O	VREF-/VeREF- 11	O	内部参考电压或者外加参考电压的引脚
P5.1/S0 12	I/O	P5.1/S0 12	I/O	通用数字I/O引脚/LCD段输出0
P5.0/S1 13	I/O	P5.0/S1 13	I/O	通用数字I/O引脚/LCD段输出1
P4.7/S2 14	I/O	S2 14	O	通用数字I/O引脚/LCD段输出2
P4.6/S3 15	I/O	S3 15	O	通用数字I/O引脚/LCD段输出3
P4.5/S4 16	I/O	S4 16	O	通用数字I/O引脚/LCD段输出4
P4.4/S5 17	I/O	S5 17	O	通用数字I/O引脚/LCD段输出5
P4.3/S6 18	I/O	S6 18	O	通用数字I/O引脚/LCD段输出6
P4.2/S7 19	I/O	S7 19	O	通用数字I/O引脚/LCD段输出7
P4.1/S8 20	I/O	S8 20	O	通用数字I/O引脚/LCD段输出8
P4.0/S9 21	I/O	S9 21	O	通用数字I/O引脚/LCD段输出9
S10 22	O	S10 22	O	LCD段输出10
S11 23	O	S11 23	O	LCD段输出11
S12 24	O	S12 24	O	LCD段输出12
S13 25	O	S13 25	O	LCD段输出13
S14 26	O	S14 26	O	LCD段输出14
S15 27	O	S15 27	O	LCD段输出15
S16 28	O	S16 28	O	LCD段输出16
S17 29	O	S17 29	O	LCD段输出17
P2.7/ADC12CLK/S18 30	I/O	P2.7/ADC12CLK/S18 30	I/O	通用数字I/O引脚/12位A/D转换时钟/LCD段输出18
P2.6/CAOUT/S19 31	I/O	P2.6/CAOUT/S19 31	I/O	通用数字I/O引脚/比较器A输出/LCD段输出19
S20 32	O	S20 32	O	LCD段输出20
S21 33	O	S21 33	O	LCD段输出21
S22 34	O	S22 34	O	LCD段输出22
S23 35	O	S23 35	O	LCD段输出23
P3.7/S24 36	I/O	S24 36	O	通用数字I/O引脚/LCD段输出24
P3.6/S25 37	I/O	S25 37	O	通用数字I/O引脚/LCD段输出25
P3.5/S26 38	I/O	S26 38	O	通用数字I/O引脚/LCD段输出26
P3.4/S27 39	I/O	S27 39	O	通用数字I/O引脚/LCD段输出27

MSP430x43x 引脚功能 (续)

引 脚		脚		说 明		
PN引脚名称	序号	I/O	PZ引脚名称	序号	I/O	
P3.3/S28/UCLK0		I/O	S28	40	O	通用数字I/O引脚/LCD段输出外部时钟输入-USART028
P3.3/S29/SOMI0 41		I/O	S29	41	O	通用数字I/O引脚/LCD段输出在USART0/SPI模式下从输出, 主输入 29
P3.1/S30/SOMO0 42		I/O	S30	42	O	通用数字I/O引脚/LCD段输出在USART0/SPI模式下从输出, 主输入 30
P3.0/S31/STE0		I/O	S31	43	O	通用数字I/O引脚/LCD段输出31
			S32	44	O	LCD段输出32
			S33	45	O	LCD段输出33
			P4.7/S34	46	I/O	通用数字I/O引脚/LCD段输出34
			P4.6/S35	47	I/O	通用数字I/O引脚/LCD段输出35
			P4.5/S36	48	I/O	通用数字I/O引脚/LCD段输出36
			P4.4/S37	49	I/O	通用数字I/O引脚/LCD段输出37
			P4.3/S38	50	I/O	通用数字I/O引脚/LCD段输出38
			P4.2/S39	51	I/O	通用数字I/O引脚/LCD段输出39
COM0	44	O	COM0	52	O	COM0-3用于LCD背板
P5.2/COM1	45	I/O	P5.2/COM1	53	I/O	通用数字I/O引脚/输出公共端, COM0-3用于LCD背板
P5.3/COM2	46	I/O	P5.3/COM2	54	I/O	通用数字I/O引脚/输出公共端, COM0-3用于LCD背板
P5.4/COM3	47	I/O	P5.4/COM3	55	I/O	通用数字I/O引脚/输出公共端, COM0-3用于LCD背板
R03	48	I	R03	56	I	第四个(最低)模拟LCD电平(V5)的输入端口
P5.5/R13	49	I/O	P5.5/R13	57	I/O	通用数字I/O引脚/第三个(最高)模拟LCD电平(V4或V3)的输入端口
P5.6/R23	50	I/O	P5.6/R23	58	I/O	通用数字I/O引脚/第二个(次高)模拟LCD电平(V2)的输入端口
P5.7/R33	51	I/O	P5.7/R33	59	I/O	通用数字I/O引脚/最高模拟LCD电平(V1)的输出端口
DVCC2	52		DVCC2	60	I/O	数字供电电源正端, 通用数字I/O引脚
DVss2	53		DVss2	61	I/O	数字供电电源负端, 通用数字I/O引脚
			P4.1	62	I/O	通用数字I/O引脚
			P4.0	63	I/O	通用数字I/O引脚
			P3.7	64	I/O	通用数字I/O引脚
			P3.6	65	I/O	通用数字I/O引脚
			P3.5	66	I/O	通用数字I/O引脚
			P3.4	67	I/O	通用数字I/O引脚
			P3.3/UCLK0	68	I/O	通用数字I/O引脚/外部时钟输入 - USART0/UART或者SPI模式, 时钟输出 - USART0/SPI模式
			P3.2/SOMI0	69	I/O	通用数字I/O引脚, USART0/SPI模式的从出/主入
			P3.1/SIMO0	70	I/O	通用数字I/O引脚, USART0/SPI模式的从入/主出
			P3.0/STE0	71	I/O	通用数字I/O引脚, USART0/SPI模式从设备传输使能端
			P2.7/ADC12CLK	72	I/O	通用数字I/O引脚, 转换时钟 - 12位ADC, DMA通道0外部触发器
			P2.6/CAOUT	73	I/O	通用数字I/O引脚/定时器A捕获: CCI0B输入/比较器输出
P2.5/URXD0	54	I/O	P2.5/URXD0	74	I/O	通用数字I/O引脚, USART0/UART模式的接收数据输入

MSP430x43x 引脚功能 (续)

P2.4/UTXD0	55	I/O	P2.4/UTXD0	75	I/O	通用数字I/O引脚, USART0/UART模式的传输数据输出
P2.3/TB2	56	I/O	P2.3/TB2	76	I/O	通用数字I/O口, 定时器B3 CCR2, 捕获CCI1A/CCI2B输入, 比较OUT2输出
P2.2/TB1	57	I/O	P2.2/TB1	77	I/O	通用数字I/O口, 定时器B3 CCR1, 捕获CCI1A/CC1B输入, 比较OUT1输出
P2.1/TB0	58	I/O	P2.1/TB0	78	I/O	通用数字I/O口, 定时器B3 CCR0, 捕获CCI1A/CC0B输入, 比较OUT0输出
P2.0/TA2	59	I/O	P2.0/TA2	79	I/O	通用数字I/O引脚/定时器A捕获CCI2A比较: OUT2输出
P1.7/CA1	60	I/O	P1.7/CA1	80	I/O	通用数字I/O引脚/比较器A
P1.6/CA0	61	I/O	P1.6/CA0	81	I/O	通用数字I/O引脚/比较器A
P1.5/TACLK/ACLK 62		I/O	P1.5/TACLK/ACLK 82		I/O	通用数字I/O引脚/定时器A时钟输入 TACLK辅助时钟 ACLK输出 (1、2、4、8分频)
P1.4/TBCLK/SMCLK 63		I/O	P1.4/TBCLK/SMCLK 83		I/O	通用数字I/O引脚/定时器B时钟输入/子系统时钟SMCLK输出
P1.3/TBOUTH/SVS SOUT 64		I/O	P1.3/TBOUTH/SVS SOUT 84		I/O	通用数字I/O引脚/将所有PWM数字输出端口切换到高阻态 - 定时器B3 TB0到TB2/SVS:SVS比较器输出
P1.2/TA1	65	I/O	P1.2/TA1	85	I/O	通用数字I/O引脚/定时器A, 捕获: CCI1A, 比较: Out1输出
P1.1/TA0/MCLK 66		I/O	P1.1/TA0/MCLK 86		I/O	通用数字I/O引脚/定时器A, 捕获: CCI0B/MCLK输出: TA0在这个引脚上只做输出
P1.0/TA0	67	I/O	P1.0/TA0	87	I/O	通用数字I/O引脚/定时器A, 捕获: CCI0A, 比较: OUT0输出
XT2OUT	68	I	XT2OUT	88	O	晶体振荡器XT2的输出引脚
XT2IN	69	O	XT2IN	89	I	晶体振荡器XT2的输入端口, 只能连接标准晶振
TDO/TDI	70	I/O	TDO/TDI	90	I/O	测试数据输出端口, TDO/TDI数据输出或者编程数据输出引脚
TDI	71	I	TDI	91	I	测试数据输入, TDI用作数据输入端口, 芯片保护熔丝连接到TDI
TMS	72	I	TMS	92	I	测试模式选择, TMS用作芯片编程和测试的输入端口
TCK	73	I	TCK	93	I	测试时钟, TCK是芯片编程和测试的时钟输入端口
RST/NMI	74	I	RST/NMI	94	I	复位输入, 不可屏蔽中断输入端口或者Bootstrap Lload启动 (FLASH芯片中)
P6.0/A0	75	I/O	P6.0/A0	95	I/O	通用数字I/O引脚, 模拟量输入A0 - 12位ADC
P6.1/A1	76	I/O	P6.1/A1	96	I/O	通用数字I/O引脚, 模拟量输入A1 - 12位ADC
P6.1/A2	77	I/O	P6.1/A2	97	I/O	通用数字I/O引脚, 模拟量输入A2 - 12位ADC
Avss	78		Avss	98		模拟供电电源负端SVS, 复位电路、FLL+、比较器等
DVss1	79		DVss1	99		数字供电电源负端.为所有AVCC/AVSS以外数字部分供电
Avcc	80		Avcc	100		

MSP430x44x引脚功能

PN引脚名称	序号	I/O	说 明
DVcc1	1		数字供电电源正端.为所有数字部分供电
P6.3/A3	2	I/O	通用数字I/O引脚, 模拟量输入A3 - 12位ADC
P6.4/A4	3	I/O	通用数字I/O引脚, 模拟量输入A4 - 12位ADC
P6.5/A5	4	I/O	通用数字I/O引脚, 模拟量输入A5 - 12位ADC
P6.6/A6	5	I/O	通用数字I/O引脚, 模拟量输入A6 - 12位ADC,
P6.7/A7/ SVSIN	6	I/O	通用数字I/O引脚, 模拟量输入A7 - 12位ADC, SVS输入
VREF+	7	O	参考电压的正输出引脚
XIN	8	I	晶体振荡器XT1的输入端口, 可连接标准晶振或者钟表晶振
XOUT/TCLK	9	I/O	晶体振荡器XT1的输出引脚或测试时钟输入
VeREF+	10	I/P	外部参考电压的输入
VREF-/VeREF-	11	O	ADC内部参考电压或者外加参考电压的引脚
P5.1/S0	12	I/O	通用数字I/O引脚/LCD段输出0
P5.0/S1	13	I/O	通用数字I/O引脚/LCD段输出1
S2	14	O	LCD段输出2
S3	15	O	LCD段输出3
S4	16	O	LCD段输出4
S5	17	O	LCD段输出5
S6	18	O	LCD段输出6
S7	19	O	LCD段输出7
S8	20	O	LCD段输出8
S9	21	O	LCD段输出9
S10	22	O	LCD段输出10
S11	23	O	LCD段输出11
S12	24	O	LCD段输出12
S13	25	O	LCD段输出13
S14	26	O	LCD段输出14
S15	27	O	LCD段输出15
S16	28	O	LCD段输出16
S17	29	O	LCD段输出17
S18	30	I/O	LCD段输出18
S19	31	I/O	LCD段输出19
S20	32	O	LCD段输出20
S21	33	O	LCD段输出21
S22	34	O	LCD段输出22
S23	35	O	LCD段输出23
S24	36	O	LCD段输出24
S25	37	O	LCD段输出25
S26	38	O	LCD段输出26
S27	39	O	LCD段输出27
S28	40	O	LCD段输出28

MSP430x44x引脚功能

PN引脚名称	序号	I/O	说 明
S29	41	O	LCD段输出29
S30	42	O	LCD段输出30
S31	43	O	LCD段输出31
S32	44	O	LCD段输出32
S33	45	O	LCD段输出33
P4.7/S34	46	I/O	通用数字I/O引脚/LCD段输出34
P4.6/S35	47	I/O	通用数字I/O引脚/LCD段输出35
P4.5/UCLK1/S36	48	I/O	通用数字I/O引脚，外部时钟输入-USART1或SPI模式LCD段输出36
P4.4/SOMI1/S37	49	I/O	通用数字I/O引脚，USART1-SPI模式下从出主入LCD段输出37
P4.3/SIMO1/S38	50	I/O	通用数字I/O引脚，USART1-SPI模式下从入主出LCD段输出38
P4.2/STE1/S39	51	I/O	通用数字I/O引脚，USART1-SPI模式从机发送使能LCD段输出39
COM0	52	O	COM0-3用于LCD背板
P5.2/COM1	53	I/O	通用数字I/O引脚/输出公共端，COM0-3用于LCD背板
P5.3/COM2	54	I/O	通用数字I/O引脚/输出公共端，COM0-3用于LCD背板
P5.4/COM3	55	I/O	通用数字I/O引脚/输出公共端，COM0-3用于LCD背板
R03	56	I	第四个（最低）模拟LCD电平（V5）的输入端口
P5.5/R13	57	I/O	通用数字I/O引脚/第三个模拟LCD电平（V4或V3）的输入端口
P5.6/R23	58	I/O	通用数字I/O引脚/第二个模拟LCD电平（V2）的输入端口
P5.7/R33	59	I/O	通用数字I/O引脚/最高模拟LCD电平（V1）的输出端口
DVCC2	60	I/O	通用数字I/O引脚
DVss2	61	I/O	通用数字I/O引脚
P4.1/URXD1	62	I/O	通用数字I/O引脚/接收数据输入 - USART1/UART模式
P4.0/UTXD1	63	I/O	通用数字I/O引脚/发送数据输出 - USART1/UART模式
P3.7/TB6	64	I/O	通用数字I/O引脚/定时器B7 CCR6/捕获：CCI6A/CCI6B输入，比较，OUT6输出
P3.6/TB5	65	I/O	通用数字I/O引脚/定时器B7 CCR5/捕获：CCI6A/CCI5B输入，比较，OUT5输出
P3.5/TB4	66	I/O	通用数字I/O引脚/定时器B7 CCR4/捕获：CCI6A/CCI4B输入，比较，OUT4输出
P3.4/TB3	67	I/O	通用数字I/O引脚/定时器B7 CCR3/捕获：CCI6A/CCI3B输入，比较，OUT3输出
P3.3/UCLK0	68	I/O	通用数字I/O引脚/外部时钟输入 - USART0/UART或者SPI模式，时钟输出 - USART0/SPI模式
P3.2/SOMI0	69	I/O	通用数字I/O引脚，USART0/SPI模式的从出/主入
P3.1/SIMO0	70	I/O	通用数字I/O引脚，USART0/SPI模式的从入/主出
P3.0/STE0	71	I/O	通用数字I/O引脚，USART0/SPI模式从设备传输使能端
P2.7/ADC12CLK	72	I/O	通用数字I/O引脚，转换时钟 - 12位ADC，DMA通道0外部触发器
P2.6/CAOUT	73	I/O	通用数字I/O引脚/定时器A捕获：CCI0B输入/比较器输出
P2.5/URXD0	74	I/O	通用数字I/O引脚，USART0/UART模式的接收数据输入
P2.4/UTXD0	75	I/O	通用数字I/O引脚，USART0/UART模式的传输数据输出
P2.3/TB2	76	I/O	通用数字I/O引脚，定时器B7 CCR2 捕获CCI2A/CCI2B输入，比较OUT2输出
P2.2/TB1	77	I/O	通用数字I/O引脚，定时器B7 CCR1 捕获CCI1A/CCI1B输入，比较OUT1输出
P2.1/TB0	78	I/O	通用数字I/O引脚，定时器B7 CCR0 捕获CCI0A/CCI0B输入，比较OUT0输出
P2.0/TA2	79	I/O	通用数字I/O引脚/定时器A捕获CCI2A输入：比较，OUT2输出
P1.7/CA1	80	I/O	通用数字I/O引脚/比较器A输入

MSP430x44x 引脚功能 (续)

P1.6/CA0	81	I/O	通用数字I/O引脚/比较器A
P1.5/TACLK/ACLK	82	I/O	通用数字I/O引脚/定时器A时钟输入辅助时钟ACLK输出
P1.4/TBCLK/SMCLK	83	I/O	通用数字I/O引脚/定时器B时钟输入/子系统时钟SMCLK输出
P1.3/TBOUTH/SVSOUT	84	I/O	通用数字I/O引脚/将所有PWM数字输出端口切换到高阻态 - 定时器B3TB0到TB2/SVS:SVS比较器输出
P1.2/TA1	85	I/O	通用数字I/O引脚/定时器A, 捕获: CCI1A, 比较: Oou0输出
P1.1/TA0/MCLK	86	I/O	通用数字I/O引脚/定时器A, 捕获: CCI0B, 比较, MCLK输出
P1.0/TA0	87	I/O	通用数字I/O引脚/定时器A, 捕获: CCI1A, 比较: OUT1输出
XT2OUT	88	O	晶体振荡器XT2的输出引脚
XT2IN	89	I	晶体振荡器XT2的输入端口, 只能连接标准晶振
TDO/TDI	90	I/O	测试数据输出端口, TDO/TDI数据输出或者编程数据输出引脚
TDI	91	I	测试数据输入, TDI用作数据输入端口, 芯片保护熔丝连接到TDI
TMS	92	I	测试模式选择, TMS用作芯片编程和测试的输入端口
TCK	93	I	测试时钟, TCK是芯片编程测试的时钟输入端口
RST/NMI	94	I	复位输入, 不可屏蔽中断输入端口
P6.0/A0	95	I/O	通用数字I/O引脚, 模拟量输入A0 - 12位ADC
P6.1/A1	96	I/O	通用数字I/O引脚, 模拟量输入A1 - 12位ADC
P6.1/A2	97	I/O	通用数字I/O引脚, 模拟量输入A2 - 12位ADC
Avss	98		模拟供电电源负端, VS, 复位电路、FLL+, 比较器A, LCD分压电路
DVss1	99		数字供电电源负端, 为所有AVCC/AVSS以外的数字部分供电
Avcc	100		模拟供电电源正端, VS, 复位电路、FLL+, 比较器A, LCD分压电路

简要说明
CPU

MSP430 CPU具有16位的精简指令计算机结构, 对应用是高度透明的。所有的操作, 除了程序流程指令, 都是通过源操作数的7种寻址模式和目标操作数的四种寻址模式的组合对寄存器进行操作的。

CPU集成了16个寄存器, 缩短了指令执行时间。寄存器到寄存器操作的执行时间是一个周期。

寄存器R0到R3, 相对地专用作程序计数器、堆栈指针、状态寄存器和常数发生器。其余寄存器是通用寄存器。

外围模块通过数据、地址和控制总线连接到CPU, 可以通过所有指令进行处理。

指令集

指令集由三种格式和7种寻址模式的51条指令构成。每条指令可以操作一个字或者字节。表1的例子显示了三类指令格式, 表2中列出了寻址模式。

程序计数器	PC/R0
堆栈指针	SP/R1
状态寄存器	SR/CG1/R2
常数寄存器	CG2/R3
通用寄存器	R4
通用寄存器	R5
通用寄存器	R6
通用寄存器	R7
通用寄存器	R13
通用寄存器	R14
通用寄存器	R15

表1 指令字格式

Dual operands, source-destination	e.g. ADD R4,R5	R4 + R5 → R5
Single operands, destination only	e.g. CALL R8	PC → (TOS), R8 → PC
Relative jump, un/conditional	e.g. JNE	Jump-on-equal bit = 0

表2 寻址模式说明

ADDRESS MODE	S	D	SYNTAX	EXAMPLE	OPERATION
Register	✓	✓	MOV Rs,Rd	MOV R10,R11	R10 → R11
Indexed	✓	✓	MOV X(Rn),Y(Rm)	MOV 2(R5),6(R6)	M(2+R5) → M(6+R6)
Symbolic (PC relative)	✓	✓	MOV EDE,TONI		M(EDE) → M(TONI)
Absolute	✓	✓	MOV and MEM,and TCDAT		M(MEM) → M(TCDAT)
Indirect	✓		MOV @Rn,Y(Rm)	MOV @R10,Tab(R6)	M(R10) → M(Tab+R6)
Indirect autoincrement	✓		MOV @Rn+,Rm	MOV @R10+,R11	M(R10) → R11 R10 + 2 → R10
Immediate	✓		MOV #X,TONI	MOV #45,TONI	#45 → M(TONI)

NOTE: S = source D = destination

运行模式

MSP430具有活动模式和五种软件可选的低功耗运行模式。一个中断事件可以将芯片从五种低功耗模式中的任何一种唤醒，对事件处理完毕后再恢复低功耗模式。

下列六种运行模式由软件配置：

活动模式AM：

- 所有时钟活动

低功耗模式0 (LPM0)

- CPU关闭

ACLK和SMCLK保持活动，MCLK关闭

FLL+锁相环控制保持活动

低功耗模式1 (LPM1)

- CPU关闭

ACLK和SMCLK保持活动，MCLK关闭

FLL+锁相环控制保持活动

低功耗模式2 (LPM2)

- CPU关闭

MCLK、FLL+，DCOCLK关闭

DCO的直流发生器保持活动

ACLK保持活动

低功耗模式3 (LPM3)

- CPU关闭

MCLK、FLL+，DCOCLK关闭

DCO的直流发生器关闭

ACLK保持活动

低功耗模式4 (LPM4)

- CPU关闭

ACLK关闭

MCLK、FLL+，DCOCLK关闭

DCO的直流发生器关闭

晶体振荡器停止

中断向量地址

中断向量和上电起始地址位于地址范围0FFFh - 0FFE0h。这些向量包括相应中断处理程序的入口地址。

INTERRUPT SOURCE	INTERRUPT FLAG	SYSTEM INTERRUPT	WORD ADDRESS	PRIORITY
Power-Up External Reset Watchdog Flash Memory	WDTIFG KEYV (see Note 1)	Reset	0FFFEh	15, highest
NMI Oscillator Fault Flash Memory Access Violation	NMIIFG (see Notes 1 and 3) OFIFG (see Notes 1 and 3) ACCVIFG (see Notes 1 and 3)	(Non)maskable (Non)maskable (Non)maskable	0FFFCh	14
Timer_B7↑	TBCCR0 CCIFG (see Note 2)	Maskable	0FFFAh	13
Timer_B7↑	TBCCR1 to TBCCR6 CCIFGs TBIFG (see Notes 1 and 2)	Maskable	0FFF8h	12
Comparator_A	CAIFG	Maskable	0FFF6h	11
Watchdog Timer	WDTIFG	Maskable	0FFF4h	10
USART0 Receive	URXIFG0	Maskable	0FFF2h	9
USART0 Transmit	UTXIFG0	Maskable	0FFF0h	8
ADC12	ADC12IFG (see Notes 1 and 2)	Maskable	0FFEEh	7
Timer_A3	TACCR0 CCIFG (see Note 2)	Maskable	0FFEC h	6
Timer_A3	TACCR1 and TACCR2 CCIFGs, TAIFG (see Notes 1 and 2)	Maskable	0FFEAh	5
I/O Port P1 (Eight Flags)	P1IFG.0 (see Notes 1 and 2) To P1IFG.7 (see Notes 1 and 2)	Maskable	0FFE8h	4
USART1 Receive↑	URXIFG1	Maskable	0FFE6h	3
USART1 Transmit↑	UTXIFG1	Maskable	0FFE4h	2
I/O Port P2 (Eight Flags)	P2IFG.0 (see Notes 1 and 2) To P2IFG.7 (see Notes 1 and 2)	Maskable	0FFE2h	1
Basic Timer1	BTIFG	Maskable	0FFE0h	0, lowest

注：43X在使用Timer_B具有TBCCR0、1和2个CCIFG和TBIFG标志位，44X使用时Timer_B7 with TBCCR0 CCIFG, TBCCR1 to TBCCR6 CCIFGs, and TBIFG; USART1只实用于44X。

专用功能寄存器

大部分中断和模块使能位集中在低地址空间。芯片物理上不存在没有分配功能目的的专用功能寄存器位。这种布局简化了软件处理。

中断使能寄存器1和2



WDTIE：看门狗定时器中断使能。如果选择看门狗模式该位无效；如果看门狗定时器配置为通用定时器模式该位无效。

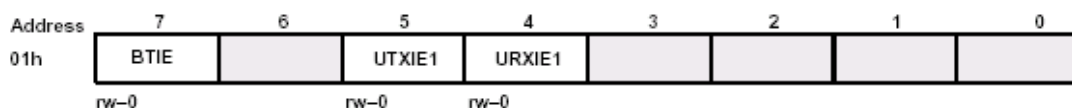
OFIE：振荡器失效中断使能

NMIE：不可屏蔽中断使能

ACCVIE：Flash存储器处理出错中断使能

URXIE0：USART0，UART和SPI接收中断使能

UTXIE0：USART0，UART和SPI发送中断使能



URXIE1：USART1，UART和SPI接收中断使能（仅对MSP430F44x）

UTXIE1：USART1，UART和发送中断使能（仅对MSP430F44x）

BTIE：基本定时器中断使能

中断标志寄存器1和2



WDTIFG：当看门狗定时器溢出（在看门狗模式）或者安全键值出错，当V_{cc}上电复位或者RST/NMI引脚在复位模式满足复位条件时复位

OFIFG：振荡器失效时标志置位

NMIIFG：通过RST/NMI引脚置位

URXIFG0：USART0，UART和SPI接收标志

UTXIFG0：USART0，UART和SPI发送标志

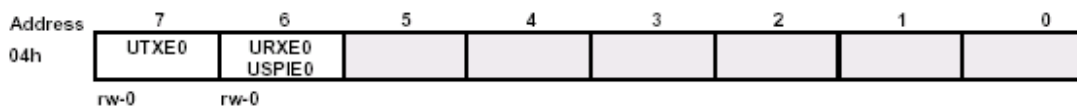


URXIFG1：USART1，UART和SPI接收标志

UTXIFG1：USART1，UART和SPI发送标志

BTIFG：基本定时器标志

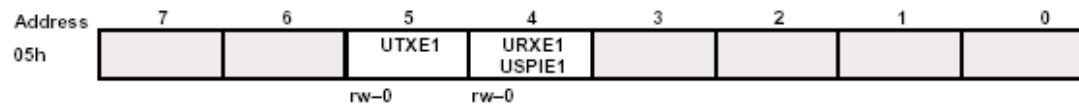
模块使能寄存器1和2



URXE0：USART0，UART模式接收使能

UTXE0：USART0，UART模式发送使能

USPIE0：USART0，SPI模式发送和接收使能




URXE1：USART1, UART模式接收使能（仅对MSP430F44x）

UTXE1：USART1, UART模式发送使能（仅对MSP430F44x）

USPIE1：SPI模式接收和发送使能（仅对MSP430F44x）

图例：rw：位可读写

 rw - (0, 1)：位可读写，由PUC复位

 rw - (0, 1)：位可读写,由POR置位/复位

存储器布局

		MSP430F435	MSP430F436	MSP430F437 MSP430F447	MSP430F448	MSP430F449
Memory	Size	16KB	24KB	32KB	48KB	60KB
Main: interrupt vector	Flash	0FFFFh – 0FFE0h	0FFFFh – 0FFE0h	0FFFFh – 0FFE0h	0FFFFh – 0FFE0h	0FFFFh – 0FFE0h
Main: code memory	Flash	0FFFFh – 0C000h	0FFFFh – 0A000h	0FFFFh – 08000h	0FFFFh – 04000h	0FFFFh – 01100h
Information memory	Size	256 Byte	256 Byte	256 Byte	256 Byte	256 Byte
	Flash	010FFh – 01000h	010FFh – 01000h	010FFh – 01000h	010FFh – 01000h	010FFh – 01000h
Boot memory	Size	1KB	1KB	1KB	1KB	1KB
	ROM	0FFFh – 0C00h	0FFFh – 0C00h	0FFFh – 0C00h	0FFFh – 0C00h	0FFFh – 0C00h
RAM	Size	512 Byte	1KB	1KB	2KB	2KB
		03FFh – 0200h	05FFh – 0200h	05FFh – 0200h	09FFh – 0200h	09FFh – 0200h
Peripherals	16-bit	01FFh – 0100h	01FFh – 0100h	01FFh – 0100h	01FFh – 0100h	01FFh – 0100h
	8-bit	0FFh – 010h	0FFh – 010h	0FFh – 010h	0FFh – 010h	0FFh – 010h
	8-bit SFR	0Fh – 00h	0Fh – 00h	0Fh – 00h	0Fh – 00h	0Fh – 00h

bootstrap loader (BSL)

MSP430的bootstrap loader (BSL) 使用户可以使用一个UART串行接口对Flash存储器或者RAM进行编程。通过BSL对MSP430存储器进行操作由用户定义的口令保护。完整的BSL特性说明和执行，可以参见应用报告MSP430的Bootstrap Loader的特性，文献号SLAA089。

Flash存储器

Flash存储器可以通过JTAG端口、bootstrap loader或者由CPU在系统编程。CPU可以执行单字节和单字写入Flash存储器。Flash存储器的特性包括：

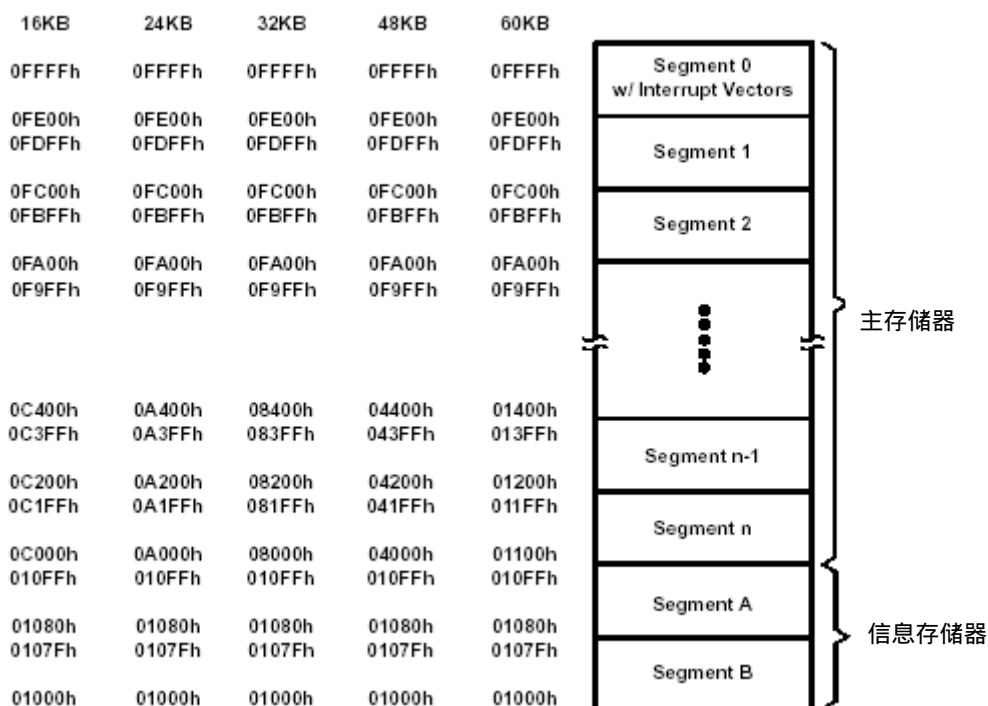
Flash存储器有n个主存储段和两个各为128个字节的的信息存储段（A和B）。每个主存储段为512个字节。

段0到n可以一起擦除或者每个段单独擦除。

段A和B可以单独擦除或者与段0 - n作为一个组擦除。

段A和B也被称为信息存储器。

新芯片的信息存储器中的某些字节可能已经编程（制造过程中用于测试）。用户在初次使用前应进行一次信息存储器的擦除。



外围模块

外围模块通过数据、地址和控制总线连接到CPU，可以使用所有指令处理。

数字输入输出端口

44x系列有六个8位I/O端口 - 端口P1到P6:

所有单独的I/O位可独立编程

可以进行输入、输出和中断条件的任意组合

P1和P2端口的所有8位可以进行中断边沿选择

所有指令支持端口控制寄存器的读写操作

振荡器和系统时钟

MSP430x15x和MSP430x16x (x) 系列芯片的时钟系统支持基本时钟模块，包括支持32768Hz钟表晶振、一个内部数字控制的振荡器 (DCO) 和一个高频晶体振荡器。基本时钟模块的设计是为了同时满足低成本和低功耗的要求。内部DCO可以在6微秒内快速打开时钟源并稳定。基本时钟模块提供下列时钟信号：

辅助时钟 (ACLK)，来自32768Hz钟表晶振或者高频晶振

主时钟 (MCLK)，CPU使用的主时钟

次主时钟 (SMCLK)，由外围模块使用的子系统时钟

ACLK/n, ACLK、ACLK/2、ACLK/4或者ACLK/8的缓冲输出

上电电路，供电电压管理器

上电电路是在上电和掉电时用于为芯片提供正确的内部复位信号。供电电压管理 (SVS) 电路检测供电电压是否下降到用户选择的电压以下，同时支持供电电压管理 (芯片自动复位) 和监测 (SVM, 芯片不自动复位)。

CPU在上电电路释放芯片复位后开始执行代码。不过Vcc不能下降到Vcc (min)。用户必须确保缺省的FLL + 设定不会改变直至Vcc到达Vcc (min)。如果愿意，SVS电路可以用于监测Vcc何时到达Vcc (min)。

乘法器 (仅对MSP430x44x)

乘法器操作由专用外围模块支持。这个模块可以进行16×16、16×8、8×16、8×8位的操作。这个模块能够同时支持带符号和不带符号的乘法和累加操作。操作结果可以在操作数装入外围寄存器后立即处理，无需额外的时钟周期。

基本定时器1

基本定时器1有两个独立的8位定时器，可以组合在一起构成一个16位定时器/计数器。两个定时器都可通过软件读写。基本定时器1可以用来产生周期性中断和LCD模块所需的时序信号。

LCD驱动器

LCD驱动器产生驱动LCD显示器所需的公共端和段信号。LCD控制器具有专用数据存储器来保持段驱动信息。它可以支持产生静态、2-MUX、3-MUX、4-MUX LCD模式的公共端和段信号。



Table 4. MSP430x43xIPN Terminal Function, Selected by Bits 5/6/7 in LCD Mode Control Register LCDM

TERMINAL		I/O	BITS 5/6/7 IN LCD MODE CONTROL REGISTER LCDM							
NAME	NO		000X XXXX	001X XXXX	010X XXX	011X XXXX	100X XXXX	101X XXXX	110X XXX	111X XXXX
P5.1/S0	12	I/O	P5.1							S0
P5.0/S1	13	I/O	P5.0							S1
P4.7/S2	14	I/O	P4.7							S2
P4.6/S3	15	I/O	P4.6							S3
P4.5/S4	16	I/O	P4.5							S4
P4.4/S5	17	I/O	P4.4							S5
P4.3/S6	18	I/O	P4.3							S6
P4.2/S7	19	I/O	P4.2							S7
P4.1/S8	20	I/O	P4.1							S8
P4.0/S9	21	I/O	P4.0							S9
S10-S17	22-29	O	S10-S17							
P2.7/ADC10CLK/S18	30	I/O	P2.7/ADC10CLK	P2.7/ADC10CLK						S18
P2.6/CAOUT/S19	31	I/O	P2.6/CAOUT	P2.6/CAOUT						S19
S20-S23	32-35	O	S20-S23							
P3.7/S24	36	I/O	P3.7	P3.7	P3.7	P3.7				S24
P3.6/S25	37	I/O	P3.6	P3.6	P3.6	P3.6				S25
P3.5/S26	38	I/O	P3.5	P3.5	P3.5	P3.5				S26
P3.4/S27	39	I/O	P3.4	P3.4	P3.4	P3.4				S27
P3.3/UCLK0/S28	40	I/O	P3.3/UCLK0	P3.3/UCLK0	P3.3/UCLK0	P3.3/UCLK0	P3.3/UCLK0			S28
P3.2/SOMI0/S29	41	I/O	P3.2/SOMI0	P3.2/SOMI0	P3.2/SOMI0	P3.2/SOMI0	P3.2/SOMI0			S29
P3.1/SIMO0/S30	42	I/O	P3.1/SIMO0	P3.1/SIMO0	P3.1/SIMO0	P3.1/SIMO0	P3.1/SIMO0			S30
P3.0/STE0/S31	43	I/O	P3.0/STE0	P3.0/STE0	P3.0/STE0	P3.0/STE0	P3.0/STE0			S31

Table 5. MSP430x43xIPZ Terminal Functions, Selected by Bits 5/6/7 in LCD Mode Control Register LCDM

TERMINAL		I/O	BITS 5/6/7 IN LCD MODE CONTROL REGISTER LCDM							
NAME	NO		000X XXXX	001X XXXX	010X XXX	011X XXXX	100X XXXX	101X XXXX	110X XXXX	111X XXXX
P5.1/S0	12	I/O	P5.1							S0
P5.0/S1	13	I/O	P5.0							S1
S2-S33	14-45	O	S2-S33							
P4.7/S34	46	I/O	P4.7	P4.7	P4.7	P4.7	P4.7	P4.7		S34
P4.6/S35	47	I/O	P4.6	P4.6	P4.6	P4.6	P4.6	P4.6		S35
P4.5/S36	48	I/O	P4.5	P4.5	P4.5	P4.5	P4.5	P4.5	P4.5	S36
P4.4/S36	48	I/O	P4.4	P4.4	P4.4	P4.4	P4.4	P4.4	P4.4	S37
P4.3/S36	48	I/O	P4.3	P4.3	P4.3	P4.3	P4.3	P4.3	P4.3	S38
P4.2/S36	48	I/O	P4.2	P4.2	P4.2	P4.2	P4.2	P4.2	P4.2	S39

Table 6. MSP430x44xIPZ Terminal Functions, Selected by Bits 5/6/7 in LCD Mode Control Register LCDM

TERMINAL		I/O	BITS 5/6/7 IN LCD MODE CONTROL REGISTER LCDM							
NAME	NO		000X XXXX	001X XXXX	010X XXX	011X XXXX	100X XXXX	101X XXXX	110X XXXX	111X XXXX
P5.1/S0	12	I/O	P5.1							S0
P5.0/S1	13	I/O	P5.0							S1
S2-S33	14-45	O	S2-S33							
P4.7/S34	46	I/O	P4.7	P4.7	P4.7	P4.7	P4.7	P4.7		S34
P4.6/S35	47	I/O	P4.6	P4.6	P4.6	P4.6	P4.6	P4.6		S35
P4.5/UCLK1/S36	48	I/O	P4.5/UCLK1	P4.5/UCLK1	P4.5/UCLK1	P4.5/UCLK1	P4.5/UCLK1	P4.5/UCLK1	P4.5/UCLK1	S36
P4.4/SOMI1/S37	49	I/O	P4.4/SOMI1	P4.4/SOMI1	P4.4/SOMI1	P4.4/SOMI1	P4.4/SOMI1	P4.4/SOMI1	P4.4/SOMI1	S37
P4.3/SIMO1/S38	50	I/O	P4.3/SIMO1	P4.3/SIMO1	P4.3/SIMO1	P4.3/SIMO1	P4.3/SIMO1	P4.3/SIMO1	P4.3/SIMO1	S38
P4.2/STE1/S39	51	I/O	P4.2/STE1	P4.2/STE1	P4.2/STE1	P4.2/STE1	P4.2/STE1	P4.2/STE1	P4.2/STE1	S39

看门狗定时器

看门狗定时器模块 (WDT) 的主要功能是在发生软件问题进行系统的重启。如果选定的时间间隔溢出, 系统产生复位。如果看门狗功能在应用中不需要, 这个模块可以配置位间隔定时器在选定的时间间隔产生中断。

USART0

MSP430x15x和MSP430x16x(x)有一个硬件通用同步/异步接收发送 (USART0) 外围模块用于串行数据通信。USART支持同步SPI (3或者4引脚)、异步UART和使用双缓冲发送和传输通道的I2C通讯协议。

USART1(仅对MSP430x44x)

MSP430x44x(x)芯片配有第二个硬件通用同步/异步接收发送 (USART1) 外围模块用于串行数据通信。USART支持同步SPI(3或4引脚)和异步UART通讯协议, 使用双缓冲发送和接收通道。USART1的操作与USART0是一样的。

定时器A3

定时器A3是一个带有3个捕获/比较寄存器的定时器/计数器。定时器A3可以支持多个捕获/比较、PWM输出和内部时序。定时器B7也具有扩展中断能力。中断可以由计数器溢出条件或者每个捕获/比较寄存器产生。

定时器B7(仅对MSP430x44x)

定时器B7是一个带有7个捕获/比较寄存器的定时器/计数器。定时器B7可以支持多个捕获/比较、PWM输出和内部时序。定时器B7也具有扩展中断能力。中断可以由计数器溢出条件或者每个捕获/比较寄存器产生。

定时器B3(仅对MSP430x43x)

定时器B3是一个带有3个捕获/比较寄存器的定时器/计数器。定时器B3可以支持多个捕获/比较、PWM输出和内部时序。定时器A3也具有扩展中断能力。中断可以由计数器溢出条件或者每个捕获/比较寄存器产生。

比较器A

比较器A模块的主要功能是支持精密的斜坡模拟/数字转换、电池电压管理和外部模拟信号的检测。

ADC12

ADC12模块支持快速12位模拟/数字转换。模块包括一个12位SAR内核、采样选择控制、参考电压发生器和一个16字的转换控制缓冲区。转换控制缓冲区允许多达16个独立ADC采样的转换和存储而无需CPU的干预。

外围模块布局

PERIPHERALS WITH WORD ACCESS			
Watchdog	Watchdog timer control	WDTCTL	0120h
Timer_B7 Timer_B3 (see Note 6)	Capture/compare register 6	TBCCR6	019Eh
	Capture/compare register 5	TBCCR5	019Ch
	Capture/compare register 4	TBCCR4	019Ah
	Capture/compare register 3	TBCCR3	0198h
	Capture/compare register 2	TBCCR2	0196h
	Capture/compare register 1	TBCCR1	0194h
	Capture/compare register 0	TBCCR0	0192h
	Timer_B register	TBR	0190h
	Capture/compare control 6	TBCCTL6	018Eh
	Capture/compare control 5	TBCCTL5	018Ch
	Capture/compare control 4	TBCCTL4	018Ah
	Capture/compare control 3	TBCCTL3	0188h
	Capture/compare control 2	TBCCTL2	0186h
	Capture/compare control 1	TBCCTL1	0184h
	Capture/compare control 0	TBCCTL0	0182h
	Timer_B control	TBCTL	0180h
		Timer_B interrupt vector	TBIV
Timer_A3	Reserved		017Eh
	Reserved		017Ch
	Reserved		017Ah
	Reserved		0178h
	Capture/compare register 2	TACCR2	0176h
	Capture/compare register 1	TACCR1	0174h
	Capture/compare register 0	TACCR0	0172h
	Timer_A register	TAR	0170h
	Reserved		016Eh
	Reserved		016Ch
	Reserved		016Ah
	Reserved		0168h
	Capture/compare control 2	TACCTL2	0166h
	Capture/compare control 1	TACCTL1	0164h
	Capture/compare control 0	TACCTL0	0162h
	Timer_A control	TACTL	0160h
	Timer_A interrupt vector	TAIV	012Eh
Multiply (MSP430x44x only)	Sum extend	SUMEXT	013Eh
	Result high word	RESHI	013Ch
	Result low word	RESLO	013Ah
	Second operand	OP2	0138h
	Multiply signed + accumulate/operand1	MACS	0136h
	Multiply + accumulate/operand1	MAC	0134h
	Multiply signed/operand1	MPYS	0132h
	Multiply unsigned/operand1	MPY	0130h

外围模块布局(续)

PERIPHERALS WITH WORD ACCESS (CONTINUED)			
Flash	Flash control 3	FCTL3	012Ch
	Flash control 2	FCTL2	012Ah
	Flash control 1	FCTL1	0128h
ADC12	Conversion memory 15	ADC12MEM15	015Eh
	Conversion memory 14	ADC12MEM14	015Ch
	Conversion memory 13	ADC12MEM13	015Ah
	Conversion memory 12	ADC12MEM12	0158h
	Conversion memory 11	ADC12MEM11	0156h
	Conversion memory 10	ADC12MEM10	0154h
	Conversion memory 9	ADC12MEM9	0152h
	Conversion memory 8	ADC12MEM8	0150h
	Conversion memory 7	ADC12MEM7	014Eh
	Conversion memory 6	ADC12MEM6	014Ch
	Conversion memory 5	ADC12MEM5	014Ah
	Conversion memory 4	ADC12MEM4	0148h
	Conversion memory 3	ADC12MEM3	0146h
	Conversion memory 2	ADC12MEM2	0144h
	Conversion memory 1	ADC12MEM1	0142h
	Conversion memory 0	ADC12MEM0	0140h
	Interrupt-vector-word register	ADC12IV	01A8h
	Inerrupt-enable register	ADC12IE	01A6h
	Inerrupt-flag register	ADC12IFG	01A4h
	Control register 1	ADC12CTL1	01A2h
	Control register 0	ADC12CTL0	01A0h
	ADC memory-control register15	ADC12MCTL15	08Fh
	ADC memory-control register14	ADC12MCTL14	08Eh
	ADC memory-control register13	ADC12MCTL13	08Dh
	ADC memory-control register12	ADC12MCTL12	08Ch
	ADC memory-control register11	ADC12MCTL11	08Bh
	ADC memory-control register10	ADC12MCTL10	08Ah
	ADC memory-control register9	ADC12MCTL9	089h
	ADC memory-control register8	ADC12MCTL8	088h
	ADC memory-control register7	ADC12MCTL7	087h
	ADC memory-control register6	ADC12MCTL6	086h
	ADC memory-control register5	ADC12MCTL5	085h
	ADC memory-control register4	ADC12MCTL4	084h
ADC memory-control register3	ADC12MCTL3	083h	
ADC memory-control register2	ADC12MCTL2	082h	
ADC memory-control register1	ADC12MCTL1	081h	
ADC memory-control register0	ADC12MCTL0	080h	

外围模块布局(续)

PERIPHERALS WITH BYTE ACCESS			
LCD	LCD memory 20	LCDM20	0A4h
	:	:	:
	LCD memory 16	LCDM16	0A0h
	LCD memory 15	LCDM15	09Fh
	:	:	:
	LCD memory 1 LCD control and mode	LCDM1 LCDCTL	091h 090h
USART1 (Only in 'x44x)	Transmit buffer	U1TXBUF	07Fh
	Receive buffer	U1RXBUF	07Eh
	Baud rate	U1BR1	07Dh
	Baud rate	U1BR0	07Ch
	Modulation control	U1MCTL	07Bh
	Receive control	U1RCTL	07Ah
	Transmit control	U1TCTL	079h
	USART control	U1CTL	078h
USART0	Transmit buffer	U0TXBUF	077h
	Receive buffer	U0RXBUF	076h
	Baud rate	U0BR1	075h
	Baud rate	U0BR0	074h
	Modulation control	U0MCTL	073h
	Receive control	U0RCTL	072h
	Transmit control	U0TCTL	071h
	USART control	U0CTL	070h
Comparator_A	Comparator_A port disable	CAPD	05Bh
	Comparator_A control2	CACTL2	05Ah
	Comparator_A control1	CACTL1	059h
BrownOUT, SVS	SVS control register (Reset by brownout signal)	SVSCTL	056h
FLL+ Clock	FLL+ Control1	FLL_CTL1	054h
	FLL+ Control0	FLL_CTL0	053h
	System clock frequency control	SCFQCTL	052h
	System clock frequency integrator	SCF11	051h
	System clock frequency integrator	SCF10	050h
Basic Timer1	BT counter2	BTCNT2	047h
	BT counter1	BTCNT1	046h
	BT control	BTCTL	040h
Port P6	Port P6 selection	P6SEL	037h
	Port P6 direction	P6DIR	036h
	Port P6 output	P6OUT	035h
	Port P6 input	P6IN	034h
Port P5	Port P5 selection	P5SEL	033h
	Port P5 direction	P5DIR	032h
	Port P5 output	P5OUT	031h
	Port P5 input	P5IN	030h

外围模块布局(续)

PERIPHERALS WITH BYTE ACCESS			
Port P4	Port P4 selection	P4SEL	01Fh
	Port P4 direction	P4DIR	01Eh
	Port P4 output	P4OUT	01Dh
	Port P4 input	P4IN	01Ch
Port P3	Port P3 selection	P3SEL	01Bh
	Port P3 direction	P3DIR	01Ah
	Port P3 output	P3OUT	019h
	Port P3 input	P3IN	018h
Port P2	Port P2 selection	P2SEL	02Eh
	Port P2 interrupt enable	P2IE	02Dh
	Port P2 interrupt-edge select	P2IES	02Ch
	Port P2 interrupt flag	P2IFG	02Bh
	Port P2 direction	P2DIR	02Ah
	Port P2 output	P2OUT	029h
	Port P2 input	P2IN	028h
Port P1	Port P1 selection	P1SEL	026h
	Port P1 interrupt enable	P1IE	025h
	Port P1 interrupt-edge select	P1IES	024h
	Port P1 interrupt flag	P1IFG	023h
	Port P1 direction	P1DIR	022h
	Port P1 output	P1OUT	021h
	Port P1 input	P1IN	020h
Special functions	SFR module enable2	ME2	005h
	SFR module enable1	ME1	004h
	SFR interrupt flag2	IFG2	003h
	SFR interrupt flag1	IFG1	002h
	SFR interrupt enable2	IE2	001h
	SFR interrupt enable1	IE1	000h

最大绝对额定值

作用于 Vcc 到 Vss 的电压.....-0.3V 到 4.1V

作用于任何引脚的电压（相对于 Vss）.....-0.3V 到 Vcc + 0.3V

芯片终端的二极管电流..... ± 2mA

储存温度，Tstg（未编程芯片）.....-55 到 150

储存温度，Tstg（已编程芯片）.....-40 到 85

超过最大绝对额定值中列出的条件可能引起芯片永久性的损坏。这些只是额定的极限，并不代表芯片在超出“推荐运行条件”之外的条件下芯片能够正常运行。在一段时期内暴露在最大绝对额定值将影响芯片的可靠性。

注意：所有电压以地为参考。

推荐运行条件

		MIN	NOM	MAX	UNITS
Supply voltage during program execution, V_{CC} ($AV_{CC} = DV_{CC1} = DV_{CC2} = V_{CC}$)		1.8		3.6	V
Supply voltage during flash memory programming, V_{CC} ($AV_{CC} = DV_{CC1} = DV_{CC2} = V_{CC}$)		2.7		3.6	V
Supply voltage during program execution, SVS enabled (see Note 1), V_{CC} ($AV_{CC} = DV_{CC1} = DV_{CC2} = V_{CC}$)		2		3.6	V
Supply voltage, V_{SS} ($AV_{SS} = DV_{SS1} = DV_{SS2} = V_{SS}$)		0		0	V
Operating free-air temperature range, T_A		-40		85	°C
LFXT1 crystal frequency, $f_{(LFXT1)}$ (see Note 2)	LF selected, $XTS_FLL=0$	Watch crystal		32.768	kHz
	XT1 selected, $XTS_FLL=1$	Ceramic resonator		450	8000
	XT1 selected, $XTS_FLL=1$	Crystal		1000	8000
XT2 crystal frequency, $f_{(XT2)}$	Ceramic resonator		450	8000	kHz
	Crystal		1000	8000	
Processor frequency (signal MCLK), $f_{(System)}$	$V_{CC} = 1.8\text{ V}$	DC		4.15	MHz
	$V_{CC} = 3.6\text{ V}$	DC		8	
Flash-timing-generator frequency, $f_{(FTG)}$	MSP430F43x, MSP430F44x	257		476	kHz
Cumulative program time, $t_{(CPT)}$ (see Note 3)	$V_{CC} = 2.7\text{ V}/3.6\text{ V}$ MSP430F43x MSP430F44x			3	ms
Mass erase time, $t_{(MERas)}$ (See the <i>flash memory, timing generator, control register FCTL2</i> section and Note 4)	$V_{CC} = 2.7\text{ V}/3.6\text{ V}$	200			ms
Low-level input voltage (TCK, TMS, TDI, RST/NMI), V_{iL} (excluding X_{in} , X_{out})	$V_{CC} = 2.2\text{ V}/3\text{ V}$	V_{SS}		$V_{SS} + 0.6$	V
High-level input voltage (TCK, TMS, TDI, RST/NMI), V_{iH} (excluding X_{in} , X_{out})	$V_{CC} = 2.2\text{ V}/3\text{ V}$	$0.8 \times V_{CC}$		V_{CC}	V
Input levels at X_{in} and X_{out}	$V_{iL}(X_{in}, X_{out})$	$V_{CC} = 2.2\text{ V}/3\text{ V}$	V_{SS}	$0.2 \times V_{CC}$	V
	$V_{iH}(X_{in}, X_{out})$		$0.8 \times V_{CC}$	V_{CC}	

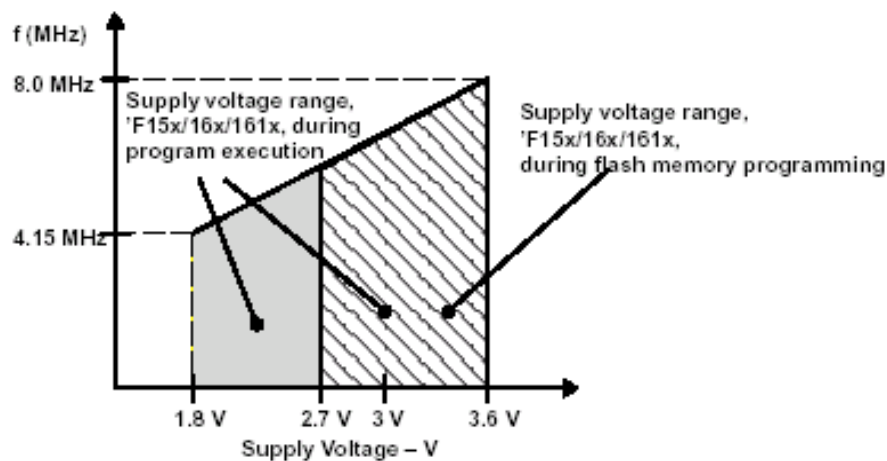


图 1 频率和供电电压，MSP430F43x/44x

在推荐的供电电压和运行温度范围内时的电气特性（除非另有说明）
流入 $Avcc + Dvcc$ 的供电电流，包括外部电流

PARAMETER		TEST CONDITIONS		MIN	NOM	MAX	UNIT	
$I_{(AM)}$	Active mode, (see Note 1) $f_{(MCLK)} = f_{(SMCLK)} = 1 \text{ MHz}$, $f_{(ACLK)} = 32,768 \text{ Hz}$ $XTS=0$, $SELM=(0,1)$	F43x, F44x	$T_A = -40^\circ\text{C}$ to 85°C	$V_{CC} = 2.2 \text{ V}$	280	350	μA	
				$V_{CC} = 3 \text{ V}$	420	560		
$I_{(LPM0)}$	Low-power mode, (LPM0) (see Note 1)	F43x, F44x	$T_A = -40^\circ\text{C}$ to 85°C	$V_{CC} = 2.2 \text{ V}$	32	45	μA	
				$V_{CC} = 3 \text{ V}$	55	70		
$I_{(LPM2)}$	Low-power mode, (LPM2), $f_{(MCLK)} = f_{(SMCLK)} = 0 \text{ MHz}$, $f_{(ACLK)} = 32,768 \text{ Hz}$, $SCG0 = 0$ (see Note 2)		$T_A = -40^\circ\text{C}$ to 85°C	$V_{CC} = 2.2 \text{ V}$	11	14	μA	
				$V_{CC} = 3 \text{ V}$	17	22		
$I_{(LPM3)}$	Low-power mode, (LPM3) $f_{(MCLK)} = f_{(SMCLK)} = 0 \text{ MHz}$, $f_{(ACLK)} = 32,768 \text{ Hz}$, $SCG0 = 1$ (see Note 3)		$T_A = -40^\circ\text{C}$ to 85°C	$V_{CC} = 2.2 \text{ V}$	$T_A = -40^\circ\text{C}$	1	1.5	μA
					$T_A = 25^\circ\text{C}$	1.1	1.5	
					$T_A = 60^\circ\text{C}$	2	3	
					$T_A = 85^\circ\text{C}$	3.5	6	
				$V_{CC} = 3 \text{ V}$	$T_A = -40^\circ\text{C}$	1.8	2.2	μA
					$T_A = 25^\circ\text{C}$	1.6	1.9	
					$T_A = 60^\circ\text{C}$	2.5	3.5	
					$T_A = 85^\circ\text{C}$	4.2	7.5	
$I_{(LPM4)}$	Low-power mode, (LPM4) $f_{(MCLK)} = 0 \text{ MHz}$, $f_{(SMCLK)} = 0 \text{ MHz}$, $f_{(ACLK)} = 0 \text{ Hz}$, $SCG0 = 1$ (see Note 2)		$T_A = -40^\circ\text{C}$ to 85°C	$V_{CC} = 2.2 \text{ V}$	$T_A = -40^\circ\text{C}$	0.1	0.5	μA
					$T_A = 25^\circ\text{C}$	0.1	0.5	
					$T_A = 60^\circ\text{C}$	0.7	1.1	
					$T_A = 85^\circ\text{C}$	1.7	3	
				$V_{CC} = 3 \text{ V}$	$T_A = -40^\circ\text{C}$	0.1	0.5	μA
					$T_A = 25^\circ\text{C}$	0.1	0.5	
					$T_A = 60^\circ\text{C}$	0.8	1.2	
					$T_A = 85^\circ\text{C}$	1.9	3.5	

活动模式电流消耗相对于系统频率, F 版本

$$I_{AM} = I_{AM}[1 \text{ MHz}] \cdot f_{\text{system}} [\text{MHz}]$$

活动模式电流消耗相对于供电电压, F 版本

$$I_{AM} = I_{AM}[3 \text{ V}] + 175 \mu\text{A/V} \cdot (V_{CC} - 3 \text{ V})$$

施密特触发器输入端口 P1、P2、P3、P4、P5、P6；RST/NMI；JTAG：TCK，TMS，TDI，TDO

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{IT+}	Positive-going input threshold voltage	$V_{CC} = 2.2 \text{ V}$	1.1		1.5	V
		$V_{CC} = 3 \text{ V}$	1.5		1.9	
V_{IT-}	Negative-going input threshold voltage	$V_{CC} = 2.2 \text{ V}$	0.4		0.9	V
		$V_{CC} = 3 \text{ V}$	0.9		1.3	
V_{hys}	Input voltage hysteresis ($V_{IT+} - V_{IT-}$)	$V_{CC} = 2.2 \text{ V}$	0.3		1.1	V
		$V_{CC} = 3 \text{ V}$	0.5		1	

输出 - 端口 P1，P2，P3，P4，P5，P6

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{OH}	High-level output voltage	$I_{OH(\text{max})} = -1.5 \text{ mA}$, $V_{CC} = 2.2 \text{ V}$, See Note 1	$V_{CC} - 0.25$		V_{CC}	V
		$I_{OH(\text{max})} = -6 \text{ mA}$, $V_{CC} = 2.2 \text{ V}$, See Note 2	$V_{CC} - 0.6$		V_{CC}	
		$I_{OH(\text{max})} = -1.5 \text{ mA}$, $V_{CC} = 3 \text{ V}$, See Note 1	$V_{CC} - 0.25$		V_{CC}	
		$I_{OH(\text{max})} = -6 \text{ mA}$, $V_{CC} = 3 \text{ V}$, See Note 2	$V_{CC} - 0.6$		V_{CC}	
V_{OL}	Low-level output voltage	$I_{OL(\text{max})} = 1.5 \text{ mA}$, $V_{CC} = 2.2 \text{ V}$, See Note 1	V_{SS}		$V_{SS} + 0.25$	V
		$I_{OL(\text{max})} = 6 \text{ mA}$, $V_{CC} = 2.2 \text{ V}$, See Note 2	V_{SS}		$V_{SS} + 0.6$	
		$I_{OL(\text{max})} = 1.5 \text{ mA}$, $V_{CC} = 3 \text{ V}$, See Note 1	V_{SS}		$V_{SS} + 0.25$	
		$I_{OL(\text{max})} = 6 \text{ mA}$, $V_{CC} = 3 \text{ V}$, See Note 2	V_{SS}		$V_{SS} + 0.6$	

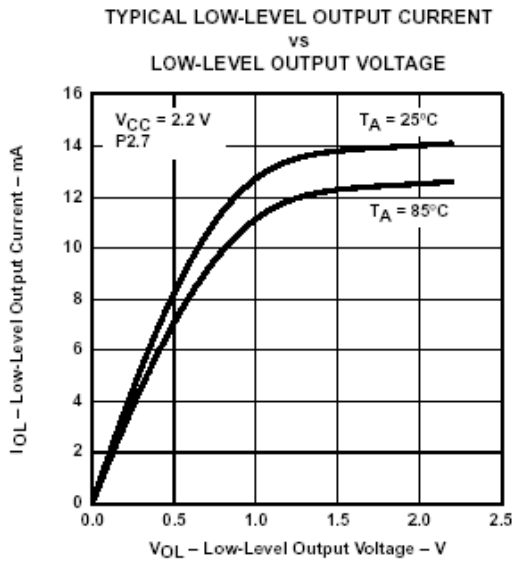


图 2

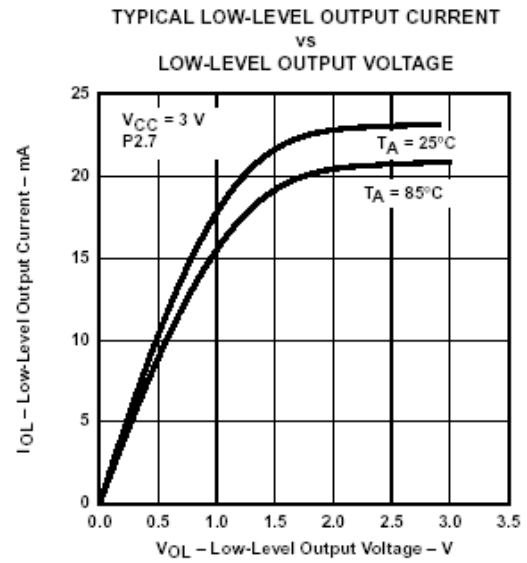


图 3

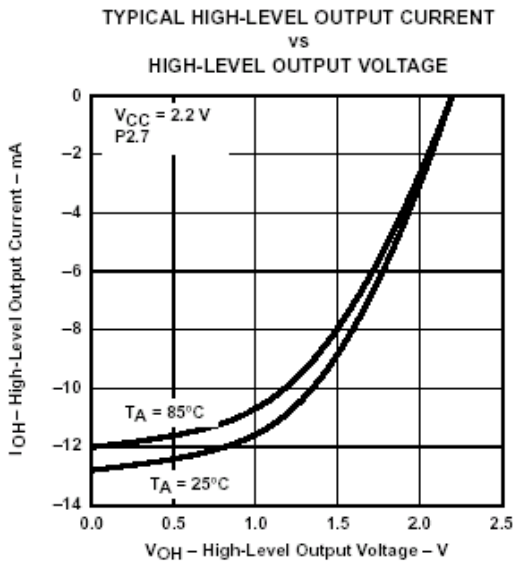


图 4

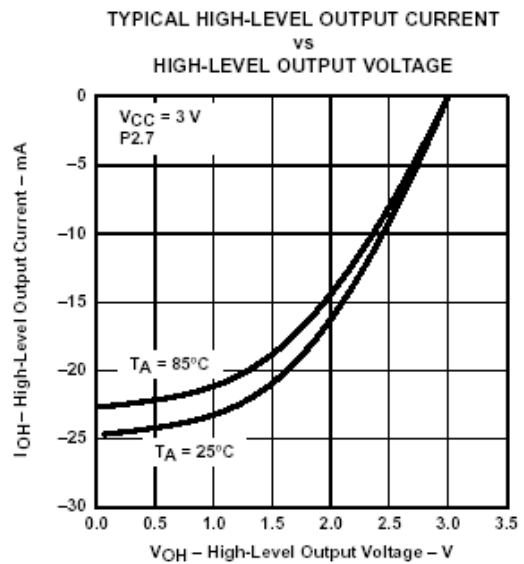


图 5

输出频率

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT	
$f_{(P_{x,y})}$	$(1 \leq x \leq 6, 0 \leq y \leq 7)$	$C_L = 20\text{ pF}$ $I_L = \pm 1.5\text{ mA}$	$V_{CC} = 2.2\text{ V}$	DC		5	MHz	
			$V_{CC} = 3\text{ V}$	DC		7.5		
$f_{(ACLK)}$	P1.1/TA0/MCLK, P1.5/TACLK/ ACLK P1.4/TBCLK/SMCLK	$C_L = 20\text{ pF}$					$f_{(System)}$	MHz
$f_{(MCLK)}$								
$f_{(SMCLK)}$								
$t_{(Xdc)}$	Duty cycle of output frequency	$C_L = 20\text{ pF}$ $V_{CC} = 2.2\text{ V} / 3\text{ V}$	P1.5/TACLK/ACLK	$f_{(ACLK)} = f_{(LFXT1)} = f_{(XT1)}$	40%	60%		
				$f_{(ACLK)} = f_{(LFXT1)} = f_{(LF)}$	30%	70%		
				$f_{(ACLK)} = f_{(LFXT1)}$		50%		
			P1.1/TA0/MCLK	$f_{(MCLK)} = f_{(XT1)}$	40%	60%		
				$f_{(MCLK)} = f_{(DCOCLK)}$	50% - 15 ns	50%	50% + 15 ns	
				$f_{(SMCLK)} = f_{(XT2)}$	40%	60%		
P1.4/TBCLK/SMCLK	$f_{(SMCLK)} = f_{(DCOCLK)}$	50% - 15 ns	50%	50% + 15 ns				



输入 Px.x,TAx , TBx

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	TYP	MAX	UNIT
t _(int)	External interrupt timing	Port P1, P2: P1.x to P2.x, external trigger signal for the interrupt flag, (see Note 1)	2.2 V/3 V	1.5			cycle
			2.2 V	62		ns	
			3 V	50			
t _(cap)	Timer_A, Timer_B capture timing	TA0, TA1, TA2 (see Note 2)	2.2 V/3 V	1.5			cycle
			2.2 V	62			
		TB0, TB1, TB2, TB3, TB4, TB5, TB6 (see Note 3)	3 V	50			ns
f _(TAext)	Timer_A, Timer_B clock frequency externally applied to pin	TACLK, TBCLK, INCLK: t _(H) = t _(L)	2.2 V			8	MHz
f _(TBext)			3 V			10	
f _(TAint)	Timer_A, Timer_B clock frequency	SMCLK or ACLK signal selected	2.2 V			8	MHz
f _(TAint)			3 V			10	

唤醒 LPM3

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _d (LPM3)	Delay time	f = 1 MHz			6	μs
		f = 2 MHz	V _{CC} = 2.2 V/3 V		6	
		f = 3 MHz			6	

漏电流 (见 note1 和 2)

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
I _{lkg} (P1.x)	Leakage current	Port P1	Port 1: V _(P1.x)	V _{CC} = 2.2 V/3 V		±50	nA
I _{lkg} (P6.x)		Port P6	Port 6: V _(P6.x)			±50	

RAM

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
VRAMh	CPU halted (see Note 1)	1.6			V

LCD

PARAMETER	TEST CONDITIONS		MIN	TYP	MAX	UNIT
V ₍₃₃₎	Analog voltage	Voltage at P5.7/R33	2.5		V _{CC} + 0.2	V
V ₍₂₃₎		Voltage at P5.6/R23	$[V_{(33)} - V_{(03)}] \times 2/3 + V_{(03)}$			
V ₍₁₃₎		Voltage at P5.5/R13	$[V_{(33)} - V_{(03)}] \times 1/3 + V_{(03)}$			
V _{(33) - V₍₀₃₎}		Voltage at R33 to R03	2.5		V _{CC} + 0.2	
I _(R03)	Input leakage	R03 = V _{SS}	No load at all segment and common lines,		±20	nA
I _(R13)		P5.5/R13 = V _{CC} /3	V _{CC} = 3 V		±20	
I _(R23)		P5.6/R23 = 2 × V _{CC} /3			±20	
V _(Sxx0)	Segment line voltage	I _(Sxx) = -3 μA, V _{CC} = 3 V	V ₍₀₃₎		V ₍₀₃₎ - 0.1	V
V _(Sxx1)			V ₍₁₃₎		V ₍₁₃₎ - 0.1	
V _(Sxx2)			V ₍₂₃₎		V ₍₂₃₎ - 0.1	
V _(Sxx3)			V ₍₃₃₎		V ₍₃₃₎ + 0.1	

比较器 A

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT		
$I_{(CC)}$	CAON=1, CARSEL=0, CAREF=0	$V_{CC} = 2.2\text{ V}$	25	40	μA		
		$V_{CC} = 3\text{ V}$	45	60			
$I_{(\text{Refladder/RefDiode})}$	CAON=1, CARSEL=0, CAREF=1/2/3, No load at P2.3/CA0/TA1 and P2.4/CA1/TA2	$V_{CC} = 2.2\text{ V}$	30	50	μA		
		$V_{CC} = 3\text{ V}$	45	71			
$V_{(\text{Ref025})}$	Voltage @ $0.25 V_{CC}$ node $\frac{\quad}{V_{CC}}$ PCA0=1, CARSEL=1, CAREF=1, No load at P2.3/CA0 and P2.4/CA1	$V_{CC} = 2.2\text{ V} / 3\text{ V}$	0.23	0.24	0.25		
$V_{(\text{Ref050})}$	Voltage @ $0.5 V_{CC}$ node $\frac{\quad}{V_{CC}}$ PCA0=1, CARSEL=1, CAREF=2, No load at P2.3/CA0 and P2.4/CA1	$V_{CC} = 2.2\text{ V} / 3\text{ V}$	0.47	0.48	0.5		
$V_{(\text{RefVT})}$	PCA0=1, CARSEL=1, CAREF=3, No load at P2.3/CA0 and P2.4/CA1; $T_A = 85^\circ\text{C}$	$V_{CC} = 2.2\text{ V}$	390	480	540	mV	
		$V_{CC} = 3\text{ V}$	400	490	550		
V_{IC}	Common-mode input voltage range	CAON=1	$V_{CC} = 2.2\text{ V} / 3\text{ V}$	0	$V_{CC}-1$	V	
V_p-V_s	Offset voltage	See Note 2	$V_{CC} = 2.2\text{ V} / 3\text{ V}$	-30	30	mV	
V_{hys}	Input hysteresis	CAON = 1	$V_{CC} = 2.2\text{ V} / 3\text{ V}$	0	0.7	1.4	mV
$t_{(\text{response LH})}$	$T_A = 25^\circ\text{C}$, Overdrive 10 mV, without filter: CAF = 0	$V_{CC} = 2.2\text{ V}$	160	210	300	ns	
		$V_{CC} = 3\text{ V}$	80	150	240		
	$T_A = 25^\circ\text{C}$ Overdrive 10 mV, with filter: CAF = 1	$V_{CC} = 2.2\text{ V}$	1.4	1.9	3.4	μs	
		$V_{CC} = 3\text{ V}$	0.9	1.5	2.6		
$t_{(\text{response HL})}$	$T_A = 25^\circ\text{C}$ Overdrive 10 mV, without filter: CAF = 0	$V_{CC} = 2.2\text{ V}$	130	210	300	ns	
		$V_{CC} = 3\text{ V}$	80	150	240		
	$T_A = 25^\circ\text{C}$, Overdrive 10 mV, with filter: CAF = 1	$V_{CC} = 2.2\text{ V}$	1.4	1.9	3.4	μs	
		$V_{CC} = 3\text{ V}$	0.9	1.5	2.6		

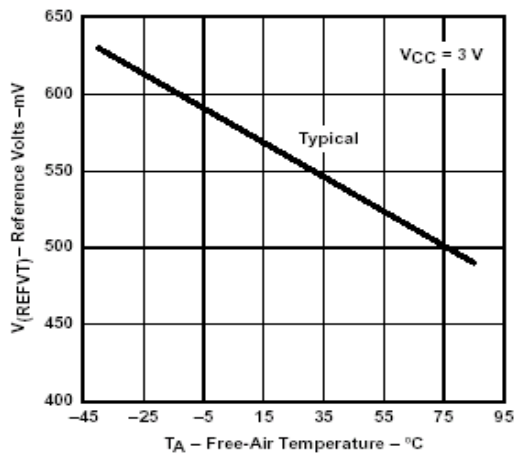
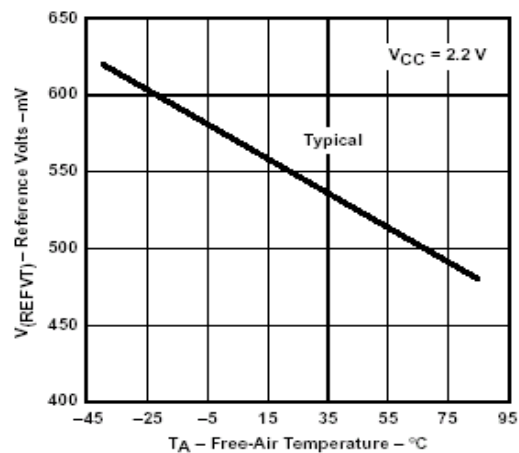
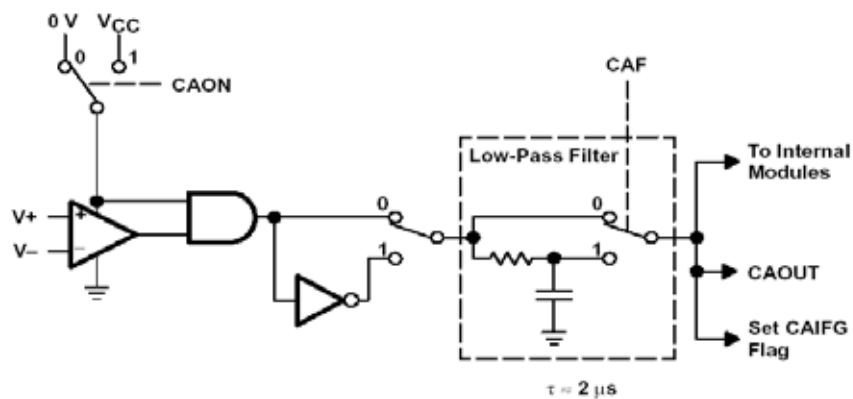

 图6 $V_{(\text{RefVT})}$ vs Temperature, $V_{CC} = 3\text{ V}$

 图7 $V_{(\text{RefVT})}$ vs Temperature, $V_{CC} = 2.2\text{ V}$


图 8 比较器 A 模块的结构框图

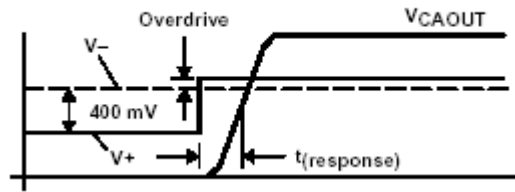


图9 过驱动定义

POR/上电复位 (BOR) (见 note1)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_d(BOR)$				2000	μs
$V_{CC(start)}$	$dV_{CC}/dt \leq 3 V/s$ (see Figure 10)		$0.7 \times V_{(B_IT-)}$		V
$V_{(B_IT-)}$	Brownout (see Note 2) $dV_{CC}/dt \leq 3 V/s$ (see Figure 10 through Figure 12)			1.71	V
$V_{hys(B_IT-)}$	$dV_{CC}/dt \leq 3 V/s$ (see Figure 10)	70	130	180	mV
$t_{(reset)}$	Pulse length needed at RST/NMI pin to accepted reset internally. $V_{CC} = 2.2 V/3 V$	2			μs

特性曲线

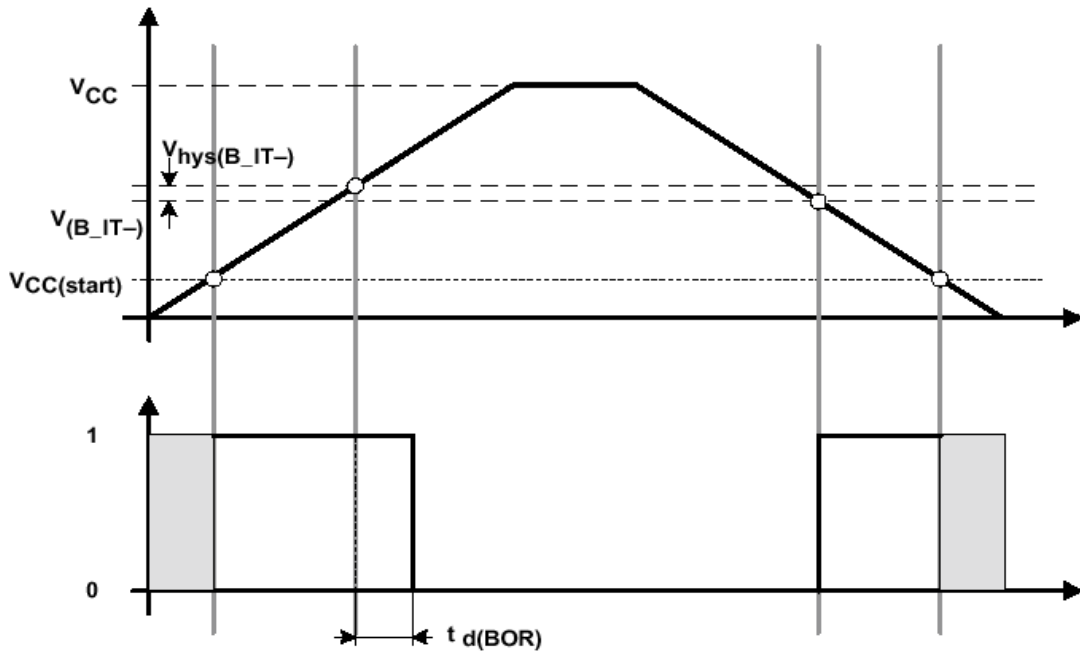


图10 POR/上电复位与供电电压

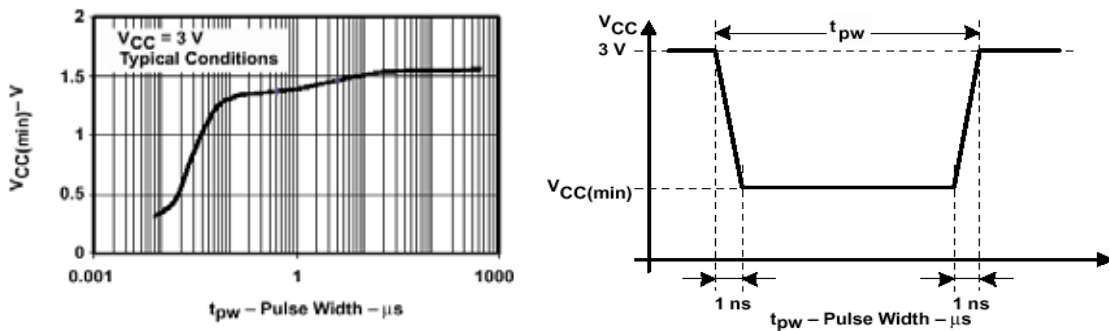


图11 Vcc(min)上的方形电压降产生一个 POR/掉电信号

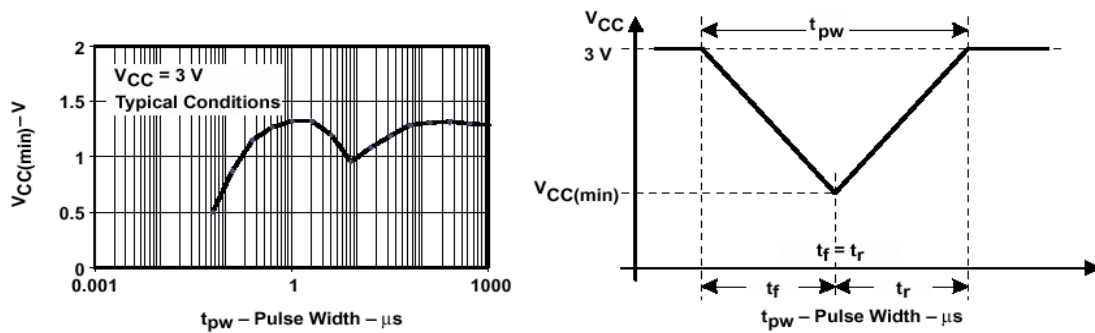


图 12 带有一个三角形电压降的 VCC(min) 产生一个 POR/上电复位信号

SVS (供电电压管理/监测)

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT	
$t_{i(SVSR)}$	$dV_{CC}/dt > 30 \text{ V/ms}$ (see Figure 13)	5		150	μs	
	$dV_{CC}/dt \leq 30 \text{ V/ms}$			2000	μs	
$t_{d(SVson)}$	SVSon, switch from VLD=0 to VLD \neq 0, $V_{CC} = 3 \text{ V}$	20		150	μs	
t_{settle}	VLD \neq 0 \ddagger			12	μs	
$V_{(SVSstart)}$	VLD \neq 0, $V_{CC}/dt \leq 3 \text{ V/s}$ (see Figure 13)		1.55	1.7	V	
$V_{hys(B_IT-)}$	$V_{CC}/dt \leq 3 \text{ V/s}$ (see Figure 13)	VLD = 1	70	120	155	mV
	$V_{CC}/dt \leq 3 \text{ V/s}$ (see Figure 13), external voltage applied on A7	VLD = 2 .. 14	$V_{(SVS_IT-)} \times 0.004$		$V_{(SVS_IT-)} \times 0.008$	
$V_{(SVS_IT-)}$	$V_{CC}/dt \leq 3 \text{ V/s}$ (see Figure 13)	VLD = 1	1.8	1.9	2.05	V
		VLD = 2	1.94	2.1	2.25	
		VLD = 3	2.05	2.2	2.37	
		VLD = 4	2.14	2.3	2.48	
		VLD = 5	2.24	2.4	2.6	
		VLD = 6	2.33	2.5	2.71	
		VLD = 7	2.46	2.65	2.86	
		VLD = 8	2.58	2.8	3	
		VLD = 9	2.69	2.9	3.13	
		VLD = 10	2.83	3.05	3.29	
		VLD = 11	2.94	3.2	3.42	
		VLD = 12	3.11	3.35	3.61 \ddagger	
		VLD = 13	3.24	3.5	3.76 \ddagger	
		VLD = 14	3.43	3.7 \ddagger	3.99 \ddagger	
$I_{CC(SVS)}$ (see Note 1)	VLD \neq 0, $V_{CC} = 2.2 \text{ V}/3 \text{ V}$		10	15	μA	

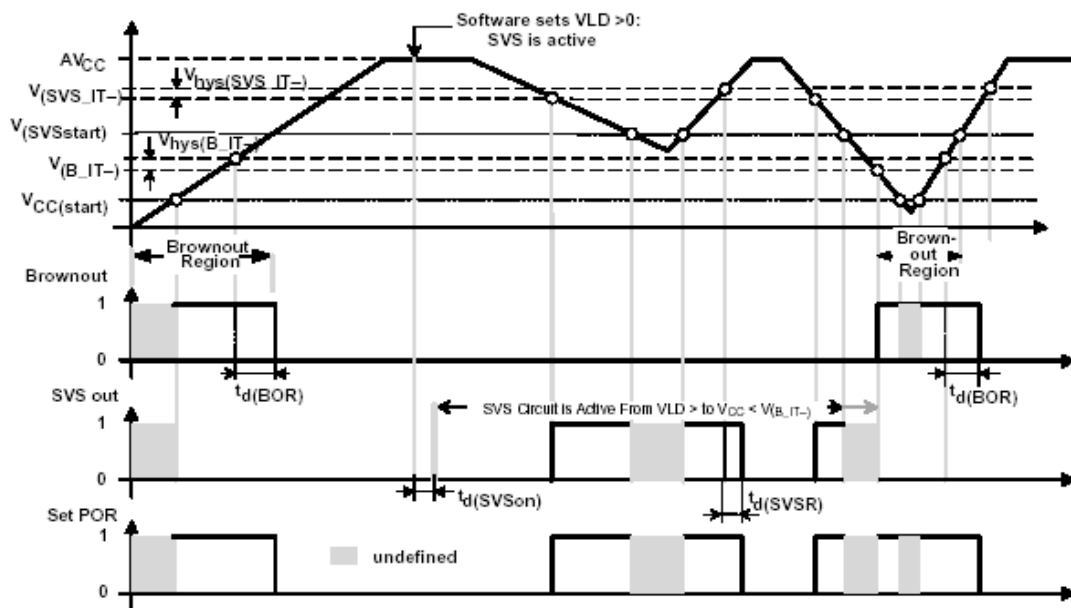


图 13 SVS 复位 (SVSR) 与供电电压

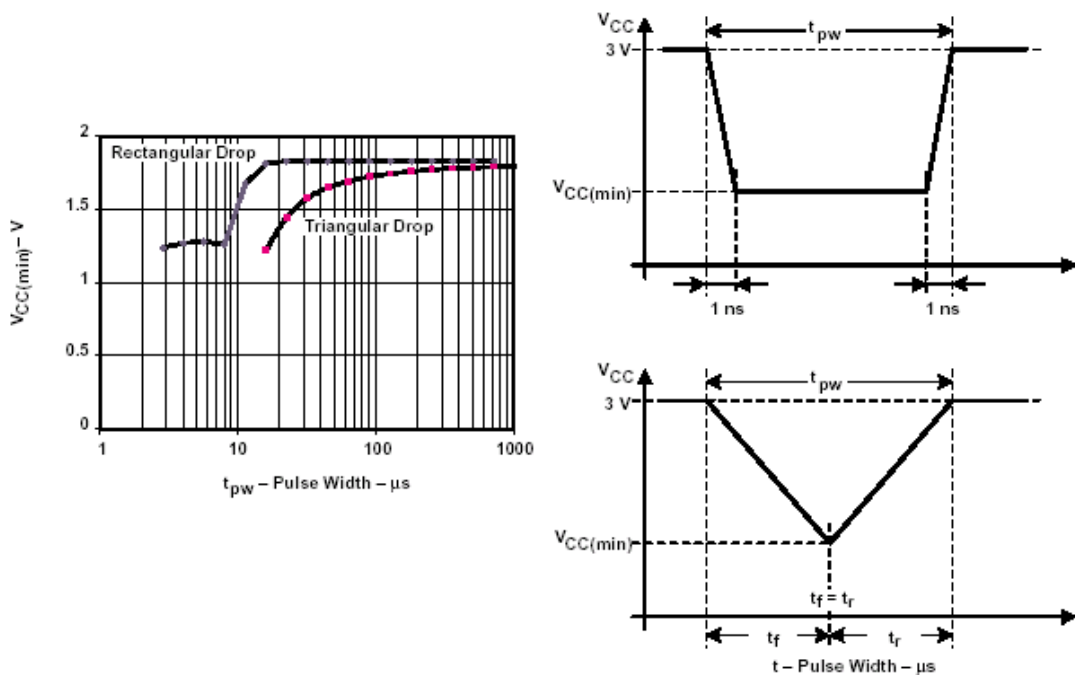
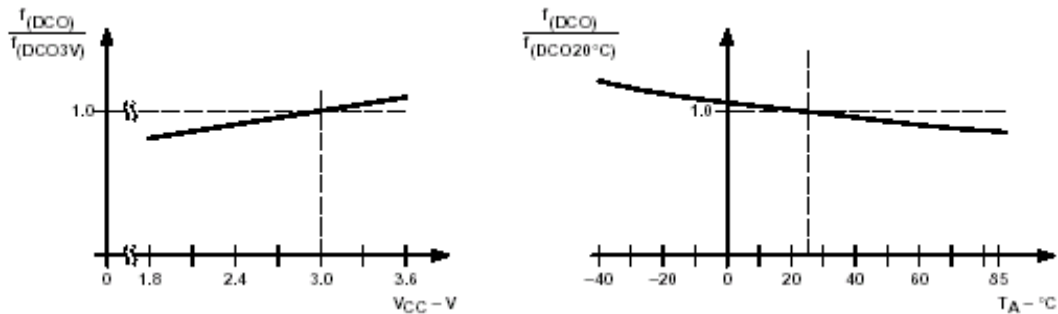
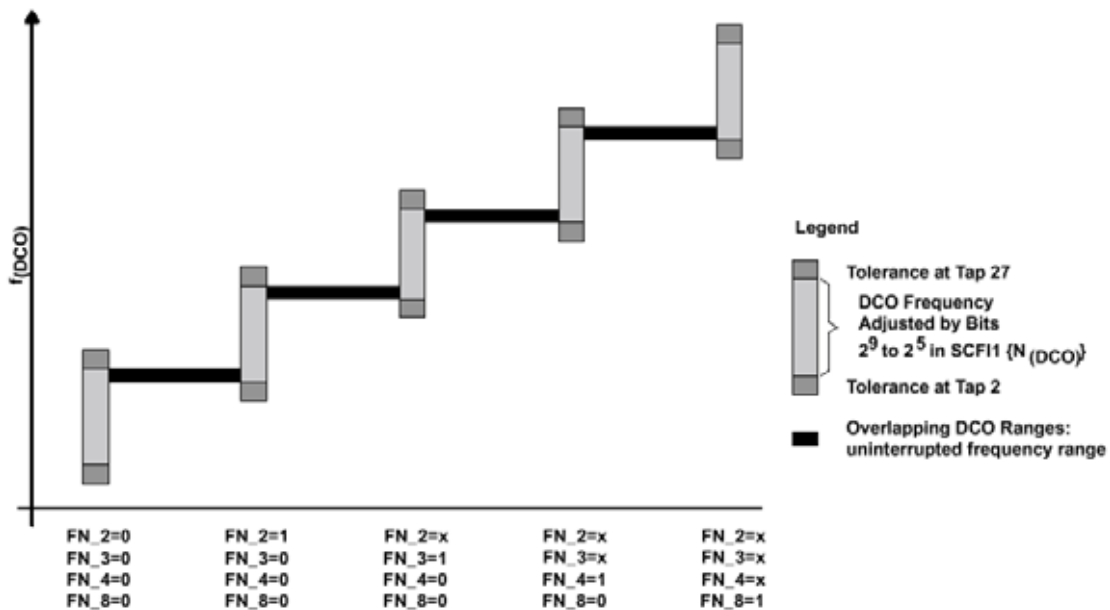


图 14 Vcc(min):产生一个 SVS 信号的电压降和三角形电压降 (VLD=1)

DCO

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT	
$f_{(DCOCLK)}$	$N_{(DCO)}=01E0h, FN_8=FN_4=FN_3=FN_2=0, D=2, DCOPLUS=0$	$V_{CC} = 2.2 V/3 V$	1		MHz	
$f_{(DCO2)}$	$FN_8=FN_4=FN_3=FN_2=0, DCO+=1$	$V_{CC} = 2.2 V$	0.3	0.65	1.25	MHz
		$V_{CC} = 3 V$	0.3	0.7	1.3	
$f_{(DCO27)}$	$FN_8=FN_4=FN_3=FN_2=0, DCO+=1, (see Note 1)$	$V_{CC} = 2.2 V$	2.5	5.6	10.5	MHz
		$V_{CC} = 3 V$	2.7	6.1	11.3	
$f_{(DCO2)}$	$FN_8=FN_4=FN_3=0, FN_2=1; DCO+=1$	$V_{CC} = 2.2 V$	0.7	1.3	2.3	MHz
		$V_{CC} = 3 V$	0.8	1.5	2.5	
$f_{(DCO27)}$	$FN_8=FN_4=FN_3=0, FN_2=1; DCO+=1, (see Note 1)$	$V_{CC} = 2.2 V$	5.7	10.8	18	MHz
		$V_{CC} = 3 V$	6.5	12.1	20	
$f_{(DCO2)}$	$FN_8=FN_4=0, FN_3=1, FN_2=x; DCO+=1$	$V_{CC} = 2.2 V$	1.2	2	3	MHz
		$V_{CC} = 3 V$	1.3	2.2	3.5	
$f_{(DCO27)}$	$FN_8=FN_4=0, FN_3=1, FN_2=x; DCO+=1, (see Note 1)$	$V_{CC} = 2.2 V$	9	15.5	25	MHz
		$V_{CC} = 3 V$	10.3	17.9	28.5	
$f_{(DCO2)}$	$FN_8=0, FN_4=1, FN_3=FN_2=x; DCO+=1$	$V_{CC} = 2.2 V$	1.8	2.8	4.2	MHz
		$V_{CC} = 3 V$	2.1	3.4	5.2	
$f_{(DCO27)}$	$FN_8=0, FN_4=1, FN_3=FN_2=x; DCO+=1, (see Note 1)$	$V_{CC} = 2.2 V$	13.5	21.5	33	MHz
		$V_{CC} = 3 V$	16	26.6	41	
$f_{(DCO2)}$	$FN_8=1, FN_4=FN_3=FN_2=x; DCO+=1$	$V_{CC} = 2.2 V$	2.8	4.2	6.2	MHz
		$V_{CC} = 3 V$	4.2	6.3	9.2	
$f_{(DCO27)}$	$FN_8=1, FN_4=FN_3=FN_2=x, DCO+=1, (see Note 1)$	$V_{CC} = 2.2 V$	21	32	46	MHz
		$V_{CC} = 3 V$	30	46	70	
S	$f_{(NDCO)}+1 = f_{(NDCO)}$	$2 < TAP \leq 20$	1.06		1.13	
		$TAP > 20$	1.1		1.17	
D _t	Temperature drift, $N_{(DCO)} = 01E0h, FN_8=FN_4=FN_3=FN_2=0, D=2, DCO+=0, (see Note 2)$	$V_{CC} = 2.2 V$	-0.2	-0.3	-0.4	%/ ^o C
		$V_{CC} = 3 V$	-0.2	-0.3	-0.4	
D _v	Drift with V_{CC} variation, $N_{(DCO)} = 01E0h, FN_8=FN_4=FN_3=FN_2=0, D=2, DCO+=0 (see Note 2)$		0	5	15	%/V


 图 15 DCO 频率和供电电压 V_{CC} 和环境温度

 图 16 五种由 FN_x 位控制的交叠 DCO 范围

晶体振荡器，LFXT1 振荡器（见 note1）

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$C_{(XIN)}$ Integrated input capacitance	OSCCAP = 0, $V_{CC} = 2.2\text{ V} / 3\text{ V}$		0		pF
	OSCCAP = 1, $V_{CC} = 2.2\text{ V} / 3\text{ V}$		10		
	OSCCAP = 2, $V_{CC} = 2.2\text{ V} / 3\text{ V}$		14		
	OSCCAP = 3, $V_{CC} = 2.2\text{ V} / 3\text{ V}$		18		
$C_{(XOUT)}$ Integrated output capacitance	OSCCAP = 0, $V_{CC} = 2.2\text{ V} / 3\text{ V}$		0		pF
	OSCCAP = 1, $V_{CC} = 2.2\text{ V} / 3\text{ V}$		10		
	OSCCAP = 2, $V_{CC} = 2.2\text{ V} / 3\text{ V}$		14		
	OSCCAP = 3, $V_{CC} = 2.2\text{ V} / 3\text{ V}$		18		

晶体振荡器，XT2 振荡器（见 note1）

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
X_{CIN} Integrated input capacitance	$V_{CC} = 2.2\text{ V} / 3\text{ V}$		2		pF
X_{COUT} Integrated output capacitance	$V_{CC} = 2.2\text{ V} / 3\text{ V}$		2		pF
X_{INL}	$V_{CC} = 2.2\text{ V} / 3\text{ V}$	V_{SS}		$0.2 \times V_{CC}$	V
X_{INH} Input levels at XIN, XOUT		$0.8 \times V_{CC}$		V_{CC}	V

USART0,USART1(见 note1)

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
$t_{(r)}$ USART0/1: deglitch time	$V_{CC} = 2.2\text{ V}$	200	430	800	ns
	$V_{CC} = 3\text{ V}$	150	280	500	

12 位 ADC，供电和输入条件范围

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT	
V_{CC}	Analog supply voltage AVCC and DVCC are connected together AVSS and DVSS are connected together $V_{(AVSS)} = V_{(DVSS)} = 0\text{ V}$	2.2		3.6	V	
$V_{CC(\text{min})}$	$0\text{ mA} \leq I_{(\text{Load})} \leq 0.5\text{ mA}$	$V_{\text{REF}+}$		$V_{\text{REF}+} + 150\text{ mV}$		
	$0.5\text{ mA} \leq I_{(\text{Load})} \leq 1.5\text{ mA}$	$V_{\text{REF}+}$		$V_{\text{REF}+} + 350\text{ mV}$		
$V_{O(\text{REF}+)}$	Positive built-in reference voltage output REF2_5 V = 1 for 2.5-V built-in reference REF2_5 V = 0 for 1.5-V built-in reference $I_{(\text{VREF}+)} \leq I_{(\text{VREF}+, \text{max})}$	$V_{CC} = 3\text{ V}$	2.4	2.5	2.6	V
		$V_{CC} = 2.2\text{ V}/3\text{ V}$	1.44	1.5	1.56	
$I_{L(\text{VREF}+)}$	Load current out of VREF+ terminal	$V_{CC} = 2.2\text{ V}$	0.01	-0.5	mA	
		$V_{CC} = 3\text{ V}$		-1		
$I_{L(\text{VREF}+)}^{\dagger}$	Load-current regulation VREF+ terminal $I_{(\text{VREF}+)} = 500\text{ }\mu\text{A} \pm 100\text{ }\mu\text{A}$ Analog input voltage $\sim 0.75\text{ V}$; REF2_5 V = 0	$V_{CC} = 2.2\text{ V}$		± 2	LSB	
		$V_{CC} = 3\text{ V}$		± 2		
$I_{L(\text{VREF}+)}^{\ddagger}$	Load current regulation VREF+ terminal $I_{(\text{VREF}+)} = 500\text{ }\mu\text{A} \pm 100\text{ }\mu\text{A}$ Analog input voltage $\sim 1.25\text{ V}$; REF2_5 V = 1	$V_{CC} = 3\text{ V}$		± 2	LSB	
$I_{L(\text{VREF}+)}^{\ddagger}$	Load current regulation VREF+ terminal $I_{(\text{VREF}+)} = 100\text{ }\mu\text{A} \rightarrow 900\text{ }\mu\text{A}$, $V_{CC} = 3\text{ V}$, $\text{ax} \sim 0.5 \times V_{\text{REF}+}$ Error of conversion result $\leq 1\text{ LSB}$	$C_{(\text{VREF}+)} = 5\text{ }\mu\text{F}$		20	ns	
$V_{\text{ref}(\text{VREF}+)}$	Positive external reference voltage input $V_{\text{REF}+} > V_{\text{REF}} - V_{\text{eREF-}}$ (see Note 2)	1.4		$V_{(\text{AVCC})}$	V	
$V_{\text{ref}(\text{VREF-}/V_{\text{eREF-}})}$	Negative external reference voltage input $V_{\text{REF}+} > V_{\text{REF}} - V_{\text{eREF-}}$ (see Note 3)	0		1.2	V	

12 位 ADC，内置参考电压

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
$(V_{\text{eREF}+} - V_{\text{REF}} - V_{\text{eREF-}})$	Differential external reference voltage input $V_{\text{REF}+} > V_{\text{REF}} - V_{\text{eREF-}}$ (see Note 1)	1.4		$V_{(\text{AVCC})}$	V
$V_{I(\text{P6.x/Ax})}$	Analog input voltage range (see Note 2) All P6.0/A0 to P6.7/A7/SVSi terminals. Analog inputs selected in ADC12MCTLx register and P6Sel.x=1 $0 \leq x \leq 7$; $V_{(\text{AVSS})} \leq V_{I(\text{P6.x/Ax})} \leq V_{(\text{AVCC})}$	0		$V_{(\text{AVCC})}$	V
$I_{\text{DD}(\text{ADC12})}$	Operating supply current into AVCC terminal (see Note 3) $f_{(\text{ADC12CLK})} = 5\text{ MHz}$ ADC12ON = 1, REFON = 0 SHT0=0, SHT1=0, ADC12DIV=0	$V_{CC} = 2.2\text{ V}$	0.65	1.3	mA
		$V_{CC} = 3\text{ V}$	0.8	1.6	
$I_{\text{DD}(\text{REF}+)}$	Operating supply current into AVCC terminal (see Note 4) $f_{(\text{ADC12CLK})} = 5\text{ MHz}$ ADC12ON = 0, REFON = 1, 2_5V = 1	$V_{CC} = 3\text{ V}$	0.5	0.8	mA
$I_{\text{DD}(\text{REF}+)}$	Operating supply current (see Note 4) $f_{(\text{ADC12CLK})} = 5\text{ MHz}$ ADC12ON = 0, REFON = 1, 2_5V = 0	$V_{CC} = 2.2\text{ V}$	0.5	0.8	mA
		$V_{CC} = 3\text{ V}$	0.5	0.8	

12 位 ADC , 时序参数

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
$t_{s(REF_ON)}^{\dagger}$	Settle time of internal reference voltage (see Figure 17 and Note 1) $I_{(VREF+)} = 0.5 \text{ mA}$, $C_{(VREF+)} = 10 \mu\text{F}$, $V_{REF+} = 1.5 \text{ V}$, $V_{(AVCC)} = 2.2 \text{ V}$			17	ms
$f_{(ADC12CLK)}$	Error of conversion result $\leq \pm 2 \text{ LSB}$		5		MHz
$f_{(ADC12OSC)}$	$ADC12DIV=0$ [$f_{(ADC12CLK)} = f_{(ADC12OSC)}$] $V_{CC} = 2.2 \text{ V}/3 \text{ V}$	3.7		6.3	MHz
t_c	Conversion time $AV_{CC}(\text{min}) \leq V_{(AVCC)} \leq AV_{CC}(\text{max})$, $C_{(VREF+)} \geq 5 \mu\text{F}$, internal oscillator, $f_{OSC} = 3.7 \text{ MHz}$ to 6.3 MHz	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	2.06	3.51	μs
		$AV_{CC}(\text{min}) \leq V_{(AVCC)} \leq AV_{CC}(\text{max})$, External $f_{ADC12CLK}$ from ACLK or MCLK or SMCLK: $ADC12SSEL \neq 0$			$13 \times ADC12DIV \times 1/f_{ADC12CLK}$
$t_{s(ADC12ON)}^{\ddagger}$	Settle time of the ADC $AV_{CC}(\text{min}) \leq V_{(AVCC)} \leq AV_{CC}(\text{max})$ (see Note 2)			100	ns
$t_{(Sample)}^{\ddagger}$	Sampling time $V_{(AVCC_min)} \leq V_{(AVCC)} \leq V_{(AVCC_max)}$ $R_{i(\text{source})} = 400 \Omega$, $Z_1 = 1000 \Omega$, $C_1 = 30 \text{ pF}$ $\tau = [R_{i(\text{source})} \times Z_1] \times C_1$, (see Note 3)	$V_{CC} = 3 \text{ V}$	1220		ns
		$V_{CC} = 2.2 \text{ V}$	1400		

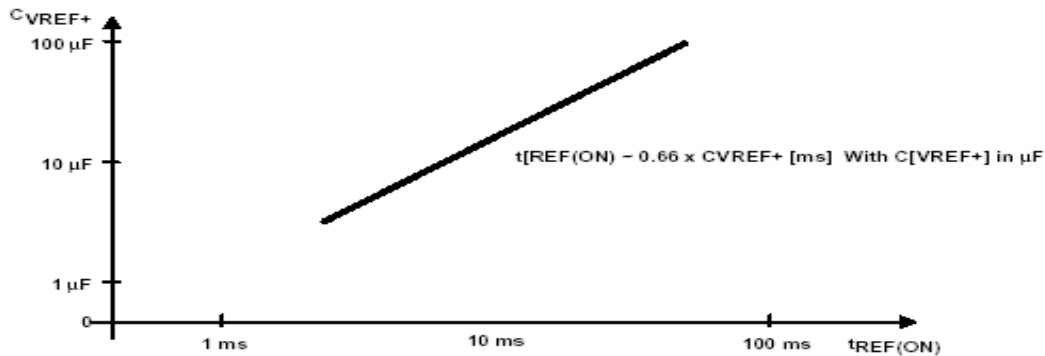


图 17 典型内部参考电压建立时间 $T_{ref(ON)}$ 与 V_{REF+} 上的外部电容

12 位 ADC , 线性参数

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
$E_{(I)}$	Integral linearity error $1.4 \text{ V} \leq (V_{REF+} - V_{REF-} - V_{eREF-}) \text{ min} \leq 1.6 \text{ V}$			± 2	LSB
		$1.6 \text{ V} < (V_{REF+} - V_{REF-} - V_{eREF-}) \text{ min} \leq [V_{(AVCC)}]$		± 1.7	
$E_{(D)}$	Differential linearity error $(V_{eREF+} - V_{REF-} - V_{eREF-}) \text{ min} \leq (V_{eREF+} - V_{REF-} - V_{eREF-})$, $C_{(VREF+)} = 10 \mu\text{F}$ (tantalum) and 100 nF (ceramic)			± 1	LSB
$E_{(O)}$	Offset error $(V_{eREF+} - V_{REF-} - V_{eREF-}) \text{ min} \leq (V_{eREF+} - V_{REF-} - V_{eREF-})$, Internal impedance of source $R_1 < 100 \Omega$, $C_{(VREF+)} = 10 \mu\text{F}$ (tantalum) and 100 nF (ceramic)		± 2	± 4	LSB
$E_{(G)}$	Gain error $(V_{eREF+} - V_{REF-} - V_{eREF-}) \text{ min} \leq (V_{eREF+} - V_{REF-} - V_{eREF-})$, $C_{(VREF+)} = 10 \mu\text{F}$ (tantalum) and 100 nF (ceramic)		± 1.1	± 2	LSB
$E_{(T)}$	Total unadjusted error $(V_{eREF+} - V_{REF-} - V_{eREF-}) \text{ min} \leq (V_{eREF+} - V_{REF-} - V_{eREF-})$, $C_{(VREF+)} = 10 \mu\text{F}$ (tantalum) and 100 nF (ceramic)		± 2	± 5	LSB

图 18 供电电压和参考电压设计 V_{REF-}/V_{eREF-}

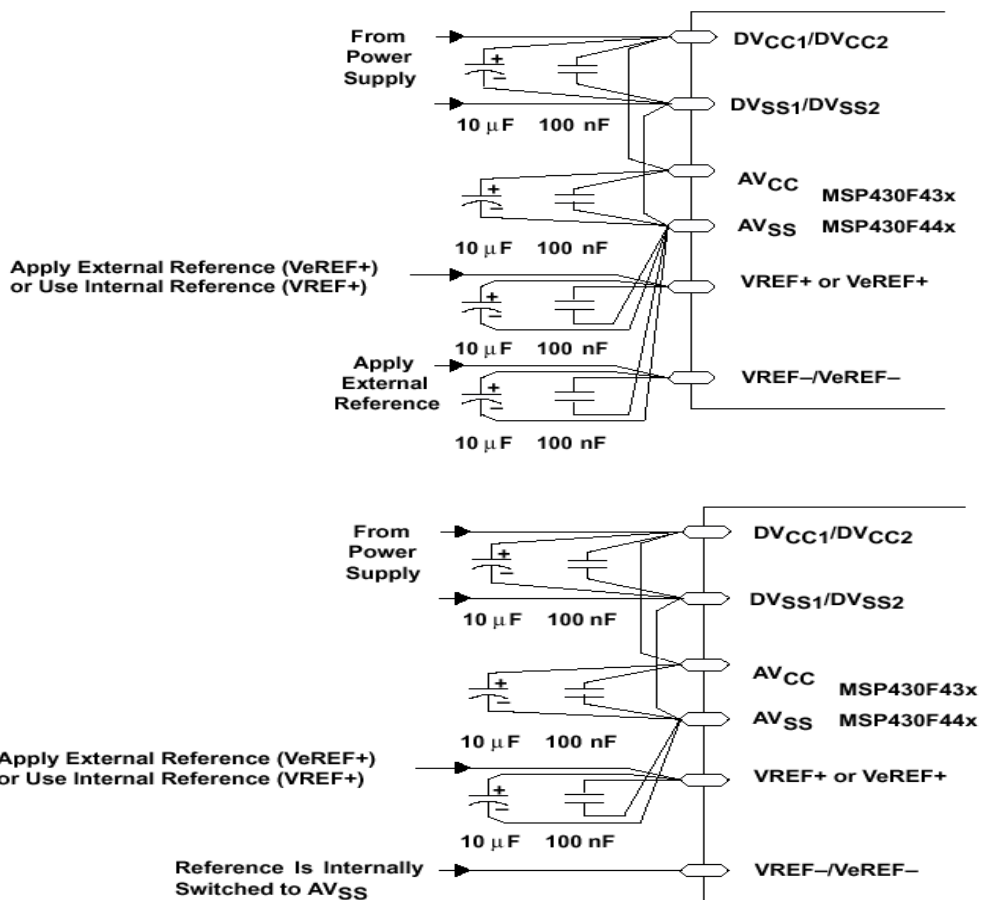


图 19 供电电压和参考电压设计 VREF-/VeREF-=Avss，内部连接

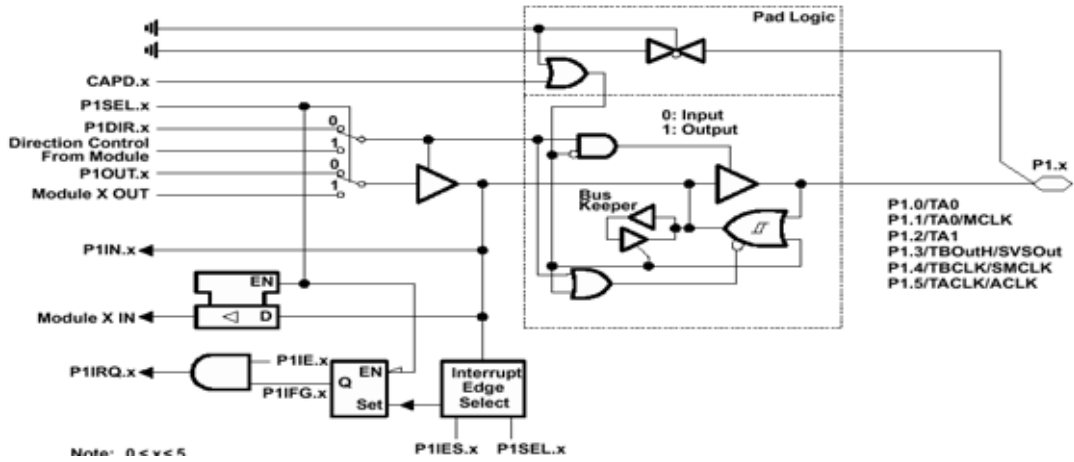
12 位 ADC，温度传感器和内置 Vmid

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT	
$I_{CC(SENSOR)}$	Operating supply current into AV _{CC} terminal (see Note 1)	$V_{(REFON)} = 0, INCH = 0Ah, ADC12ON = NA, T_A = 25^\circ C$	$V_{CC} = 2.2 V$	40	120	μA
		$V_{CC} = 3 V$		60	160	
$V_{(SENSOR)}^\dagger$	ADC12ON = 1, INCH = 0Ah, $T_A = 0^\circ C$	$V_{CC} = 2.2 V/3 V$	986	986±5%	mV	
$TC_{(SENSOR)}^\dagger$	ADC12ON = 1, INCH = 0Ah	$V_{CC} = 2.2 V/3 V$	3.55	3.55±3%	mV/°C	
$t_{s(SENSOR)}^\dagger$	Sample time required if channel 10 is selected (see Note 2)	ADC12ON = 1, INCH = 0Ah, Error of conversion result ≤ 1 LSB	$V_{CC} = 2.2 V/3 V$	30	μs	
$V_{(MID)}$	AV _{CC} divider at channel 11	ADC12ON = 1, INCH = 0Bh, $V_{(MID)}$ is ~0.5 x $V_{(AVCC)}$	$V_{CC} = 2.2 V$	1.1	1.1±0.04	V
		$V_{CC} = 3 V$		1.5	1.5±0.04	
$t_{(ON_VMID)}$	On-time if channel 11 is selected (see Note 3)	ADC12ON = 1, INCH = 0Bh, Error of conversion result ≤ 1 LSB	$V_{CC} = 2.2 V/3 V$		NA	ns

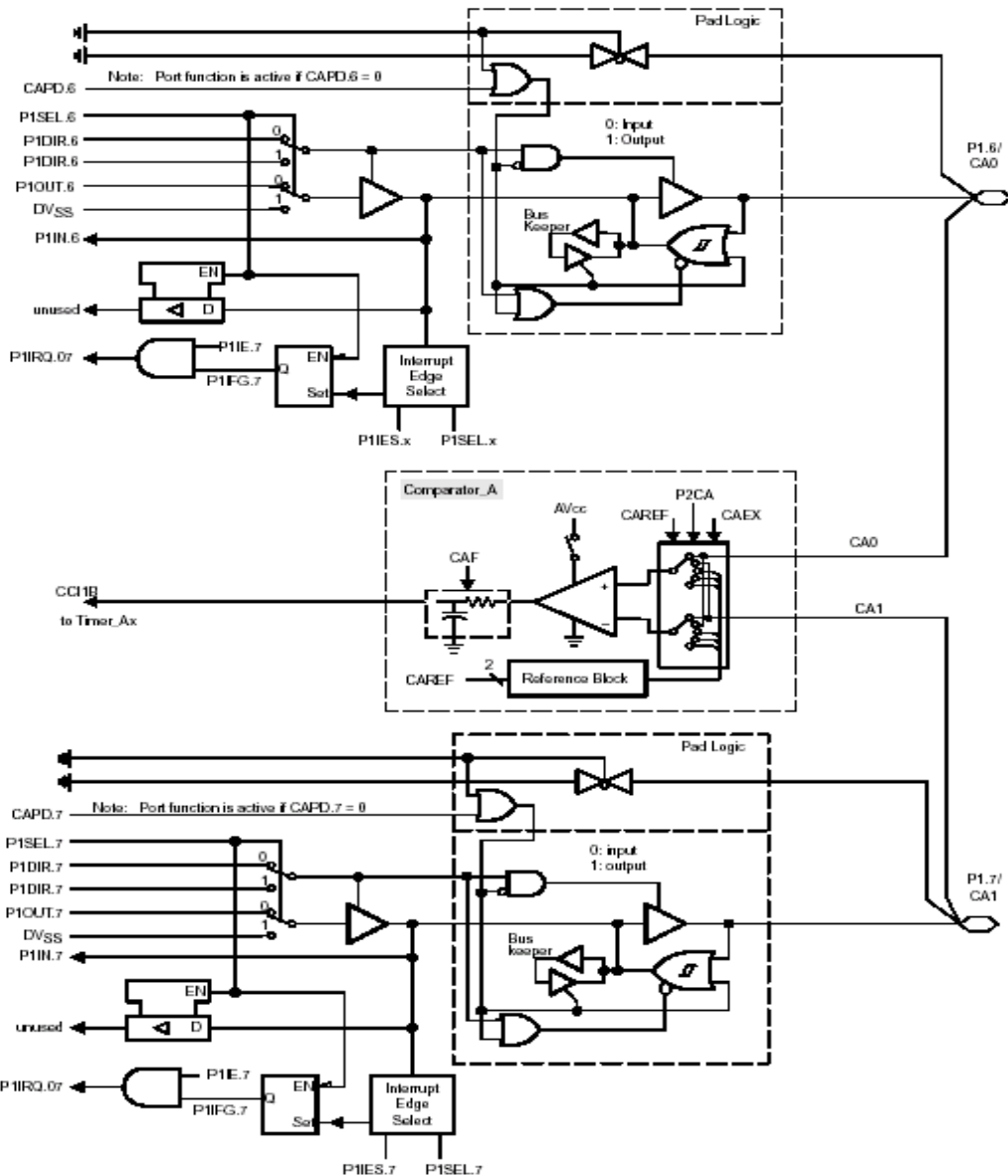
JTAG，编程存储器和熔丝

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT	
$f_{(TCK)}$	JTAG/Test (see Note 4)	TCK frequency	$V_{CC} = 2.2 V$	DC	5	MHz
			$V_{CC} = 3 V$	DC	10	
		Pull-up resistors on TMS, TCK, TDI (see Note 1)	$V_{CC} = 2.2 V/3 V$	25	60	90
$V_{CC(FB)}$	JTAG/fuse (see Note 2)	Supply voltage during fuse blow condition, $T_A = 25^\circ C$		2.5	V	
$V_{(FB)}$		Fuse-blow voltage, F versions (see Note 3)		6	7	
$I_{(FB)}$		Supply current on TDI with fuse blown			100	mA
		Time to blow the fuse			1	ms
$I_{(DD-PGM)}$	F-versions only (see Note 4)	Current from DV _{CC} when programming is active	$V_{CC} = 2.7 V/3.6 V$	3	5	mA
$I_{(DD-Erase)}$		Current from DV _{CC} when erase is active	$V_{CC} = 2.7 V/3.6 V$	3	5	mA
$t_{(retention)}$	F-versions only	Write/erase cycles		10^4	10^5	cycles
		Data retention $T_J = 25^\circ C$		100		years

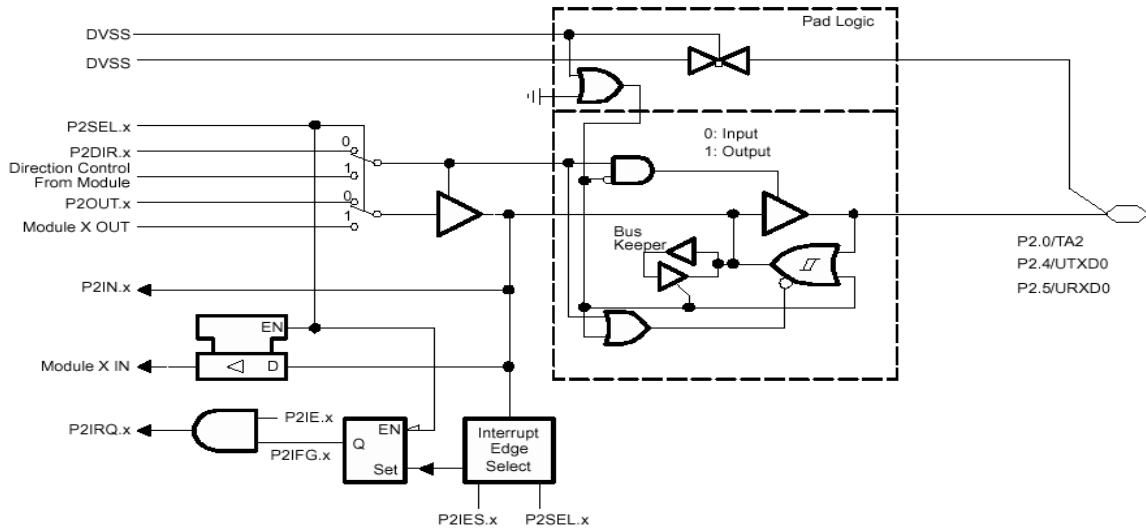
端口 P1、P1.0 到 P1.5，带施密特触发器输入/输出



端口 P1, P1.6, P1.7，带施密特触发器的输入/输出

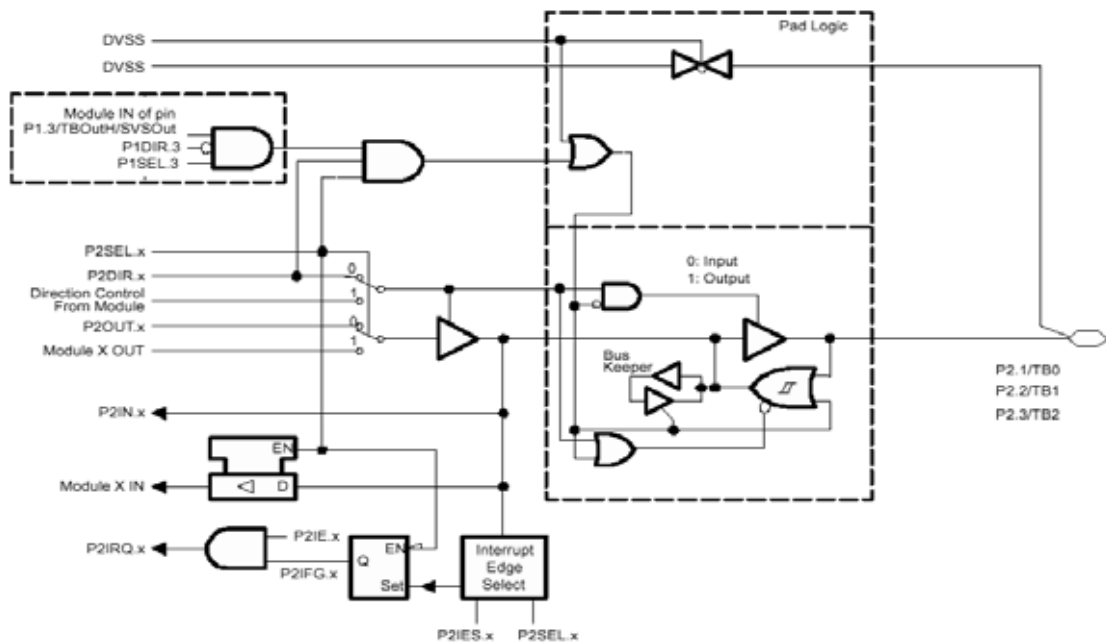


端口 P2, P2.0, P2.4 到 P2.5, 带施密特触发器的输入/输出



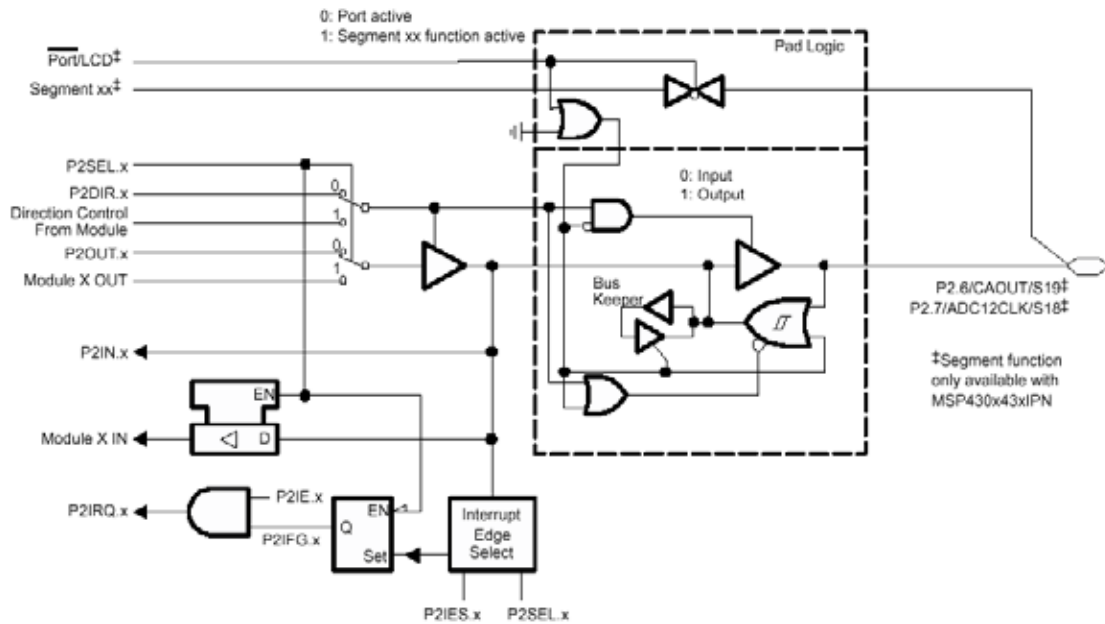
PnSel.x	PnDIR.x	Dir. Control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.0	P2DIR.0	P2DIR.0	P2OUT.0	Out2 sig. †	P2IN.0	CCI2A †	P2IE.0	P2IFG.0	P2IES.0
P2Sel.4	P2DIR.4	DVCC	P2OUT.4	UTXD0 ‡	P2IN.4	unused	P2IE.4	P2IFG.4	P2IES.4
P2Sel.5	P2DIR.5	DVSS	P2OUT.5	DVSS	P2IN.5	URXD0 ‡	P2IE.5	P2IFG.5	P2IES.5

端口 P2, P2.1 到 P2.3, 带施密特触发器的输入/输出



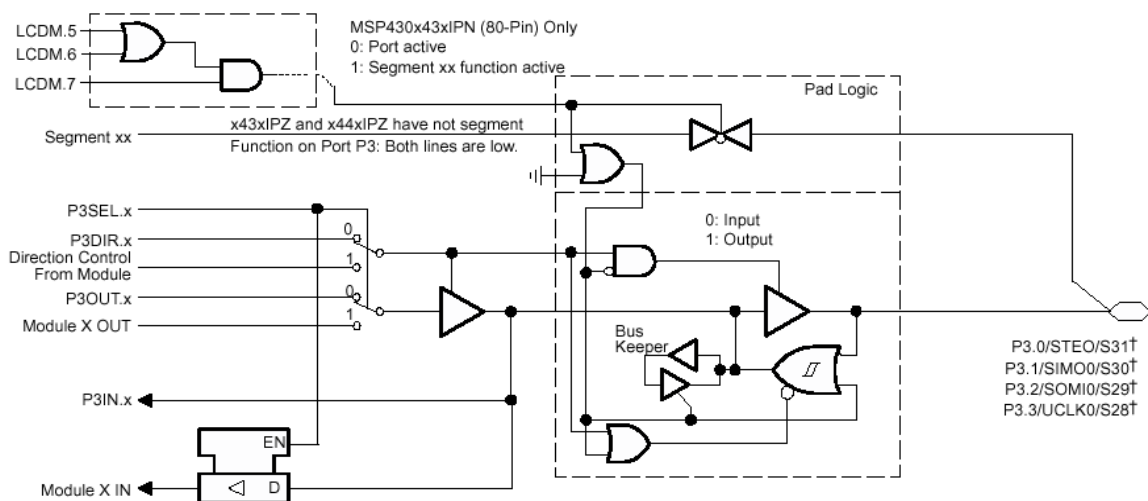
PnSel.x	PnDIR.x	Dir. Control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.1	P2DIR.1	P2DIR.1	P2OUT.1	Out0 sig. †	P2IN.1	CCI0A † CCI0B	P2IE.1	P2IFG.1	P2IES.1
P2Sel.2	P2DIR.2	P2DIR.2	P2OUT.2	Out1 sig. †	P2IN.2	CCI1A † CCI1B	P2IE.2	P2IFG.2	P2IES.2
P2Sel.3	P2DIR.3	P2DIR.3	P2OUT.3	Out2 sig. †	P2IN.3	CCI2A † CCI2B	P2IE.3	P2IFG.3	P2IES.3

端口 P2, P2.6 到 P2.7, 带施密特触发器的输入/输出



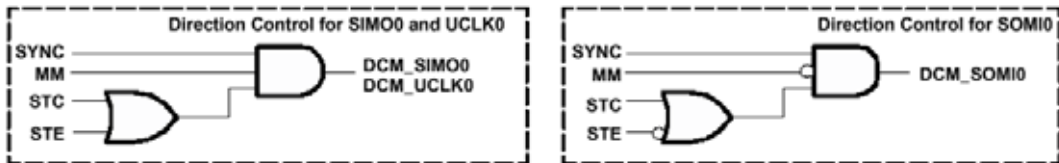
PnSel.x	PnDIR.x	Dir. Control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x	Port/LCD [‡]
P2Sel.6	P2DIR.6	P2DIR.6	P2OUT.6	CAOUT [†]	P2IN.6	unused	P2IE.6	P2IFG.6	P2IES.6	0: LCDM<40h [‡]
P2Sel.7	P2DIR.7	P2DIR.7	P2OUT.7	ADC12CLK [§]	P2IN.7	unused	P2IE.7	P2IFG.7	P2IES.7	0: LCDM<40h [‡]

端口 P3, P3.0 到 P3.3, 带施密特触发器的输入/输出

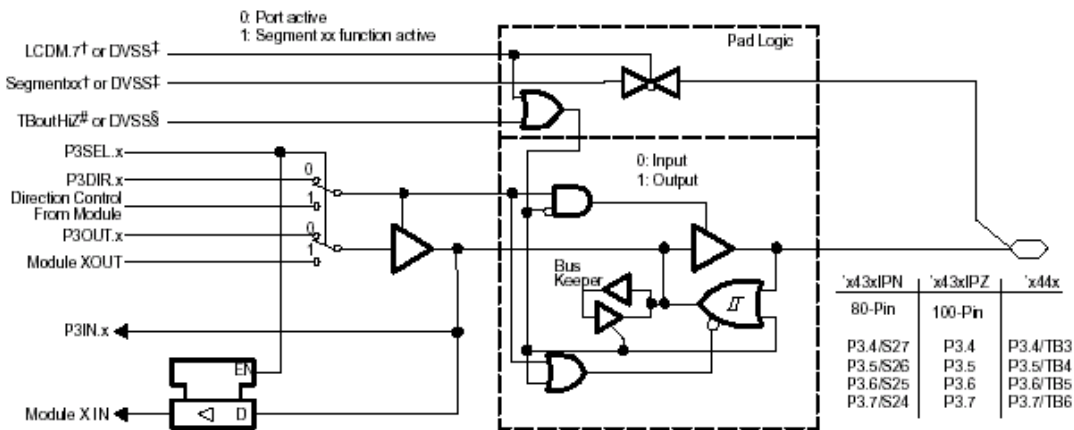


PnSel.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P3Sel.0	P3DIR.0	DVSS	P3OUT.0	DVSS	P3IN.0	STE0(in)
P3Sel.1	P3DIR.1	DCM_SIMO0	P3OUT.1	SIMO0(out)	P3IN.1	SIMO0(in)
P3Sel.2	P3DIR.2	DCM_SOMI0	P3OUT.2	SOMI0(out)	P3IN.2	SOMI0(in)
P3Sel.3	P3DIR.3	DCM_UCLK0	P3OUT.3	UCLK0(out)	P3IN.3	UCLK0(in)

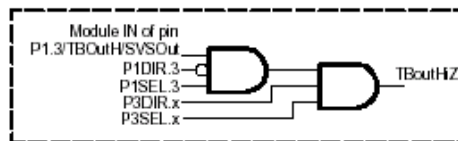
† S24 to S31 shared with port function only at MSP430x43xIPN (80-pin QFP)



端口 P3 , P3.4 到 P3.7 , 带施密特触发器的输入/输出



Note: $4 \leq x \leq 7$



PnSel.x	PnDIR.x	Dir. Control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P3Sel.4	P3DIR.4	P3DIR.4	P3OUT.4	DVSS § OUT3 #	P3IN.4	unused § CC3A/B#
P3Sel.5	P3DIR.5	P3DIR.5	P3OUT.5	DVSS § OUT4 #	P3IN.5	unused § CC4A/B#
P3Sel.6	P3DIR.6	P3DIR.6	P3OUT.6	DVSS § OUT5 #	P3IN.6	unused § CC5A/B#
P3Sel.7	P3DIR.7	P3DIR.7	P3OUT.7	DVSS § OUT6 #	P3IN.7	unused § CC6A/B#

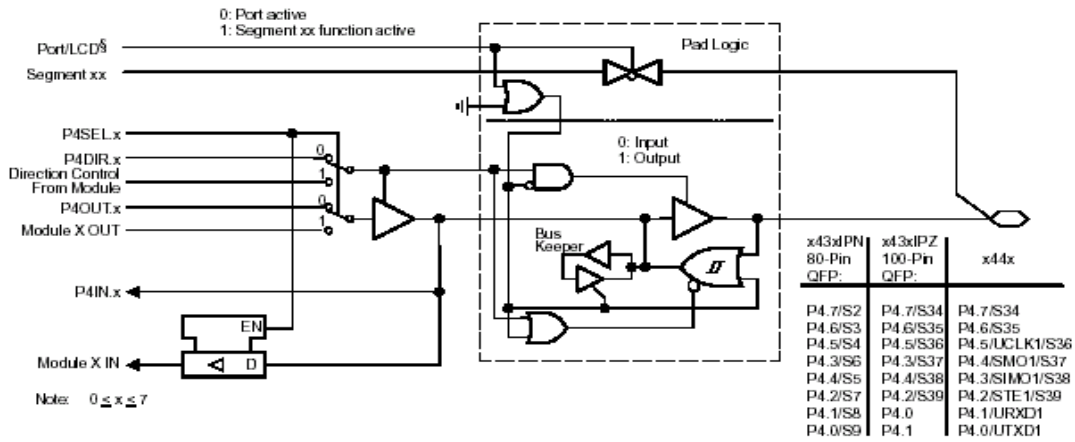
† MSP430x43dIPN

‡ MSP430x43dPZ, MSP430x44dPZ

§ MSP430x43x

MSP430x44x

端口 P4 , P4.0 到 P4.7 , 带施密特触发器的输入/输出



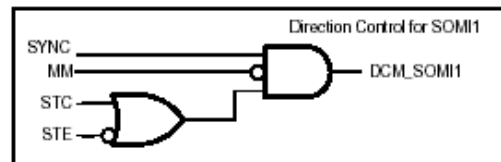
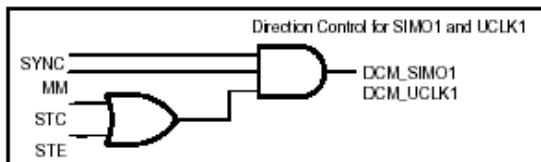
PnSel.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P4Sel.0	P4DIR.0	P4DIR.0† DVC‡	P4OUT.0	DVSS† UTXD1‡	P4IN.0	unused
P4Sel.1	P4DIR.1	P4DIR.1† DVSS‡	P4OUT.1	DVSS	P4IN.1	unused† URXD1‡
P4Sel.2	P4DIR.2	P4DIR.2† DVSS‡	P4OUT.2	DVSS	P4IN.2	unused† STE1(in)‡
P4Sel.3	P4DIR.3	P4DIR.3† DCM_SIMO1‡	P4OUT.3	DVSS† SIMO1(out)‡	P4IN.3	unused† SIMO1(in)‡
P4Sel.4	P4DIR.4	P4DIR.4† DCM_SOM1‡	P4OUT.4	DVSS† SOM1(out)‡	P4IN.4	unused† SOM1(in)‡
P4Sel.5	P4DIR.5	P4DIR.5† DCM_UCLK1‡	P4OUT.5	DVSS† UCLK1(out)‡	P4IN.5	unused† UCLK1(in)‡
P4Sel.6	P4DIR.4	P4DIR.6	P4OUT.6	DVSS	P4IN.6	unused
P4Sel.7	P4DIR.5	P4DIR.7	P4OUT.7	DVSS	P4IN.7	unused

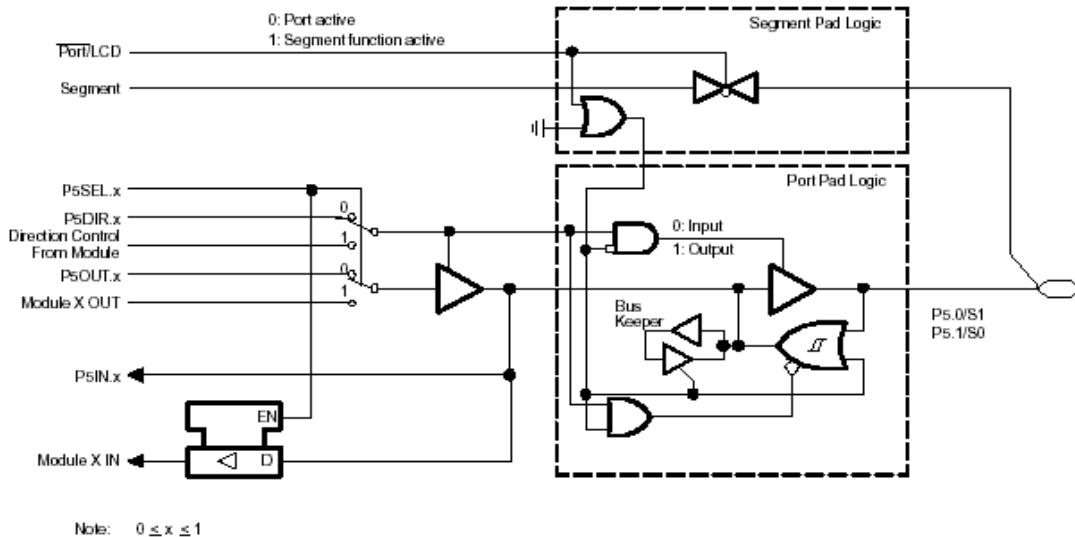
† Signal at MSP430x43x

‡ Signal at MSP430x44x

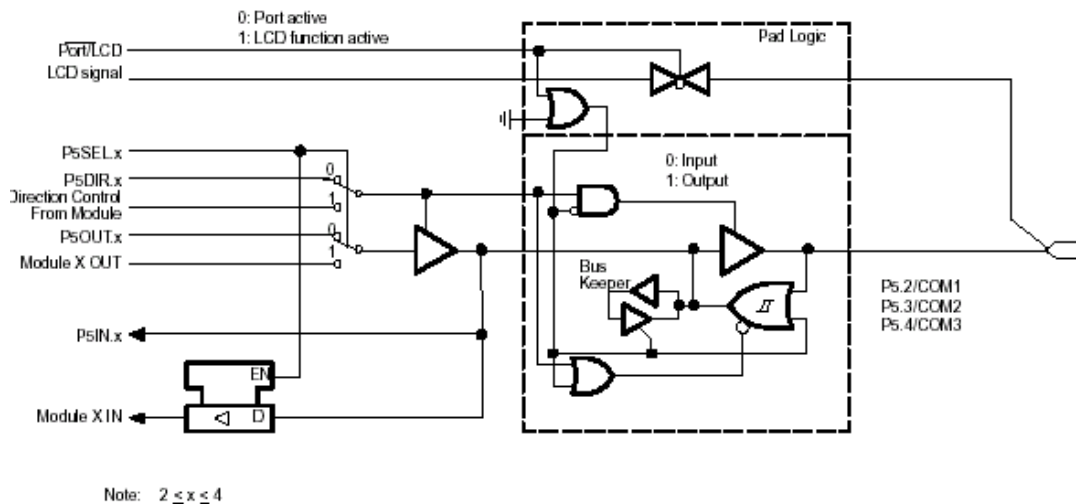
§

DEVICE	PORT BITS	PORT FUNCTION	LCD SEG. FUNCTION
x43xIPN 80-pin QFP	P4.0 . . . P4.7	LCDM < 020h	LCDM ≥ 020h
x43xIPZ 100-pin QFP	P4.2 . . . P4.5	LCDM < 0E0h	LCDM ≥ 0E0h
x44xIPZ 100-pin QFP	P4.6 . . . P4.7	LCDM < 0C0h	LCDM ≥ 0C0h

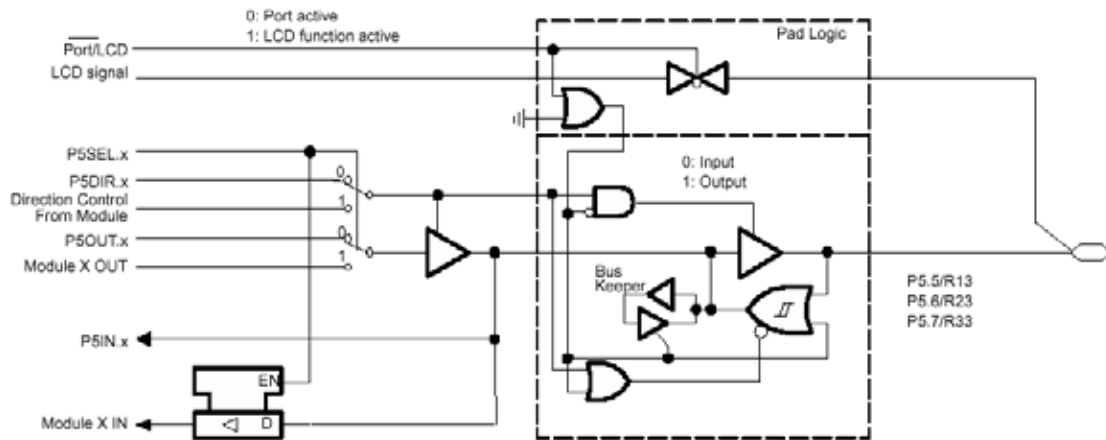


端口 P5，P5.0 到 P5.1，带施密特触发器的输入/输出


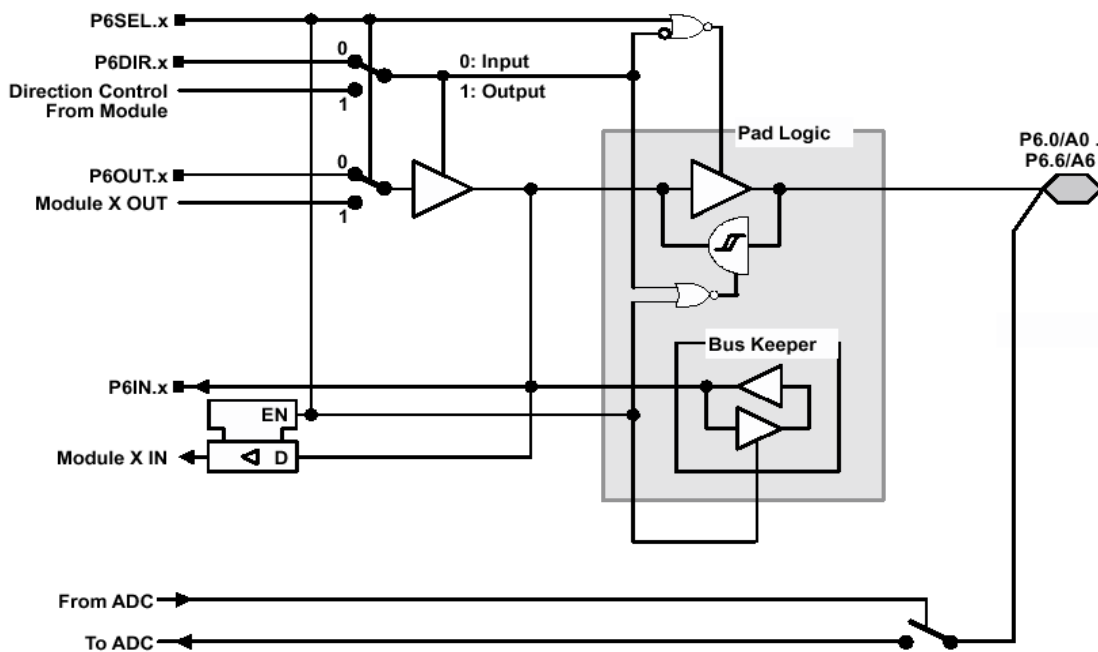
PnSel.x	PnDIR.x	Dir. Control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	Segment	Port/LCD
P5Sel.0	P5DIR.0	P5DIR.0	P5OUT.0	DV _{SS}	P5IN.0	unused	S1	0: LCDM<20h
P5Sel.1	P5DIR.1	P5DIR.1	P5OUT.1	DV _{SS}	P5IN.1	unused	S0	0: LCDM<20h

端口 P5，P5.2 到 P5.4，带施密特触发器的输入/输出


PnSel.x	PnDIR.x	Dir. Control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	LCD signal	Port/LCD
P5Sel.2	P5DIR.2	P5DIR.2	P5OUT.2	DV _{SS}	P5IN.2	unused	COM1	P5SEL.2
P5Sel.3	P5DIR.3	P5DIR.3	P5OUT.3	DV _{SS}	P5IN.3	unused	COM2	P5SEL.3
P5Sel.4	P5DIR.4	P5DIR.4	P5OUT.4	DV _{SS}	P5IN.4	unused	COM3	P5SEL.4

端口 P5 , P5.5 到 P5.7 , 带施密特触发器的输入/输出


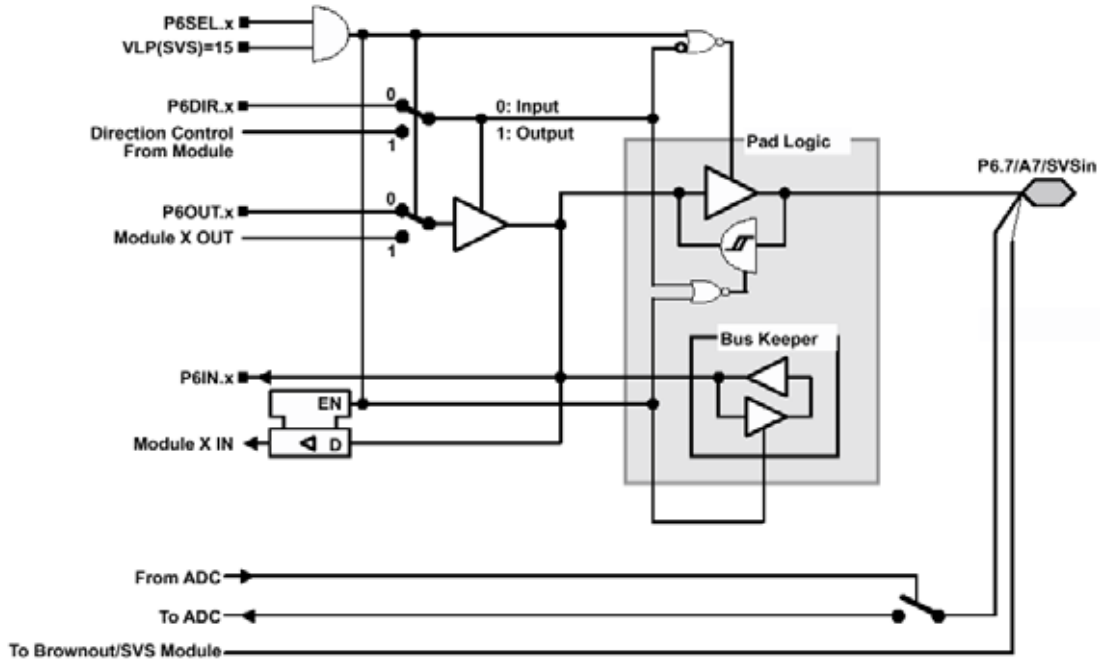
PnSel.x	PnDIR.x	Dir. Control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	LCD signal	$\overline{\text{Port/LCD}}$
P5Sel.5	P5DIR.5	P5DIR.5	P5OUT.5	DVSS	P5IN.5	unused	R13	P5SEL.5
P5Sel.6	P5DIR.6	P5DIR.6	P5OUT.6	DVSS	P5IN.6	unused	R23	P5SEL.6
P5Sel.7	P5DIR.7	P5DIR.7	P5OUT.7	DVSS	P5IN.7	unused	R33	P5SEL.7

端口 P6 , P6.0 到 P6.6 , 带施密特触发器的输入/输出




PnSel.x	PnDIR.x	Dir. Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P6Sel.0	P6DIR.0	P6DIR.0	P6OUT.0	DVSS	P6IN.0	unused
P6Sel.1	P6DIR.1	P6DIR.1	P6OUT.1	DVSS	P6IN.1	unused
P6Sel.2	P6DIR.2	P6DIR.2	P6OUT.2	DVSS	P6IN.2	unused
P6Sel.3	P6DIR.3	P6DIR.3	P6OUT.3	DVSS	P6IN.3	unused
P6Sel.4	P6DIR.4	P6DIR.4	P6OUT.4	DVSS	P6IN.4	unused
P6Sel.5	P6DIR.5	P6DIR.5	P6OUT.5	DVSS	P6IN.5	unused
P6Sel.6	P6DIR.6	P6DIR.6	P6OUT.6	DVSS	P6IN.6	unused

端口 P6 , P6.7 , 带施密特触发器的输入/输出



PnSel.x	PnDIR.x	Dir. Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P6Sel.7	P6DIR.7	P6DIR.7	P6OUT.7	DVSS	P6IN.7	unused

JTAG 熔丝检查模式

MSP430 芯片在 TDI 引脚上有熔丝及在 JTAG 端口在上电复位 (POR) 后初次处理 JTAG 端口时检测熔丝得连续性的熔丝检查模式。当激活时 熔丝检查电流 I_{TF} 在 3V 时为 1mA 在 5V 时为 2.5mA , 如果熔丝没有烧掉将从 TDI 引脚流向地。必须注意避免意外地激活熔丝检查模式而增大整个系统地功耗。熔丝检查模式地激活发生在上电后 TMS 引脚的第一个下降沿或者上电时 TMS 保持为低。TMS 引脚上的第二个上升沿关闭熔丝检查模式。关闭后, 熔丝检查模式保持停止直到发生另一个 POR。

熔丝检查电流仅当熔丝检查模式激活以及 TMS 引脚处于低状态时才流过 (见图 23)。因此, 额外的电流流过可以通过将 TMS 引脚拉高 (缺省条件) 避免。

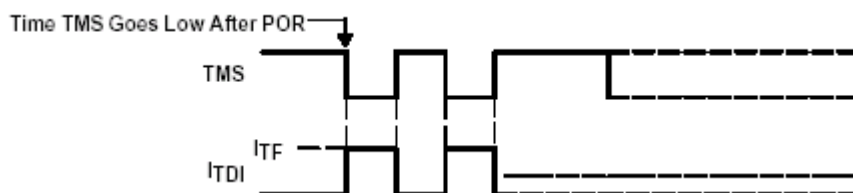
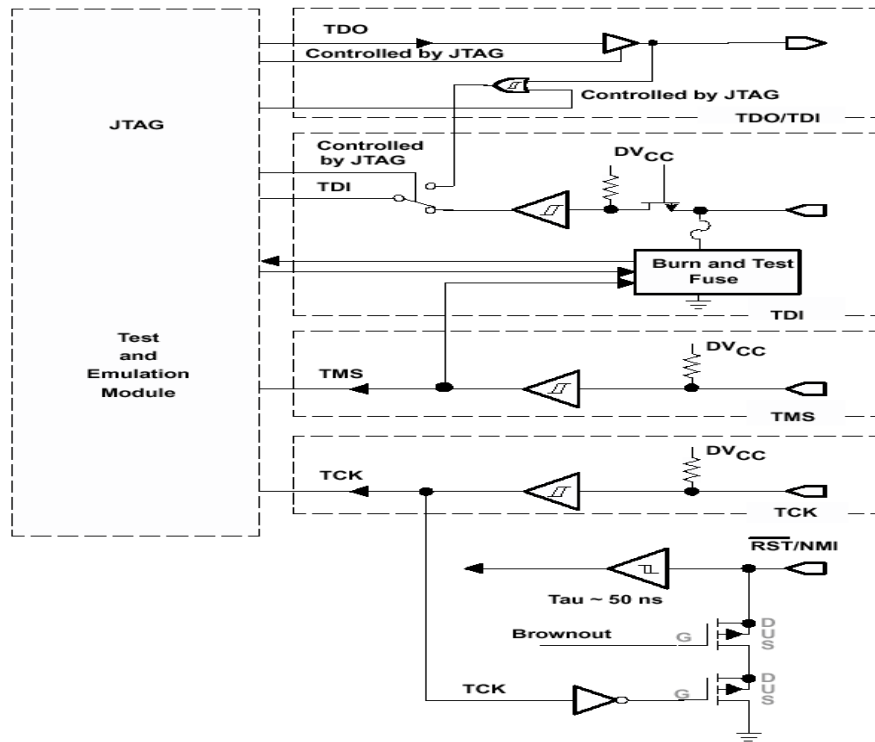
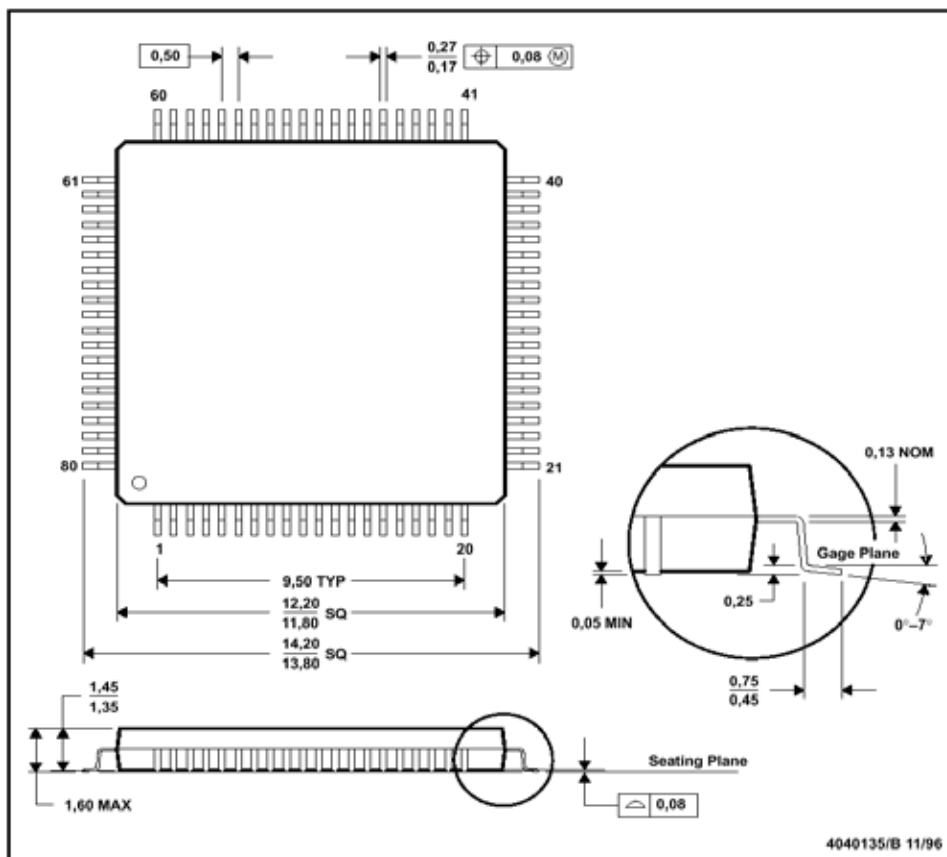


图 23 熔丝检查模式电流, MSP430x43x/44x

JTAG 引脚 TCK、TDI、TMS、TDO/TDI，带施密特触发器的输入/输出(下图)

封装尺寸 PN(S-PQFP-G80)


说明：该中文资料在翻译过程中难免存在错误，请依照英文资料为准。