



MSP430FE42X/F42X系列混合信号微控制器

特性

- 低电源电压范围：2.7V-3.6V（FE42X系列）；1.8V-3.6V（F42X系列）
- 超低功耗：活动模式（仅MSP430）：400uA@1MHz，3.0V
待机模式：1.6uA
关闭模式（RAM保持）：0.1uA
- 五种省电模式
- 6us内从待机模式唤醒
- 锁频环FLL+
- 16位RISC体系，125ns指令周期
- 嵌入式信号处理用于单相电能计量（ESP430CE1）
- 带3个捕获/比较寄存器的16位定时器Timer_A
- 集成128段LCD驱动器
- 串行通信接口（USART），通过软件选择异步UART或同步SPI
- 节电检测器
- 带可编程电平检测的电源电压管理/监控
- 串行在线编程，无需外部编程电压
- 安全熔丝可编程代码保护
- Flash器件有自举装载程序

系列器件包括：

- MSP430F423: 8KB+256B Flash Memory, 256B RAM
- MSP430F425: 16KB+256B Flash Memory, 512B RAM
- MSP430F427: 32KB+256B Flash Memory, 1KB RAM
- MSP430FE423: 8KB+256B Flash Memory, 256B RAM
- MSP430FE425: 16KB+256B Flash Memory, 512B RAM
- MSP430FE427: 32KB+256B Flash Memory, 1KB RAM
- 可用封装：64脚方形扁平封装（QFP）
完整的模块说明，参见MSP430x4xx系列用户指南，文献号SLAU056

说明

德州仪器MSP430系列超低功耗控制器由针对多种不同应用具有不同外围模块的芯片组成的。其结构与五种低功耗模式相结合，适合在便携测量应用中实现延长电池寿命。芯片具有强大的16位精简指令集，16位寄存器和常数发生器，可以实现最大代码执行效率。带数字控制振荡器的锁频环DCO提供从低功耗模式到活动模式小于6us的迅速唤醒。

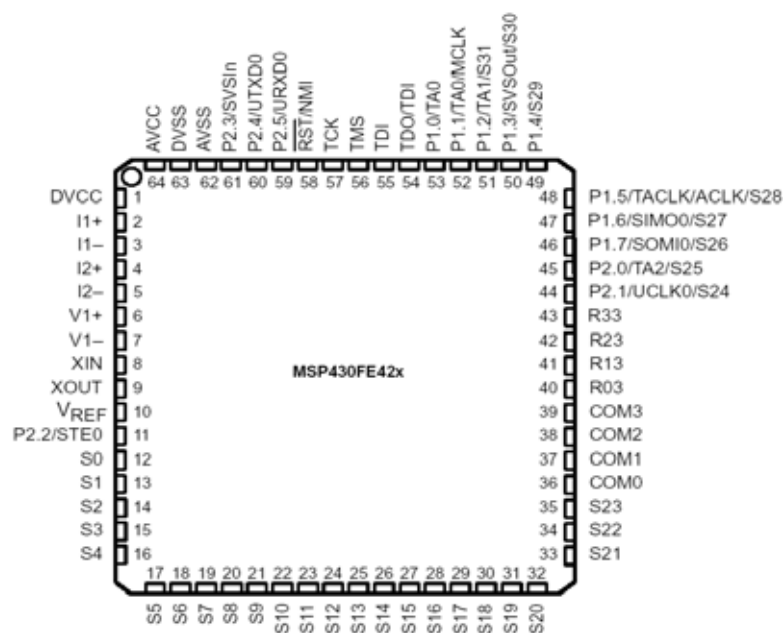
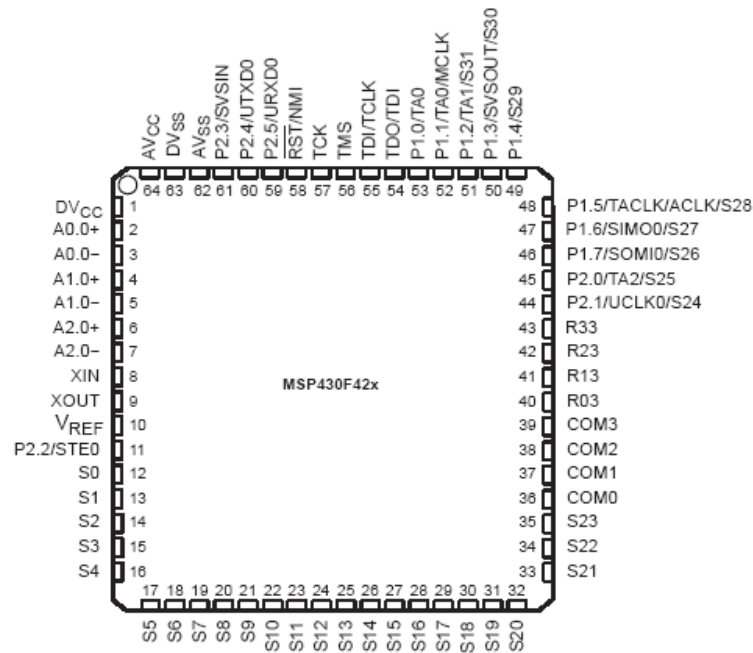
MSP430XE42x系列是一款配置有三个独立16位 — 模数转换器的微控制器和内嵌入式信号处理器内核，用于测量和计算单相二线和单相三线电能表的微控制器，同样它包含内置的16位定时器，128段LCD驱动，14个I/O引脚。典型应用为二线和三线单相多功能防窃电表功能中。



可用选项

	PACKAGED DEVICES
TA	PLASTIC 64-PIN QFP (PM)
-40°C to 85°C	MSP430F423IPM MSP430F425IPM MSP430F427IPM MSP430FE423IPM MSP430FE425IPM MSP430FE427IPM

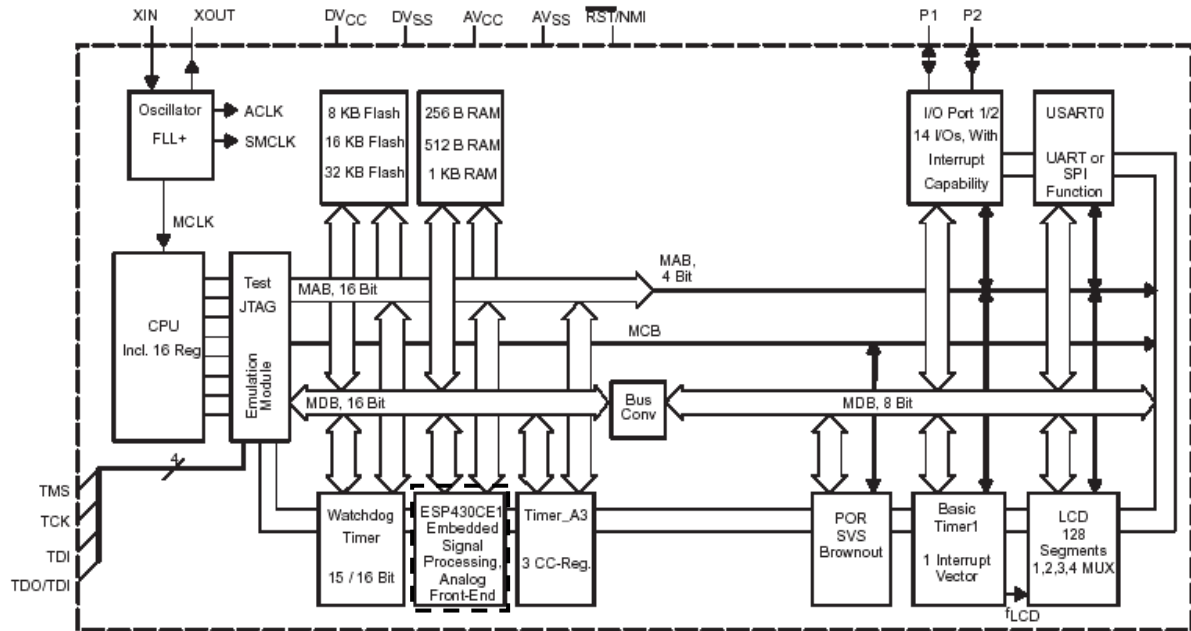
引脚定义



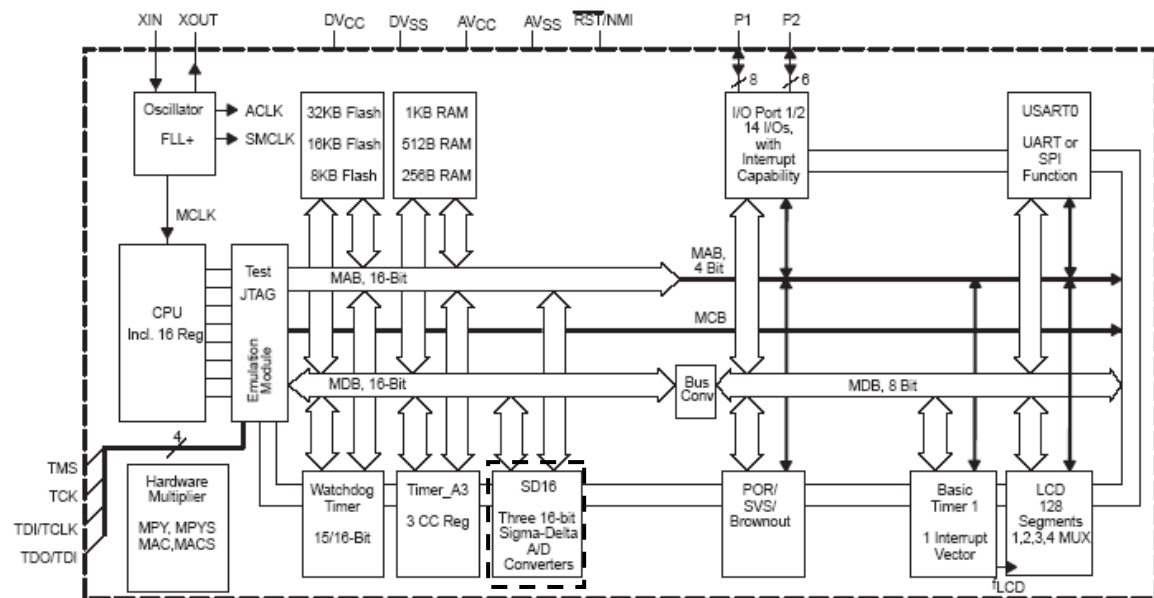


功能框图

FE42X系列



F42X系列





引脚功能 (FE42X/F42X)

信号	编号	类型	说明
DVCC	1		数字电源电压正端。
I1+/ A0.0+	2	I	电流1的正模拟输入。
I1-/A0.0-	3	I	电流1的负模拟输入。
I2+/ A1.0+	4	I	电流2的正模拟输入。
I2-/ A1.0-	5	I	电流2的负模拟输入。
V1+ /A2.0+	6	I	电压通道的正模拟输入。
V1-/A2.0	7	I/O	电压通道的负模拟输入/参考电压输出(可以用作Vmid)
XIN	8	I	晶体振荡器XT1的输入端子.可以连接标准或手表晶体.
XOUT	9	I/O	晶体振荡器XT1的输出端子或测试时钟输入.
VREF	10	I	参考电压输入/接去耦电容
P2.2/STE0	11	I/O	通用数字I/O/USART在SPI模式的从发送使能.
S0	12	0	LCD段输出0
S1	13	0	LCD段输出1
S2	14	0	LCD段输出2
S3	15	0	LCD段输出3
S4	16	0	LCD段输出4
S5	17	0	LCD段输出5
S6	18	0	LCD段输出6
S7	19	0	LCD段输出7
S8	20	0	LCD段输出8
S9	21	0	LCD段输出9
S10	22	0	LCD段输出10
S11	23	0	LCD段输出11
S12	24	0	LCD段输出12
S13	25	0	LCD段输出13
S14	26	0	LCD段输出14
S15	27	0	LCD段输出15
S16	28	0	LCD段输出16
S17	29	0	LCD段输出17
S18	30	0	LCD段输出18
S19	31	0	LCD段输出19
S20	32	0	LCD段输出20
S21	33	0	LCD段输出21
S22	34	0	LCD段输出22
S23	35	0	LCD段输出23



COM0	36	0	LCD公共输出0
COM1	37	0	LCD公共输出1
COM2	38	0	LCD公共输出2
COM3	39	0	LCD公共输出3
R03	40	I	第四(最低)正模拟LCD电平(V5)的输入端口
R13	41	I	第三正模拟LCD电平(V4或V3)的输入端口
R23	42	I	第二正模拟LCD电平(V2)的输入端口
R33	43	0	最大正模拟LCD电平(V1)的输入端口
P2.1/UCLK0/S24	44	I/O	通用数字I/O/USART外部时钟输入,USART时钟输出/LCD段输出24.
P2.0/TA2/S25	45	I/O	通用数字I/O/Timer_A,捕获:CCI2A输入,比较:Out2输出/LCD段输出25
P1.7/SOMI0/S26	46	I/O	通用数字I/O/USART在SPI模式的从出/主入/LCD断输出26
P1.6/SIM00/S27	47	I/O	通用数字I/O/USART在SPI模式的从入/主出/LCD输出27
P1.5/TACLK/ACLK/S28	48	I/O	通用数字I/O/Timer_A时钟输入/LCD段输出28
P1.4/S29	49	I/O	通用数字I/O/LCD段输出29
P1.3/SVSOUT/S30	50	I/O	通用数字I/O/SVS比较器的输出/LCD段输出30
P1.2/TA1/S31	51	I/O	通用数字I/O/Timer_A,捕获:CCI1A,CCI1B输入,比较:Out1输出/LCD段输出31.
P1.1/TA0(I)/MCLK	52	I/O	通用数字I/O/Timer_A,捕获:CCI0B输入/主系统时钟MCLK输出.
P1.0/TA0	53	I/O	通用数字I/O/Timer_A,捕获:CCI0A输入,比较:Out0输出
TDO/TDI	54	I/O	测试数据输出
TDI	55	I	测试数据输入.器件保护熔丝连接到TDI.
TMS	56	I	测试模式选择.
TCK	57	I	测试时钟.
RST/NMI	58	I	复位输入或非屏蔽中断输入端口
P2.5/URXD	59	I/O	通用数字I/O/UART接收数据输入
P2.4/UTXD	60	I/O	通用数字I/O/UART发送数据输出
P2.3/SVSIN	61	I/O	通用数字I/O/SVS多路器第15输入
AVSS	62		模拟电源电压,负端.
DVSS	63		数字电源电压,负端
AVCC	64		模拟电源电压,正端

注：LCD 功能选择是通过设置 LCD 模块控制位自动实现的，而不是设置 PxSEL.



简要说明

CPU

MSP430 CPU具有一个16位精简指令结构，对应用来说是高度透明的。所有操作，除了程序流指令以外，都是作为寄存器操作，结合7种源操作数寻址方式和4种目的操作数寻址方式来执行的。

CPU 内部集成 16 个寄存器，减小了指令执行时间。寄存器到寄存器操作执行时间被减少到处理器频率的一个周期。4 个寄存器 R0 到 R3 被保留，专门用作程序计数器，堆栈计数器，状态寄存器，和常数发生器；其余的寄存器可用作通用寄存器。

外设利用一个数据地址和控制总线连接到CPU，并能容易利用内存处理指令操作。

程序计数器	PC/R0
堆栈指针	SP/R1
状态寄存器	SR/CG1/R2
常数发生器	CG2/R3
用寄存器	R4
通用寄存器	R5
•	
通用寄存器	R14
通用寄存器	R15

指令集

这个指令集由三种格式和七种寻址方式的 51 条指令组成。表 1 给出了三类指令格式的总结和例子，寻址方式在表 2 中列出。表 1 指令字格式

Dual operands, source-destination	e.g. ADD R4,R5	R4 + R5 ----> R5
Single operands, destination only	e.g. CALL R8	PC -->(TOS), R8--> PC
Relative jump, un/conditional	e.g. JNE	Jump-on-equal bit = 0

表 2 寻址方式说明

ADDRESS MODE	S	D	SYNTAX	EXAMPLE	OPERATION
Register	●	●	MOV Rs,Rd	MOV R10,R11	R10 --> R11
Indexed	●	●	MOV X(Rn),Y(Rm)	MOV 2(R5),6(R6)	M(2+R5)--> M(6+R6)
Symbolic (PC relative)	●	●	MOV EDE,TONI		M(EDE) --> M(TONI)
Absolute	●	●	MOV &MEM,&TCDAT		M(MEM) --> M(TCDAT)
Indirect	●		MOV @Rn,Y(Rm)	MOV @R10,Tab(R6)	M(R10) --> M(Tab+R6)
Indirect autoincrement	●		MOV @Rn+,Rm	MOV @R10+,R11	M(R10) --> R11 R10 + 2--> R10
Immediate	●		MOV #X,TONI	MOV #45,TONI	#45 --> M(TONI)

注意：s=源 d=目的



工作方式

MSP430 具有一种活动模式和五种软件可选择的低功耗运行模式。中断事件可以将芯片从五种低功耗模式的任何一种唤醒，服务中断请求并返回中断程序之前的低功耗模式。

可以通过软件配置下列 6 种工作模式：

- 活动方式 AM:
 - CPU 时钟是活动的。
- 低功率方式0(LPM0):
 - CPU被禁止。
 - ACLK和SMCLK保持活动。MCLK被禁止。
 - FLL+环路控制保持活动。
- 低功率方式 1(LPM1):
 - CPU 被禁止。
 - FLL+环路控制被禁止。
 - ACLK 和 SMCLK 保持活动。
 - MCLK 被禁止。
- 低功率方式 2(LPM2):
 - CPU 被禁止。
 - MCLK 和 FLL+环路控制以及 DCOCLK 被禁止。
 - DCO 的直流发生器保持激活。
 - ACLK 保持活动。
- 低功率方式3(LPM3):
 - CPU被禁止。

 - MCLK , FLL+环路控制和DCOCLK被禁止。
 - DCO's 直流发生器禁止。
 - ACLK保持活动。
- 低功率方式 4(LPM4):
 - CPU 禁止
 - ACLK 禁止
 - MCLK、FLL+环路控制和 DCOCLK 被禁止。
 - DCO 的直流发生器被禁止。
 - 晶体振荡器停止。

中断向量地址

中断向量和上电启动地址位于地址范围0FFFFH-0FFE0H。向量包含相应的中断处理指令序列的16位地址。



中断源	中断标志	系统中断	字地址	优先级
上电 外部复位 看门狗 闪存存储器 程序计数器范围溢出 (见注4)	WDTIFG KEYV (见注1)	复位	0FFFEh	15, 最高
NMI(非屏蔽中断) 振荡器故障 闪存存储器访问违例	NMIIFG (见注1和3) OFIFG (见注1和3) ACCVIFG (见注1和3)	(非)屏蔽 (非)屏蔽 (非)屏蔽	0FFFCh	14
ESP430	OVIIFGx, MMBCTL.INxIFG(见注1和2)	可屏蔽	0FFFAh	13
Sigma-Delta ADC SD16	SD16CCTL(0,1,2).OVIIFG, SD16CCTL(0,1,2).IFG (见注1和2)	可屏蔽	0FFF8h	12
			0FFF6h	11
看门狗定时器	WDTIFG	可屏蔽	0FFF4h	10
USART接收	URXIFG	可屏蔽	0FFF2h	9
USART发送	UTXIFG	可屏蔽	0FFF0h	8
			0FFEEh	7
Timer_A3	CCIFG0 (注2)	可屏蔽	0FFECCh	6
Timer_A3	CCIFG1, CCIFG2, TAIFG (见注1和2)	可屏蔽	0FFEAh	5
I/O端口P1(8个标志)	P1IFG.0 (见注1和2) 到 P1IFG.7 (见注1和2)	可屏蔽	0FFE8h	4
			0FFE6h	3
			0FFE4h	2
I/O端口P2(6个标志)	P2IFG.0 (见注1和2) 到 P2IFG.7 (见注1和2)	可屏蔽	0FFE2h	1
基本定时器1	BTIFG	可屏蔽	0FFE0h	0, 最低

注释:

1. 多源中断
2. 中断标志位于模块中
3. (非)屏蔽: 独立中断允许位可以禁止中断事件, 但是全局中断允许位不能禁止.
4. 如果CPU试图从模块寄存器范围(0h-1ffh)之外取指, 将发生复位。

特殊功能寄存器

大部分中断和模块使能位集中在低地址空间, 少数部分未分配功能目的的特殊功能寄存器位在芯片中物理上并不存在, 通过这种安排可以简单的进行软件操作。

中断使能1和2

地址	7	6	5	4	3	2	1	0
0h	UTXIE	URXIE	ACCVIE	NMIIE			OFIE	WDTIE
	rw-0	rw-0	rw-0	rw-0			rw-0	rw-0



WDTIE: 看门狗定时器中断使能。当选择看门狗方式时不活动。当定时器配置为一个通用定时器时该位激活。

OFIE: 振荡器故障中断使能。

NMIIE: 非屏蔽中断使能。

ACCVIE: 闪速存储器访问违例中断使能。

URXIE: UART和SPI接收中断使能。

UTXIE: UART和SPI发送中断使能。

地址	7	6	5	4	3	2	1	0
01h	BTIE							
	rw-0							

BTIE: 基本定时器中断使能。

中断标志寄存器1和2

地址	7	6	5	4	3	2	1	0
02h	UTXIFG	URXIFG		NMIIFG			OFIFG	WDTIFG
	rw-0	rw-0		rw-0			rw-1	rw-0

WDTIFG: 当看门狗定时器溢出(于看门狗方式)或安全键值违例时置位。当VCC上电或RST/NMI引脚在复位方式下有复位条件时复位。

OFIFG: 当振荡器有故障时置位。

NMIIFG: 通过RST/NMI引脚置位。

URXIFG: UART和SPI接收标志

UTXIFG: UART和SPI发送标志

地址	7	6	5	4	3	2	1	0
03h	BTIFG							
	rw-0							

BTIFG: 基本定时器中断标志。

模块使能寄存器1和2

地址	7	6	5	4	3	2	1	0
04h	UTXE0	URXE0 USPIE0						
	rw-0	rw-0						

URXE0 : USART0 UART模式接收允许

UTXE0 : USART0 UART模式发送允许

USPIE0 : USART0 SPI 模式发送接收允许



地址	7	6	5	4	3	2	1	0
05h								

图例: rw: 位可读写。

rw-0: 位可读写, 由 PUC 复位。

■ 不存在于器件中的SFR位。

存储器组织

		MSP430FE423	MSP430FE425	MSP430FE427
存储器 主: 中断矢量 主: 代码存储器	大小	8kB	16kB	32kB
	闪存	0FFFFh – 0FFE0h	0FFFFh – 0FFE0h	0FFFFh – 0FFE0h
	闪存	0FFFFh – 0E000h	0FFFFh – 0C000h	0FFFFh – 08000h
信息存储器	大小	256 Bytes 010FFh – 01000h	256 Bytes 010FFh – 01000h	256 Bytes 010FFh – 01000h
引导存储器	大小	1kB 0FFFh – 0C00h	1kB 0FFFh – 0C00h	1kB 0FFFh – 0C00h
RAM	大小	256 Bytes 02FFh – 0200h	512 Bytes 03FFh – 0200h	1kB 05FFh – 0200h
外围设备	16位	01FFh – 0100h	01FFh – 0100h	01FFh – 0100h
	8位	0FFh – 010h	0FFh – 010h	0FFh – 010h
	8位SFR	0Fh – 00h	0Fh – 00h	0Fh – 00h

引导装载程序(bootstrap loader)

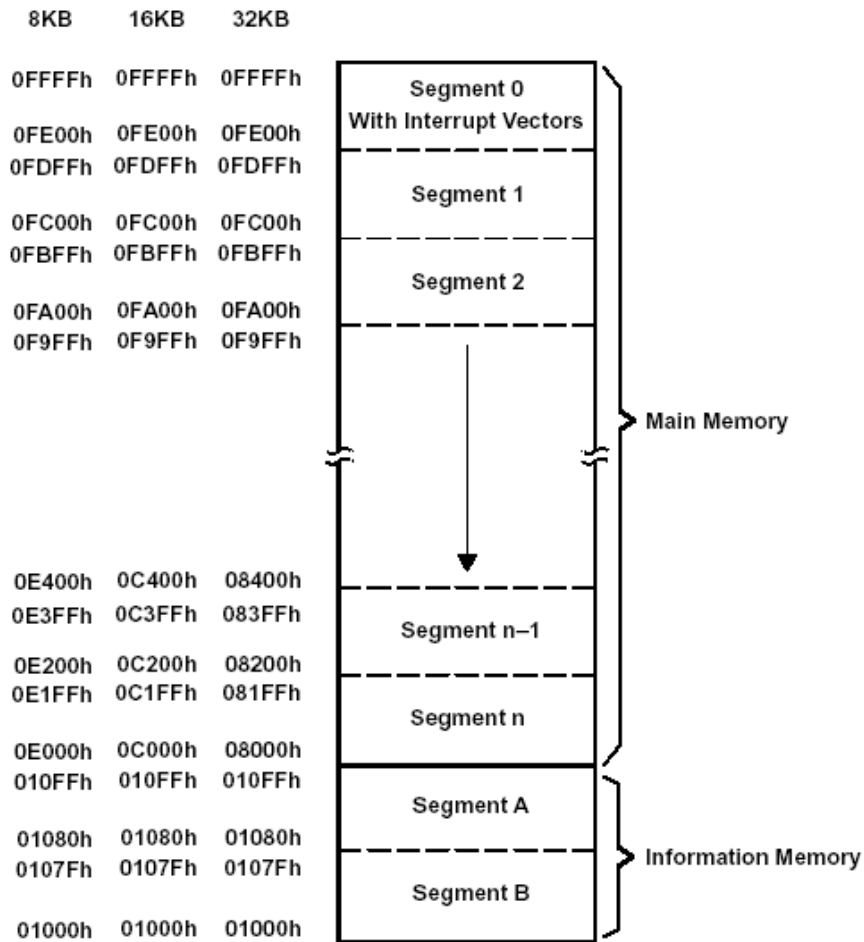
MSP430引导装载程序 (BSL) 使用户能够通过一个UART串行接口对FLASH存储器或者RAM进行编程。通过BSL对MSP430存储器的操作是由用户定义的密码保护的。要获得BSL特性的完整描述和它的执行过程, 参见用户报告《MSP430引导加载程序》, 文献号 SLAA089。

BSL 功能	PM 封装引脚
数据发送	53-P1.0
数据接收	52-P1.1

闪速存储器

闪速存储器可以通过 JTAG 接口、引导加载程序或者 CPU 在系统编程。CPU 可以对闪速存储器进行单字节或者单字的写操作。闪速存储器的特性包括：

- 闪速存储器有n段主存储器和每段128字节的两段信息存储器(A和B)。主存储器中每个段长为512字节。
- 段 0 到 n 可以一步擦除, 也可以每段分别擦除。
- 段 A 和 B 可以分别擦除, 或与段 0 到 n 作为一组擦除。
- 未编程的新器件在信息存储器中可能有一些已经编程的字节(用于生产期间的测试)。在首次使用之前用户应该执行一次对信息存储器的擦除。



周边设备

外设通过数据,地址,和控制总线连接到 CPU,并易于用内存操作指令处理,更详细的模块说明参阅 MSP430 系列用户说明,文献编号是 SLAU056。

振荡器和系统时钟

MSP430FE42x 系列芯片内部具有 FLL+模块,包括支持 32768Hz 钟表晶体振荡器,一个内部数控振荡器(DCO)和一个高频晶体振荡器。FLL+时钟模块设计为能同时满足降低系统成本和系统功耗。FLL+具有数字频率锁相环硬件特性,与数字调制器相连将 DCO 频率稳定在钟表晶振频率的一个可编程的倍数上。内部 DCO 提供一个快速启动的时钟源并在 6 μ s 内稳定。FLL+模块提供下列时钟信号:

- 辅助时钟 ACLK,来源于 32768Hz 钟表晶振或者一个高频晶振
- 主系统(主)时钟 MCLK,由系统和 CPU 使用。
- 子系统(主)时钟 SMCLK,由周边模块使用。
- 辅助时钟 ACLK/n, ACLK、ACLK/2、ACLK/4 或者 ACLK/8 的缓冲输出。



掉电管理和电源监控

掉电电路在上电和断电时用来为芯片提供正确的内部复位信号。供电电源监测器电路检测供电电压是否掉到低于用户选择的电平并支持供电电压管理（芯片自动复位）和供电电源监测（SVM，芯片非自动复位时）。

CPU在掉电电路释放芯片复位信号后开始代码执行。不过，VCC可能当时没有下降到VCC(min)。用户必须确保缺省的FLL+设置没有改变直到VCC到达VCC (min)。如果需要，SVS电路可以用来确定VCC是否到达VCC (min)。

数字I/O

有两个已实现的8位I/O端口-端口P1和P2（P2端口在外部引脚上只有6个I/O信号）：

- 所有 I/O 位可单独编程。
- 任何输入、输出、和中断条件的结合都是可能的。
- P1 端口的所有 8 位和 P2 端口的所有 6 位具有中断沿可选的。
- 所有指令支持对端口控制寄存器的读写操作。

注意：端口 P2，P2.0 到 P2.5 存在于外部引脚 但端口 P2 所有控制位和数据位都是存在的。

基本定时器1

基本定时器的两个独立的 8 位定时器，也可叠加组成一个 16 位的定时器/计数器。两个定时器可以软件读写。基本定时器 1 能用来产生周期性中断和 LCD 模块的时钟。

LCD 驱动器

LCD 驱动器产生驱动液晶显示器的段信号和公共信号。LCD 控制器具有专用数据存储器保持段驱动信息。公共信号和段信号按照定义的模式产生。外围模块支持静态，二偏置、三偏置和四偏置电压模式。

WDT + 看门狗定时器

看门狗定时器模块的基本功能是在发生软件问题时复位控制系统。如果设定的时间间隔溢出了，就会产生一个系统复位。如果看门狗功能在应用中并不需要，这个模块可以配置为一个内部定时器，在设定的时间间隔产生中断。

定时器_A3

定时器_A3 是一个 16 位的带有三个捕获/比较寄存器的定时器/计数器。定时器 A3 能够支持多重捕获/比较，PWM 输出和内部定时。定时器 A3 也具有可扩展的中断能力。中断可由计数器条件溢出和任一捕获/比较寄存器产生。



Timer_A3 Signal Connections					
Input Pin Number	Device Input Signal	Module Input Name	Module Block	Module Output Signal	Output Pin Number
48 - P1.5	TACLK	TACLK	Timer	NA	
	ACLK	ACLK			
	SMCLK	SMCLK			
48 - P1.5	TACLK	INCLK			
53 - P1.0	TA0	CC10A	CCR0	TA0	53 - P1.0
52 - P1.1	TA0	CC10B			
	DVSS	GND			
	DVCC	VCC			
51 - P1.2	TA1	CC11A	CCR1	TA1	51 - P1.2
51 - P1.2	TA1	CC11B			
	DVSS	GND			
	DVCC	VCC			
45 - P2.0	TA2	CC12A	CCR2	TA2	45 - P2.0
	ACLK (internal)	CC12B			
	DVSS	GND			
	DVCC	VCC			

USART 0

MSP430FE42x 芯片具有一个硬件通用同步/异步接收发送 (USART0) 外围模块, 用于串行数据通讯。USART 支持同步 SPI (3 或者 4 引脚) 和异步 UART 串行通讯协议, 采用双缓冲的发送和接收通道。

ESP430CE1

ESP430CE1 模块集成了硬件乘法器, 三个独立的 16 位 Sigma-Delta 模数转换器 (SD16) 和一个嵌入式信号处理器 (ESP430)。ESP430CE1 模块测量二线或者三线单相电能并自动由 MSP430 CPU 计算参数。此模块可经过校准和初始化准确的计算电能、功率因数。

MSP430FE42X的外围存储器布局

字操作方式的外围存储器			
看门狗	看门狗/定时器控制	WDTCTL	0120h
定时器 A3	定时器A中断向量	TAIV	012Eh
	定时器A控制	TACTL	0160h
	捕获/比较控制0	CCTL0	0162h
	捕获/比较控制1	CCTL1	0164h
	捕获/比较控制2	CCTL2	0166h
	保留		0168h
	保留		016Ah
	保留		016Ch
	保留		016Eh
	定时器A寄存器	TAR	0170h
	捕获/比较寄存器0	CCRO	0172h
	捕获/比较寄存器1	CCR1	0174h
	捕获/比较寄存器2	CCR2	0176h
	保留		0178h
	保留		017Ah
	保留		017Ch



	保留		017Eh
乘法器	和扩展	SUMEXT	013Eh
	结果高字	RESHI	013Ch
	结果低字	RESLO	013Ah
	第二操作数	OP2	0138h
	乘法器有符号数	MACS	0136h
	累加器/操作数1		
	乘法器累加/操作数1	MAC	0134h
	乘法器有符号数/第一操作数	MPYS	0132h
	乘法器无符号数/第一操作数	MPY	0130h
FLASH	FLASH控制3	FCTL3	012Ch
	FLASH控制2	FCTL2	012Ah
	FLASH控制1	FCTL1	0128h
SD16	通用控制	AFECTL	0100h
	保留		0110h
	通道0控制	AFECCTL0	0102h
	通道1控制	AFECCTL1	0104h
	通道2控制	AFECCTL2	0106h
	保留		0108h
	保留		010Ah
	保留		010Ch
	保留		010Eh
	保留		0112h
	保留		0114h
	保留		0116h
	保留		0118h
	保留		011Ah
	保留		011Ch
	保留		011Eh
ESP430 (ESP430CE1)	ESP430控制	ESPCTL	0150h
	邮箱控制	MBCTL	0152h
	邮箱输入0	MBIN0	0154h
	邮箱输入1	MBIN1	0156h
	邮箱输出0	MBOUT0	0158h
	邮箱输出1	MBOUT1	015Ah
ESP430返回值	ESP430返回值0	RET0	01C0h

	ESP430返回值31	RET31	01Feh
字节操作的外围存储器			
SD16	通道0输入控制	AFEINCTL0	0B0h
	通道1输入控制	AFEINCTL1	0B1h
	通道2输入控制	AFEINCTL2	0B2h
	保留		0B3h



	保留		0B4h
	保留		0B5h
	保留		0B6h
	保留 (Vref平滑0)	(AFETRIM0)	0B7h
	保留		0B8h
	保留		0B9h
	保留		0BAh
	保留		0BBh
	保留		0BCh
	保留		0BDh
	保留		0BEh
	保留 (Vref平滑1)	(AFETRIM1)	0BFh
	LCD存储器20	LCDM20	0A4h
	LCD存储器19	LCDM19	0A3h
	LCD存储器18	LCDM18	0A2h
	LCD存储器17	LCDM17	0A1h
	LCD存储器16	LCDM16	0A0h
	LCD存储器15	LCDM15	09Fh
	LCD存储器14	LCDM14	09Eh
	LCD存储器13	LCDM13	09Dh
	LCD存储器12	LCDM12	09Ch
	LCD存储器11	LCDM11	09Bh
	LCD存储器10	LCDM10	09Ah
	LCD存储器9	LCDM9	099h
	LCD存储器8	LCDM8	098h
	LCD存储器7	LCDM7	097h
	LCD存储器6	LCDM6	096h
	LCD存储器5	LCDM5	095h
	LCD存储器4	LCDM4	094h
	LCD存储器3	LCDM3	093h
	LCD存储器2	LCDM2	092h
	LCD存储器1	LCDM1	091h
	LCD控制及模式	LCDCTL	090h
上电复位,SVS	SVS控制 由上电信号复位	SVSCTL	056h
系统时钟 FLL+	FLL+控制1	FLL+CTL1	054h
	FLL+控制0	FLL+CTL0	053h
	系统时钟频率控制	SCFQCTL	052h
	系统时钟频率集成器	SCFI1	051h
	系统时钟频率集成器	SCFI0	050h



基本定时器1	BT计数器1	BTCNT2	047h
	BT计数器2	BTCNT1	046h
	BT控制	BTCTL	040h
端口P2	端口P2选择	P2SEL	02Eh
	端口P2中断允许	P2IE	02Dh
	端口P2中断沿选择	P2IES	02Ch
	端口P2中断标志	P2IFG	02Bh
	端口P2方向	P2DIR	02Ah
	端口P2输出	P2OUT	029h
	端口P2输入	P2IN	028h
端口P1	端口P1选择	P1SEL	026h
	端口P1中断允许	P1IE	025h
	端口P1中断沿选择	P1IES	024h
	端口P1中断标志	P1IFG	023h
	端口P1方向	P1DIR	022h
	端口P1输出	P1OUT	021h
	端口P1输入	P1IN	020h
特殊功能	SFR模块使能2	ME2	005h
	SFR模块使能1	ME1	004h
	SFR中断标志2	IFG2	003h
	SFR中断标志1	IFG1	002h
	SFR中断允许2	IE2	001h
	SFR中断允许1	IE1	000h

开放室温范围运行条件下（除非另有说明）的最大绝对允许值

作用在VCC上的相对于VSS的电压.....	-0.3V到4.1V
作用在任何引脚上的电压（相对于VSS）.....	-0.3V到VCC+0.3V
任何芯片终端上的二极管电流.....	± 2mA
存储温度（未编程芯片）.....	-55 到150
存储温度（已编程芯片）.....	-40 到85

超过所列的“最大绝对允许值”的运行条件可能引起芯片的永久性损坏。这些只是额定的极限，并不代表芯片在超出“推荐运行条件”之外的条件下芯片能够正常运行。在一段时期内暴露在最大绝对额定值将影响芯片的可靠性。（意：所有电压相对于VSS）



推荐运行条件

PARAMETER		MIN	NOM	MAX	UNITS
Supply voltage during program execution; SVS, ESP430 and SD16 disabled. V_{CC} ($AV_{CC} = DV_{CC} = V_{CC}$)	MSP430FE42x	1.8		3.6	V
Supply voltage during program execution; SVS enabled, ESP430 and SD16 disabled. V_{CC} ($AV_{CC} = DV_{CC} = V_{CC}$) (see Note 1)	MSP430FE42x	2.2		3.6	V
Supply voltage during program execution; ESP430 or SD16 enabled or during programming of flash memory. V_{CC} ($AV_{CC} = DV_{CC} = V_{CC}$)	MSP430FE42x	2.7		3.6	V
Supply voltage, V_{SS} ($AV_{SS} = DV_{SS} = V_{SS}$)		0		0	V
Operating free-air temperature range, T_A	MSP430FE42x	-40		85	°C
LFXT1 crystal frequency, $f_{(LFXT1)}$ (see Note 2)	LF selected, XTS_FLL=0 Watch crystal		32768		Hz
	XT1 selected, XTS_FLL=1 Ceramic resonator	450		8000	kHz
	XT1 selected, XTS_FLL=1 Crystal	1000		8000	kHz
Processor frequency (signal MCLK), $f_{(System)}$ (see Note 3)	$V_{CC} = 2.7$ V	DC		8.4	MHz
	$V_{CC} = 3.6$ V	DC		8.4	

在推荐运行室温条件下（除非另有说明）的电气特性

流入 $Av_{cc} + DV_{cc}$ 的供电电流，不包括外部电流

PARAMETER	TEST CONDITIONS		MIN	NOM	MAX	UNIT
$I_{(AM)}$ Active mode, $f_{(MCLK)} = f_{(SMCLK)} = 1$ MHz, $f_{(ACLK)} = 32,768$ Hz, XTS_FLL = 0 (program executes in flash)	$T_A = -40^{\circ}\text{C}$ to 85°C	$V_{CC} = 3$ V		400	500	μA
$I_{(LPM0)}$ Low-power mode, (LPM0/LPM1) $f_{(MCLK)} = f_{(SMCLK)} = 1$ MHz, $f_{(ACLK)} = 32,768$ Hz, XTS_FLL = 0 FN_8=FN_4=FN_3=FN_2=0	$T_A = -40^{\circ}\text{C}$ to 85°C	$V_{CC} = 3$ V		130	150	μA
$I_{(LPM2)}$ Low-power mode, (LPM2)	$T_A = -40^{\circ}\text{C}$ to 85°C	$V_{CC} = 3$ V		10	22	μA
$I_{(LPM3)}$ Low-power mode, (LPM3)	$T_A = -40^{\circ}\text{C}$	$V_{CC} = 3$ V		1.5	2.0	μA
	$T_A = 25^{\circ}\text{C}$			1.6	2.1	
	$T_A = 60^{\circ}\text{C}$			1.7	2.2	
	$T_A = 85^{\circ}\text{C}$			2.0	2.6	
$I_{(LPM4)}$ Low-power mode, (LPM4)	$T_A = -40^{\circ}\text{C}$	$V_{CC} = 3$ V		0.1	0.5	μA
	$T_A = 25^{\circ}\text{C}$			0.1	0.5	
	$T_A = 85^{\circ}\text{C}$			0.8	2.5	

工作模式下电流消耗与系统频率的关系，F系列

$$I_{(AM)} = I_{(AM)}[1\text{MHz}] \times f_{(System)}[\text{MHz}]$$

工作模式下电流消耗与供电电压的关系，F系列

$$I_{(AM)} = I_{(AM)}[3\text{V}] + 140\mu\text{A} \times (V_{CC} - 3\text{V})$$

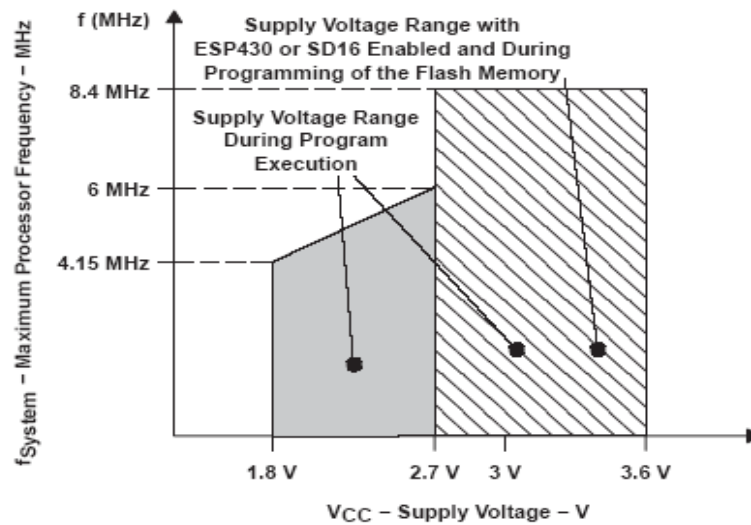


图 1 频率和供电电压

施密特触发输入 - 端口P1和P2 ; JTAG:TCK,TMS,TDI,TDO

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V _{IT+}	Positive-going input threshold voltage	V _{CC} = 3 V	1.5	1.9	V
V _{IT-}	Negative-going input threshold voltage	V _{CC} = 3 V	0.9	1.3	V
V _{hys}	Input voltage hysteresis (V _{IT+} - V _{IT-})	V _{CC} = 3 V	0.45	1	V

输出 - 端口P1和P2

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V _{OH}	I _{OH(max)} = -1.5 mA, V _{CC} = 3 V, See Note 1	V _{CC} -0.25		V _{CC}	V
	I _{OH(max)} = -6 mA, V _{CC} = 3 V, See Note 2	V _{CC} -0.6		V _{CC}	
V _{OL}	I _{OL(max)} = 1.5 mA, V _{CC} = 3 V, See Note 1	V _{SS}		V _{SS} +0.25	V
	I _{OL(max)} = 6 mA, V _{CC} = 3 V, See Note 2	V _{SS}		V _{SS} +0.6	

NOTES: 1. The maximum total current, I_{OH(max)} and I_{OL(max)}, for all outputs combined, should not exceed ±12 mA to satisfy the maximum specified voltage drop.
2. The maximum total current, I_{OH(max)} and I_{OL(max)}, for all outputs combined, should not exceed ±24 mA to satisfy the maximum specified voltage drop.

PARAMETER	TEST CONDITIONS	V _{CC}	MIN	TYP	MAX	UNIT
t _(int)	Port P1, P2: P1.x to P2.x, External trigger signal for the interrupt flag. (see Note 1)	3 V	1.5			cycle
		3 V	50			ns
t _(cap)	T _{ax} , (see Note 2)	3 V	1.5			cycle
		3 V	50			ns
f _(TAext)	T _{ACLK} , INCL t _(H) = t _(L)	3 V			10	MHz
f _(TAint)	SMCLK or ACLK signal selected	3 V			10	MHz

输出频率

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT	
f _{Px.y}	(1 ≤ x ≤ 2, 0 ≤ y ≤ 7) C _L = 20 pF, I _L = ±1.5 mA	V _{CC} = 3 V	DC	7.5	MHz	
f _{ACLK} , f _{MCLK} , f _{SMCLK}	P1.1/TA0/MCLK, P1.5/TACLK/ACLK C _L = 20 pF	V _{CC} = 3 V		12	MHz	
t _{xdc}	P1.5/TACLK/ACLK, C _L = 20 pF V _{CC} = 3 V	f _{ACLK} = f _{LFXT1} = f _{XT1}	40%	60%		
		f _{ACLK} = f _{LFXT1} = f _{LF}	30%	70%		
	P1.1/TA0/MCLK, C _L = 20 pF, V _{CC} = 3 V	f _{ACLK} = f _{LFXT1}		50%		
		f _{MCLK} = f _{XT1}	40%	60%		
	f _{MCLK} = f _{DCOCLK}	50% - 15 ns	50%	50% + 15 ns		

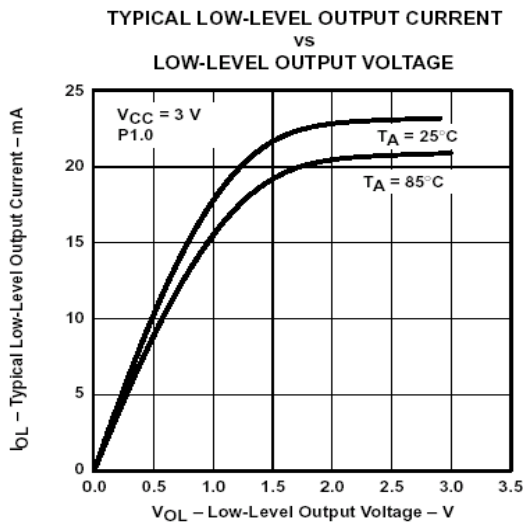


图2

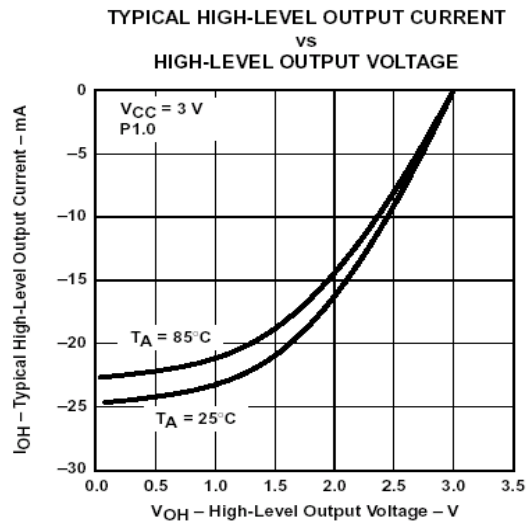


图3

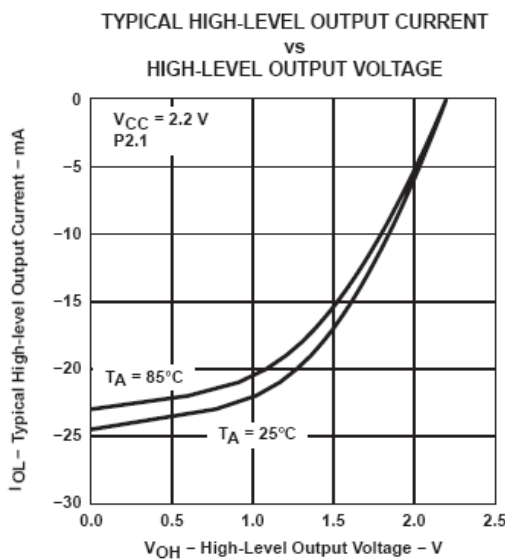


图4

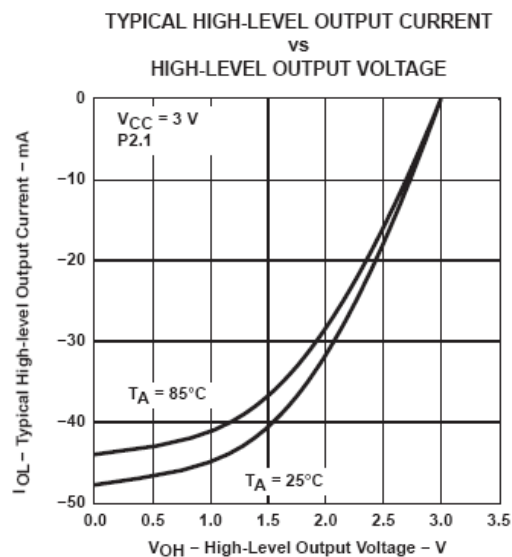


图5

从LPM3唤醒

PARAMETER	TEST CONDITIONS		MIN	TYP	MAX	UNIT
	f	V _{CC}				
t _d (LPM3) Delay time	f = 1 MHz	V _{CC} = 3 V			6	μs
	f = 2 MHz				6	
	f = 3 MHz				6	

RAM

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V _{RAMh}	CPU halted (see Note 1)	1.6			V

NOTE 1: This parameter defines the minimum supply voltage when the data in the program memory RAM remain unchanged. No program execution should take place during this supply voltage condition.



LCD

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
$V_{(33)}$	Analog voltage	Voltage at R33	$V_{CC} = 3V$	2.5		$V_{CC} + 0.2$	V
$V_{(23)}$		Voltage at R23		$(V_{(33)} - V_{(03)}) \times 2/3 + V_{(03)}$			
$V_{(13)}$		Voltage at R13		$(V_{(33)} - V_{(03)}) \times 1/3 + V_{(03)}$			
$V_{(33)} - V_{(03)}$		Voltage at R33/R03		2.5		$V_{CC} + 0.2$	
$I_{(R03)}$	Input leakage	$R03 = V_{SS}$	No load at all segment and common lines, $V_{CC} = 3V$			± 20	nA
$I_{(R13)}$		$R13 = V_{CC}/3$				± 20	
$I_{(R23)}$		$R23 = 2 \times V_{CC}/3$				± 20	
$V_{(Sxx0)}$	Segment line voltage	$I_{(Sxx)} = -3 \mu A$, $V_{CC} = 3V$		$V_{(03)}$		$V_{(03)} - 0.1$	V
$V_{(Sxx1)}$			$V_{(13)}$		$V_{(13)} - 0.1$		
$V_{(Sxx2)}$			$V_{(23)}$		$V_{(23)} - 0.1$		
$V_{(Sxx3)}$			$V_{(33)}$		$V_{(33)} + 0.1$		

USART0

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
$t_{(T)}$	USART0: deglitch time $V_{CC} = 3V$	150	280	500	ns

NOTE 1: The signal applied to the USART0 receive signal/terminal (URXD0) should meet the timing requirements of $t_{(T)}$ to ensure that the URXS flip-flop is set. The URXS flip-flop is set with negative pulses meeting the minimum-timing condition of $t_{(T)}$. The operating conditions to set the flag must be met independently from this timing constraint. The deglitch circuitry is active only on negative transitions on the URXD0 line.

POR/掉电复位 (BOR) (见note1)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_d(BOR)$				2000	μs
$V_{CC(start)}$	$dV_{CC}/dt \leq 3 V/s$ (see Figure 4)		$0.7 \times V_{(B_IT-)}$		V
$V_{(B_IT-)}$	$dV_{CC}/dt \leq 3 V/s$ (see Figure 4, Figure 5, Figure 6)			1.71	V
$V_{hys(B_IT-)}$	$dV_{CC}/dt \leq 3 V/s$ (see Figure 4)	70	130	180	mV
$t_{(reset)}$	Pulse length needed at RST/NMI pin to accepted reset internally, $V_{CC} = 3V$	2			μs

NOTES: 1. The current consumption of the brownout module is already included in the I_{CC} current consumption data. The voltage level $V_{(B_IT-)} + V_{hys(B_IT-)}$ is $\leq 1.8V$.
2. During power up, the CPU begins code execution following a period of $t_d(BOR)$ after $V_{CC} = V_{(B_IT-)} + V_{hys(B_IT-)}$. The default FLL+ settings must not be changed until $V_{CC} \geq V_{CC(min)}$. See the *MSP430x4xx Family User's Guide (SLAU056)* for more information on the brownout/SVS circuit.

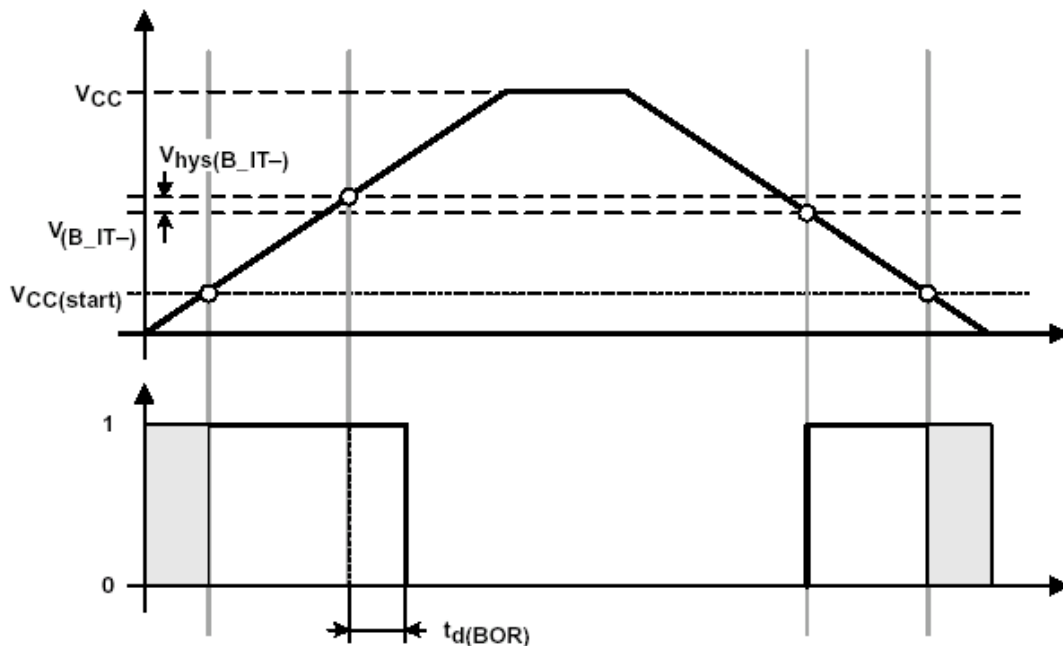


图6 POR/掉电复位 (BOR) 和电源电压

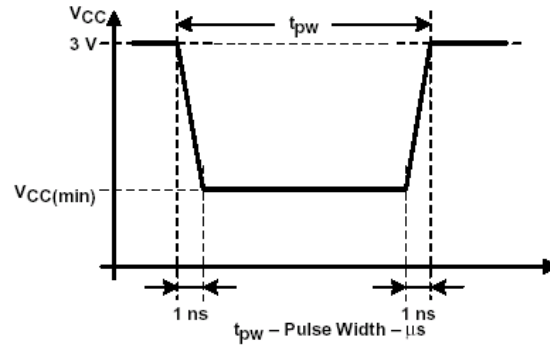
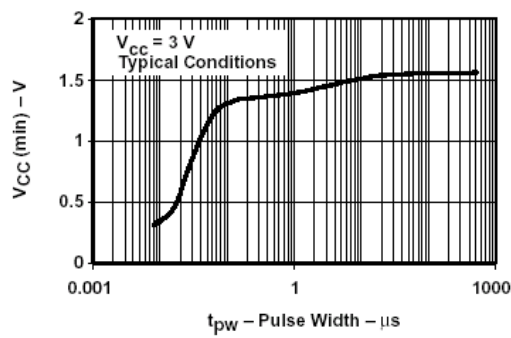


图7 V(CC)min电平上的方波电压降产生一次POR/掉电复位 (BOR) 信号

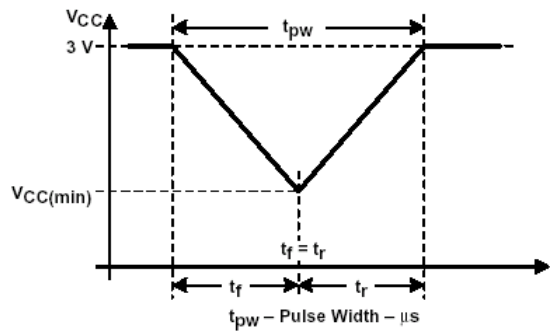
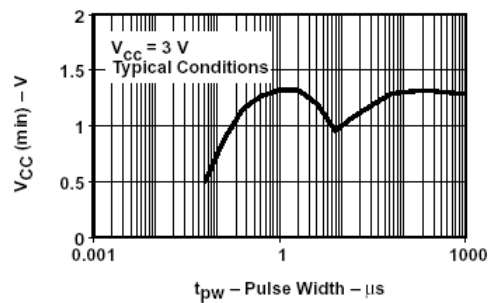


图8 V(CC)min电平上的三角形电压降产生一次POR/掉电复位 (BOR) 信号

SVS(供电电压管理/监视)

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT	
t_{SVSR}	$dV_{\text{CC}}/dt > 30 \text{ V/ms}$ (see Figure 7)	5		150	μs	
	$dV_{\text{CC}}/dt \leq 30 \text{ V/ms}$			2000	μs	
$t_{\text{d}}(\text{SVSon})$	SVSon, switch from VLD=0 to VLD \neq 0, $V_{\text{CC}} = 3 \text{ V}$	20		150	μs	
t_{settle}	VLD \neq 0 [†]			12	μs	
$V_{\text{I}}(\text{SVSstart})$	VLD = 0, $V_{\text{CC}}/dt \leq 3 \text{ V/s}$ (see Figure 7)		1.55	1.7	V	
$V_{\text{hys}}(\text{B_IT-})$	$V_{\text{CC}}/dt \leq 3 \text{ V/s}$ (see Figure 7)	VLD = 1	70	120	155	mV
		VLD = 2 .. 14	$V_{\text{I}}(\text{SVS_IT-}) \times 0.004$		$V_{\text{I}}(\text{SVS_IT-}) \times 0.008$	
	$V_{\text{CC}}/dt \leq 3 \text{ V/s}$ (see Figure 7), external voltage applied on P2.3	VLD = 15	4.4		10.4	mV
$V_{\text{I}}(\text{SVS_IT-})$	$V_{\text{CC}}/dt \leq 3 \text{ V/s}$ (see Figure 7)	VLD = 1	1.8	1.9	2.05	V
		VLD = 2	1.94	2.1	2.25	
		VLD = 3	2.05	2.2	2.37	
		VLD = 4	2.14	2.3	2.48	
		VLD = 5	2.24	2.4	2.6	
		VLD = 6	2.33	2.5	2.71	
		VLD = 7	2.46	2.65	2.86	
		VLD = 8	2.58	2.8	3	
		VLD = 9	2.69	2.9	3.13	
		VLD = 10	2.83	3.05	3.29	
		VLD = 11	2.94	3.2	3.42	
		VLD = 12	3.11	3.35	3.61 [†]	
		VLD = 13	3.24	3.5	3.76 [†]	
		VLD = 14	3.43	3.7 [†]	3.99 [†]	
	$V_{\text{I}}(\text{SVS_IT-})$	$V_{\text{CC}}/dt \leq 3 \text{ V/s}$ (see Figure 7), external voltage applied on P2.3	VLD = 15	1.1	1.2	
$I_{\text{CC}}(\text{SVS})$ (see Note 1)	VLD = 0, $V_{\text{CC}} = 2.2 \text{ V}/3 \text{ V}$		10	15	μA	

[†] The recommended operating voltage range is limited to 3.6 V.

[‡] t_{settle} is the settling time that the comparator o/p needs to have a stable level after VLD is switched VLD \neq 0 to a different VLD value somewhere between 2 and 15. The overdrive is assumed to be $> 50 \text{ mV}$.

NOTE 1: The current consumption of the SVS module is not included in the I_{CC} current consumption data.

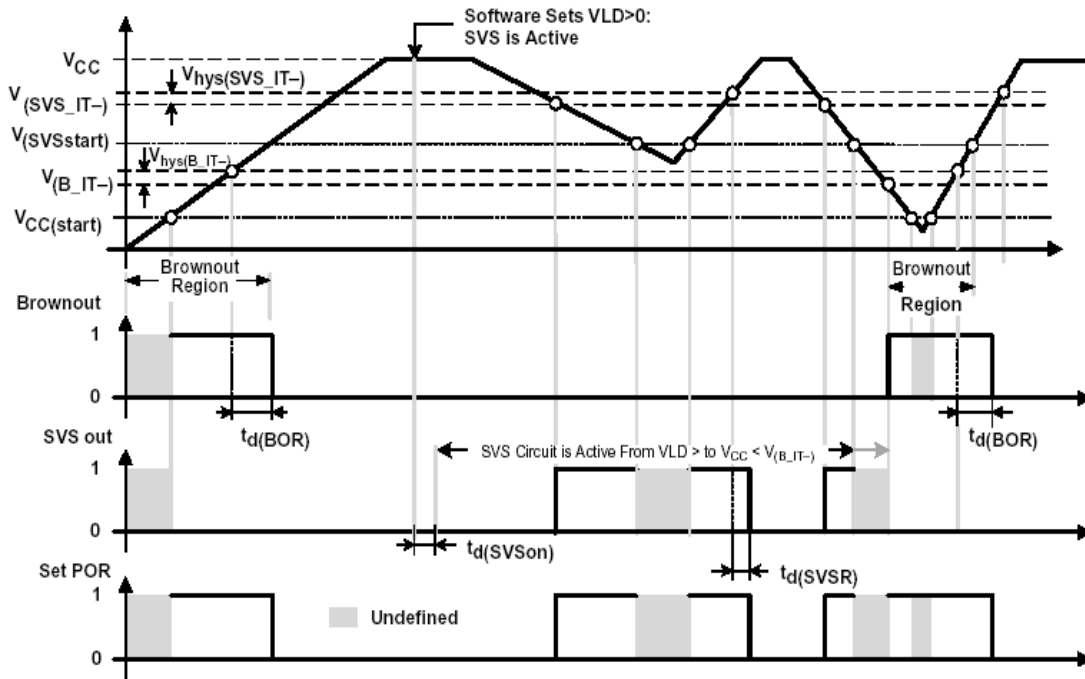


图9 SVS复位 (SVSR) 与电源电压

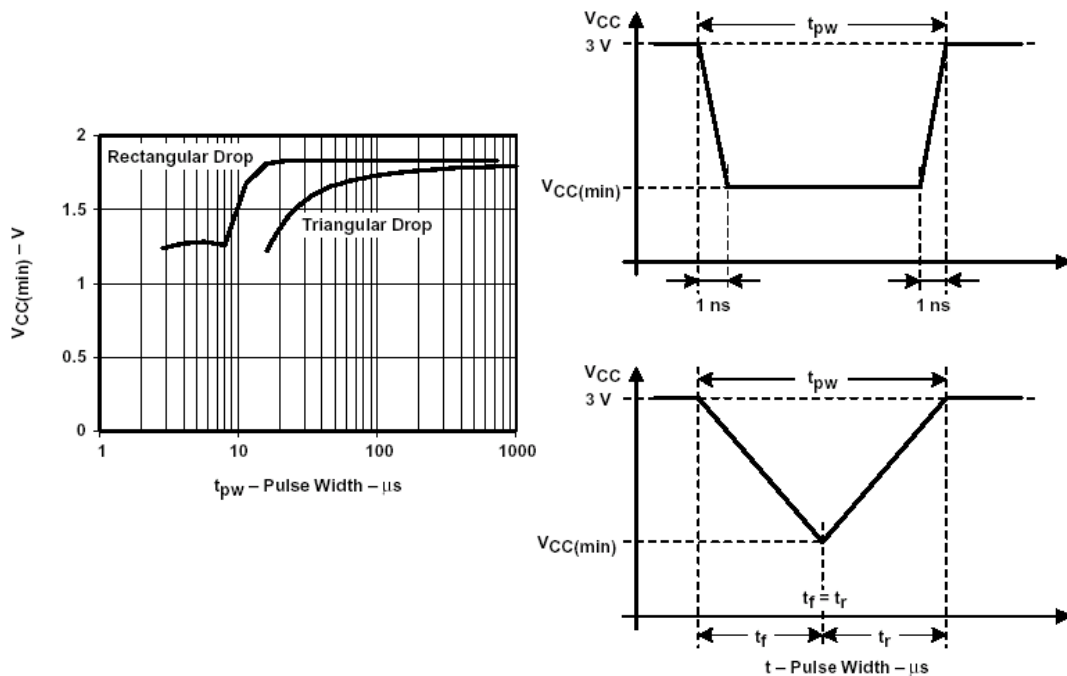


图10 $V_{CC}(\text{min})$ 上的方波电压降和三角形电压降产生一个SVS信号



DCO

PARAMETER	TEST CONDITIONS	V _{CC}	MIN	TYP	MAX	UNIT
f _(DCOCLK)	N _(DCO) =01E0h, FN ₈ =FN ₄ =FN ₃ =FN ₂ =0, D = 2, DCOPLUS= 0	3 V		1		MHz
f _(DCO2)	FN ₈ =FN ₄ =FN ₃ =FN ₂ =0, DCO+ = 1	3 V	0.3	0.7	1.3	MHz
f _(DCO27)	FN ₈ =FN ₄ =FN ₃ =FN ₂ =0, DCO+ = 1, (see Note 1)	3 V	2.7	6.1	11.3	MHz
f _(DCO2)	FN ₈ =FN ₄ =FN ₃ =0, FN ₂ =1; DCO+ = 1	3 V	0.8	1.5	2.5	MHz
f _(DCO27)	FN ₈ =FN ₄ =FN ₃ =0, FN ₂ =1; DCO+ = 1, (see Note 1)	3 V	6.5	12.1	20	MHz
f _(DCO2)	FN ₈ =FN ₄ =0, FN ₃ = 1, FN ₂ =x; DCO+ = 1	3 V	1.3	2.2	3.5	MHz
f _(DCO27)	FN ₈ =FN ₄ =0, FN ₃ = 1, FN ₂ =x; DCO+ = 1, (see Note 1)	3 V	10.3	17.9	28.5	MHz
f _(DCO2)	FN ₈ =0, FN ₄ = 1, FN ₃ = FN ₂ =x; DCO+ = 1	3 V	2.1	3.4	5.2	MHz
f _(DCO27)	FN ₈ =0, FN ₄ =1, FN ₃ = FN ₂ =x; DCO+ = 1, (see Note 1)	3 V	16	26.6	41	MHz
f _(DCO2)	FN ₈ =1, FN ₄ =FN ₃ =FN ₂ =x; DCO+ = 1	3 V	4.2	6.3	9.2	MHz
f _(DCO27)	FN ₈ =1, FN ₄ =FN ₃ =FN ₂ =x, DCO+ = 1, (see Note 1)	3 V	30	46	70	MHz
S	f _{(NDCO)+1} = f _(NDCO)	2 < TAP ≤ 20	1.06		1.13	
		TAP > 20	1.1		1.17	
D _t	Temperature drift, N _(DCO) = 01E0h, FN ₈ =FN ₄ =FN ₃ =FN ₂ =0, D = 2, DCO+ = 0, (see Note 2)	3 V	-0.2	-0.3	-0.4	%/°C
D _v	Drift with V _{CC} variation, N _(DCO) = 01E0h, FN ₈ =FN ₄ =FN ₃ =FN ₂ =0, D = 2, DCO+ = 0 (see Note 2)		0	5	15	%/V

NOTES: 1. Do not exceed the maximum system frequency.
 2. This parameter is not production tested.

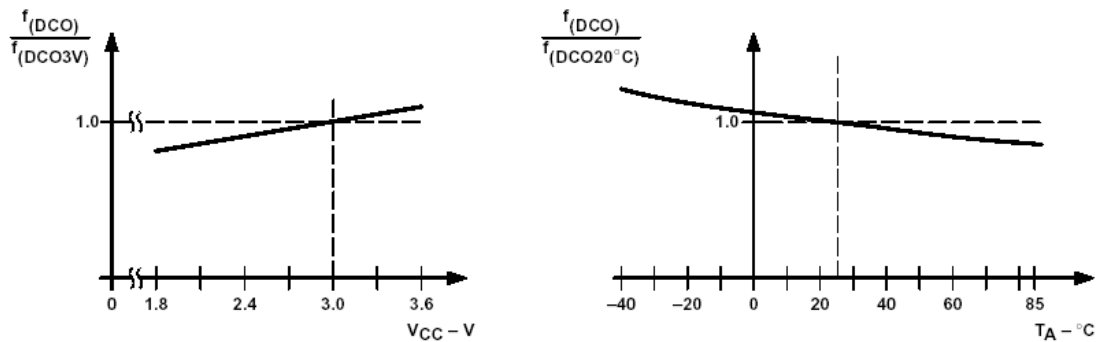


图11 DCO频率与电源电压 (Vcc) 及与环境温度

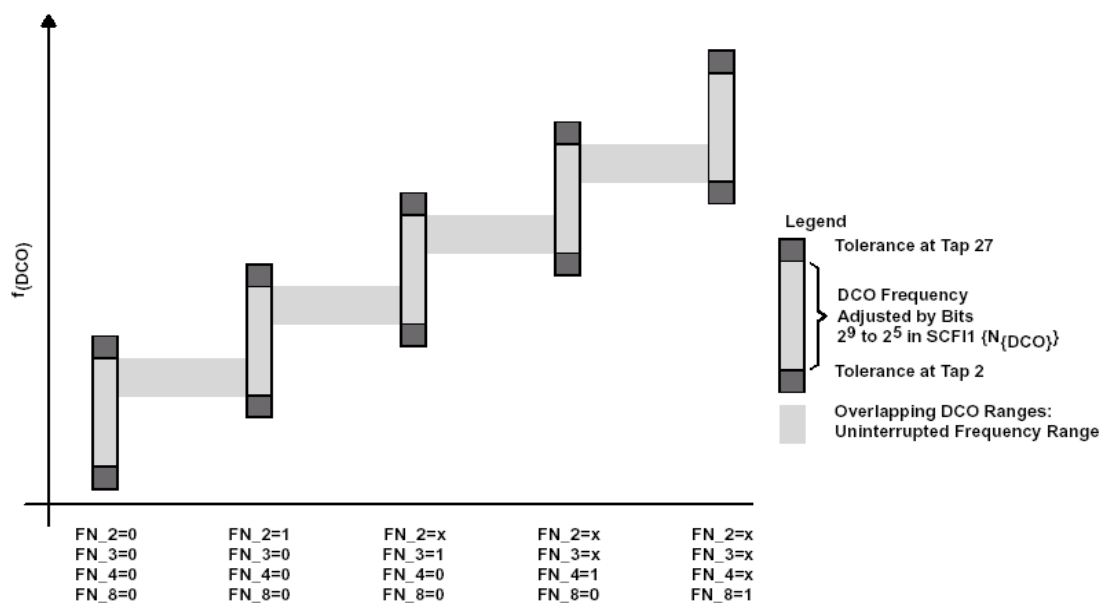


图12 五种由FN_x位控制的DCO交迭范围



晶体振荡器LFXT1振荡器

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	TYP	MAX	UNIT
C _{XIN}	Integrated input capacitance (see Note 4)	OSCCAP _x = 0h	3 V		0		pF
		OSCCAP _x = 1h	3 V		10		
		OSCCAP _x = 2h	3 V		14		
		OSCCAP _x = 3h	3 V		18		
C _{XOUT}	Integrated output capacitance (see Note 4)	OSCCAP _x = 0h	3 V		0		pF
		OSCCAP _x = 1h	3 V		10		
		OSCCAP _x = 2h	3 V		14		
		OSCCAP _x = 3h	3 V		18		
V _{IL}	Input levels at XIN	see Note 3	2.2 V/3 V	V _{SS}	0.2×V _{CC}		V
V _{IH}				0.8×V _{CC}	V _{CC}		

ESP430CE1供电电源

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	TYP	MAX	UNIT
AV _{CC}	Analog supply voltage	AV _{CC} = DV _{CC} AV _{SS} = DV _{SS} = 0V		2.7		3.6	V
I _{ESP430CE1}	Total Digital & Analog supply current when ESP430 and SD16 active (I _{AVCC} + I _{DVCC})	SD16LP = 0, f _{MCLK} = 4MHz, f _{SD16} = f _{MCLK} /4, SD16REFON = 1, SD16VMIDON = 0	GAIN(V): 1, GAIN(I1): 1, I2: off	3 V	2.0	2.6	mA
			GAIN(V): 1, GAIN(I1): 32, I2: off	3 V	2.4	3.3	
			GAIN(V): 1, GAIN(I1): 1, GAIN(I2): 1	3 V	2.7	3.6	
			GAIN(V): 1, GAIN(I1): 32, GAIN(I2): 32	3 V	3.4	4.9	
		SD16LP = 1, f _{MCLK} = 2MHz, f _{SD16} = f _{MCLK} /4, SD16REFON = 1, SD16VMIDON = 0	GAIN(V): 1, GAIN(I1): 1, I2: off	3 V	1.5	2.1	
			GAIN(V): 1, GAIN(I1): 32, I2: off	3 V	1.6	2.1	
I _{SD16}	Analog supply current: 1 active SD16 channel including internal reference (ESP430 disabled)	SD16LP = 0, f _{SD16} = 1 MHz, SD16OSR = 256	GAIN: 1, 2	3 V	650	950	μA
			GAIN: 4, 8, 16	3 V	730	1100	
			GAIN: 32	3 V	1050	1550	
		SD16LP = 1, f _{SD16} = 0.5 MHz, SD16OSR = 256	GAIN: 1	3 V	620	930	
		GAIN: 32	3 V	700	1060		
f _{MAINS}	Mains frequency range			33		80	Hz
f _{SD16}	Analog front-end input clock frequency	SD16LP = 0 (Low power mode disabled)	3 V		1		MHz
		SD16LP = 1 (Low power mode enabled)	3 V		0.5		

ESP 430CE1输入范围

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	TYP	MAX	UNIT
V _{ID}	Differential input voltage range for specified performance (see Note 2)	SD16GAIN _x = 1, SD16REFON = 1			±500		mV
		SD16GAIN _x = 2, SD16REFON = 1			±250		
		SD16GAIN _x = 4, SD16REFON = 1			±125		
		SD16GAIN _x = 8, SD16REFON = 1			±62		
		SD16GAIN _x = 16, SD16REFON = 1			±31		
		SD16GAIN _x = 32, SD16REFON = 1			±15		
Z _I	Input impedance (one input pin to AV _{SS})	f _{SD16} = 1MHz, SD16GAIN _x = 1	3 V		200		kΩ
		f _{SD16} = 1MHz, SD16GAIN _x = 32	3 V		75		
Z _{ID}	Differential Input impedance (IN+ to IN-)	f _{SD16} = 1MHz, SD16GAIN _x = 1	3 V	300	400		kΩ
		f _{SD16} = 1MHz, SD16GAIN _x = 32	3 V	100	150		
V _I	Absolute input voltage range			AV _{SS} -1.0V		AV _{CC}	V
V _{IC}	Common-mode input voltage range			AV _{SS} -1.0V		AV _{CC}	V



ESP430CE1模拟前端性能参数 (Fsd16=1MHz, OSR=256, REFON=1)

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	TYP	MAX	UNIT
SINAD	Signal-to-Noise + Distortion Ratio	SD16GAINx = 1, Signal Amplitude = 500mV	3 V	83.5	85		dB
		SD16GAINx = 2, Signal Amplitude = 250mV					
		SD16GAINx = 4, Signal Amplitude = 125mV					
		SD16GAINx = 8, Signal Amplitude = 62mV					
		SD16GAINx = 16, Signal Amplitude = 31mV					
		SD16GAINx = 32, Signal Amplitude = 15mV					
G	Nominal Gain	SD16GAINx = 1	3 V	0.97	1.00	1.02	
		SD16GAINx = 2					
		SD16GAINx = 4					
		SD16GAINx = 8					
		SD16GAINx = 16					
		SD16GAINx = 32					
E _{OS}	Offset Error	SD16GAINx = 1	3 V			±0.2	%FSR
		SD16GAINx = 32					
dE _{OS} /dT	Offset Error Temperature Coefficient	SD16GAINx = 1	3 V			±4	±20
		SD16GAINx = 32					
CMRR	Common-Mode Rejection Ratio	SD16GAINx = 1, Common-mode input signal: V _{ID} = 500 mV, f _{IN} = 50 Hz, 100 Hz	3 V			>90	dB
		SD16GAINx = 32, Common-mode input signal: V _{ID} = 16 mV, f _{IN} = 50 Hz, 100 Hz					
PSRR	Power Supply Rejection Ratio	SD16GAINx = 1	3 V			>80	dB
X _T	Crosstalk		3 V			<-100	dB

ESP430CE1模拟前端温度传感器

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	TYP	MAX	UNIT
TC _{Sensor}	Sensor temperature coefficient	See Note 1		1.18	1.32	1.46	mV/K
V _{Offset,sensor}	Sensor offset voltage	See Note 1		-100		100	mV
V _{Sensor}	Sensor output voltage (see Note 3)	Temperature sensor voltage at T _A = 85°C	3 V	435	475	515	mV
		Temperature sensor voltage at T _A = 25°C	3 V	355	395	435	
		Temperature sensor voltage at T _A = 0°C (see Note 1)	3 V	320	360	400	

ESP 430CE1模拟前端参考电平

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	TYP	MAX	UNIT
V _{REF}	Internal reference voltage	SD16REFON = 1, SD16VMIDON = 0	3 V	1.14	1.20	1.26	V
I _{REF}	Reference supply current	SD16REFON = 1, SD16VMIDON = 0	3 V		175	260	μA
TC	Temperature coefficient	SD16REFON = 1, SD16VMIDON = 0	3 V		20	50	ppm/K
C _{REF}	V _{REF} load capacitance	SD16REFON = 1, SD16VMIDON = 0 (see Note 1)			100		nF
I _{LOAD}	V _{REF(I)} maximum load current	SD16REFON = 0	3 V			±200	nA



ESP430CE1 SD16参考输出缓冲

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	TYP	MAX	UNIT
V _{REF,BUF}	Reference buffer output voltage	SD16REFON = 1, SD16VMIDON = 1	3 V		1.2		V
I _{REF,BUF}	Reference Supply + Reference output buffer quiescent current	SD16REFON = 1, SD16VMIDON = 1	3 V		385	600	μA
C _{REF(O)}	Required load capacitance on V _{REF}	SD16REFON = 1, SD16VMIDON = 1		470			nF
I _{LOAD,Max}	Maximum load current on V _{REF}	SD16REFON = 1, SD16VMIDON = 1	3 V			±1	mA
	Maximum voltage variation vs. load current	I _{LOAD} = 0 to 1mA	3 V	-15		+15	mV

ESP430CE1 SD16外部参考输入

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	TYP	MAX	UNIT
V _{REF(I)}	Input voltage range	SD16REFON = 0	3 V	1.0	1.25	1.5	V
I _{REF(I)}	Input current	SD16REFON = 0	3 V			50	nA

ESP430CE1有功能量测试环境

PARAMETER	TEST CONDITIONS	V _{CC}	MIN	TYP	MAX	UNIT
Maximum error	I = 0.05I _B , V = V _N , PF = 1.0	3 V				%
	I = 0.1I _B to I _{MAX} , V = V _N , PF = 1.0					
	I = 0.1I _B , V = V _N , PF = 0.5 lagging					
	I = 0.2I _B to I _{MAX} , V = V _N , PF = 0.5 lagging					
	I = 0.1I _B , V = V _N , PF = 0.8 leading					
	I = 0.2I _B to I _{MAX} , V = V _N , PF = 0.8 leading					
	I = 0.2I _B to I _{MAX} , V = V _N , PF = 0.25 lagging					

V1 SD16GAINx = 1
I1 SD16GAINx = 1
See Figure 14:
R1 = 0Ω, RB = 12.4Ω

PARAMETER	TEST CONDITIONS	V _{CC}	MIN	TYP	MAX	UNIT
Maximum error	I = 0.05I _B , V = V _N , PF = 1.0	3 V				%
	I = 0.1I _B to I _{MAX} , V = V _N , PF = 1.0					
	I = 0.1I _B , V = V _N , PF = 0.5 lagging					
	I = 0.2I _B to I _{MAX} , V = V _N , PF = 0.5 lagging					
	I = 0.1I _B , V = V _N , PF = 0.8 leading					
	I = 0.2I _B to I _{MAX} , V = V _N , PF = 0.8 leading					
	I = 0.2I _B to I _{MAX} , V = V _N , PF = 0.25 lagging					

V1 SD16GAINx = 1
I1 SD16GAINx = 32
See Figure 15:
R_{shunt} = 0.2mΩ

电气参数

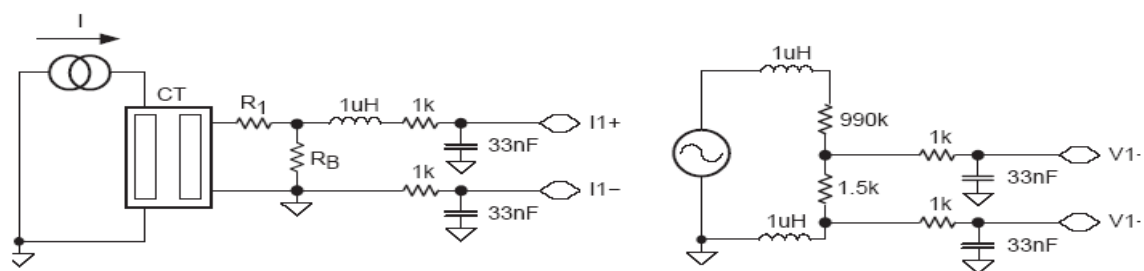


图14 能量测试电路(SD16GAINx = 1, 4)

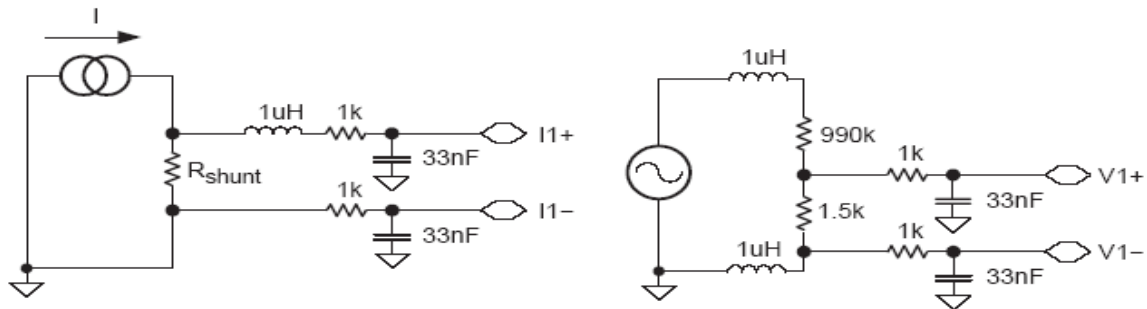


图15 能量测试电路(SD16GAINx = 8, 32)

FLASH存储器

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	NOM	MAX	UNIT
V _{CC} (PGM/ERASE)	Program and Erase supply voltage			2.7		3.6	V
f _{FTG}	Flash Timing Generator frequency			257		476	kHz
I _{PGM}	Supply current from DV _{CC} during program		2.7 V / 3.6 V		3	5	mA
I _{ERASE}	Supply current from DV _{CC} during erase		2.7 V / 3.6 V		3	7	mA
t _{CPT}	Cumulative program time	see Note 1	2.7 V / 3.6 V			4	ms
t _{CMErase}	Cumulative mass erase time	see Note 2	2.7 V / 3.6 V	200			ms
	Program/Erase endurance			10 ⁴	10 ⁵		cycles
t _{Retention}	Data retention duration	T _J = 25°C		100			years
t _{Word}	Word or byte program time	see Note 3			35		t _{FTG}
t _{Block, 0}	Block program time for 1 st byte or word				30		
t _{Block, 1-63}	Block program time for each additional byte or word				21		
t _{Block, End}	Block program end-sequence wait time				6		
t _{Mass Erase}	Mass erase time				5297		
t _{Seq Erase}	Segment erase time				4819		

JTAG接口

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	NOM	MAX	UNIT
f _{TCK}	TCK input frequency	see Note 1	2.2 V	0		5	MHz
			3 V	0		10	MHz
R _{Internal}	Internal pull-up resistance on TMS, TCK, TDI/TCLK	see Note 2	2.2 V / 3 V	25	60	90	kΩ

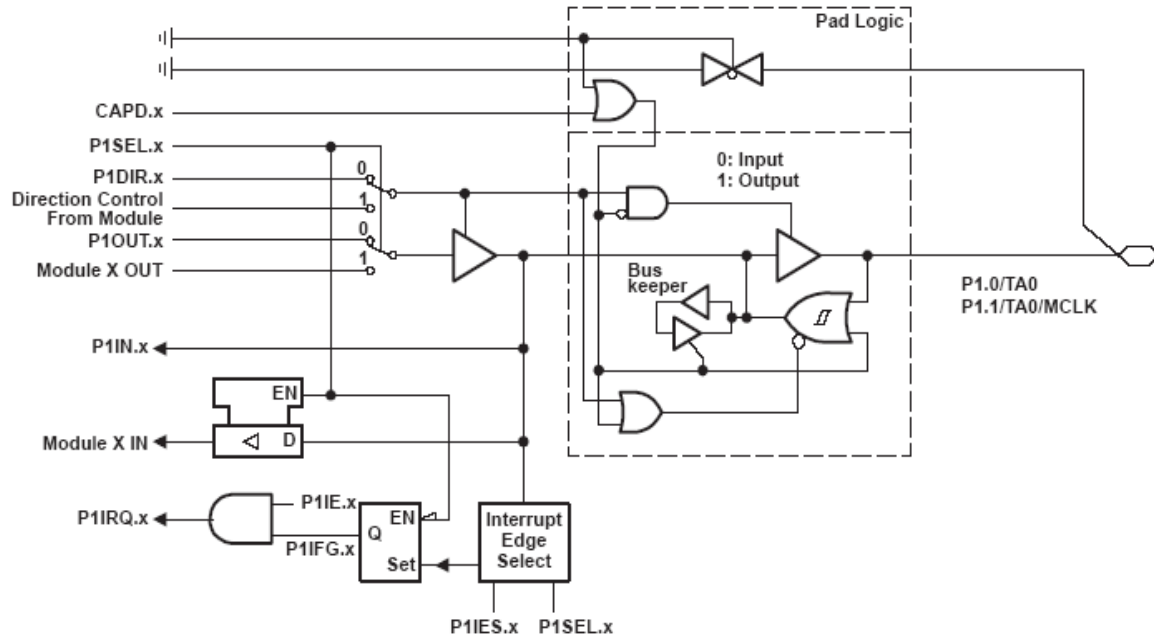
JTAG熔丝

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	NOM	MAX	UNIT
V _{CC} (FB)	Supply voltage during fuse-blow condition	T _A = 25°C		2.5			V
V _{FB}	Voltage level on TDI/TCLK for fuse-blow			6		7	V
I _{FB}	Supply current into TDI/TCLK during fuse blow					100	mA
t _{FB}	Time to blow fuse					1	ms



输入/输出电路原理图

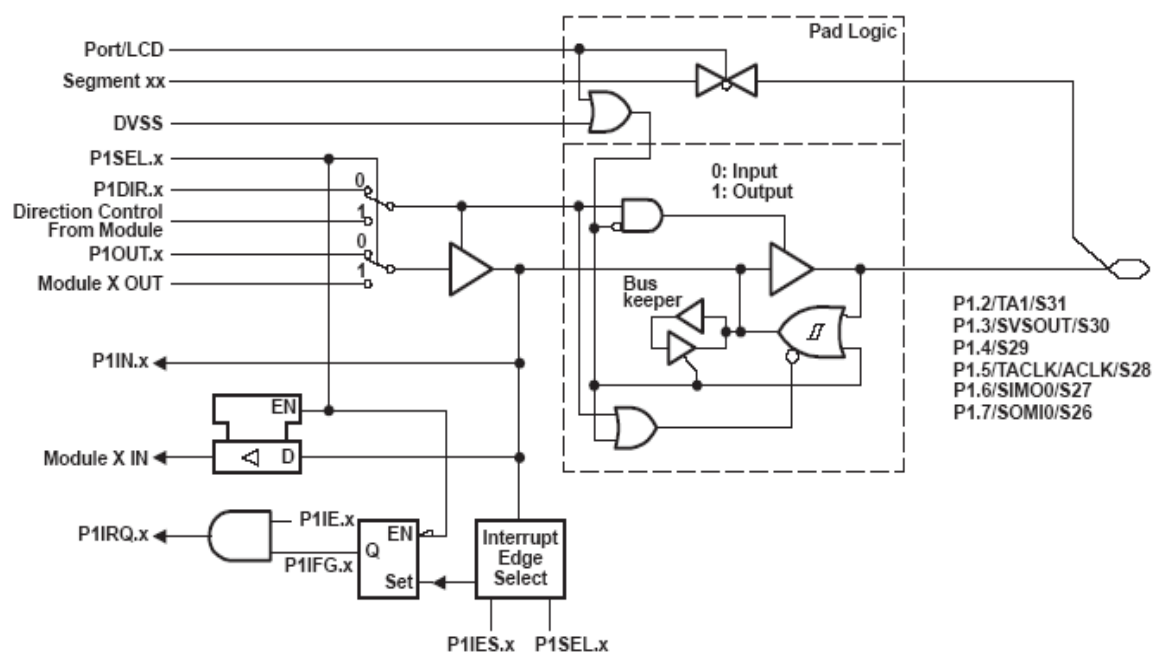
端口P1,P1.0到P1.1,带施密特触发的输入/输出



PnSEL.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnES.x	CAPD.x
P1SEL.0	P1DIR.0	P1DIR.0	P1OUT.0	Out0 Sig.†	P1IN.0	CCI0A†	P1IE.0	P1IFG.0	P1ES.0	DVSS
P1SEL.1	P1DIR.1	P1DIR.1	P1OUT.1	MCLK	P1IN.1	CCI0B†	P1IE.1	P1IFG.1	P1ES.1	DVSS

† Timer_A3

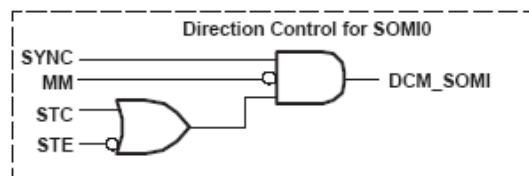
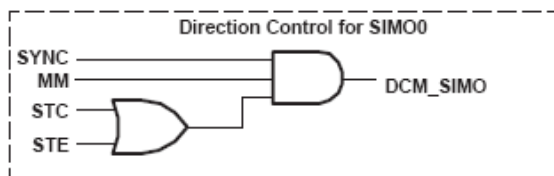
端口P1,P1.2到P1.7,带施密特触发的输入/输出



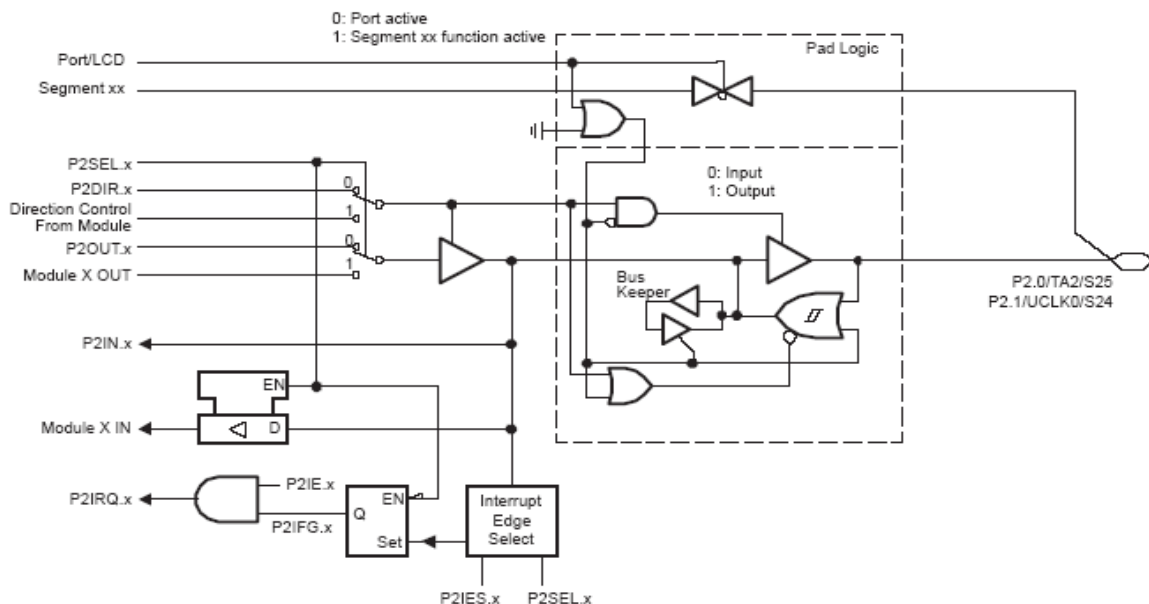


PnSEL.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x	Port/LCD	Segment
P1SEL.2	P1DIR.2	P1DIR.2	P1OUT.2	Out1 Sig.†	P1IN.2	CCI1A†	P1IE.2	P1IFG.2	P1IES.2	0: LCDM < 0E0h 1: LCDM ≥ 0E0h	S31
P1SEL.3	P1DIR.3	P1DIR.3	P1OUT.3	SVSOUT	P1IN.3	unused	P1IE.3	P1IFG.3	P1IES.3		S30
P1SEL.4	P1DIR.4	P1DIR.4	P1OUT.4	DVSS	P1IN.4	unused	P1IE.4	P1IFG.4	P1IES.4		S29
P1SEL.5	P1DIR.5	P1DIR.5	P1OUT.5	ACLK	P1IN.5	TACLK†	P1IE.5	P1IFG.5	P1IES.5		S28
P1SEL.6	P1DIR.6	DCM_SIMO	P1OUT.6	SIM00(o)‡	P1IN.6	SIM00(i)‡	P1IE.6	P1IFG.6	P1IES.6	0: LCDM < 0C0h 1: LCDM ≥ 0C0h	S27
P1SEL.7	P1DIR.7	DCM_SOMI	P1OUT.7	SOMI0(o)‡	P1IN.7	SOMI0(i)‡	P1IE.7	P1IFG.7	P1IES.7		S26

† Timer_A3
‡ USART0

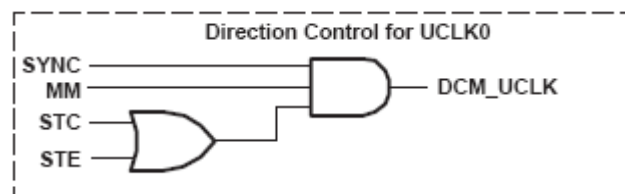


端口P2,P2.0到P2.1,带施密特触发的输入/输出



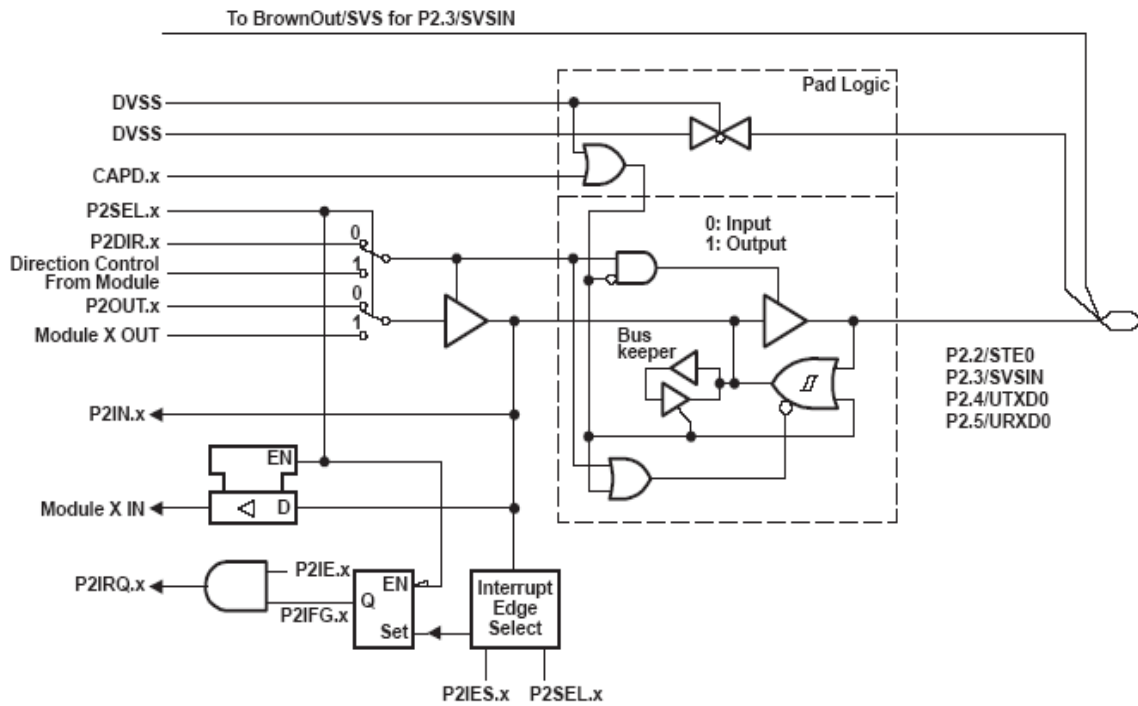
PnSel.x	PnDIR.x	Dir. Control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x	Port/LCD	Segment
P2Sel.0	P2DIR.0	P2DIR.0	P2OUT.0	Out2sig.†	P2IN.0	CCI2A †	P2IE.0	P2IFG.0	P2IES.0	0: LCDM < 0E0h 1: LCDM ≥ 0E0h	S25
P2Sel.1	P2DIR.1	DCM_UCLK	P2OUT.1	UCLK0(o)‡	P2IN.1	UCLK0(i)‡	P2IE.1	P2IFG.1	P2IES.1		S24

† Timer_A3
‡ USART0





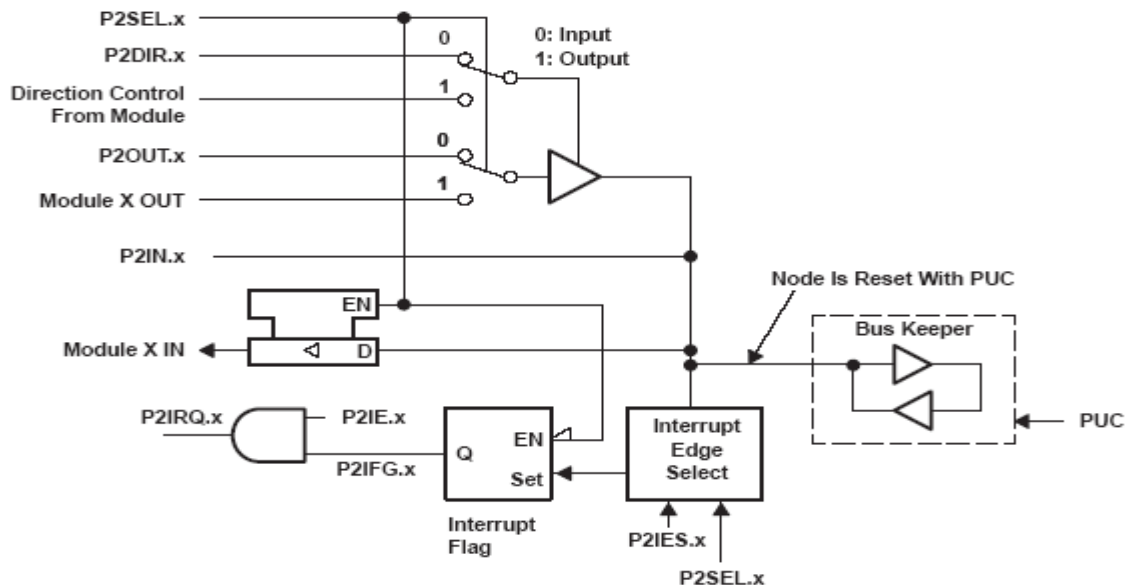
端口P2,P2.2到P2.5,带施密特触发的输入/输出



PnSEL.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x	CAPD.x
P2SEL.2	P2DIR.2	DVSS	P2OUT.2	DVSS	P2IN.2	STE0†	P2IE.2	P2IFG.2	P2IES.2	DVSS
P2SEL.3	P2DIR.3	P2DIR.3	P2OUT.3	DVSS	P2IN.3	unused	P2IE.3	P2IFG.3	P2IES.3	SVSCTL VLD = 1111b
P2SEL.4	P2DIR.4	DVCC	P2OUT.4	UTXD0†	P2IN.4	unused	P2IE.4	P2IFG.4	P2IES.4	DVSS
P2SEL.5	P2DIR.5	DVSS	P2OUT.5	DVSS	P2IN.5	URXD0†	P2IE.5	P2IFG.5	P2IES.5	DVSS

† USART0

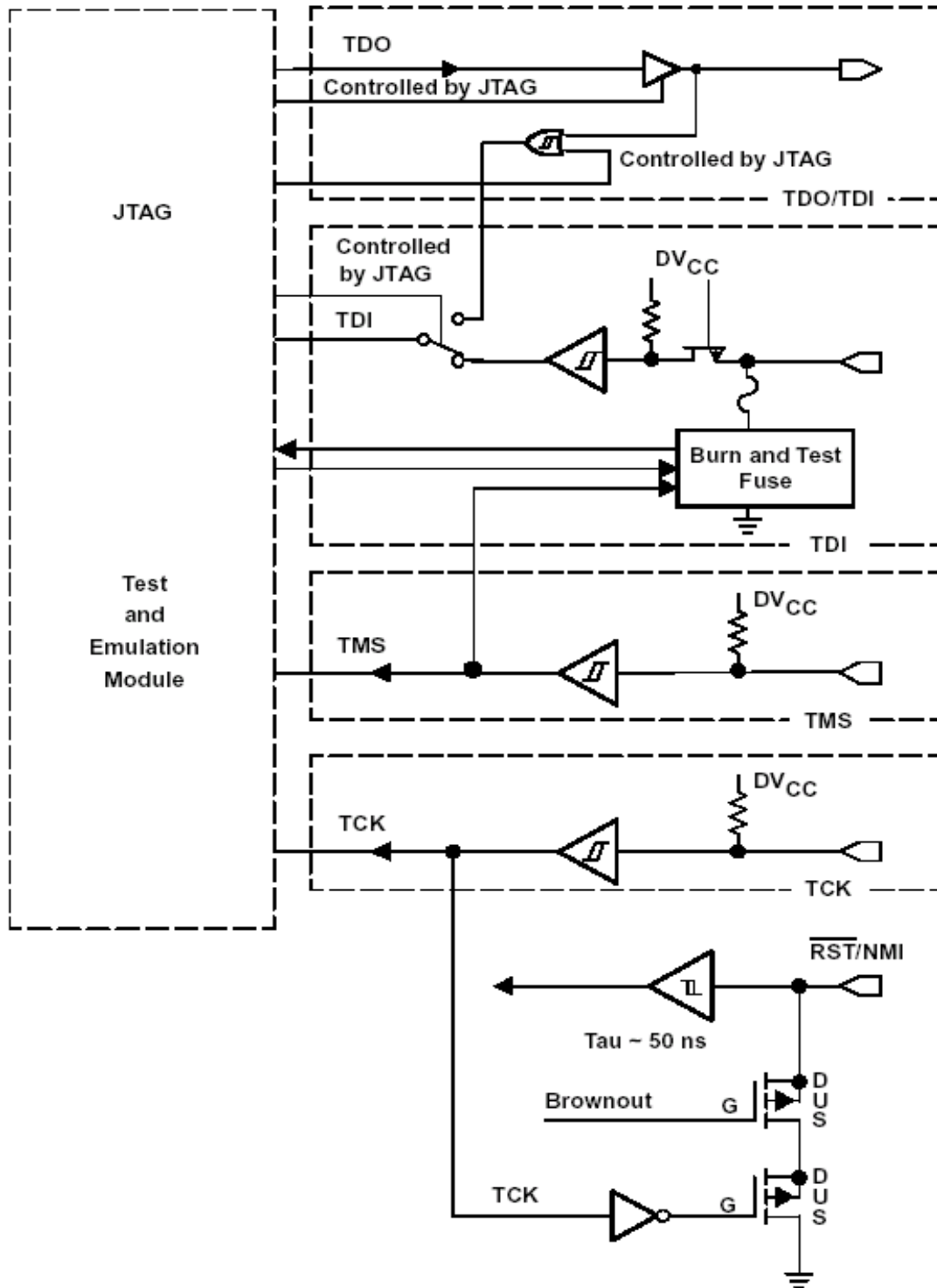
端口 P2 游离位 P2.6 和 P2.7





P2Sel.x	P2DIR.x	DIRECTION CONTROL FROM MODULE	P2OUT.x	MODULE X OUT	P2IN.x	MODULE X IN	P2IE.x	P2IFG.x	P2IES.x
P2Sel.6	P2DIR.6	P2DIR.6	P2OUT.6	DV _{SS}	P2IN.6	unused	P2IE.6	P2IFG.6	P2IES.6
P2Sel.7	P2DIR.7	P2DIR.7	P2OUT.7	DV _{SS}	P2IN.7	unused	P2IE.7	P2IFG.7	P2IES.7

JTAG引脚TMS,TCK,TDO,TDI,带施密特触发的输入/输出或者输出





JTAG 熔丝检查模式

在TDI引脚上具有熔丝的MSP430芯片具有熔丝检查模式，在上电复位（POR）初次操作JTAG接口时检测熔丝的通断。当被激活时，一个3V时大小为1.8mA的熔丝检查电流 I_{TF} 将从TDI引脚流向地。如果熔丝没有烧断。必须注意避免意外激活熔丝检查模式而增加整个系统的电源损耗。

熔丝检查模式的激活发生在TMS引脚的第一个下降沿或者上电过程中TMS保持为低。TMS引脚上的第二个上升沿关闭熔丝检查模式。关闭后，熔丝检查模式保持休眠状态直到下一次POR发生。每一次POR后熔丝检查模式都有可能被激活。

熔丝检查电流仅在熔丝检查模式激活且TMS引脚为低（见图11）时才流过，JTAG引脚由内部端接，所以无需外部端接。

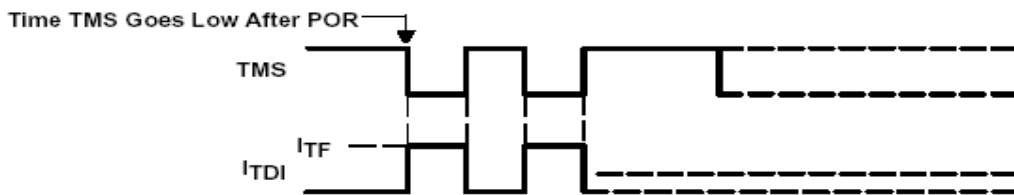
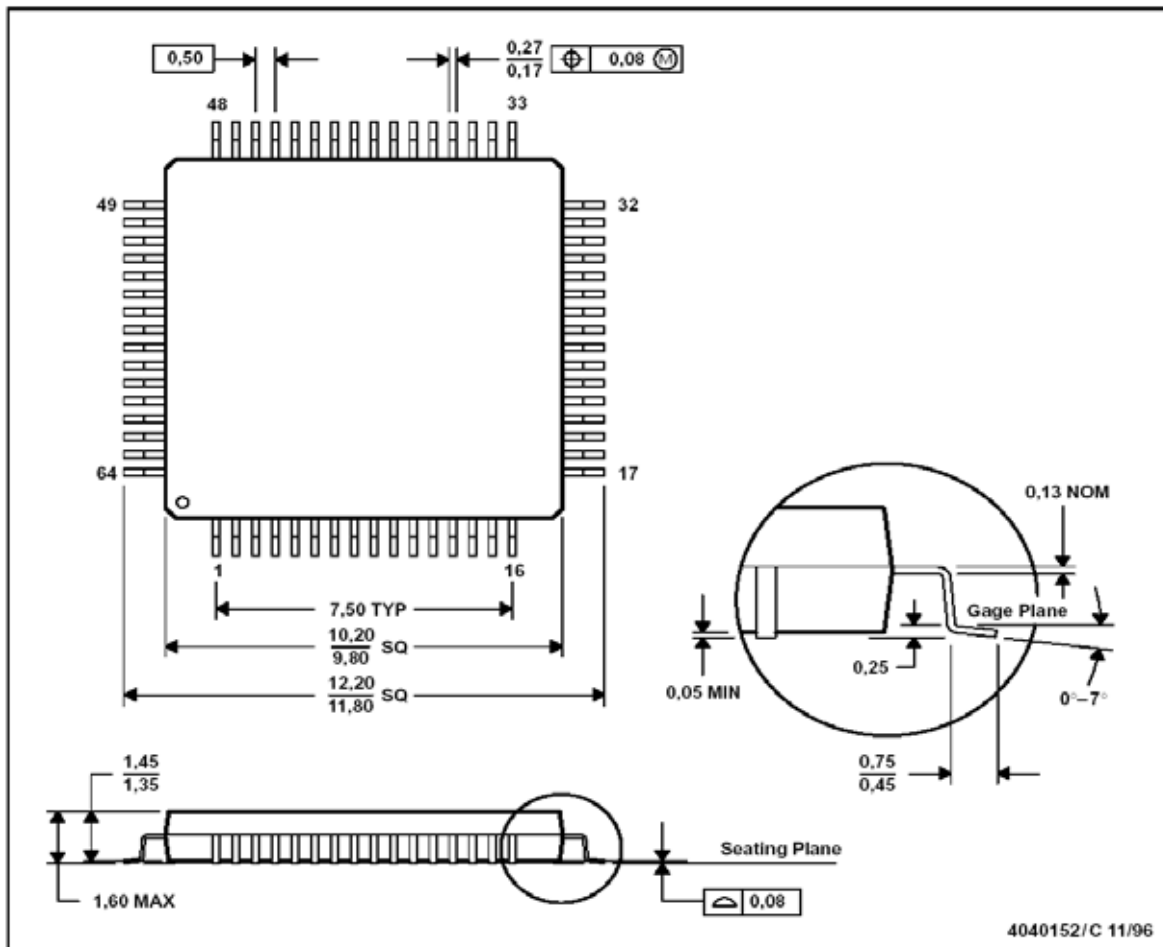


图 16 熔丝检查模式电流，MSP430FE42x

封装尺寸图

PM (S-PQFP-G64)

PLASTIC QUAD FLATPACK



说明：该中文资料在翻译过程中难免存在错误，请依照英文资料为准。