

MSP430xW42x混合信号微控制器

低电源电压范围：1.8V...3.6V

超低功耗：

- 活动模式: 200 μ A (1 MHz, 2.2 V)

- 等待模式：0.7 μ A

- 关断模式(RAM 保持)：0.1 μ A

五种省电模式

6 微秒内从等待状态唤醒

锁频环，FLL+

16 位精简指令结构，125 纳秒指令时间周期

应用于水、热和气体仪表的体积流量测量的 SCAN-I/F 单元

带有三个捕捉/比较寄存器的 16 位定时器 Timer_A

带有五个捕捉/比较寄存器的 16 位定时器 Timer_A

集成 96 段 LCD 驱动器

片内比较器

串行片上编程，无需外部编程电压，可编程的安全熔丝代码保护

FLASH 器件具有程序装载器(BSL)

系列成员包括：

MSP430CW423: 8KB ROM 存储器, 512B RAM

MSP430CW425: 16KB ROM 存储器, 512B RAM

MSP430CW427: 32KB ROM 存储器, 1KB RAM

MSP430FW423: 8KB Flash 存储器, 512B RAM

MSP430FW425: 16KB Flash 存储器, 512B RAM

MSP430FW427: 32KB Flash 存储器, 1KB RAM

64 引脚 Quad Flat Pack(QFP)封装

完全的模块描述请参见: MSP430x4xx 系列用户指南, 文献号: SLAU056

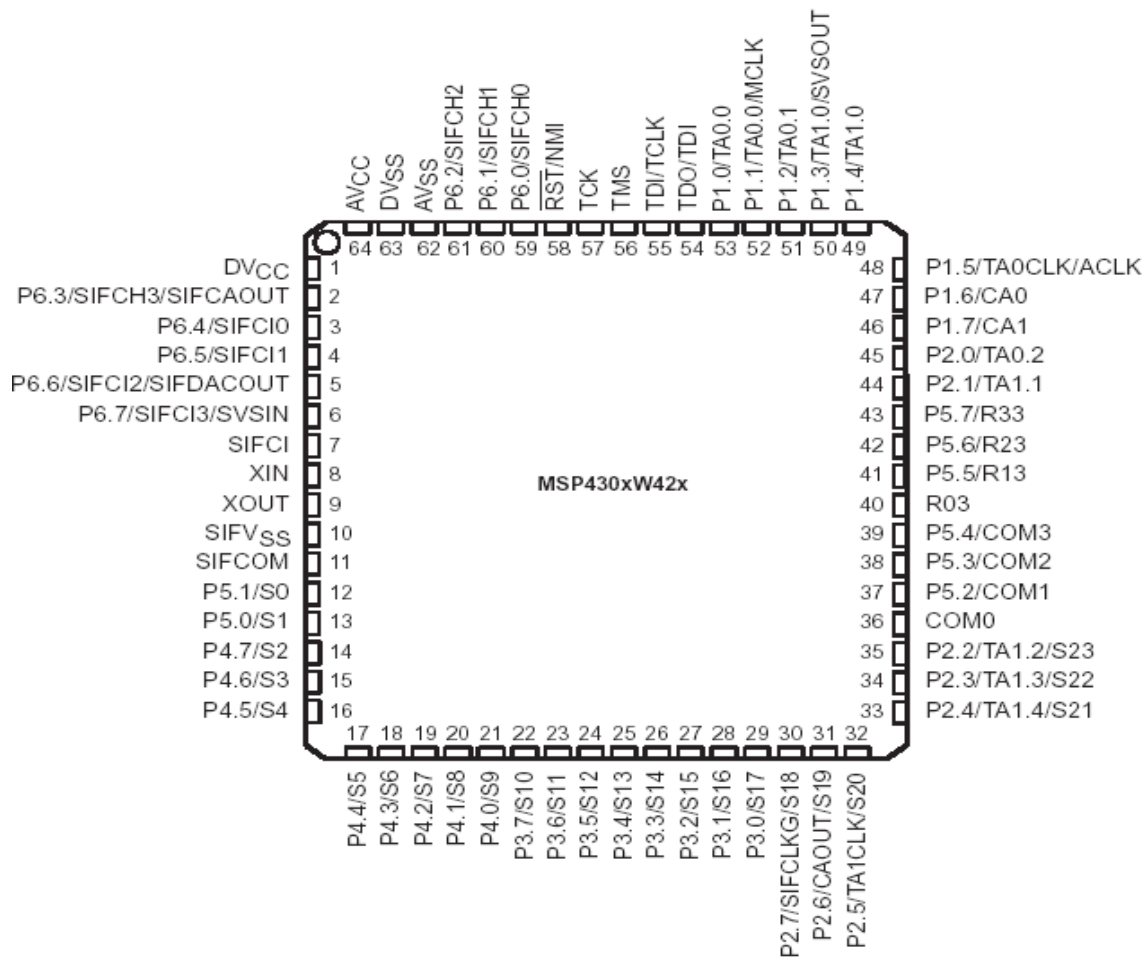
说明

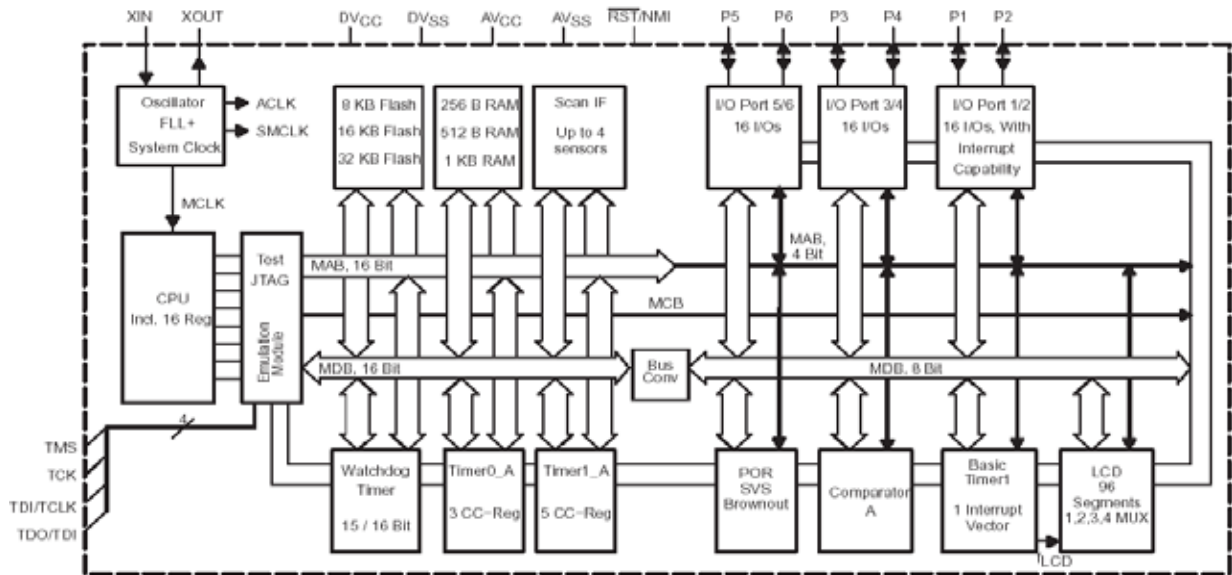
德州仪器公司的 MSP430 系列超低功耗微控制器由几个针对水、热和气体仪表等不同应用目标的片上系统 (System-on-chip) 具有不同外围设备的芯片系列组成。MSP430 微控制器采用低功耗设计和 16 位精简指令结构，CPU 内置 16 位寄存器以及常数发生器，能够实现最高的代码效率。锁频环 FLL+ 和数控振荡器使得微处理器能在 6 微秒内从低功耗模式快速切换到工作模式。MSP430xW42x 系列配置有两个内置 16 位定时器、一个比较器、一个 SCAN 接口模块、96 段 LCD 驱动器和 48 个 I/O 引脚的微控制器。

MSP430 的典型应用包括热量仪表、热水和冷水仪表、气体仪表和工业传感器系统。定时器支持额外的计数器应用、射频位流操作、IrDA 和 M-Bus 通讯。

可选型号

T _A	封装器件
- 40°C to 85°C	MSP430CW423IPM
	MSP430CW425IPM
	MSP430CW427IPM
	MSP430FW423IPM
	MSP430FW425IPM
	MSP430FW427IPM

MSP430xW42x 引脚


MSP430xW42x功能模块框图

MSP430xW42x引脚功能

引脚		输入/ 输出	说 明
引脚	序号		
AVCC	64		电源正端，为SVS,上电复位，振荡器，FLL+,比较器A，I/O端口6和LCD电阻分压电路供电，不能先于DVCC上电
AVSS	62		电源负端，为SVS,上电复位，振荡器，FLL+,比较器A，I/O端口6供电，必须外部连接到DVSS。内部连接到DVSS
DVCC	1		数字供电电源正端，为除了由AVCC/AVSS供电的所有数字部分供电
DVSS	63		数字供电电源负端，为除了由AVCC/AVSS供电的所有数字部分供电
SIFV _{SS}	10		SCAN-I/F AFE参考供电电压
P1.0/TA0.0	53	I/O	通用数字输入/输出/Timer_A0，捕获：CCI0A输入，比较：Out0输出/BSL发送
P1.1/TA0.0/ MCLK	52	I/O	通用数字输入/输出/Timer0_A0，捕获：CCI0B输入 /MCLK输出/BSL接收
P1.2/TA0.1	51	I/O	通用数字输入/输出/Timer0_A1，捕获：CCI1A输入，比较：Out1输出
P1.3/TA0.1/ SVSOUT	50	I/O	通用数字输入/输出/Timer1_A0，捕获：CCI0B输入 /SVS：SVS比较器输出 注：TA0.1在这个引脚上只能输入
P1.4/TA1.0	49	I/O	通用数字输入/输出/Timer1_A0，捕获：CCI0A输入，比较：Out0输出
P1.5/TA0CLK/ ACLK	48	I/O	通用数字输入/输出/Timer0_A时钟输入，ACLK输出
P1.6/CA0	47	I/O	通用数字输入/输出/比较器A输入
P1.7/CA1	46	I/O	通用数字输入/输出/比较器A输入
P2.0/TA0.2	45	I/O	通用数字输入/输出/Timer0_A2，捕获：CCI2A输入 /比较：Out2输出
P2.1/TA1.1	44	I/O	通用数字输入/输出/Timer1_A1，捕获：CCI1A输入 /比较：Out1输出

P2.2/TA1.2/S23	35	I/O	通用数字输入/输出/Timer1_A2, 捕获: CCI2A输入 /比较: Out2输出除端口和第二功能外, LCD模块控制位可选择段线S23 (注1)
P2.3/TA1.3/S22	34	I/O	通用数字输入/输出/Timer1_A3, 捕获: CCI3A输入 /比较: Out3输出端口/LCD模块控制位可选择段线S22 (注1)
P2.4/TA1.4/S21	33	I/O	通用数字输入/输出/Timer1_A4, 捕获: CCI4A输入 /比较: Out4输出/LCD模块控制位可选择段线S21 (注1)
P2.5/TA1CLK/S20	32	I/O	通用数字输入/输出/Timer1_A时钟输入/LCD模块控制位可选择段线S20 (注1)
P2.6/CAOUT/S19	31	I/O	通用数字输入/输出/比较器A输出/LCD模块控制位可选择段线S19 (注1)
P2.7/SIFCLKG/S18	30	I/O	通用数字输入/输出/来自内部时钟发生器的SIFCLKG时钟信号除端口和第二功能外, LCD模块控制位可选择段线S18 (注一)
P3.0/S17	29	I/O	通用数字输入/输出/除端口功能外, LCD模块控制位可选择段线S17 (注1)
P3.1/S16	28	I/O	通用数字输入/输出/除端口功能外, LCD模块控制位可选择段线S16 (注1)
P3.2/S15	27	I/O	通用数字输入/输出/除端口功能外, LCD模块控制位可选择段线S15 (注1)
P3.3/S14	26	I/O	通用数字输入/输出/除端口功能外, LCD模块控制位可选择段线S14 (注1)
P3.4/S13	25	I/O	通用数字输入/输出/除端口功能外, LCD模块控制位可选择段线S13 (注1)
P3.5/S12	24	I/O	通用数字输入/输出/除端口功能外, LCD模块控制位可选择段线S12 (注1)
P3.6/S11	23	I/O	通用数字输入/输出/除端口功能外, LCD模块控制位可选择段线S11 (注1)
P3.7/S10	22	I/O	通用数字输入/输出/除端口功能外, LCD模块控制位可选择段线S10 (注1)
P4.0/S9	21	I/O	通用数字输入/输出/除端口功能外, LCD模块控制位可选择段线S9 (注1)
P4.1/S8	20	I/O	通用数字输入/输出/除端口功能外, LCD模块控制位可选择段线S8 (注1)
P4.2/S7	19	I/O	通用数字输入/输出/除端口功能外, LCD模块控制位可选择段线S7 (注1)
P4.3/S6	18	I/O	通用数字输入/输出/除端口功能外, LCD模块控制位可选择段线S6 (注1)
P4.4/S5	17	I/O	通用数字输入/输出/除端口功能外, LCD模块控制位可选择段线S5 (注1)
P4.5/S4	16	I/O	通用数字输入/输出/除端口功能外, LCD模块控制位可选择段线S4 (注1)
P4.6/S3	15	I/O	通用数字输入/输出/除端口功能外, LCD模块控制位可选择段线S3 (注1)
P4.7/S2	14	I/O	通用数字输入/输出/除端口功能外, LCD模块控制位可选择段线S2 (注1)
P5.0/S1	13	I/O	通用数字输入/输出/除端口功能外, LCD模块控制位可选择段线S1 (注1)
P5.1/S0	12	I/O	通用数字输入/输出/除端口功能外, LCD模块控制位可选择段线S0 (注1)
COM0	36	O	公共输出。COM0-3用于LCD底板-LCD
P5.2/COM1	37	I/O	通用数字输入/输出/ COM0-3用于LCD底板-LCD
P5.3/COM2	38	I/O	通用数字输入/输出/ COM0-3用于LCD底板-LCD
P5.4/COM3	39	I/O	通用数字输入/输出/ COM0-3用于LCD底板-LCD
R03	40	I	第四个 (最低) 模拟LCD电平的输入端口-LCD(V5)
P5.5/R13	41	I/O	通用数字输入/输出/第三高模拟LCD电平 (V4或V3) 输入端口-LCD
P5.6/R23	42	I/O	通用数字输入/输出/第二高模拟LCD电平 (V2) 输入端口-LCD
P5.7/R33	43	I/O	通用数字输入/输出/最高模拟LCD电平 (V1) 输入端口-LCD
P6.0/SIFCH0	59	I/O	通用数字输入/输出/SCAN-I/F, 通道0, 传感器激励输出和信号输入
P6.1/SIFCH1	60	I/O	通用数字输入/输出/SCAN-I/F, 通道1, 传感器激励输出和信号输入
P6.2/SIFCH2	61	I/O	通用数字输入/输出/SCAN-I/F, 通道2, 传感器激励输出和信号输入

P6.3/SIFCH3/ SIFCAOUT	2	I/O	通用数字输入/输出/SCAN-I/F, 通道3, 传感器激励输出和信号输入, SCAN-I/F比较器输出
P6.4/SIFCI0	3	I/O	通用数字输入/输出/SCAN-I/F, 通道0, 信号输入至比较器
P6.5/SIFCI1	4	I/O	通用数字输入/输出/SCAN-I/F, 通道1, 信号输入至比较器
P6.6/SIFCI2/ SIFDACOUT	5	I/O	通用数字输入/输出/SCAN-I/F, 通道2, 信号输入至比较器, 10位DAC输出
P6.7/SIFCI3/ SVSIN	6	I/O	通用数字输入/输出/SCAN-I/F, 通道3, 信号输入至比较器/上电复位、电源电压管理的模拟输入
SIFCI	7	I	SCAN IF输入到比较器
SIFCOM	11	I	SCAN IF传感器公共端
$\overline{\text{RST/NMI}}$	58	I	复位输入或非屏蔽中断输入端口
TCK	57	I	测试时钟。TCK是芯片编程和测试的输入端口
TDI/TCLK	55	I	测试数据输入或测试时钟输入。芯片保护熔丝连接到TDI/TCLK
TDO/TDI	54	I/O	测试数据输出。TDO/TDI数据输出或者编程数据输入引脚
TMS	56	I	测试模式选择。TMS用于芯片编程和测试的输入端口
XIN	8	I	晶体振荡器XT1的输入端口。可以连接标准或者钟表晶振
XOUT	9	O	晶体振荡器XT1输出引脚

NOTE: I 当LCD模块控制位被置1,LCD功能自动选择,不用PxSEL位。

简要说明

处理单元

处理单元是基于兼容正交CPU指令集的。这种设计结构对应应用开发高度透明且易于编程。因此所有的操作,除了程序流程指令,都是通过源操作数的7种寻址模式和目标操作数的四种寻址模式的组合对寄存器操作进行的。

CPU集成了16个寄存器,减小了指令执行时间。这使寄存器到寄存器的操作执行时间减少到一个CPU周期。

寄存器中的四个, R0到R3, 相对地专用作程序计数器、堆栈指针、状态寄存器和常数发生器。其余寄存器是通用寄存器。

外围通过数据、地址和控制总线连接到CPU, 可以通过所有指令处理。

指令集

指令集由三种格式和7种寻址模式的51条指令构成。每条指令可以操作一个字或者字节。表1的例子显示了三类指令格式, 表2中列出了寻址模式。

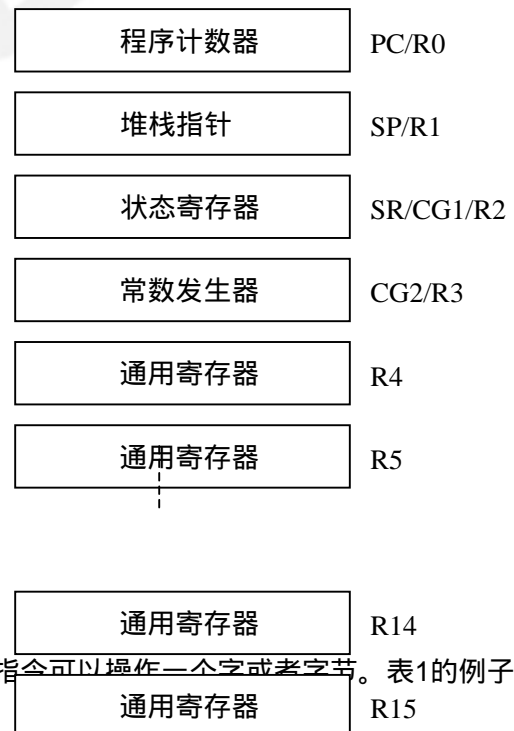


表1 指令字格式

双操作数	E,g ADD R4,R5	R4+R5 R5
单操作数 目的	E,g CALL R8	PC (TOS),R8 PC
相对跳转 非条件/条件	E,g JNE	Jump-on-equal bit=0

表2 寻址模式说明

寻址模式	S	D	语法	例子	操作
寄存器			MOV ,Rs,Rd	MOV R10,R11	R10 R11
索引			MOV X(Rn),Y(Rm)	MOV 2(R5),6(R6)	M(2+R5) M(6+R6)
符号 (PC相对)			MOV EDE TONI		M(EDE) M(TONI)
绝对			MOV &MEM,&TCDAT		M(MEM) M(TCDA)
间接寻址			MOV @Rn,Y(Rm)	MOV @R10,Tab(R6)	M(R10) M(Tab+R6)
间接增量			MOV @Rn+,Rm	MOV @R10+,R11	M(R10) R11 R10+2 R10
立即数			MOV #X,TONI	MOV #45,TONI	#45 M(TONI)

注：S-源操作数 D-目的操作数

运行模式

MSP430有一种活动模式和五种软件可选的低功耗模式，一个中断事件可以将芯片从五种低功耗模式中的任何一种模式唤醒，响应中断请求，中断程序完成后回到相应的低功耗模式。

MSP430支持下列六种运行模式：

活动模式AM：可由软件设定，所有的时钟都是活动的。

低功耗模式0 (LPM0)：

CPU关闭

ACLK和SMCLK信号保持活动，

MCLK可用于模块，FLL+锁相环保持活动。

低功耗模式1 (LPM1)：

CPU关闭

MCLK可用于模块，FLL+锁相环保持关闭。

低功耗模式2 (LPM2)：

CPU关闭

ACLK保持活动，

MCLK和FLL+锁相环、DCO被禁止

低功耗模式3 (LPM3)：

CPU关闭

ACLK保持活动

MCLK和FLL+锁相环、DCO、DCOCLK被关闭

低功耗模式4 (LPM4)：

CPU关闭

ACLK信号关闭 (晶振停止)

MCLK、FLL+锁相环和DCOCLK被禁止，DCO的DC发生器被禁止

不同的运行模式由软件控制内部时钟系统运行来控制。时钟系统通过硬件和软件的大量组合达到应用的最低功耗和成本优化：

断向量地址

中断向量和上电起始地址位于ROM地址范围0FFFFh - 0FFE0h。这些向量包括相应中断处理指令序列的16位地址。

INTERRUPT SOURCE	INTERRUPT FLAG	SYSTEM INTERRUPT	WORD ADDRESS	PRIORITY
Power-up External Reset Watchdog Flash memory	WDTIFG KEYV (see Note 1)	Reset	0FFFEh	15, highest
NMI Oscillator Fault Flash memory access violation	NMIIFG (see Notes 1 and 3) OFIFG (see Notes 1 and 3) ACCVIFG (see Notes 1 and 3)	(Non)maskable (Non)maskable (Non)maskable	0FFFCh	14
Timer1_A5	TA1CCR0 CCIFG (see Note 2)	Maskable	0FFFAh	13
Timer1_A5	TA1CCR1 to TA1CCR4 CCIFGs TA1CTL TAIFG	Maskable	0FFF8h	12
Comparator_A	CMPAIFG	Maskable	0FFF6h	11
Watchdog Timer	WDTIFG	Maskable	0FFF4h	10
Scan IF	SIFIFG0 to SIFIFG6 (See Note 1)	Maskable	0FFF2h	9
			0FFF0h	8
			0FFEEh	7
Timer0_A3	TA0CCR0 CCIFG (see Note 2)	Maskable	0FFECCh	6
Timer0_A3	TA0CCR1 and TA0CCR2 CCIFGs, and TA0CTL TAIFG (see Notes 1 and 2)	Maskable	0FFEAh	5
I/O port P1 (eight flags)	P1IFG.0 (see Notes 1 and 2) To P1IFG.7 (see Notes 1 and 2)	Maskable	0FFE8h	4
			0FFE6h	3
			0FFE4h	2
I/O port P2 (eight flags)	P2IFG.0 (see Notes 1 and 2) To P2IFG.7 (see Notes 1 and 2)	Maskable	0FFE2h	1
Basic Timer1	BTIFG	Maskable	0FFE0h	0, lowest

注1:多中断标志

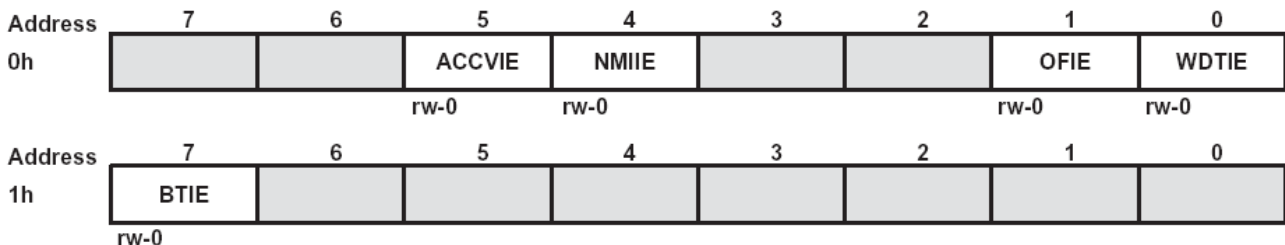
注2:中断标志被置在模块内

注3:非屏蔽中断,模块的中断使能位能禁止中断,总的中断使能位不能禁止。

专用功能寄存器

大部分中断和模块使能位集中在低地址空间。芯片物理上不存在没有分配功能目的的专用功能寄存器位。这种布局简化了软件处理。

中断使能寄存器1和2



WDTIE: 看门狗定时器中断使能位,如果处于看门狗方式,此位无效,如果处于看门狗定时器方式,此位激活。

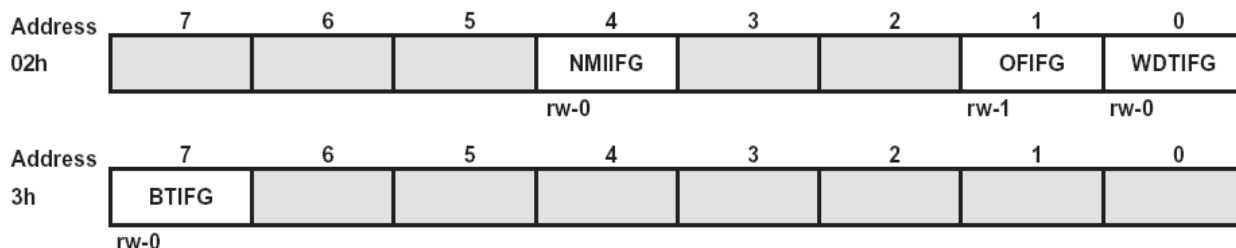
OFIE: 振荡器失效中断使能位

NMIIE: 不可屏蔽中断使能位

ACCVIE：（不）可屏蔽中断使能位，FLASH存取出错中断使能

BTIE：基本定时器中断使能位

中断标志寄存器1和2



WDTIFG：在看门狗定时器溢出（在看门狗模式）或者安全键值出错或者当V_{cc}上电复位或者RST/NMI引脚复位而复位。

OFIFG：振荡器失效时标志置位

NMIIFG：通过RST/NMI引脚置位

BTIFG：基本定时器中断标志

模块使能寄存器1和2



图例：rw：位可读写

rw - 0：位可读写，由PUC复位

SFR位在芯片中不存在

存储器布局

		MSP430FW423	MSP430FW425	MSP430FW427
Memory	Size	8KB	16KB	32KB
Interrupt vector	Flash	0FFFFh - 0FFE0h	0FFFFh - 0FFE0h	0FFFFh - 0FFE0h
Code memory	Flash	0FFFFh - 0E000h	0FFFFh - 0C000h	0FFFFh - 08000h
Information memory	Size	256 Byte	256 Byte	256 Byte
		010FFh - 01000h	010FFh - 01000h	010FFh - 01000h
Boot memory	Size	1KB	1KB	1KB
		0FFFh - 0C00h	0FFFh - 0C00h	0FFFh - 0C00h
RAM	Size	256 Byte	512 Byte	1KB
		02FFh - 0200h	03FFh - 0200h	05FFh - 0200h
Peripherals	16-bit	01FFh - 0100h	01FFh - 0100h	01FFh - 0100h
	8-bit	0FFh - 010h	0FFh - 010h	0FFh - 010h
	8-bit SFR	0Fh - 00h	0Fh - 00h	0Fh - 00h

包含bootstrap loader的引导ROM (BSL)

bootstrap loader的意图是下载数据到FLASH存储器模块。一个正确的下载环境需要进行不同的写、读、擦除操作。

bootstrap loader的功能

读定义：发送数据到引脚P1.0/TA0(BSLTX)和发送外围寄存器或者存储器数据到引脚P1.0/TA0

写定义：从P1.1/TA0/MCLK(BSLRX)读取数据并写入FLASH存储器

不受保护的功能(所有不受保护的功能仅当操作使能时才能执行)

写编程字节到FLASH存储器。传递的参数是起始地址和字节数（FLASH段写入特性不被UART协议所支持和使用）

主存储区中的段0~n的段擦除和信息存储器中的段A和段B的段擦除

主存储器和信息存储器中所有数据的读取。

所有外围模块和RAM的读写

立即修改PC和启动程序执行

注意：用户可通过定义中断存储器位置的数据防止未受授权的代码或者数据读出。

Bootstrap loader的特性：

UART通讯协议，固定在9600波特率

端口引脚P1.0/TA0用于发送，P1.1/TA0/MCLK用于接收

TI标准串行协议定义

仅用于FLASH存储器版本的Loader

程序执行从位于0FFFFEH的用户向量或者从bootstrap loader（地址0C00h）开始执行

用于串行输入/输出的硬件资源

引脚P1.0/TA0和P1.1/TA0/MCLK用于串行数据传输

TCK和RST/NMI用于在复位或者bootstrap loader向量开始程序执行

FLL+模块：SCFIO=0,SCFII=098h, SCG0=1

定时器A：定时器A运行于连续模式，选用SMCLK时钟源，输入分频系数设置为1，使用CCR0并查询CCIFG0

WDT：看门狗定时器停止

中断：GIE=0,NMIE=0,OFIFG=0,ACCVIFG=0

堆栈的使用取决于启动条件：

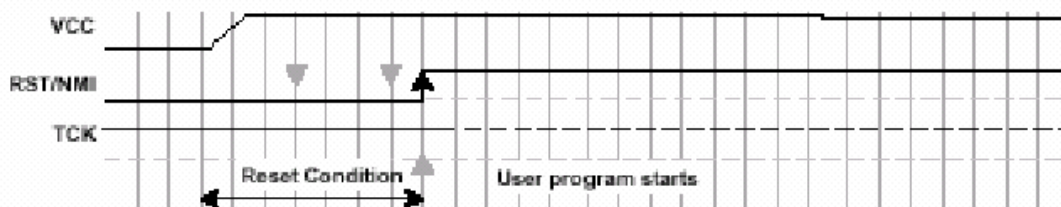
通过RST/NMI和TCK引脚启动：使用6个字节，堆栈指针初始化到220H

通过SW（比如BR &0C02H）启动：使用6个字节，从实际堆栈指针的顶部开始

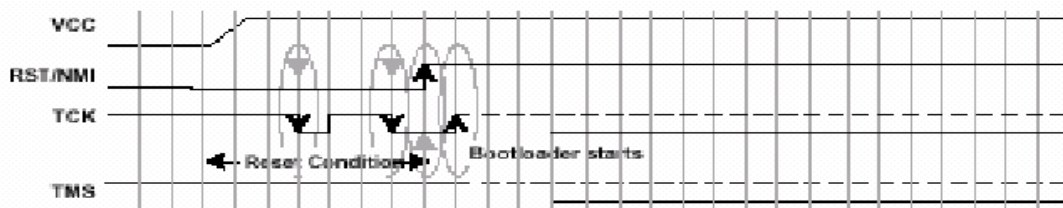
RAM：使用20个字节，从地址0x200开始，到0219h结束

注意：当通过bootstrap loader写RAM数据时，应确保堆栈位于要写的数据区域之外。

程序执行从用户位于FFFEh（标准模式）的复位向量，如果TCK在RST/NMI从低到高跳变时保持在高。



程序执行从位于0C00h(引导ROM)的bootstrap向量开始执行,如果最少两个负边沿作用在信号引脚TCK上,且TCK为低当RST/NMI从低到高跳变时。



注意：5、TCK的缺省电平是高，必须作用一个低电平来进入bootstrap loader。其他功能引脚缺省电平为低的MSP430应使用一个相反的信号。

6、TMS信号必须为高当TCK时钟作用时。这确保JTAG控制器功能保持在缺省模式。

Bootstrap loader不能启动（通过地址0C00h）如果：

当RST/NMI为低时少于两个负边沿

当RST/NMI从低到高跳变时TCK为高

JTAG控制着MSP430资源

供电电压Vcc下降和执行一次上电复位

RST/NMI引脚配置为NMI功能（NMI位置位）

MSP430 FLASH微控制器提供很大的灵活性，因为它们可以重新编程。FLASH存储器可通过JTAG端口、bootstrap loader或者CPU自己编程。另外，CPU可对FLASH存储器写入单个字节和单个字的写入。FLASH存储器的其他特性包括：

Flash存储器有n个主存储段和两个各为128各字节的信息存储段（A和B）。每个主存储段为512各字节。

段0到n可以一起擦除或者每个段单独擦除。

段A和B可以单独擦除或者与段0 - n作为一个组擦除。段A和B也被称为信息存储器。

安全熔丝熔断后是不可恢复的，熔断后不能再对JTAG进行操作

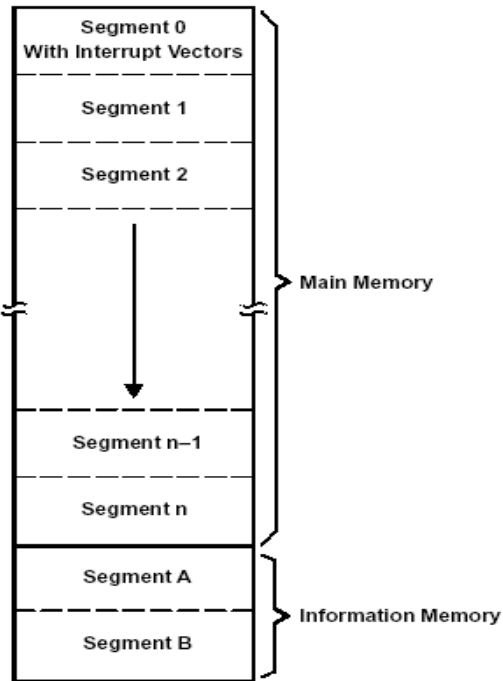
编程和擦除时序由FLASH存储器中的硬件控制 无需软件干预

在编程和擦除过程中，不能执行FLASH存储器中的代码，必须设置GIE、NMIE、ACCVIE和OFIE位为0来关闭所有中断。如果用户程序需要与FLASH编程或者擦除操作同时执行，程序必须从FLASH存储器之外的存储器（例如：引导ROM、RAM）中执行。在FLASH编程或者擦除操作初始化时，程序计数器指向FLASH存储器，CPU执行JMP \$指令直到FLASH编程或者擦除操作完成。然后以前的运行软件的正常执行重新开始。

新芯片的信息存储器中的某些字节可能已经编程（制造过程中用于测试）。用户在初次使用前应进行一次信息存储器的擦除。

Flash 存储

8KB	16KB	32KB
0FFFFh	0FFFFh	0FFFFh
0FE00h	0FE00h	0FE00h
0FDFFh	0FDFFh	0FDFFh
0FC00h	0FC00h	0FC00h
0FBFFh	0FBFFh	0FBFFh
0FA00h	0FA00h	0FA00h
0F9FFh	0F9FFh	0F9FFh
...		
0E400h	0C400h	08400h
0E3FFh	0C3FFh	083FFh
0E200h	0C200h	08200h
0E1FFh	0C1FFh	081FFh
0E000h	0C000h	08000h
010FFh	010FFh	010FFh
01080h	01080h	01080h
0107Fh	0107Fh	0107Fh
01000h	01000h	01000h



外围模块 外围模块通过数据、地址和控制总线连接到CPU，可以使用所有指令处理。

振荡器和系统时钟

系统中使用三种时钟：

主时钟（MCLK），CPU使用的主时钟

次主时钟（SMCLK），由外围模块使用的子系统时钟

辅助时钟（ACLK），来自LFXT1CLK(晶振频率)由外围模块使用

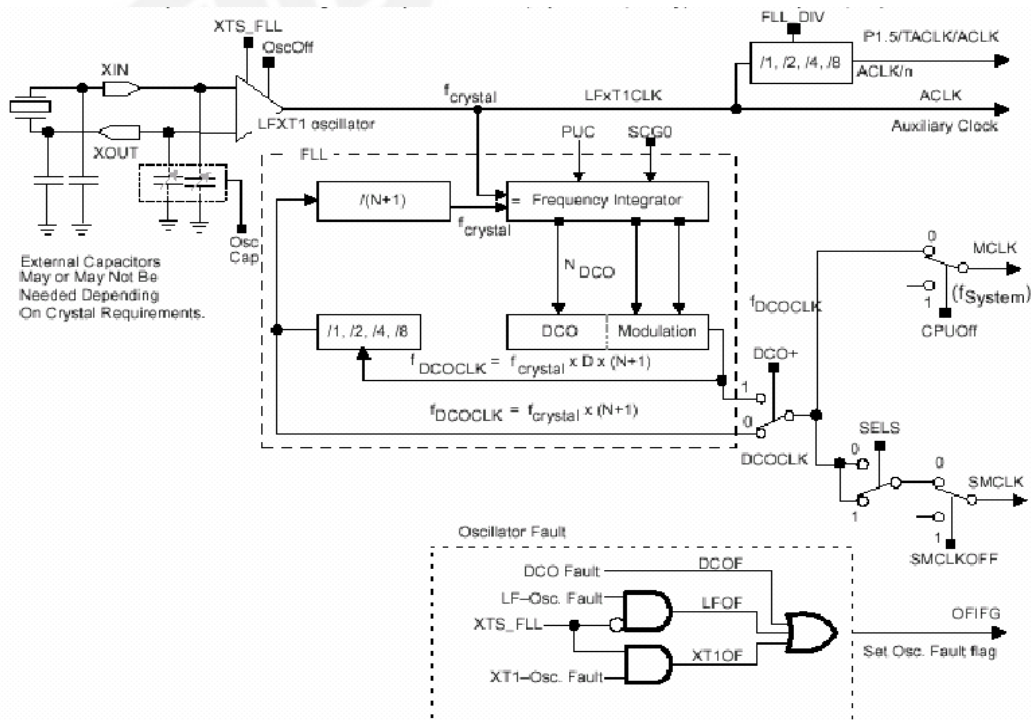


图2. FLL+振荡器和系统时钟框图

ACLK可以连接低功耗、低频或者高频晶振到振荡器，或者外部作用一个时钟源（必须设置XTS_FLL）。当ACLK振荡器在当前运行模式下不被需要时晶体振荡器可以关断。

可软件选择DCOCLK频率。如果SCG1复位DCOCLK是活动的，如果SCG1置位DCOCLK停止。当SCG0和SCG1复位直流发生器停止。确定基本DCO频率的直流发生器可以使用控制位FIN_2、FIN_3、FIN_4和FN_8在五个步骤上调整。

MCLK和SMCLK频率的启动条件和MSP430x3xx芯片中的FLL是一样的。

ACLK,通过端口P1.5用于外部应用,可以1,2,4或8分频。这确保时钟信号与MSP430x3xx和MSP430x1xx系列兼容。

三个振荡器失效位DCOF,XT1OF和LFOF,表明DCO,LFXT1振荡器高频模式和LFXT1振荡器低频模式是否运行正常。振荡器失效XT1OF仅当XTS_FLL = 1时才有效, LFOF仅当XTS_FLL = 0时才有效。如果三个振荡器失效之一发生, OSCFault信号将OFIFG标志置位。如果中断使能位OFIE置位就会产生一个NMI服务请求。

时钟信号ACLK,MCLK和SMCLK可以通过端口引脚用于外部应用。

不同的应用需求和系统条件需要不同的系统时钟。FLL+时钟系统支持以下条件：

- 快速响应系统硬件请求或事件的高频（DCO/FLL+XT1）
- 最小化电流功耗的低频,EMI,etc.（LF）
- 定时器应用的稳定外围时钟，比如实时时钟（RTC）
- 使快速启动和停止时延最小（DCO）

上电电路，供电电压管理器

上电电路是检测供电电压是否从VCC引脚作用或断开并相应地复位芯片,和掉电时用于为芯片提供正确的内部复位信号。

CPU在上电电路释放芯片复位后开始代码执行。不过Vcc不能下降到Vcc (min)。用户必须确保缺省的FLL+ 设定不会改变直至Vcc到达Vcc (min)。如果需要,SVS电路可以用于监测Vcc何时到达Vcc (min)。

供电电压管理（SVS）电路检测供电电压是否下降到用户选择的电压以下,同时支持供电电压管理（芯片自动复位）和监测（SVM,芯片不自动复位）。SVS电路如图2所示。为了降低功耗,SVS的初始状态是关断的。需要时用户软件应打开它。

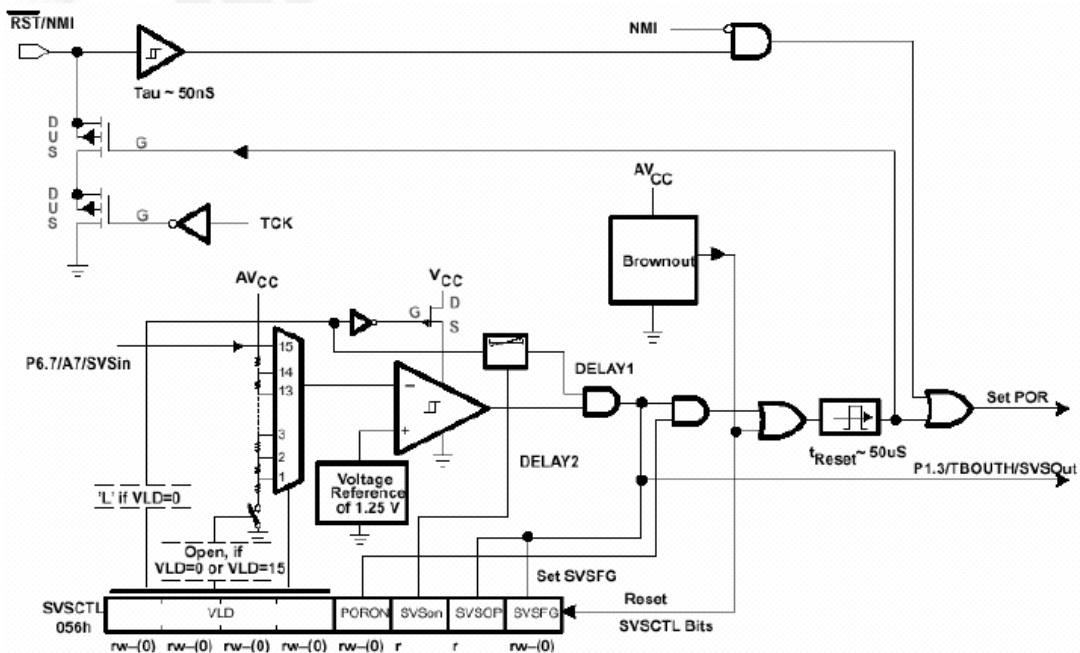


图2 上电复位和供电电压管理模块框图

VLD位控制SVS电路的开关状态，VLD=0时SVS关断，VLD=1时SVS打开。位PORON打开或关断MSP430低电压检测的自动复位。如果PORON = 1，低电压检测产生上电复位信号复位MSP430。SVSOP位用于监视实际SVS比较器输出。只要检测到一个低电压，位SVSFG置位直至不再检测到低电压并且由软件复位。SVSFG锁存这类事件，而SVSOP代表比较器的实际输出。

如果只需要监视供电电压，而如果它降低到设定的电平不需复位芯片，用户只要复位PORON位并设置一般电平。这提供了SVM功能。SVM功能非常有用，比如当进行A/D转换时用户想知道供电电压是否降低到最低运行电压之下。

SVS电路使用回差降低电压降的灵敏度，当VCC接近门槛电压时。每个SVS电平的回差如下表所示。

SVS/SVM如下所示会有延时。Delay1 (~ 50微秒) 用于避免误复位，当SVS/SVM使能时 (VLD从0变化到大于0)。另外第二个延时 (DELAY2=~50微秒) 保持SVSon位为低当VLD的值变化时。当VLD=0时SVSon为低。

用户可编程的SVS电平如下表所示。另外，可以监测作用在SVSin上的任何其他电压。

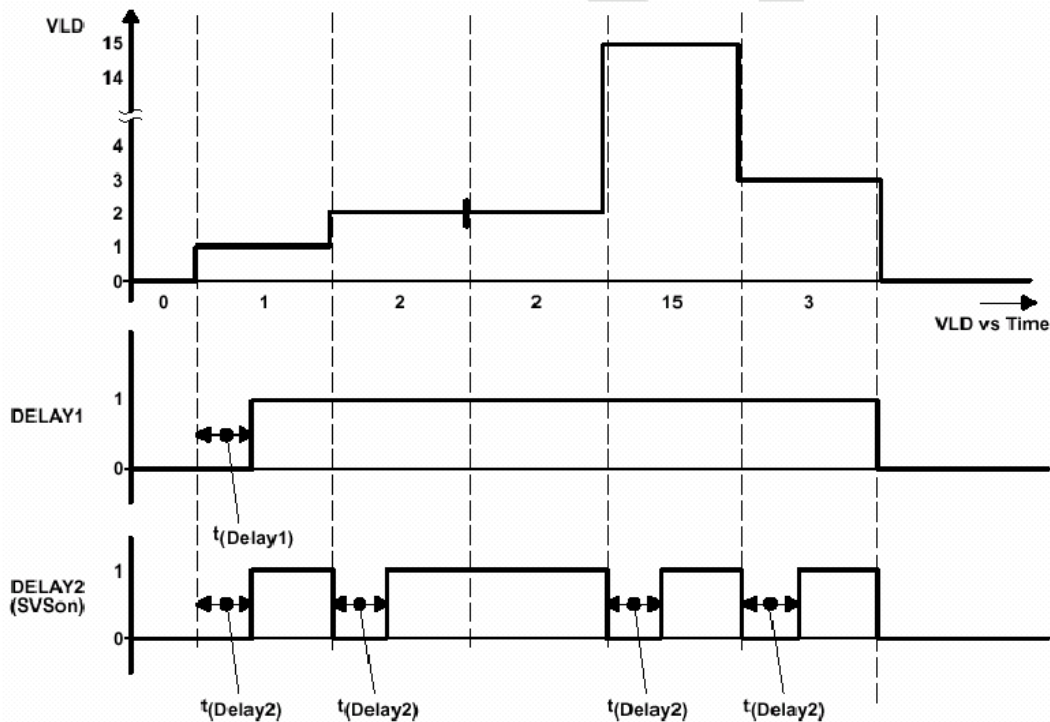


图3.VLD触发的 $t(\text{DELAY1})$ 和 $t(\text{DELAY2})$ 时序

数字I/O

MSP430中有6个I/O端口—端口P1到P6。端口P1和P2使用7个控制寄存器，而端口P3,P4,P5和P6只使用四个控制寄存器，可为应用提供最大的数字输入/输出的灵活性：

所有I/O位可以独立编程

任何输入、输出和中断条件的组合都是可能的

P1、P2端口的所有8位可以选择边缘中断输入

所有指令支持对端口控制寄存器的读/写

7个控制寄存器是：

输入寄存器	8位	端口P1到P6
输出寄存器	8位	端口P1到P6
方向寄存器	8位	端口P1到P6
中断沿选择	8位	端口P1到P2
中断标志	8位	端口P1到P2
中断使能	8位	端口P1到P2
功能选择（端口或模块）	8位	端口P1到P6

每个寄存器包含8位。采用两个中断向量：一个用于端口P1.0到P1.7端口上的任何中断事件，另一个用于端口P2.0到P2.7端口上的任何中断事件。

端口P3,P4,P5和P6没有中断能力。

LCD驱动器

静态的、2偏置、3偏置和4偏置的液晶显示器（LCD）可由MSP430直接驱动。控制器的LCD逻辑操作通过存储器的软件位操作实现。LCD存储器是LCD模块的一部分，不是数据存储器的一部分。8种模式和控制位决定LCD驱动器的运行和功耗。单独数字的信息可以用表编程技巧结合正确的寻址模式简单得到。段信息使用存储器操作指令存入LCD存储器。

LCD驱动器的驱动能力由支持2-、3-、4-偏置的模拟电平的外部电阻驱动器确定。数字输入输出/LCD段线可以选择数字输入输出或者LCD功能。数字I/O是上电复位或者掉电复位后的缺省设置。MSP430x41x配置有四条公共线，24条段线和四个用于调整模拟电平的引脚。

LCD模式位5, 6, 7：

0：引脚P5.1/S0到P2.2/S23是数字输入/输出，不是段线。

1：引脚P5.1/S0到P3.2/S15是段线，引脚P3.1/S16到P2.2/S23是数字输入/输出。

2：引脚P5.1/S0到P2.6/CAOUT/S19是段线，引脚P2.5/S20到P2.2/S23是数字输入/输出。

3--7：引脚P5.1/S0到P2.2/S23是段线。

基本定时器Basic Timer1

基本定时器Basic Timer1（BT1）根据SSEL位的选择分频SMCLK或者ACLK来提供低频控制信号。这由系统那的一个中心分频器实现，支持低功耗应用。BTCTL控制寄存器包括控制或者选择不同运行功能的标志。当供电电源上电或者当芯片复位（RST/NMI引脚）时，看门狗溢出或者看门狗安全键值发生错误，寄存器中的所有位保持不确定或者不变的状态。用户软件通常在初始化时配置BT的运行条件。基本定时器Basic Timer1有两个可以叠加成一个16位定时器的8位定时器，两者都可软件读写。SFR地址范围内的两个位根据基本定时器的功能处理系统控制交互。这两个位是基本定时器Basic Timer1中断标志（BTIFG）和基本定时器中断使能位（BTIE）。

看门狗定时器

看门狗定时器模块（WDT）的主要功能是在发生软件问题后进行控制系统的重启。如果选定的时间间隔溢出就会产生一个系统复位。如果应用中不需要这个看门狗功能，模块可以工作为间隔定时器，在选定的时间间隔后产生一个中断。

看门狗定时器计数器（WDTCNT）是一个不能直接由软件操作的15/16位计数器。WDTCNT通过一个8位可读写的看门狗定时器控制寄存器（WDTCTL）控制。在任何运行模式（看门狗或者定时器）下写WDTCTL仅当在高字节采用正确的安全键值（05Ah）才可以。如果一个不等于05Ah的值写入WDTCTL的高字节，就会产生系统复位PUC。读口令为069h为了减少对WDTCTL寄存器的误写操作。低字节存储写入WDTCTL的数据。除了看门狗定时器的控制位，WDTCTL中还有两个位配置NMI引脚。

定时器Timer0_A3 (三个捕获/比较寄存器)

定时器模块提供一个16位计数器和三个捕获/比较寄存器。定时器时钟源可以从外部时钟源TACLK0(SSEL=0时反向或者SSEL=3时不反向)，或者从两个内部源ACLK(SSEL=1)或者SMCLK(SSEL=2)。时钟源的分频系数可为1, 2, 4或者8。定时器可以完全受控(字模式)它可以被暂停、读出或者写入。它也可以被停止、连续运行或者增计数或者增减计数并采用一个比较块来确定定时间隔。三个捕获/比较模块可由应用配置为运行在捕获或者比较模式。

捕获模式通常用于单独测量内部或者外部来自上升沿、下降沿或者上升沿和下降沿的任意组合的事件。它也可由软件停止。也可以有三个不同的外部事件(TA0,TA1,TA2)。在捕获/比较寄存器CCR2,如果选择CCI2B, ACLK时捕获源。如果CCIS_x = 2或者CCIS_x = 3选择软件捕获。

比较模式通常用于为软件或者应用软件产生时序,或者为D/A转换功能或者马达控制等不同目的产生脉宽调制输出信号。三个捕获/比较寄存器的每一个都配置了单独的输出模块。这个模块可以独立运行比较功能,并可多种方式触发。

Timer0_A3 Signal Connections					
Input Pin Number	Device Input Signal	Module Input Name	Module Block	Module Output Signal	Output Pin Number
48 - P1.5	TA0CLK	TACLK	Timer	NA	
	ACLK	ACLK			
	SMCLK	SMCLK			
48 - P1.5	TA0CLK	INCLK			
53 - P1.0	TA0.0	CCI0A	CCR0	TA0.0	53 - P1.0
52 - P1.1	TA0.0	CCI0B			
	DVSS	GND			
	DVCC	VCC			
51 - P1.2	TA0.1	CCI1A	CCR1	TA0.1	51 - P1.2
	CAOUT (internal)	CCI1B			
	DVSS	GND			
	DVCC	VCC			
45 - P2.0	TA0.2	CCI2A	CCR2	TA0.2	45 - P2.0
	ACLK (internal)	CCI2B			
	DVSS	GND			
	DVCC	VCC			

图5.Timer0_A3通过三个比较/捕获寄存器(CCR)配置

定时器模块使用两个中断向量。一个向量配置给捕获/比较模块CCR0,一个公共中断向量配置给定时器和其他两个捕获/比较模块。三个中断事件使用相同的向量,由单独的中断向量字区分。中断向量字用于向程序计数器加上偏移量来继续中断位于相应程序位置的处理软件。这简化了中断处理,给每个中断事件在中断处理器中相同的正常的5个周期。

定时器Timer1_A5

该定时器模块提供一个16位计数器和五个捕获/比较寄存器。定时器时钟源可从外部时钟源TACLK1(SSEL=0时反向或者SSEL=3时不反向),或者从两个内部源ACLK(SSEL=1)或者SMCLK(SSEL=2)。时钟源的分频系数可为1, 2, 4或者8。定时器可以完全受控(字模式)它可以被暂停、读出或者写入。它也可以被停止、连续运行或者增计数或者增减计数并采用一个比较块来确定定时间隔。三个捕获/比较模块可由应用配置为运行在捕获或者比较模式。

捕获模式通常用于单独测量内部或者外部来自上升沿、下降沿或者上升沿和下降沿的任意组合的事件。它也可由软件停止。可以五个不同的外部事件(TA1.0,TA1.1,TA1.2,TA1.3,TA1.4)。在捕获/比较寄存器CCR2，如果选择CCI2B，ACLK时捕获源。如果CCISx = 2或者CCISx = 3选择软件捕获。

比较模式通常用于为软件或者应用软件产生时序，或者为D/A转换功能或者马达控制等不同目的产生脉宽调制输出信号。三个捕获/比较寄存器的每一个都配置了单独的输出模块。这个模块可以独立运行比较功能，并可多种方式触发。

Timer1_A5 Signal Connections					
Input Pin Number	Device Input Signal	Module Input Name	Module Block	Module Output Signal	Output Pin Number
32 - P2.5	TA1CLK	TACLK	Timer	NA	
	ACLK	ACLK			
	SMCLK	SMCLK			
32 - P2.5	TA1CLK	INCLK			
49 - P1.4	TA1.0	CCI0A	CCR0	TA1.0	49 - P1.4
50 - P1.3	TA1.0	CCI0B			
	DVSS	GND			
	DVCC	VCC			
44 - P2.1	TA1.1	CCI1A	CCR1	TA1.1	44 - P2.1
	CAOUT (internal)	CCI1B			
	DVSS	GND			
	DVCC	VCC			
35 - P2.2	TA1.2	CCI2A	CCR2	TA1.2	35 - P2.2
	SIFO0sig (internal)	CCI2B			
	DVSS	GND			
	DVCC	VCC			
34 - P2.3	TA1.3	CCI3A	CCR3	TA1.3	34 - P2.3
	SIFO1sig (internal)	CCI3B			
	DVSS	GND			
	DVCC	VCC			
33 - P2.4	TA1.4	CCI4A	CCR4	TA1.4	33 - P2.4
	SIFO2sig (internal)	CCI4B			
	DVSS	GND			
	DVCC	VCC			

图5.Timer1_A5通过五个比较/捕获寄存器 (CCR) 配置

定时器模块使用两个中断向量。一个向量配置给捕获/比较模块CCR0，一个公共中断向量配置给定时器和和其他四个捕获/比较模块。五个中断事件使用相同的向量，由单独的中断向量字区分。中断向量字用于向程序计数器加上偏移量来继续中断位于相应程序位置的处理软件。这简化了中断处理，给每个中断事件在中断处理器中相同的正常的5个周期。

比较器A

比较器A模块的主要功能是支持精密的斜坡模拟/数字转换、电池电压管理和外部模拟信号的检测。比较器连接到端口引脚P1.6/CA0（正引脚）和P1.7/CA1(负引脚)。它通过CACTL寄存器中的8个控制位控制。

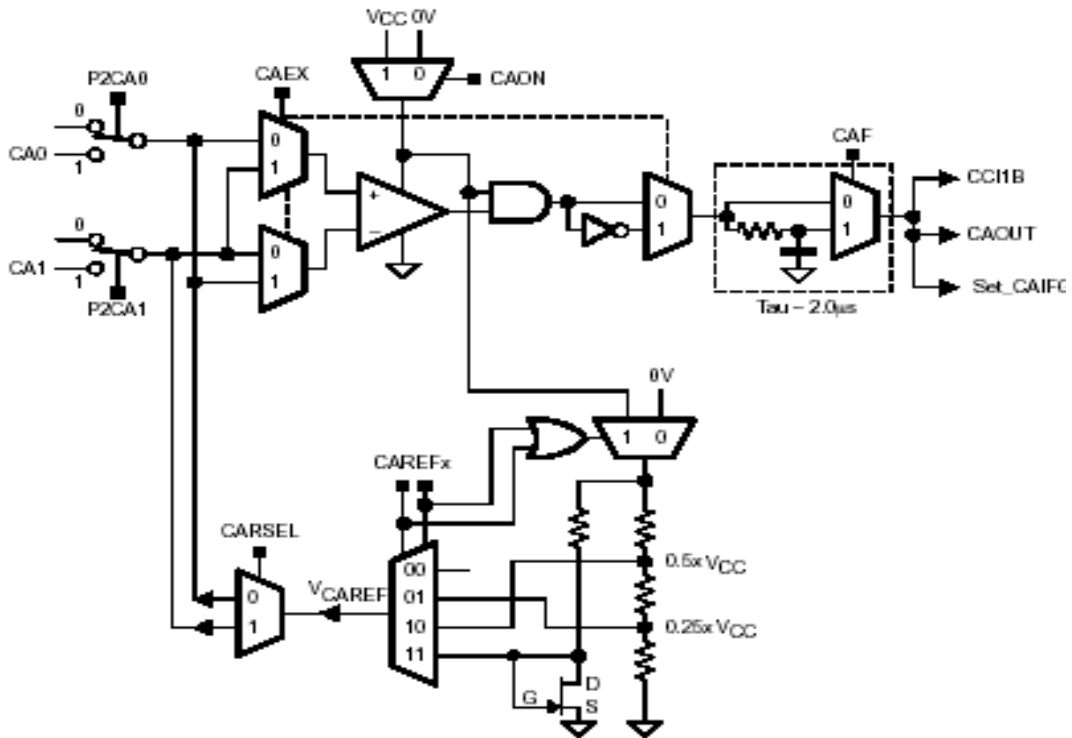


图6.比较器A模块框

8个控制位用于将比较器连接到供电电源，将外部或者内部信号作用到正引脚或者负引脚上以及选择比较器输出，同时包括一个小滤波器。

另外寄存器CAPD中的8个位实现于比较器A模块中，使SW可关断端口P1的输入缓冲。当输入不是接近VSS或者VCC时CMOS输入缓冲将消耗供电电流。控制位CAPI0到CAPI7初始化时复位，端口输入缓冲激活。端口输入缓冲当相应控制位置位时关闭。

SCAN-IF

SCAN-IF模块的主要功能是：在低功耗下检测水、热和气体仪表应用中的运动（例如转动和方向）。它支持两个不同传感器类型：LC传感器和阻性电桥传感器（比如GMR传感器）。但是由于模拟端对端、时序发生器和信号处理部分的灵活性，它也能使用于不同的应用。其他应用的一个例子就是飞线电子气体踏板。在工业环境中我们也可以看到许多其他应用。

模拟端对端的主要元器件是一个“VCC/2”发生器，一个比较器和一个10位DAC。最多可使用四个传感器。LC传感器被相继驱动，桥型传感器的信号被同时采样。然后，传感器信号与一个参考电平比较并锁存数据。参考电平（DAC的o/p）使用四个双DAC寄存器预先确定。一对两个寄存器通常用于建立参考电平的回差。数据（代表阻尼的或者非阻尼的）一旦锁存，就在“信号处理状态机”中处理。处理状态机检测转动（容量）和它的方向。使用的信息由两个8位计数器收集。计数器用于减小当CPU检测到预先确定数量的计数值而被唤醒时整个系统的电流。

外围模块布局

字操作外围存储器			
看门狗	看门狗/定时器控制	WDTCTL	0120h
定时器 Timer1-A5	Timer_A1中断向量	TA1IV	011Eh
	Timer_A1控制寄存器	TA1CTL	0180h
	捕获/比较控制寄存器0	CCTL0	0182h
	捕获/比较控制寄存器1	CCTL1	0184h
	捕获/比较控制寄存器2	CCTL2	0186h
	捕获/比较控制寄存器3	CCTL3	0188h
	捕获/比较控制寄存器4	CCTL4	018Ah
	保留	-	018Ch
	保留	-	018Eh
	Timer_A1寄存器	TA1R	0190h
	捕获/比较寄存器0	CCR0	0192h
	捕获/比较寄存器1	CCR1	0194h
	捕获/比较寄存器2	CCR2	0196h
	捕获/比较寄存器3	CCR3	0198h
	捕获/比较寄存器4	CCR4	019Ah
	保留	-	019Ch
	保留	-	019Eh
定时器 TTimer0_A3	Timer_A0中断向量	TA0IV	012Eh
	Timer_A0控制寄存器	TA0CTL	0160h
	捕获/比较控制寄存器0	CCTL0	0162h
	捕获/比较控制寄存器1	CCTL1	0164h
	捕获/比较控制寄存器2	CCTL2	0166h
	保留	-	0168h
	保留	-	016Ah
	保留	-	016Ch
	保留	-	016Eh
	Timer_A0寄存器	TA0R	0170h
	捕获/比较寄存器0	CCR0	0172h
	捕获/比较寄存器1	CCR1	0174h
	捕获/比较寄存器2	CCR2	0176h
	保留	-	0178h
	保留	-	017Ah
	保留	-	017Ch
	保留	-	017Eh
FLASH	FLASH控制存储器3	FCTL3	012Ch
	FLASH控制存储器2	FCTL2	012Ah
	FLASH控制存储器1	FCTL1	0128h

SCAN-I/F	SIF, 时序状态机	SIFTSM23	01Eeh
	.	.	.
	SIF, 时序状态机	SIFTSM0	01C0h
	SIF, 控制寄存器5	SIFCTL5	01BEh
	SIF, 控制寄存器4	SIFCTL4	01BCh
	SIF, 控制寄存器3	SIFCTL3	01BAh
	SIF, 控制寄存器2	SIFCTL2	01B8h
	SIF, 控制寄存器1	SIFCTL1	01B6h
	SIF, 处理状态机	SIFTPSMV	01B4h
SIF, 计数器CNT1/2	SIFCNT	01B2h	
LCD	LCD存储器20	LCDM20	0A4h

	LCD存储器16	LCDM16	0A0h
	LCD存储器15	LCDM15	09Fh

LCD存储器1	LCDM1	091h	
LCD控制和模式寄存器	LCDCCTL	090h	
比较器A	比较器A端口关闭	CAPD	05Bh
	比较器A控制寄存器2	CACTL2	05Ah
	比较器A控制寄存器1	CACTL1	059h
上电复位, 供电电源管理	SVS控制寄存器, 由上电复位信号复位	SVSCTL	056h
系统时钟FLL+	FLL+控制寄存器1	FLL+CTL1	054h
	FLL+控制寄存器0	FLL+CTL0	053h
	系统时钟频率控制寄存器	SCFQCTL	052h
	系统时钟频率集成器	SCFI1	051h
	系统时钟频率集成器	SCFI0	050h
基本定时器1	BT计数器2	BTCNT2	047h
	BT计数器1	BTCNT1	046h
	BT控制寄存器	BTCTL	040h
端口P6	端口P6选择寄存器	P6SEL	037h
	端口P6方向寄存器	P6DIR	036h
	端口P6输出寄存器	P6OUT	035h
	端口P6输入寄存器	P6IN	034h
端口P5	端口P5选择寄存器	P5SEL	033h
	端口P5方向寄存器	P5DIR	032h
	端口P5输出寄存器	P5OUT	031h
	端口P5输入寄存器	P5IN	030h
端口P4	端口P4选择寄存器	P4SEL	01Fh
	端口P4方向寄存器	P4DIR	01Eh
	端口P4输出寄存器	P4OUT	01Dh
	端口P4输入寄存器	P4IN	01Ch
端口P3	端口P3选择寄存器	P3SEL	01Bh
	端口P3方向寄存器	P3DIR	01Ah
	端口P3输出寄存器	P3OUT	019h
	端口P3输入寄存器	P3IN	018h

端口P2	端口P2选择寄存器	P2SEL	02Eh
	端口P2中断使能寄存器	P2IE	02Dh
	端口P2中断沿选择寄存器	P2IES	02Ch
	端口P2中断标志寄存器	P2IFG	02Bh
	端口P2方向寄存器	P2DIR	02Ah
	端口P2输出寄存器	P2OUT	029h
	端口P2输入寄存器	P2IN	028h
端口P1	端口P1选择寄存器	P1SEL	026h
	端口P1中断使能寄存器	P1IE	025h
	端口P1中断沿选择寄存器	P1IES	024h
	端口P1中断标志寄存器	P1IFG	023h
	端口P1方向寄存器	P1DIR	022h
	端口P1输出寄存器	P1OUT	021h
	端口P1输入寄存器	P1IN	020h
特殊功能寄存器	SFR模块使能寄存器2	ME2	005h
	SFR模块使能寄存器1	ME1	004h
	SFR中断标志寄存器2	IFG2	003h
	SFR中断标志寄存器1	IFG1	002h
	SFR中断使能寄存器2	IE2	001h
	SFR中断使能寄存器1	IE1	000h

最大绝对额定值

作用于 Vcc 到 Vss 的电压.....-0.3V 到 4.1V

作用于任何引脚的电压（相对于 Vss）.....-0.3V 到 Vcc + 0.3V

芯片终端的二极管电流..... ± 2mA

储存温度，Tstg（未编程芯片）.....-55 到 150

储存温度，Tstg（已编程芯片）.....-40 到 85

超过最大绝对额定值中列出的条件可能引起芯片永久性的损坏。这些只是额定的极限，并不代表芯片在超出“推荐运行条件”之外的条件下芯片能够正常运行。在一段时期内暴露在最大绝对额定值将影响芯片的可靠性。

注意：所有电压以地为参考。

推荐运行条件

PARAMETER		MIN	NOM	MAX	UNITS
Supply voltage during program execution, SVS disabled V_{CC} ($AV_{CC} = DV_{CC} = V_{CC}$)	MSP430xW42x	1.8		3.6	V
Supply voltage during program execution, SVS enabled (see Note 1), V_{CC} ($AV_{CC} = DV_{CC} = V_{CC}$)	MSP430xW42x	2.2		3.6	V
Supply voltage during programming flash memory, V_{CC} ($AV_{CC} = DV_{CC} = V_{CC}$)	MSP430FW42x	2.7		3.6	V
Supply voltage, V_{SS} ($AV_{SS} = DV_{SS} = V_{SS}$)		0		0	V
Operating free-air temperature range, T_A	MSP430xW42x	-40		85	°C
LFXT1 crystal frequency, $f_{(LFXT1)}$ (see Note 2)	LF selected, XTS_FLL=0 Watch crystal		32768		Hz
	XT1 selected, XTS_FLL=1 Ceramic resonator	450		8000	kHz
	XT1 selected, XTS_FLL=1 Crystal	1000		8000	kHz
Processor frequency (signal MCLK), $f_{(System)}$	$V_{CC} = 1.8$ V	DC		4.15	MHz
	$V_{CC} = 3.6$ V	DC		8	
Low-level input voltage (TCK, TMS, TDI/TCLK, \overline{RST}/NMI), V_{IL} (excluding XIN)	$V_{CC} = 2.2$ V/3 V	V_{SS}		$V_{SS}+0.6$	V
High-level input voltage (TCK, TMS, TDI/TCLK, \overline{RST}/NMI), V_{IH} (excluding XIN)	$V_{CC} = 2.2$ V/3 V	$0.8 \times V_{CC}$		V_{CC}	V

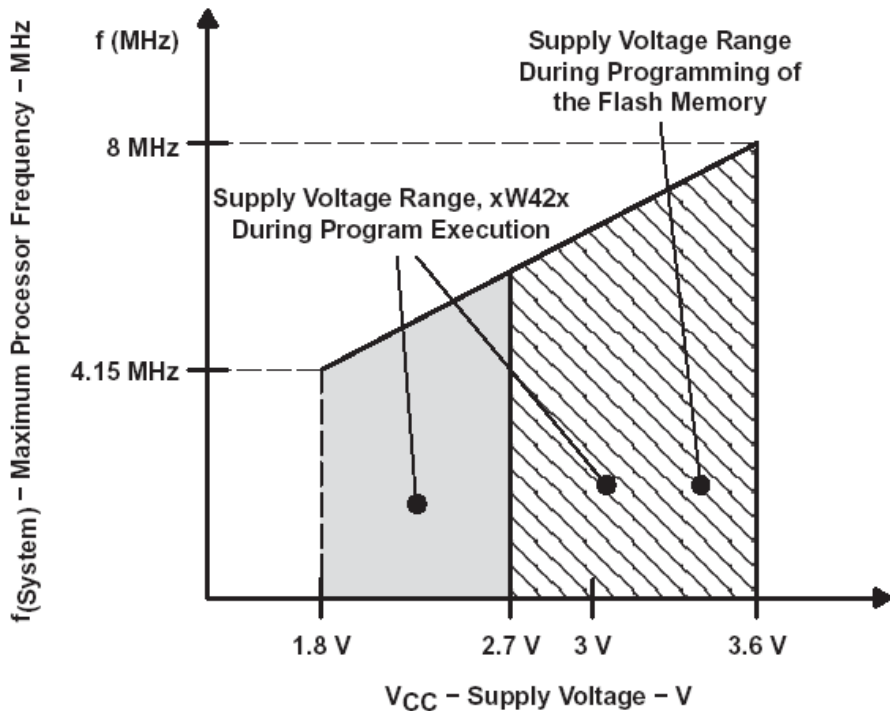


图 7 频率和供电电压

在推荐的供电电压和运行温度范围内的电气特性 (除非另有说明)
 除外部电流外的供电电流 (到 Vcc) (f (system) = 1MHz)

PARAMETER		TEST CONDITIONS	MIN	NOM	MAX	UNIT
I _(AM)	Active mode, f _(MCLK) = f _(SMCLK) = 1 MHz, f _(ACLK) = 32,768 Hz, XTS_FLL = 0 (FW42x: Program executes in flash)	T _A = -40°C to 85°C V _{CC} = 2.2 V		200	250	μA
		V _{CC} = 3 V		300	350	
I _(LPM0)	Low-power mode, (LPM0) f _(MCLK) = f _(SMCLK) = 1 MHz, f _(ACLK) = 32,768 Hz, XTS_FLL = 0 FN_8=FN_4=FN_3=FN_2=0	T _A = -40°C to 85°C V _{CC} = 2.2 V		57	70	μA
		V _{CC} = 3 V		92	100	
I _(LPM2)	Low-power mode, (LPM2)	T _A = -40°C to 85°C V _{CC} = 2.2 V		11	14	μA
		V _{CC} = 3 V		17	22	
I _(LPM3)	Low-power mode, (LPM3) (see Note 2)	T _A = -40°C	V _{CC} = 2.2 V	0.95	1.4	μA
		T _A = -10°C		0.8	1.3	
		T _A = 25°C		0.7	1.2	
		T _A = 60°C		0.95	1.4	
		T _A = 85°C		1.6	2.3	
		T _A = -40°C	V _{CC} = 3 V	1.1	1.7	
		T _A = -10°C		1.0	1.6	
		T _A = 25°C		0.9	1.5	
		T _A = 60°C		1.1	1.7	
		T _A = 85°C		2.0	2.6	
I _(LPM4)	Low-power mode, (LPM4)	T _A = -40°C	V _{CC} = 2.2 V/3 V	0.1	0.5	μA
		T _A = 25°C		0.1	0.5	
		T _A = 85°C		0.8	2.5	

活动模式电流消耗相对于系统频率, F 版本

$$I_{AM} = I_{AM}[1 \text{ MHz}] \times f_{\text{system}} [\text{MHz}]$$

活动模式电流消耗相对于供电电压, F 版本

$$I_{AM} = I_{AM}[3 \text{ V}] + 140 \mu\text{A/V} \times (V_{CC} - 3 \text{ V})$$

施密特触发器输入端口 P1 到 P6 ; RST/NMI; JTAG: TCK, TMS, TDI, TDO

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V _{IT+}	Positive-going input threshold voltage	V _{CC} = 2.2 V	1.1		1.5	V
		V _{CC} = 3 V	1.5		1.9	
V _{IT-}	Negative-going input threshold voltage	V _{CC} = 2.2 V	0.4		0.9	V
		V _{CC} = 3 V	0.9		1.3	
V _{hys}	Input voltage hysteresis (V _{IT+} - V _{IT-})	V _{CC} = 2.2 V	0.3		1.1	V
		V _{CC} = 3 V	0.45		1	

输入 P_{x.x}, T_{Ax.x}

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	TYP	MAX	UNIT
t _(int)	External interrupt timing	Port P1, P2: P1.x to P2.x, External trigger signal for the interrupt flag, (see Note 1)	2.2 V/3 V	1.5			cycle
			2.2 V	62			ns
			3 V	50			
t _(cap)	Timer_A, capture timing	T _{Ax.x}	2.2 V	62			ns
			3 V	50			
f _(TAext)	Timer_A clock frequency externally applied to pin	T _{Ax} CLK, INCLK t _(H) = t _(L)	2.2 V			8	MHz
			3 V			10	
f _(TAint)	Timer_A clock frequency	SMCLK or ACLK signal selected	2.2 V			8	MHz
			3 V			10	

漏电流

PARAMETER		TEST CONDITIONS			MIN	NOM	MAX	UNIT
$I_{kg}(P1.x)$	Leakage current	Port P1	Port 1: $V_{(P1.x)}$ (see Note 2)	$V_{CC} = 2.2 V/3 V$			± 50	nA
$I_{kg}(P6.x)$	Leakage current	Port P6	Port 6: $V_{(P6.x)}$ (see Note 2)	$V_{CC} = 2.2 V/3 V$			± 50	nA

输出 - 端口 P1, P2, P3, P4, P5, P6

PARAMETER		TEST CONDITIONS			MIN	TYP	MAX	UNIT
V_{OH}	High-level output voltage	$I_{OH(max)} = -1.5 mA, V_{CC} = 2.2 V, \text{ See Note 1}$			$V_{CC}-0.25$		V_{CC}	V
		$I_{OH(max)} = -6 mA, V_{CC} = 2.2 V, \text{ See Note 2}$			$V_{CC}-0.6$		V_{CC}	
		$I_{OH(max)} = -1.5 mA, V_{CC} = 3 V, \text{ See Note 1}$			$V_{CC}-0.25$		V_{CC}	
		$I_{OH(max)} = -6 mA, V_{CC} = 3 V, \text{ See Note 2}$			$V_{CC}-0.6$		V_{CC}	
V_{OL}	Low-level output voltage	$I_{OL(max)} = 1.5 mA, V_{CC} = 2.2 V, \text{ See Note 1}$			V_{SS}		$V_{SS}+0.25$	V
		$I_{OL(max)} = 6 mA, V_{CC} = 2.2 V, \text{ See Note 2}$			V_{SS}		$V_{SS}+0.6$	
		$I_{OL(max)} = 1.5 mA, V_{CC} = 3 V, \text{ See Note 1}$			V_{SS}		$V_{SS}+0.25$	
		$I_{OL(max)} = 6 mA, V_{CC} = 3 V, \text{ See Note 2}$			V_{SS}		$V_{SS}+0.6$	

NOTES: 1. The maximum total current, $I_{OH(max)}$ and $I_{OL(max)}$, for all outputs combined, should not exceed $\pm 12 mA$ to satisfy the maximum specified voltage drop.
 2. The maximum total current, $I_{OH(max)}$ and $I_{OL(max)}$, for all outputs combined, should not exceed $\pm 24 mA$ to satisfy the maximum specified voltage drop.

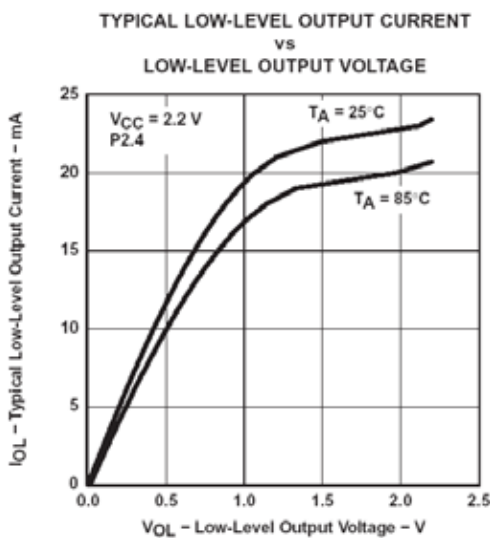


图 8

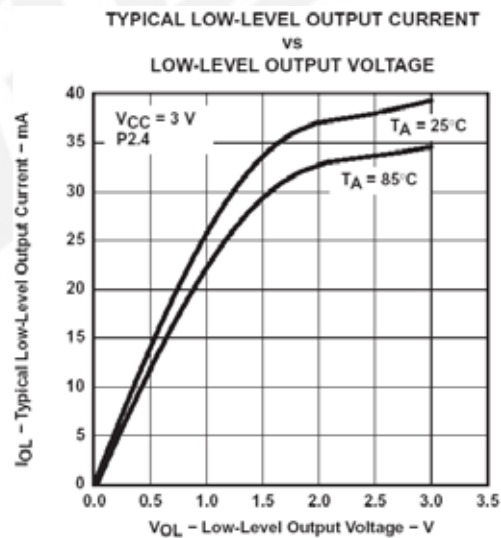


图 9

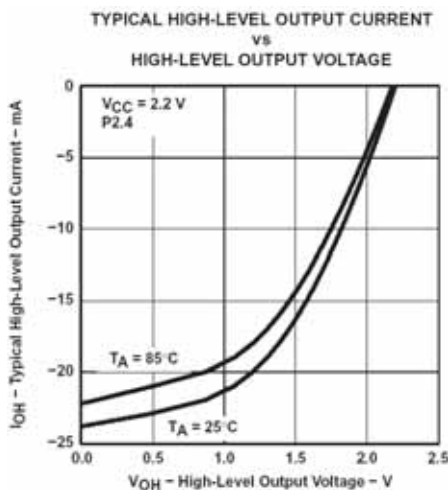


图 11

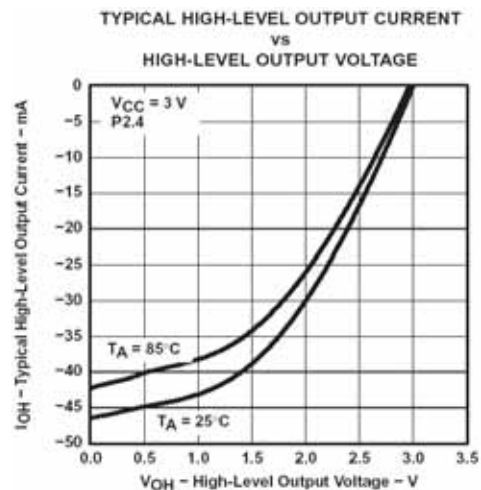


图 12

输出频率

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
f _{Px,y}	(1 ≤ x ≤ 6, 0 ≤ y ≤ 7)	C _L = 20 pF, I _L = ± 1.5mA	V _{CC} = 2.2 V	DC		10	MHz
			V _{CC} = 3 V	DC		12	
f _{ACLK} , f _{MCLK} , f _{SMCLK}	P1.1/TA0.0/MCLK, P1.5/TA0CLK/ACLK	C _L = 20 pF	V _{CC} = 2.2 V			8	MHz
			V _{CC} = 3 V			12	
t _{Xdc}	Duty cycle of output frequency	P1.5/TA0CLK/ACLK, C _L = 20 pF V _{CC} = 2.2 V / 3 V	f _{ACLK} = f _{LFXT1} = f _{XT1}	40%		60%	
			f _{ACLK} = f _{LFXT1} = f _{LF}	30%		70%	
		f _{ACLK} = f _{LFXT1} /n		50%			
		P1.1/TA0.0/MCLK, C _L = 20 pF, V _{CC} = 2.2 V / 3 V	f _{MCLK} = f _{LFXT1} /n	50%– 15 ns	50%		50%+ 15 ns
f _{MCLK} = f _{DCOCLK}	50%– 15 ns		50%		50%+ 15 ns		

唤醒 LPM3

PARAMETER		TEST CONDITIONS	MIN	NOM	MAX	UNIT
t _(LPM3)	Delay time	V _{CC} = 2.2 V/3 V			6	μs

RAM

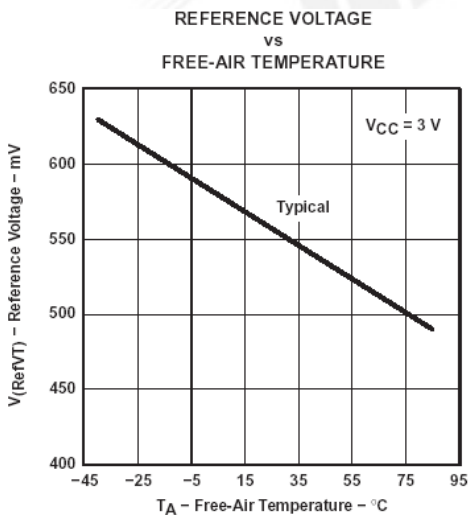
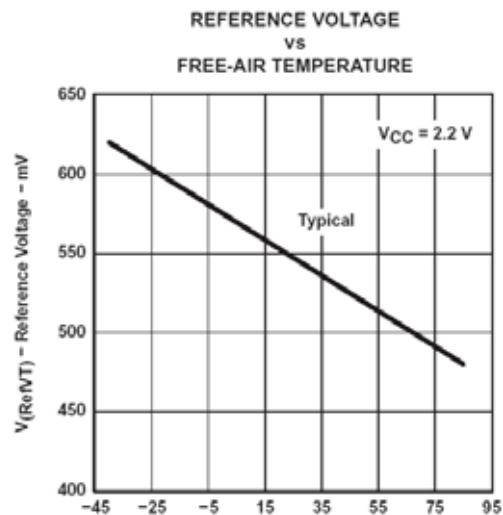
PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
VRAMh		CPU halted (see Note 1)	1.6			V

LCD

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
V ₍₃₃₎	Analog voltage	Voltage at P5.7/R33	V _{CC} = 3 V	2.5		V _{CC} + 0.2	V
V ₍₂₃₎		Voltage at P5.6/R23				(V ₍₃₃₎ - V ₍₀₃₎) × 2/3 + V ₍₀₃₎	
V ₍₁₃₎		Voltage at P5.5/R13				(V ₍₃₃₎ - V ₍₀₃₎) × 1/3 + V ₍₀₃₎	
V ₍₃₃₎ - V ₍₀₃₎		Voltage at R33/R03		2.5		V _{CC} + 0.2	
I _(R03)	Input leakage	R03 = V _{SS}	No load at all segment and common lines, V _{CC} = 3 V			±20	nA
I _(R13)		P5.5/R13 = V _{CC} /3				±20	
I _(R23)		P5.6/R23 = 2 × V _{CC} /3				±20	
V _(Sxx0)	Segment line voltage	I _(Sxx) = -3 μA, V _{CC} = 3 V		V ₍₀₃₎		V ₍₀₃₎ - 0.1	V
V _(Sxx1)				V ₍₁₃₎		V ₍₁₃₎ - 0.1	
V _(Sxx2)				V ₍₂₃₎		V ₍₂₃₎ - 0.1	
V _(Sxx3)				V ₍₃₃₎		V ₍₃₃₎ + 0.1	

比较器 A

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT		
$I_{(CC)}$	CAON = 1, CARSEL = 0, CAREF = 0	$V_{CC} = 2.2\text{ V}$	25	40	μA		
		$V_{CC} = 3\text{ V}$	45	60			
$I_{(\text{Ref ladder/Ref Diode})}$	CAON = 1, CARSEL = 0, CAREF = 1/2/3, No load at P1.6/CA0/TA1 and P1.7/CA1/TA2	$V_{CC} = 2.2\text{ V}$	30	50	μA		
		$V_{CC} = 3\text{ V}$	45	71			
$V_{(\text{Ref}025)}$	$\frac{\text{Voltage @ } 0.25 V_{CC} \text{ node}}{V_{CC}}$ PCA0 = 1, CARSEL = 1, CAREF = 1, No load at P1.6/CA0 and P1.7/CA1	$V_{CC} = 2.2\text{ V} / 3\text{ V}$	0.23	0.24	0.25		
$V_{(\text{Ref}050)}$	$\frac{\text{Voltage @ } 0.5 V_{CC} \text{ node}}{V_{CC}}$ PCA0 = 1, CARSEL = 1, CAREF = 2, No load at P1.6/CA0 and P1.7/CA1	$V_{CC} = 2.2\text{ V} / 3\text{ V}$	0.47	0.48	0.50		
$V_{(\text{RefVT})}$	(See Figure 6 and Figure 7)	PCA0 = 1, CARSEL = 1, CAREF = 3, No load at P1.6/CA0 and P1.7/CA1; $T_A = 85^\circ\text{C}$	$V_{CC} = 2.2\text{ V}$	390	480	540	mV
			$V_{CC} = 3.0\text{ V}$	400	490	550	
$V_{(IC)}$	Common-mode input voltage range	CAON = 1	$V_{CC} = 2.2\text{ V} / 3\text{ V}$	0	$V_{CC} - 1.0$	V	
$V_{(\text{offset})}$	Offset voltage	See Note 2	$V_{CC} = 2.2\text{ V} / 3\text{ V}$	-30	30	mV	
V_{hys}	Input hysteresis	CAON = 1	$V_{CC} = 2.2\text{ V} / 3\text{ V}$	0	0.7	1.4	mV
$t_{(\text{response LH})}$	$T_A = 25^\circ\text{C}$, Overdrive 10 mV, without filter: CAF = 0	$V_{CC} = 2.2\text{ V}$	130	210	300	ns	
		$V_{CC} = 3\text{ V}$	80	150	240		
	$T_A = 25^\circ\text{C}$, Overdrive 10 mV, with filter: CAF = 1	$V_{CC} = 2.2\text{ V}$	1.4	1.9	3.4	μs	
		$V_{CC} = 3\text{ V}$	0.9	1.5	2.6		
$t_{(\text{response HL})}$	$T_A = 25^\circ\text{C}$, Overdrive 10 mV, without filter: CAF = 0	$V_{CC} = 2.2\text{ V}$	130	210	300	ns	
		$V_{CC} = 3\text{ V}$	80	150	240		
	$T_A = 25^\circ\text{C}$, Overdrive 10 mV, with filter: CAF = 1	$V_{CC} = 2.2\text{ V}$	1.4	1.9	3.4	μs	
		$V_{CC} = 3.0\text{ V}$	0.9	1.5	2.6		


 图12 $V_{(\text{RefVT})}$ vs Temperature, $V_{CC} = 3\text{ V}$

 图13 $V_{(\text{RefVT})}$ vs Temperature, $V_{CC} = 2.2\text{ V}$

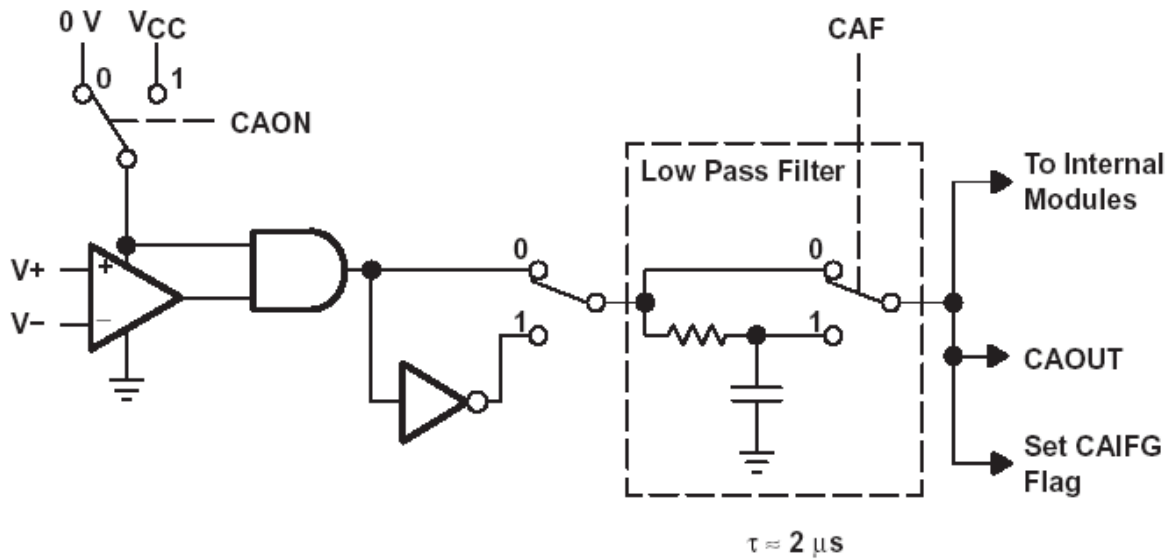


图 14 比较器 A 模块的结构框图

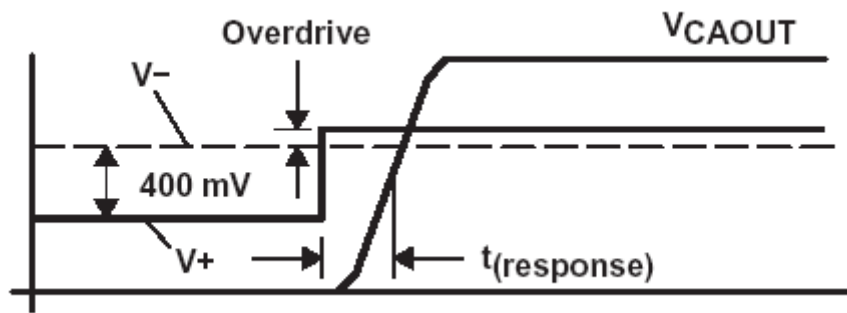


图 15 过驱动定义

POR/上电复位 (BOR)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_d(\text{BOR})$				2000	μs
$V_{\text{CC}}(\text{start})$	$dV_{\text{CC}}/dt \leq 3 \text{ V/s}$ (see Figure 10)		$0.7 \times V_{(\text{B_IT-})}$		V
$V_{(\text{B_IT-})}$	$dV_{\text{CC}}/dt \leq 3 \text{ V/s}$ (see Figure 10, Figure 11, Figure 12)			1.71	V
$V_{\text{hys}}(\text{B_IT-})$	$dV_{\text{CC}}/dt \leq 3 \text{ V/s}$ (see Figure 10)	70	130	180	mV
$t_{(\text{reset})}$	Pulse length needed at $\overline{\text{RST}}/\text{NMI}$ pin to accepted reset internally, $V_{\text{CC}} = 2.2 \text{ V}/3 \text{ V}$	2			μs

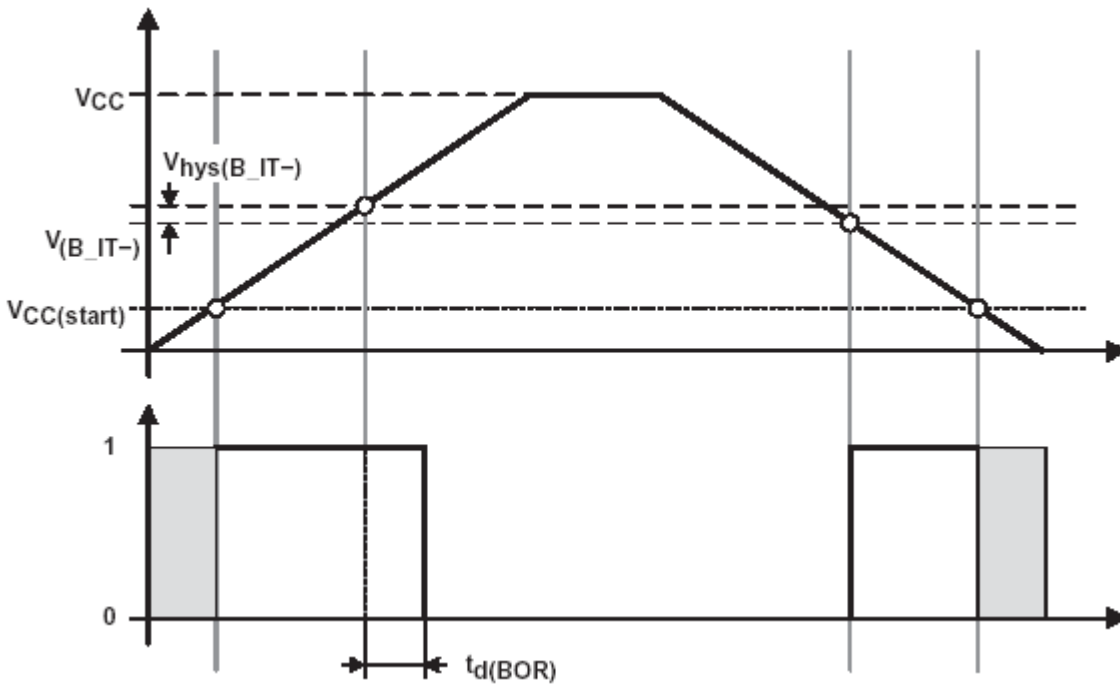
特性曲线


图 15 POR/上电复位与供电电压

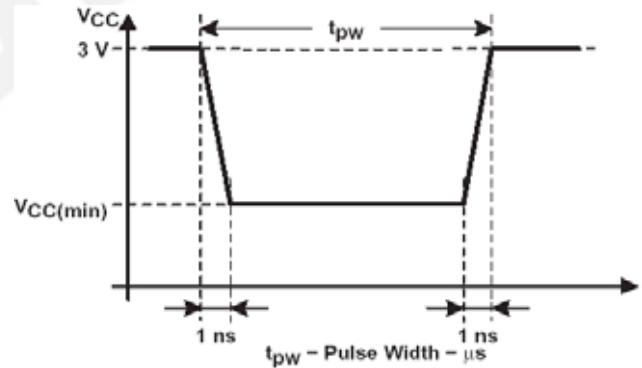
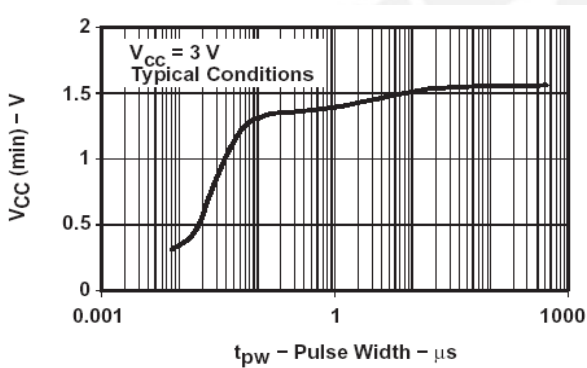


图 16 Vcc(min)上的方形电压降产生一个 POR/掉电信号

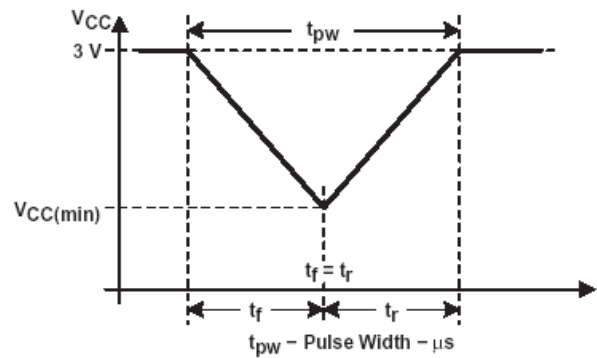
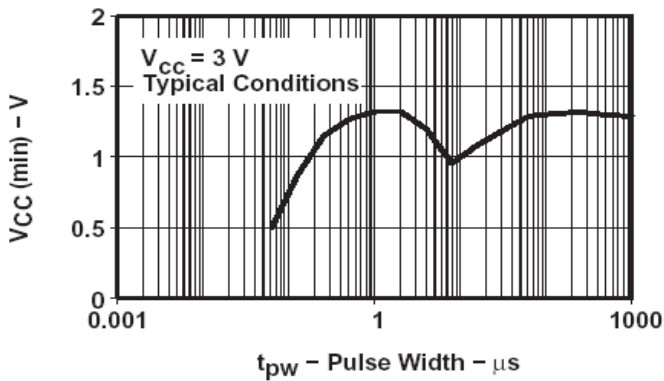


图 17 Vcc(min)上的三角形电压降产生一个 POR/掉电信号

SVS (供电电压管理/监测)

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT	
$t_{(SVSR)}$	$dV_{CC}/dt > 30 \text{ V/ms}$ (see Figure 13)	5		150	μs	
	$dV_{CC}/dt \leq 30 \text{ V/ms}$			2000	μs	
$t_{d(SV\text{Son})}$	SVSon, switch from VLD=0 to VLD \neq 0, $V_{CC} = 3 \text{ V}$	20		150	μs	
t_{settle}	VLD \neq 0†			12	μs	
$V_{(SV\text{Sstart})}$	VLD \neq 0, $V_{CC}/dt \leq 3 \text{ V/s}$ (see Figure 13)		1.55	1.7	V	
$V_{\text{hys}(B_IT-)}$	$V_{CC}/dt \leq 3 \text{ V/s}$ (see Figure 13)	VLD = 1	70	120	155	mV
		VLD = 2 .. 14	$V_{(SV\text{S_IT-})} \times 0.004$	$V_{(SV\text{S_IT-})} \times 0.008$		
$V_{(SV\text{S_IT-})}$	$V_{CC}/dt \leq 3 \text{ V/s}$ (see Figure 13), external voltage applied on SVSIN	VLD = 15	4.4		10.4	mV
$V_{(SV\text{S_IT-})}$	$V_{CC}/dt \leq 3 \text{ V/s}$ (see Figure 13)	VLD = 1	1.8	1.9	2.05	V
		VLD = 2	1.94	2.1	2.25	
		VLD = 3	2.05	2.2	2.37	
		VLD = 4	2.14	2.3	2.48	
		VLD = 5	2.24	2.4	2.6	
		VLD = 6	2.33	2.5	2.71	
		VLD = 7	2.46	2.65	2.86	
		VLD = 8	2.58	2.8	3	
		VLD = 9	2.69	2.9	3.13	
		VLD = 10	2.83	3.05	3.29	
		VLD = 11	2.94	3.2	3.42	
		VLD = 12	3.11	3.35	3.61†	
		VLD = 13	3.24	3.5	3.76†	
		VLD = 14	3.43	3.7†	3.99†	
$I_{CC(SV\text{S})}$ (see Note 1)	VLD \neq 0, $V_{CC} = 2.2 \text{ V}/3 \text{ V}$		10	15	μA	

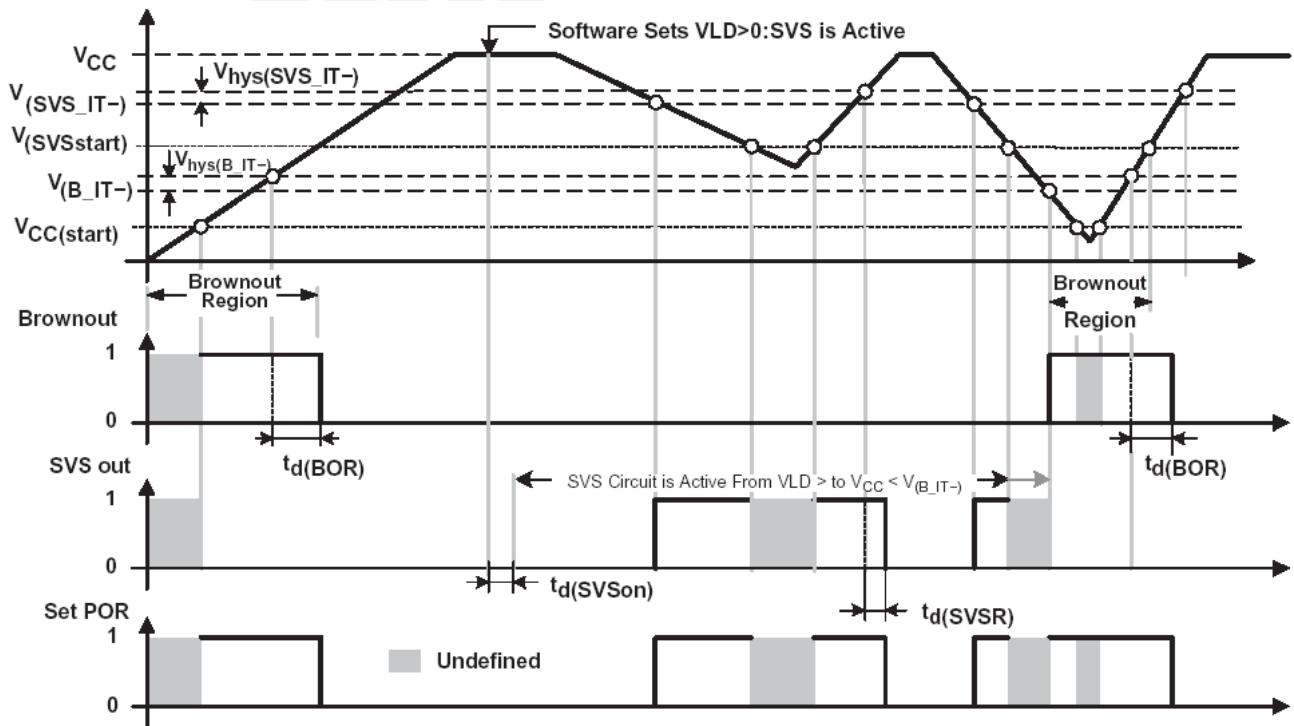
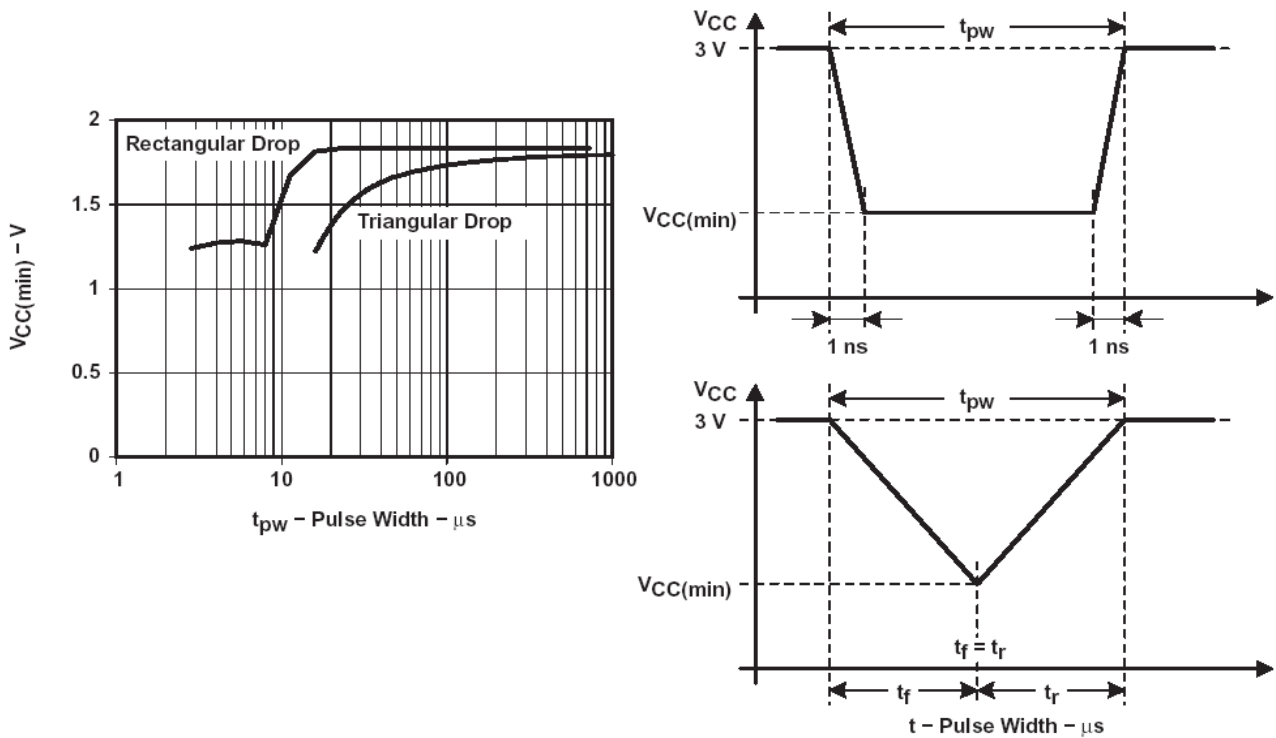


图 18 SVS 复位 (SVSR) 与供电电压


 图 19 $V_{CC(min)}$:产生一个 SVS 信号的方形电压降和三角形电压降 (VLD=1)

DCO

PARAMETER	TEST CONDITIONS	V_{CC}	MIN	TYP	MAX	UNIT
$f_{(DCOCLK)}$	$N_{(DCO)}=01E0h$, FN_8=FN_4=FN_3=FN_2=0, D = 2, DCOPLUS = 0	2.2 V/3 V		1		MHz
$f_{(DCO2)}$	FN_8=FN_4=FN_3=FN_2=0, DCOPLUS = 1	2.2 V	0.3	0.65	1.25	MHz
		3 V	0.3	0.7	1.3	
$f_{(DCO27)}$	FN_8=FN_4=FN_3=FN_2=0, DCOPLUS = 1, (see Note 1)	2.2 V	2.5	5.6	10.5	MHz
		3 V	2.7	6.1	11.3	
$f_{(DCO2)}$	FN_8=FN_4=FN_3=0, FN_2=1; DCOPLUS = 1	2.2 V	0.7	1.3	2.3	MHz
		3 V	0.8	1.5	2.5	
$f_{(DCO27)}$	FN_8=FN_4=FN_3=0, FN_2=1; DCOPLUS = 1, (see Note 1)	2.2 V	5.7	10.8	18	MHz
		3 V	6.5	12.1	20	
$f_{(DCO2)}$	FN_8=FN_4=0, FN_3=1, FN_2=x; DCOPLUS = 1	2.2 V	1.2	2	3	MHz
		3 V	1.3	2.2	3.5	
$f_{(DCO27)}$	FN_8=FN_4=0, FN_3=1, FN_2=x; DCOPLUS = 1, (see Note 1)	2.2 V	9	15.5	25	MHz
		3 V	10.3	17.9	28.5	
$f_{(DCO2)}$	FN_8=0, FN_4=1, FN_3=FN_2=x; DCOPLUS = 1	2.2 V	1.8	2.8	4.2	MHz
		3 V	2.1	3.4	5.2	
$f_{(DCO27)}$	FN_8=0, FN_4=1, FN_3=FN_2=x; DCOPLUS = 1, (see Note 1)	2.2 V	13.5	21.5	33	MHz
		3 V	16	26.6	41	
$f_{(DCO2)}$	FN_8=1, FN_4=FN_3=FN_2=x; DCOPLUS = 1	2.2 V	2.8	4.2	6.2	MHz
		3 V	4.2	6.3	9.2	
$f_{(DCO27)}$	FN_8=1, FN_4=FN_3=FN_2=x, DCOPLUS = 1, (see Note 1)	2.2 V	21	32	46	MHz
		3 V	30	46	70	
S_n	Step size between adjacent DCO taps: $S_n = f_{DCO}(Tap\ n+1) / f_{DCO}(Tap\ n)$, (see Figure 16 for taps 21 to 27)	$1 < TAP \leq 20$	1.06		1.11	
		TAP = 27	1.07		1.17	
D_t	Temperature drift, $N_{(DCO)} = 01E0h$, FN_8=FN_4=FN_3=FN_2=0 D = 2, DCOPLUS = 0, (see Note 2)	2.2 V	-0.2	-0.3	-0.4	%/ $^{\circ}C$
		3 V	-0.2	-0.3	-0.4	
D_V	Drift with V_{CC} variation, $N_{(DCO)} = 01E0h$, FN_8=FN_4=FN_3=FN_2=0 D = 2, DCOPLUS = 0 (see Note 2)		0	5	15	%/V

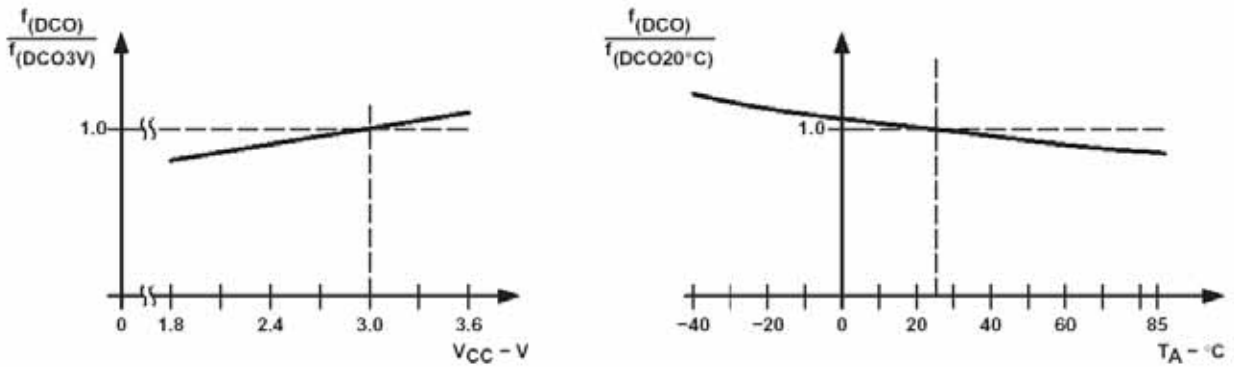


图 21 DCO 频率和供电电压 VCC 和环境温度

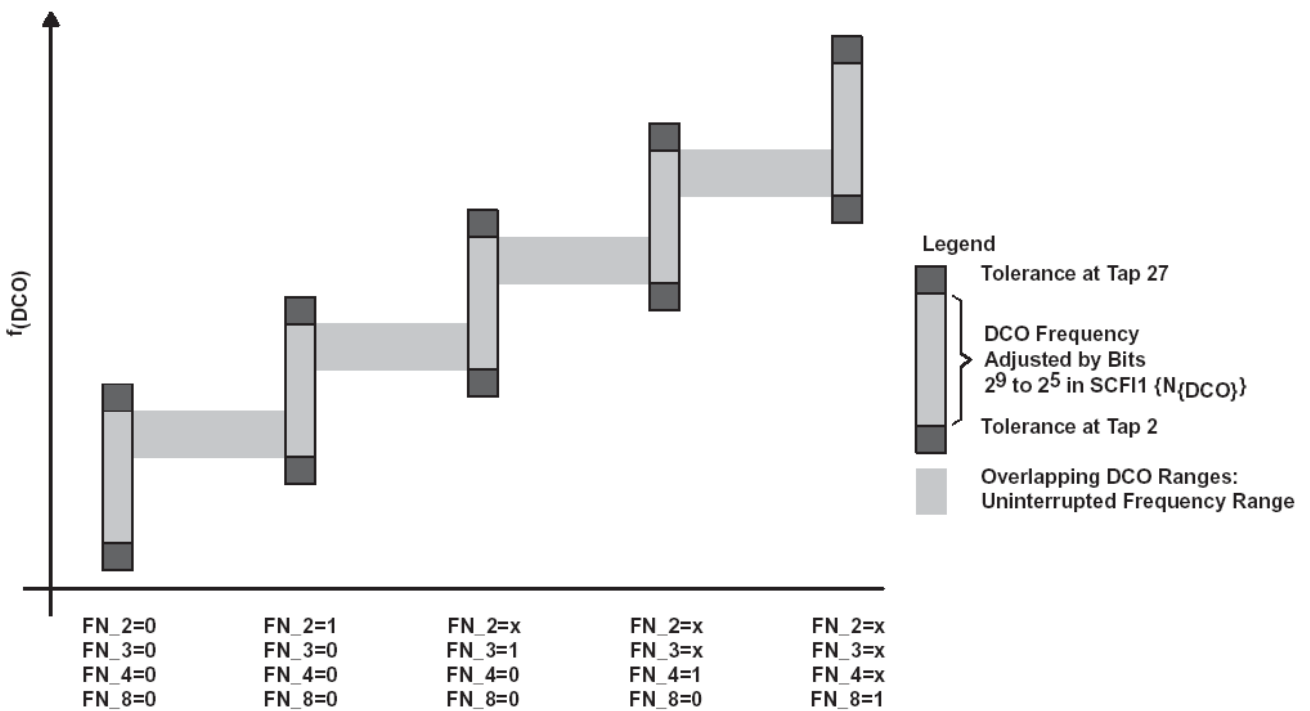
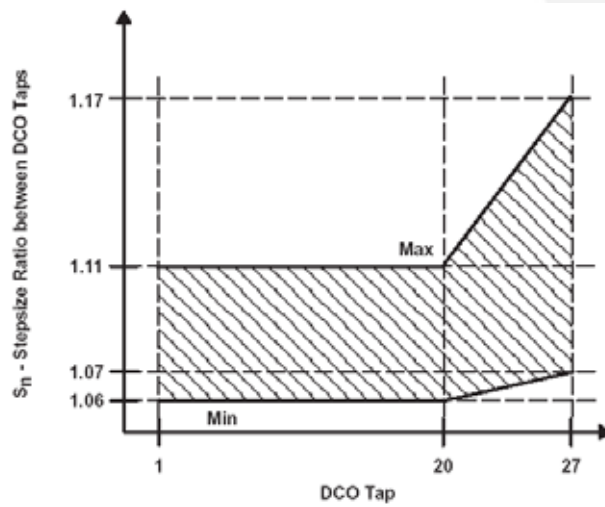


图 22.由 FN_x 位控制的五种交迭 DCO 范围

晶体振荡器，LFXT1 振荡器

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	TYP	MAX	UNIT
C _{XIN}	Integrated load capacitance	OSCCAP _x = 0h	2.2 V/3 V		0		pF
		OSCCAP _x = 1h	2.2 V/3 V		10		
		OSCCAP _x = 2h	2.2 V/3 V		14		
		OSCCAP _x = 3h	2.2 V/3 V		18		
C _{XOUT}	Integrated load capacitance	OSCCAP _x = 0h	2.2 V/3 V		0		pF
		OSCCAP _x = 1h	2.2 V/3 V		10		
		OSCCAP _x = 2h	2.2 V/3 V		14		
		OSCCAP _x = 3h	2.2 V/3 V		18		
V _{IL}	Input levels at XIN	see Note 3	2.2 V/3 V	V _{SS}		0.2×V _{CC}	V
V _{IH}				0.8×V _{CC}		V _{CC}	

SCAN-I/F，端口驱动，端口时序

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	TYP	MAX	UNIT
V _{OL} (SIFCH _x)	Voltage drop due to excitation transistor's on-resistance. (see Figure 18)	I(SIFCH _x) = 2.0 mA, SIFTEN = 1	3 V			0.3	V
V _{OH} (SIFCH _x) (see Note 1)	Voltage drop due to damping transistor's on-resistance. (see Figure 18)	I(SIFCH _x) = -200 μA, SIFTEN = 1	3 V			0.1	V
V _{OL} (SIFCOM)		I(SIFCOM) = 3 mA, SIFSH = 1	2.2 V/3 V	0		0.1	V
I(SIFCH _x (tri-state))		V(SIFCH _x) = 0 V to AV _{CC} , port function disabled, SIFSH = 1	3 V	-50		50	nA
Δt _d SIFCH : t _w Ex(tsm) - t _w SIFCH (see Note 2 and Figure 18)	Change of pulse width of internal signal SIFEX(tsm) to pulse width at pin SIFCH _x	I(SIFCH _x) = 3 mA, t _{Ex} (SIFCH _x) = 500 ns ±20%	2.2 V/3 V	-20		20	ns

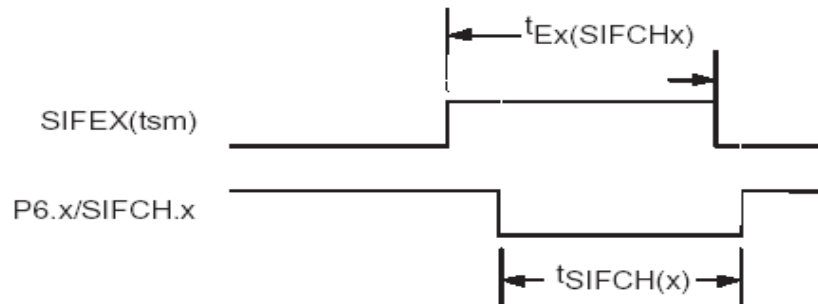
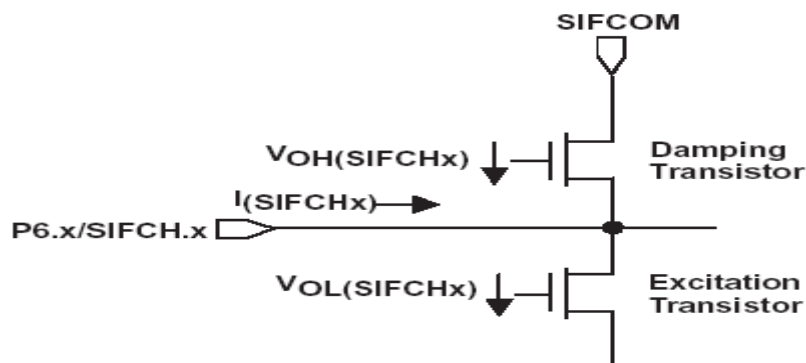


图 23 .P6.x/SIFCH.0 选定的 SIFCH.x 功能



SCAN-I/F,采样电容/Ri/时序

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	TYP	MAX	UNIT
C _{SHC} (SIFCHx)	Sample capacitance at SIFCHx pin	SIFEx(tsm) = 1, SIFSH = 1	2.2 V/3 V		5	7	pF
R _i (SIFCHx)	Serial input resistance at the SIFCHx pin	SIFEx(tsm) = 1, SIFSH = 1	2.2 V/3 V		1.5	3	kΩ
t _{Hold} (See Notes 6 and 2)	Maximum hold time	ΔV _{sample} < 3 mV		62			μs

SCAN-I/F,V_{CC}/2 发生器

PARAMETER	TEST CONDITIONS	V _{CC}	MIN	TYP	MAX	UNIT	
AV _{CC}	Analog supply voltage	AV _{CC} = DV _{CC} (connected together) AV _{SS} = DV _{SS} (connected together)		2.2		3.6	V
AI _{CC}	Scan IF V _{CC} /2 generator operating supply current into AV _{CC} terminal	C _L at SIFCOM pin = 470 nF ±20%, f _{refresh} (SIFCOM) = 32768 Hz	2.2 V		250	350	nA
			3 V		370	450	
f _{refresh} (SIFCOM)	V _{CC} /2 refresh frequency	Source clock = ACLK	2.2 V/3 V	30	32.768		kHz
V _i (SIFCOM)	Output voltage at pin SIFCOM	C _L at SIFCOM pin = 470 nF ±20%, I _L Load = 1μA		AV _{CC} /2 - .05	AV _{CC} /2	AV _{CC} /2 + .05	V
I _{source} (SIFCOM)	SIFCOM source current (see Note 2 and Figure 20)		2.2 V		-500		μA
			3 V		-900		
I _{sink} (SIFCOM)	SIFCOM sink current (see Note 2 and Figure 20)		2.2 V		150		nA
			3 V		180		
t _{recovery} (SIFCOM)	Time to recover from Voltage Drop on Load	I _{Load1} = I _{LOAD3} = 0 mA I _{Load2} = 3 mA, t _{load(on)} = 500nS, C _L at SIFCOM pin = 470 nF ±20%	2.2 V/3 V			30	μs
t _{on} (SIFCOM)	Time to reach 98% after V _{CC} /2 is switched on	C _L at SIFCOM pin = 470 nF ±20% f _{refresh} (SIFCOM) = 32768 Hz	2.2 V/3 V		1.7	6	ms
t _{V_{CC}Settle} (SIFCOM) (See Note 1)	Settling time to ±V _{CC} /512 (2 LSB) after AV _{CC} voltage change	SIFEN = 1, SIFVCC2 = 1, SIFSH = 0, AV _{CC} = AV _{CC} - 100 mV f _{refresh} (SIFCOM) = 32768 Hz	2.2 V/3 V		80		ms
		AV _{CC} = AV _{CC} + 100mV f _{refresh} (SIFCOM) = 32768 Hz	2.2 V/3 V		3		

- NOTES: 9. The settling time after an AV_{CC} voltage change is the time to for the voltage at pin SIFCOM to settle to AV_{CC}/2 ± 2LSB.
 10. The sink and source currents are a function of the voltage at the pin SIFCOM. The maximum currents are reached if SIFCOM is shorted to GND or V_{CC}. Due to the topology of the output section (refer to Figure 20) the V_{CC}/2 generator can source relatively large currents but can sink only small currents.

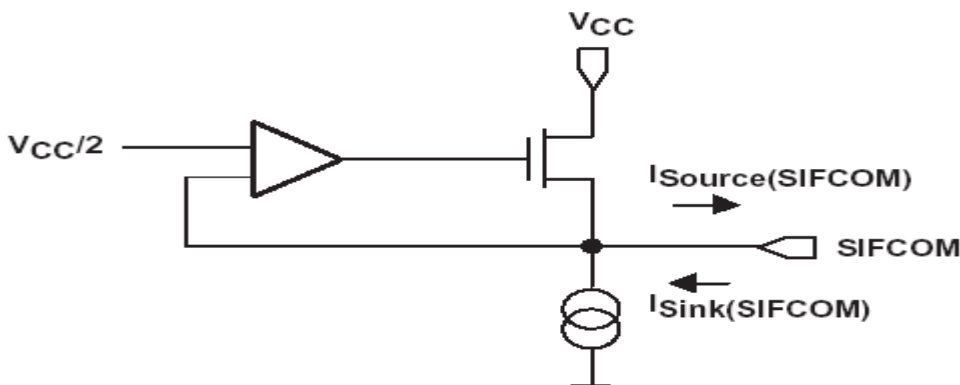


图 24 P6.X/SIHFCX SIHFCX 功能选择

SCAN-IF,10 位 DAC , (见 note11)

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	TYP	MAX	UNIT
AV _{CC}	Analog supply voltage	AV _{CC} = DV _{CC} (connected together) AV _{SS} = DV _{SS} (connected together)		2.2		3.6	V
AI _{CC}	Scan IF 10-bit DAC operating supply current into AV _{CC} terminal	C _L at SIFCOM pin = 470 nF ±20%, f _{refresh} (SIFCOM) = 32768 Hz	2.2 V		23	45	μA
			3 V		33	60	
Resolution				10			bit
INL	R _L = 1000 MΩ, C _L = 20 pF		2.2 V/3 V		±2	±5	LSB
DNL	R _L = 1000 MΩ, C _L = 20 pF		2.2 V/3 V			±1	LSB
E _{ZS}	Zero Scale Error		2.2 V/3 V			±10	mV
E _G	Gain Error		2.2 V/3 V			0.6	%
R _O	Output resistance				25	50	kΩ
t _{on} (SIFDAC)	On time after AV _{CC} of SIFDAC is switched on	V _{+SIFCA} - V _{SIFDAC} = ±6 mV	2.2 V/3 V			2.0	μs
t _{Settle} (SIFDAC)	Settling time	SIFDAC code = 1C0h → 240h V _{SIFDAC} (240h) - V _{+SIFCA} = +6 mV	2.2 V/3 V			2.0	μs
		SIFDAC code = 240h → 1C0h, V _{SIFDAC} (1C0h) - V _{+SIFCA} = -6 mV	2.2 V/3 V			2.0	μs

 NOTES: 11. The SIFDAC operates from AV_{CC} and SIFV_{SS}. All parameters are based on these references.

SCAN-IF,比较器 (见 note12)

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	TYP	MAX	UNIT
AV _{CC}	Analog supply voltage	AV _{CC} = DV _{CC} (connected together) AV _{SS} = DV _{SS} (connected together)		2.2		3.6	V
AI _{CC}	Scan IF comparator operating supply current into AV _{CC} terminal		2.2 V		25	35	μA
			3 V		35	50	
V _{IC}	Common Mode Input Voltage Range	(see Note 1)	2.2 V/3 V	0.9		AV _{CC} - 0.5	V
V _{Offset}	Input Offset Voltage		2.2 V/3 V			±30	mV
dV _{Offset} /dT	Temperature coefficient of V _{Offset}		2.2 V/3 V		10		μV/°C
dV _{Offset} /dV _{CC}	V _{Offset} supply voltage (V _{CC}) sensitivity		2.2 V/3 V		0.3		mV/V
V _{hys}	Input Voltage Hysteresis	V _{+terminal} = V _{-terminal} = 0.5 × V _{CC}	2.2V	0		5.0	mV
			3.0V	0		6.0	
t _{on} (SIFCA)	On time after SIFCA is switched on	V _{+SIFCA} - V _{SIFDAC} = +6 mV V _{+SIFCA} = 0.5 × AV _{CC}	2.2 V/3 V			2.0	us
t _{Settle} (SIFCA)	Settle time	V _{+SIFCA} - V _{SIFDAC} = -12 mV → 6 mV V _{+SIFCA} = 0.5 × AV _{CC}	2.2 V/3 V			2.0	us

NOTES: 12. The comparator output is reliable when at least one of the input signals is within the common mode input voltage range.

SCAN-IF,SIFCLK 的振荡器

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	TYP	MAX	UNIT
AV _{CC}	Analog supply voltage	AV _{CC} = DV _{CC} (connected together) AV _{SS} = DV _{SS} (connected together)		2.2		3.6	V
AI _{CC}	Scan IF oscillator operating supply current into AV _{CC} terminal		2.2 V			75	μA
			3 V			90	
f _{SIFCLKG} = 0	Scan IF oscillator at minimum setting	T _A =25°C, SIFCLKFQ=0000	SIFNOM = 0	1.8		3.2	MHz
			SIFNOM = 1	0.45		0.8	
f _{SIFCLKG} = 8	Scan IF oscillator at nominal setting	T _A =25°C, SIFCLKFQ=0000	SIFNOM = 0		4		
			SIFNOM = 1		1		
f _{SIFCLKG} = 15	Scan IF oscillator at maximum setting	T _A =25°C, SIFCLKFQ=0000	SIFNOM = 0	4.48		6.8	
			SIFNOM = 1	1.12		1.7	
t _{on} (SIFCLKG)	Settling time to full operation after V _{CC} is switched on		2.2 V/3 V	150		500	ns
S _(SIFCLK)	Frequency Change per ±1 SIFCLKFQ(SIFCTL5) step	$S_{(SIFCLK)} = f_{(SIFCLKFQ + 1)} / f_{(SIFCLKFQ)}$	2.2 V/3 V	1.01	1.05	1.18	Hz/Hz
D _t	Temperature Coefficient	SIFCLKFQ(SIFCTL5) = 8	2.2 V/3 V			0.35	%/°C
D _v	Frequency vs. supply voltage V _{CC} variation	SIFCLKFQ(SIFCTL5) = 8	2.2 V/3 V			2	%/V

FLASH 存储器

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	NOM	MAX	UNIT
V _{CC} (PGM/ERASE)	Program and Erase supply voltage			2.7		3.6	V
f _{FTG}	Flash Timing Generator frequency			257		476	kHz
I _{PGM}	Supply current from DV _{CC} during program		2.7 V/ 3.6 V		3	5	mA
I _{ERASE}	Supply current from DV _{CC} during erase		2.7 V/ 3.6 V		3	5	mA
t _{CPT}	Cumulative program time	see Note 1	2.7 V/ 3.6 V			4	ms
t _{CMERASE}	Cumulative mass erase time	see Note 2	2.7 V/ 3.6 V	200			ms
	Program/Erase endurance			10 ⁴	10 ⁵		cycles
t _{Retention}	Data retention duration	T _J = 25°C		100			years
t _{Word}	Word or byte program time	see Note 3			35		t _{FTG}
t _{Block, 0}	Block program time for 1 st byte or word				30		
t _{Block, 1-63}	Block program time for each additional byte or word				21		
t _{Block, End}	Block program end-sequence wait time				6		
t _{Mass Erase}	Mass erase time				5297		
t _{Seg Erase}	Segment erase time				4819		

注 3: 编程累计时间不能超过块写操作时间, 这些参数仅对块写操作是有用的。

JTAG 接口 F-驱动

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	NOM	MAX	UNIT
f _{TCK}	TCK input frequency	see Note 1	2.2 V	0		5	MHz
			3 V	0		10	MHz
R _{Internal}	Internal pull-up resistance on TMS, TCK, TDI/TCLK	see Note 2	2.2 V/ 3 V	25	60	90	kΩ

注 1: f_{TCK} 在模块模式选择为定时条件时可能受到限制。

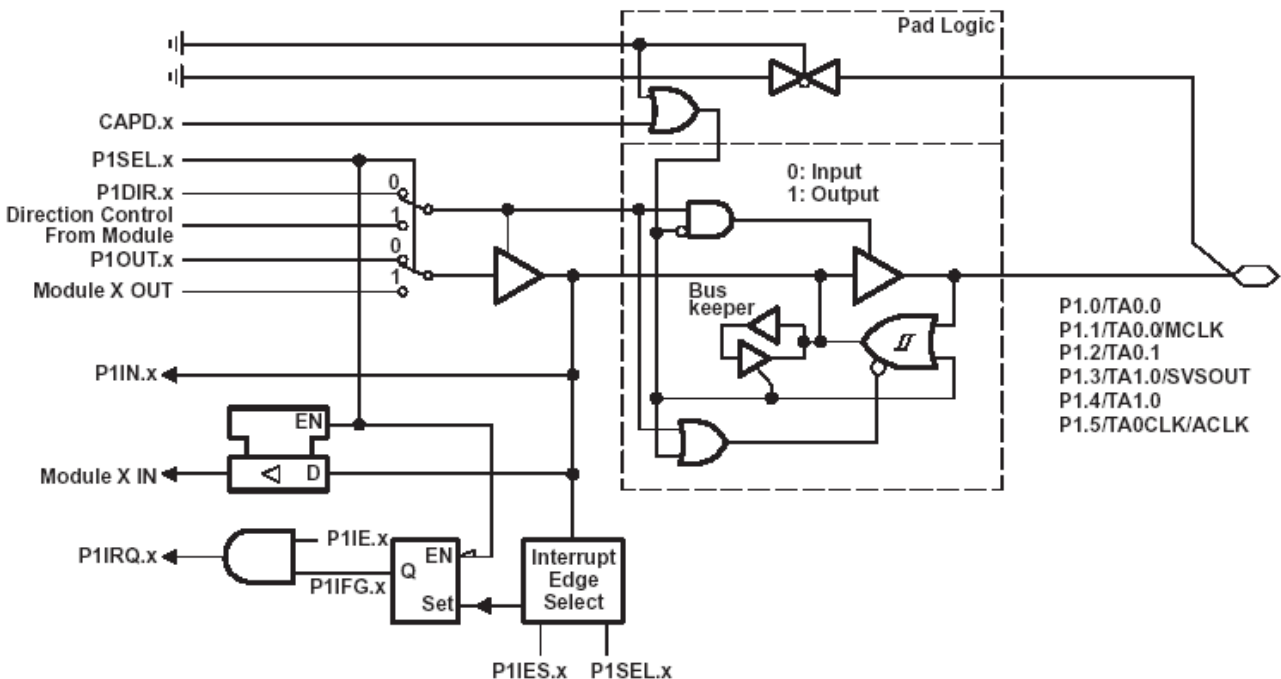
注 2:TMS, TDI/TCLK, and TCK 内嵌上拉电阻适用所有版本。

JTAG 接口 F-驱动，编程存储器和熔丝

PARAMETER		TEST CONDITIONS	V _{CC}	MIN	NOM	MAX	UNIT
V _{CC(FB)}	Supply voltage during fuse-blow condition	T _A = 25°C		2.5			V
V _{FB}	Voltage level on TDI/TCLK for fuse-blow			6		7	V
I _{FB}	Supply current into TDI/TCLK during fuse blow					100	mA
t _{FB}	Time to blow fuse					1	ms

输入输出电路

端口 P1, P1.0 到 P1.5, 带施密特触发器的输入/输出

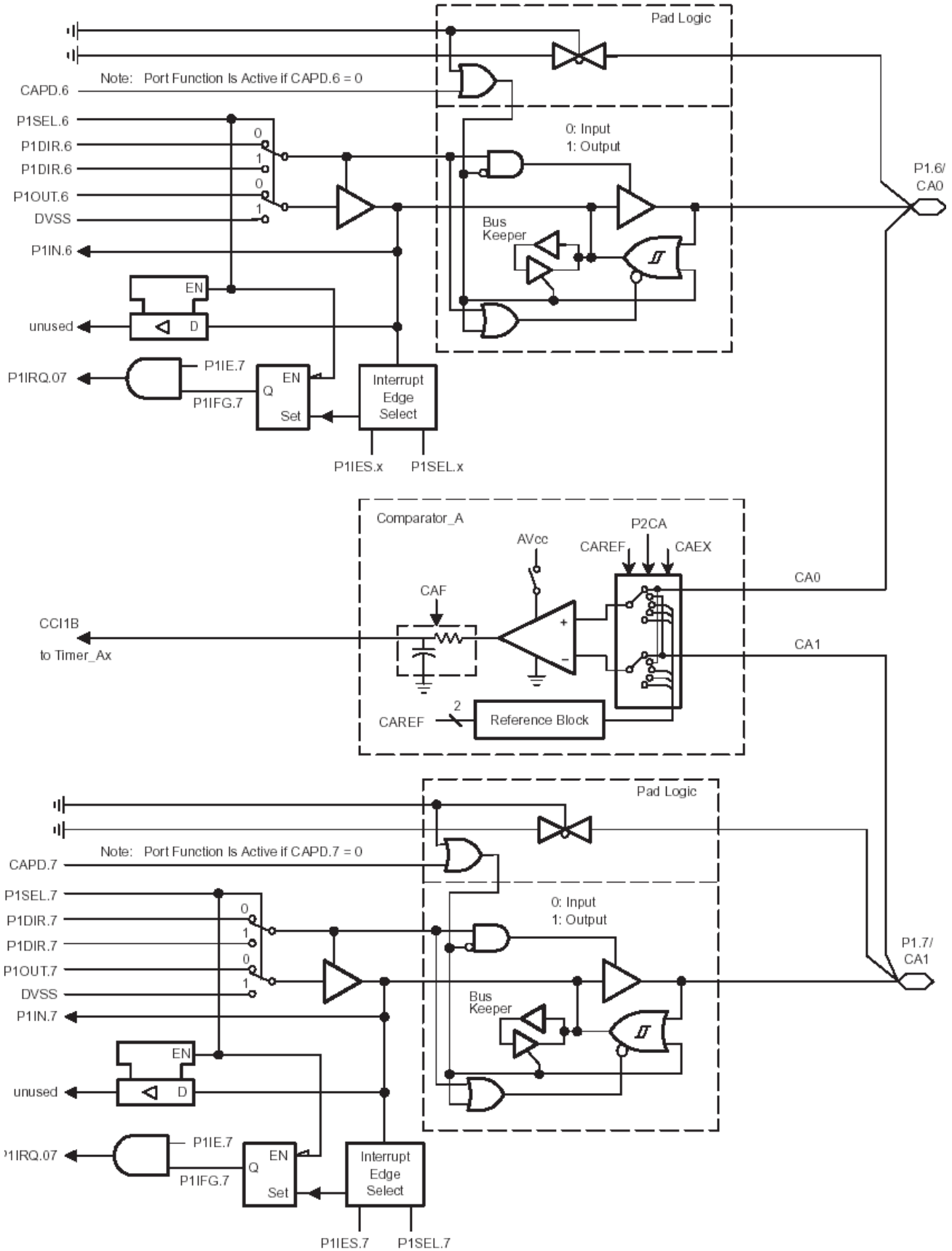


PnSEL.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnES.x
P1SEL.0	P1DIR.0	P1DIR.0	P1OUT.0	Out0 Sig.†	P1IN.0	CCI0A†	P1IE.0	P1IFG.0	P1ES.0
P1SEL.1	P1DIR.1	P1DIR.1	P1OUT.1	MCLK	P1IN.1	CCI0B†	P1IE.1	P1IFG.1	P1ES.1
P1SEL.2	P1DIR.2	P1DIR.2	P1OUT.2	Out1 Sig.†	P1IN.2	CCI1A†	P1IE.2	P1IFG.2	P1ES.2
P1SEL.3	P1DIR.3	P1DIR.3	P1OUT.3	SVSOUT	P1IN.3	CCI0B‡	P1IE.3	P1IFG.3	P1ES.3
P1SEL.4	P1DIR.4	P1DIR.4	P1OUT.4	Out0 Sig.‡	P1IN.4	CCI0A‡	P1IE.4	P1IFG.4	P1ES.4
P1SEL.5	P1DIR.5	P1DIR.5	P1OUT.5	ACLK	P1IN.5	T0ACLK†	P1IE.5	P1IFG.5	P1ES.5

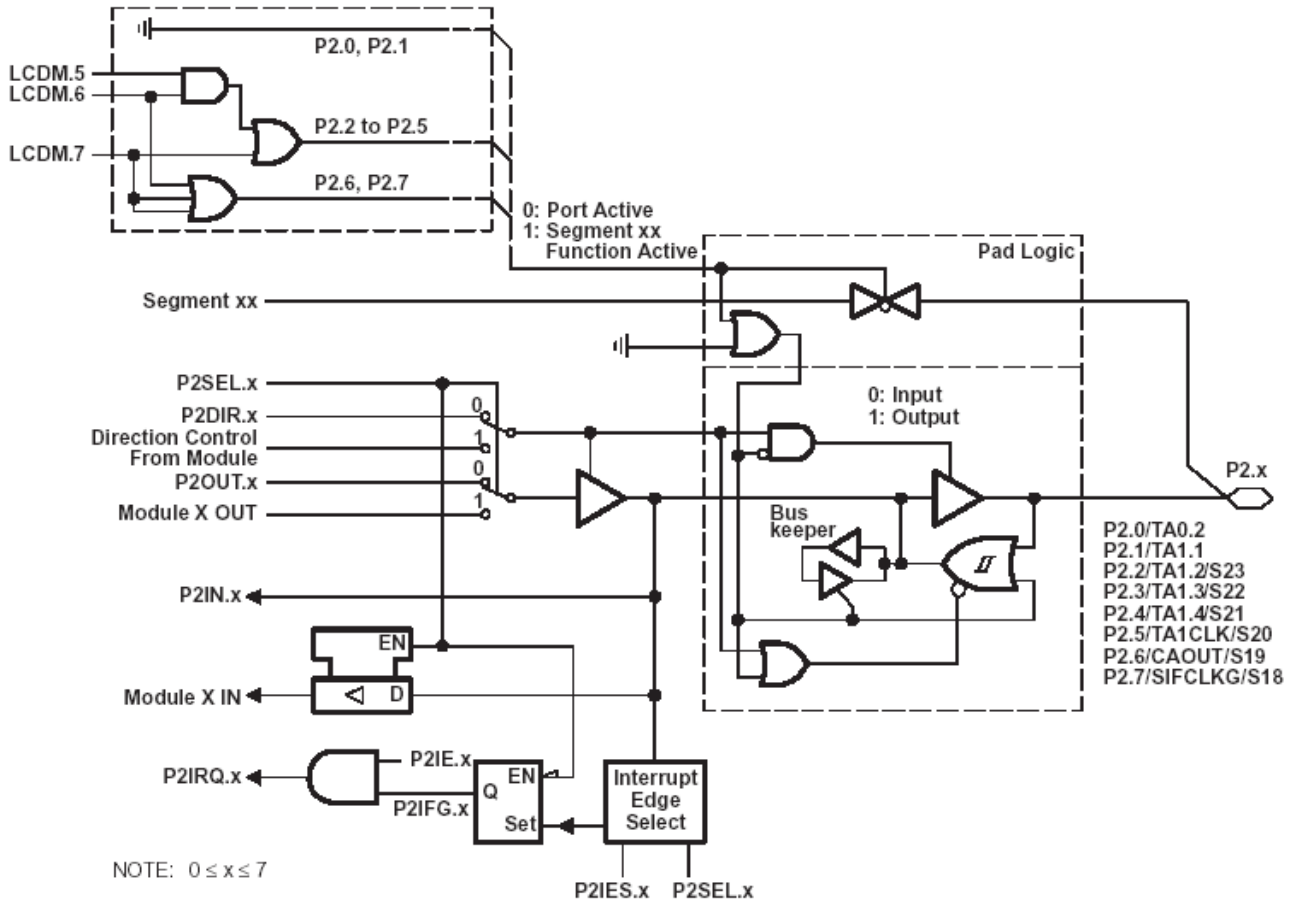
† Timer0_A

‡ Timer1_A

端口 P1 , P1.6 到 P1.7 , 带施密特触发器的输入/输出



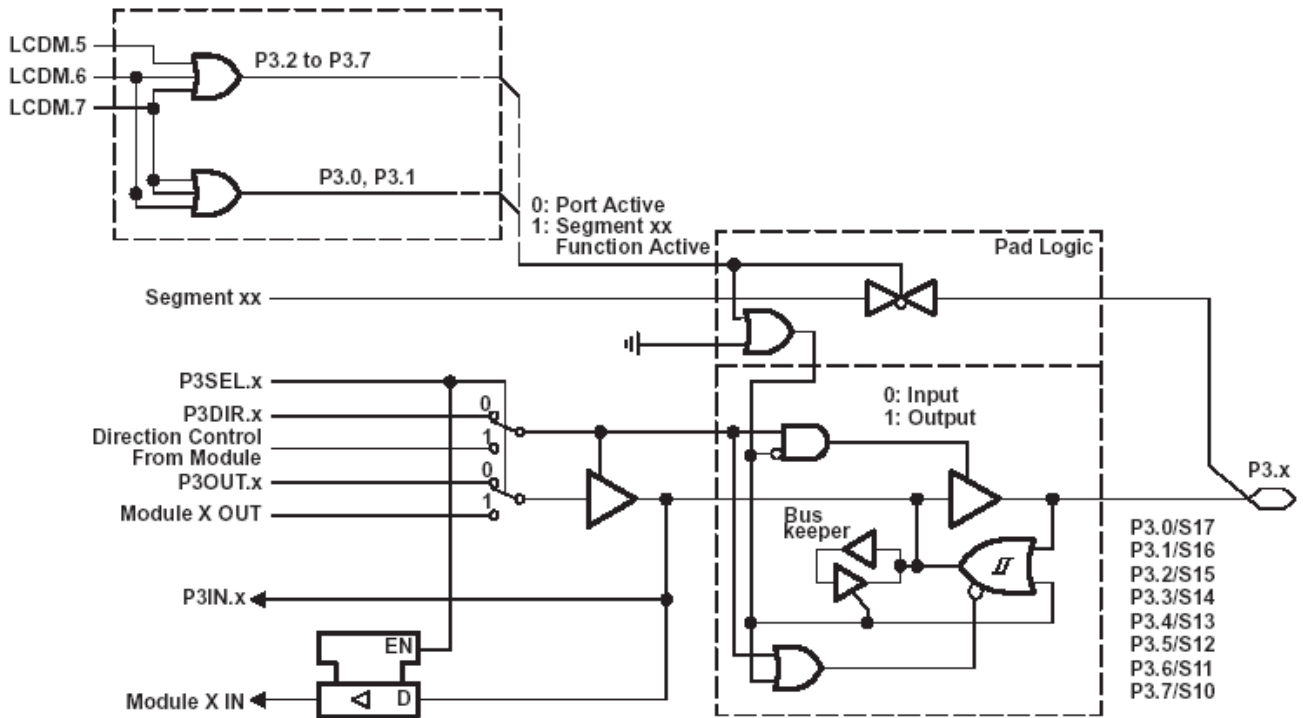
端口 P2 , P2.0 到 P2.7 , 带施密特触发器的输入/输出



PnSEL.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x
P2SEL.0	P2DIR.0	P2DIR.0	P2OUT.0	Out2 Sig.†	P2IN.0	CCI2A†	P2IE.0	P2IFG.0	P2IES.0
P2SEL.1	P2DIR.1	P2DIR.1	P2OUT.1	Out1 Sig.‡	P2IN.1	CCI1A‡	P2IE.1	P2IFG.1	P2IES.1
P2SEL.2	P2DIR.2	P2DIR.2	P2OUT.2	Out2 Sig.‡	P2IN.2	CCI2A‡	P2IE.2	P2IFG.2	P2IES.2
P2SEL.3	P2DIR.3	P2DIR.3	P2OUT.3	Out3 Sig.‡	P2IN.3	CCI3A‡	P2IE.3	P2IFG.3	P2IES.3
P2SEL.4	P2DIR.4	P2DIR.4	P2OUT.4	Out4 Sig.‡	P2IN.4	CCI4A‡	P2IE.4	P2IFG.4	P2IES.4
P2SEL.5	P2DIR.5	P2DIR.5	P2OUT.5	DVSS	P2IN.5	TA1CLK1‡	P2IE.5	P2IFG.5	P2IES.5
P2SEL.6	P2DIR.6	P2DIR.6	P2OUT.6	CAOUT	P2IN.6	Unused	P2IE.6	P2IFG.6	P2IES.6
P2SEL.7	P2DIR.7	P2DIR.7	P2OUT.7	SIFCLKG§	P2IN.7	Unused	P2IE.7	P2IFG.7	P2IES.7

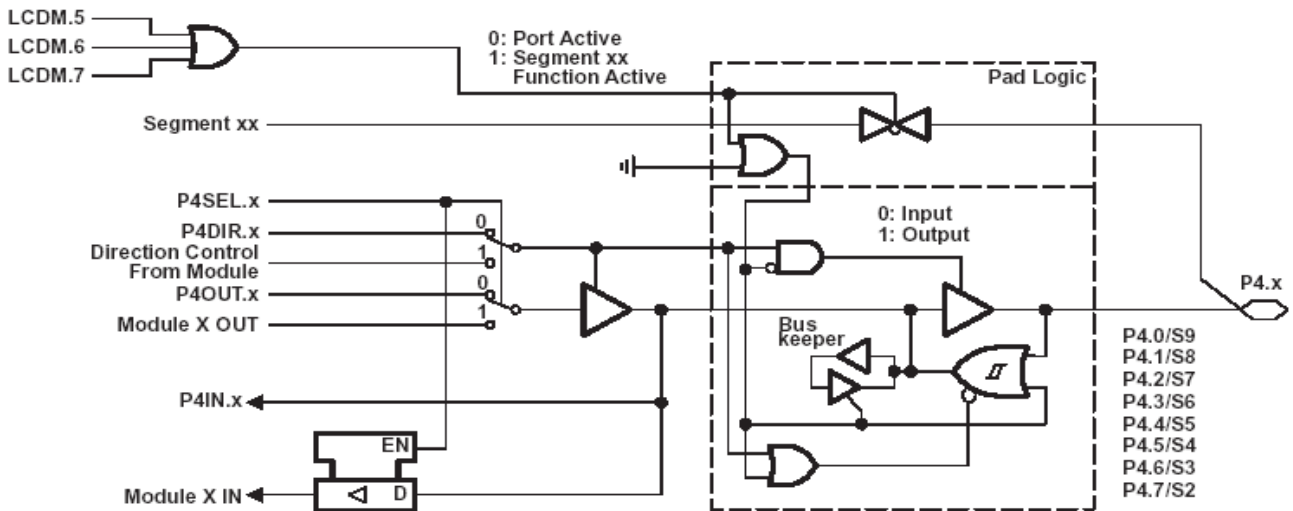
†Timer0_A
‡Timer1_A
§Scan IF

端口 P3 , P3.0 到 P3.7 , 带施密特触发器的输入/输出


 NOTE: $0 \leq x \leq 7$

PnSEL.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P3SEL.0	P3DIR.0	P3DIR.0	P3OUT.0	DVSS	P3IN.0	Unused
P3SEL.1	P3DIR.1	P3DIR.1	P3OUT.1	DVSS	P3IN.1	Unused
P3SEL.2	P3DIR.2	P3DIR.2	P3OUT.2	DVSS	P3IN.2	Unused
P3SEL.3	P3DIR.3	P3DIR.3	P3OUT.3	DVSS	P3IN.3	Unused
P3SEL.4	P3DIR.4	P3DIR.4	P3OUT.4	DVSS	P3IN.4	Unused
P3SEL.5	P3DIR.5	P3DIR.5	P3OUT.5	DVSS	P3IN.5	Unused
P3SEL.6	P3DIR.6	P3DIR.6	P3OUT.6	DVSS	P3IN.6	Unused
P3SEL.7	P3DIR.7	P3DIR.7	P3OUT.7	DVSS	P3IN.7	Unused

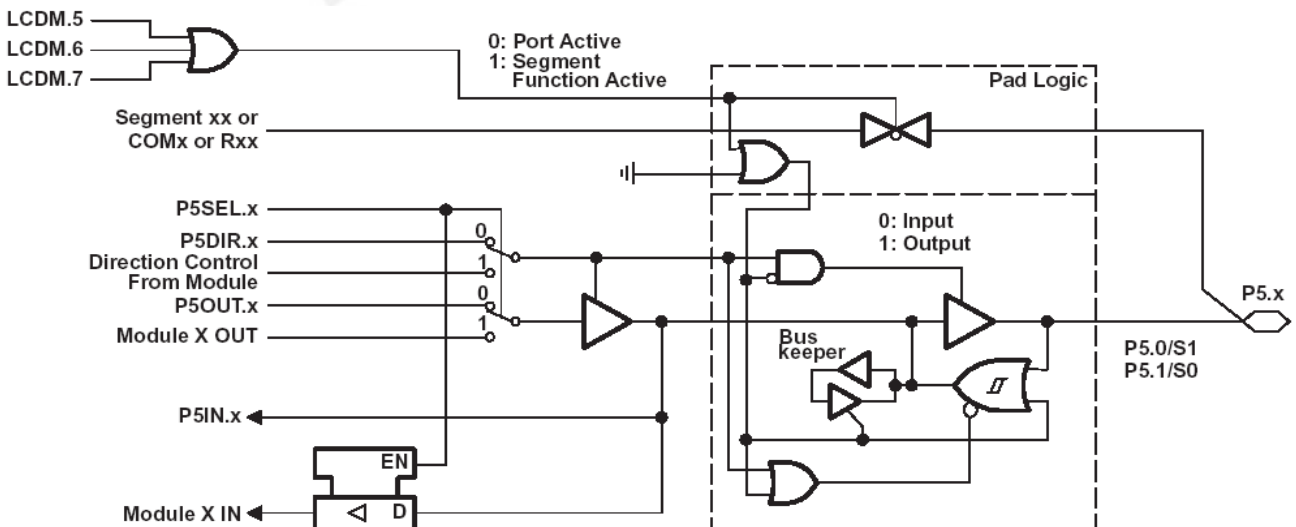
端口 P4 , P4.0 到 P4.7 , 带施密特触发器的输入/输出



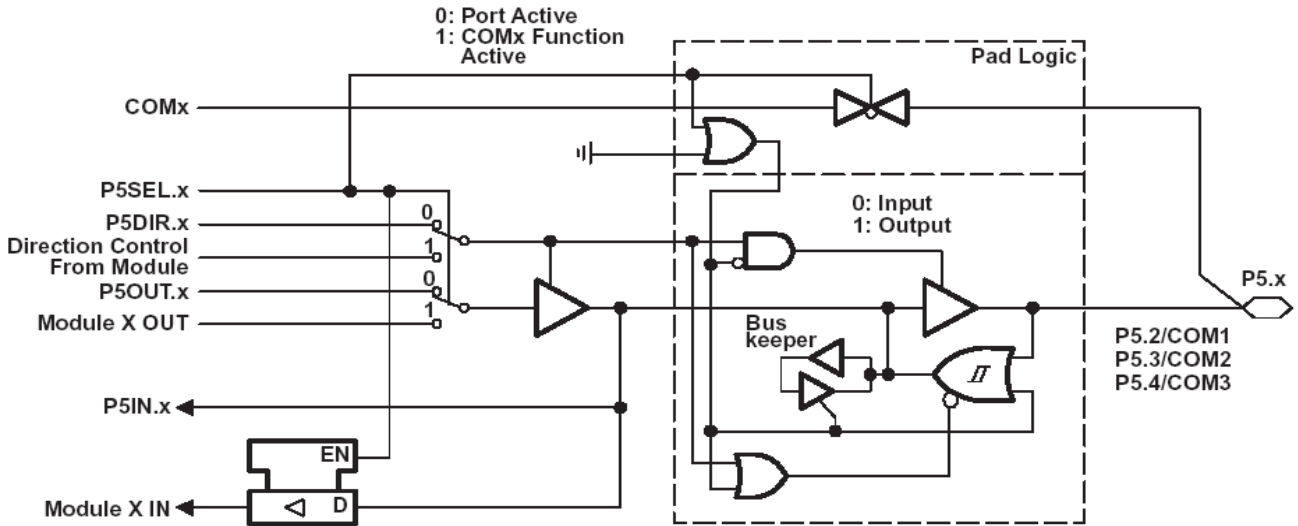
NOTE: $0 \leq x \leq 7$

PnSEL.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P4SEL.0	P4DIR.0	P4DIR.0	P4OUT.0	DVSS	P4IN.0	Unused
P4SEL.1	P4DIR.1	P4DIR.1	P4OUT.1	DVSS	P4IN.1	Unused
P4SEL.2	P4DIR.2	P4DIR.2	P4OUT.2	DVSS	P4IN.2	Unused
P4SEL.3	P4DIR.3	P4DIR.3	P4OUT.3	DVSS	P4IN.3	Unused
P4SEL.4	P4DIR.4	P4DIR.4	P4OUT.4	DVSS	P4IN.4	Unused
P4SEL.5	P4DIR.5	P4DIR.5	P4OUT.5	DVSS	P4IN.5	Unused
P4SEL.6	P4DIR.6	P4DIR.6	P4OUT.6	DVSS	P4IN.6	Unused
P4SEL.7	P4DIR.7	P4DIR.7	P4OUT.7	DVSS	P4IN.7	Unused

端口 P5 , P5.0,P5.1 , 带施密特触发器的输入/输出



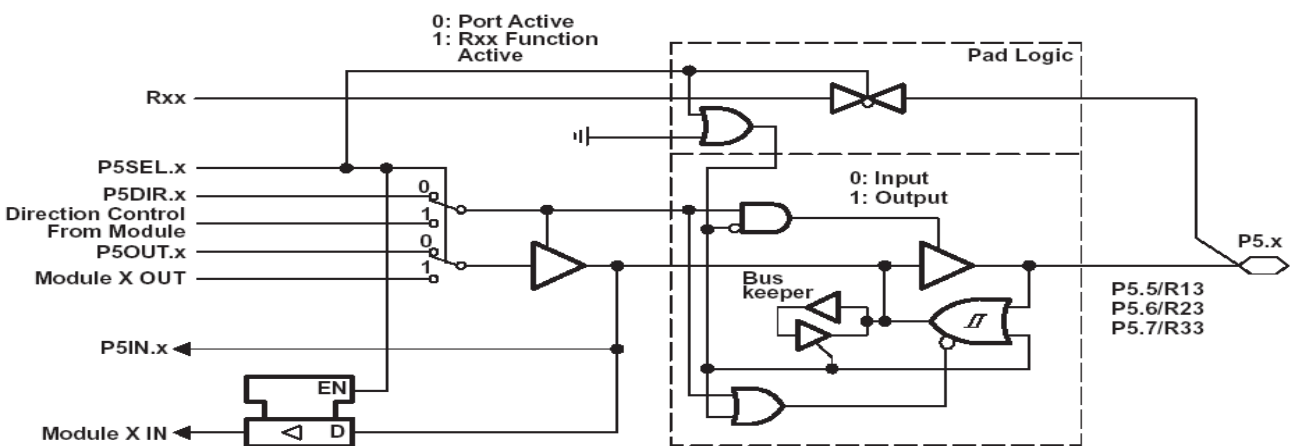
PnSEL.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	Segment
P5SEL.0	P5DIR.0	P5DIR.0	P5OUT.0	DVSS	P5IN.0	Unused	S1
P5SEL.1	P5DIR.1	P5DIR.1	P5OUT.1	DVSS	P5IN.1	Unused	S0

端口 P5 , P5.2 , P5.4 , 带施密特触发器的输入/输出


PnSEL.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	COMx
P5SEL.2	P5DIR.2	P5DIR.2	P5OUT.2	DVSS	P5IN.2	Unused	COM1
P5SEL.3	P5DIR.3	P5DIR.3	P5OUT.3	DVSS	P5IN.3	Unused	COM2
P5SEL.4	P5DIR.4	P5DIR.4	P5OUT.4	DVSS	P5IN.4	Unused	COM3

注意：

方向控制位 P5SEL.2、P5SEL.3 和 P5SE.4 用于区分端口和公用引脚功能，注意 4 偏置电压 LCD 需要从 COM0 到 COM3 的所有公共信号，3 偏置 LCD 需要 COM2 到 COM0，2 偏置 LCD 需要 COM1 和 COM0，静态 LCD 只需要 COM0。

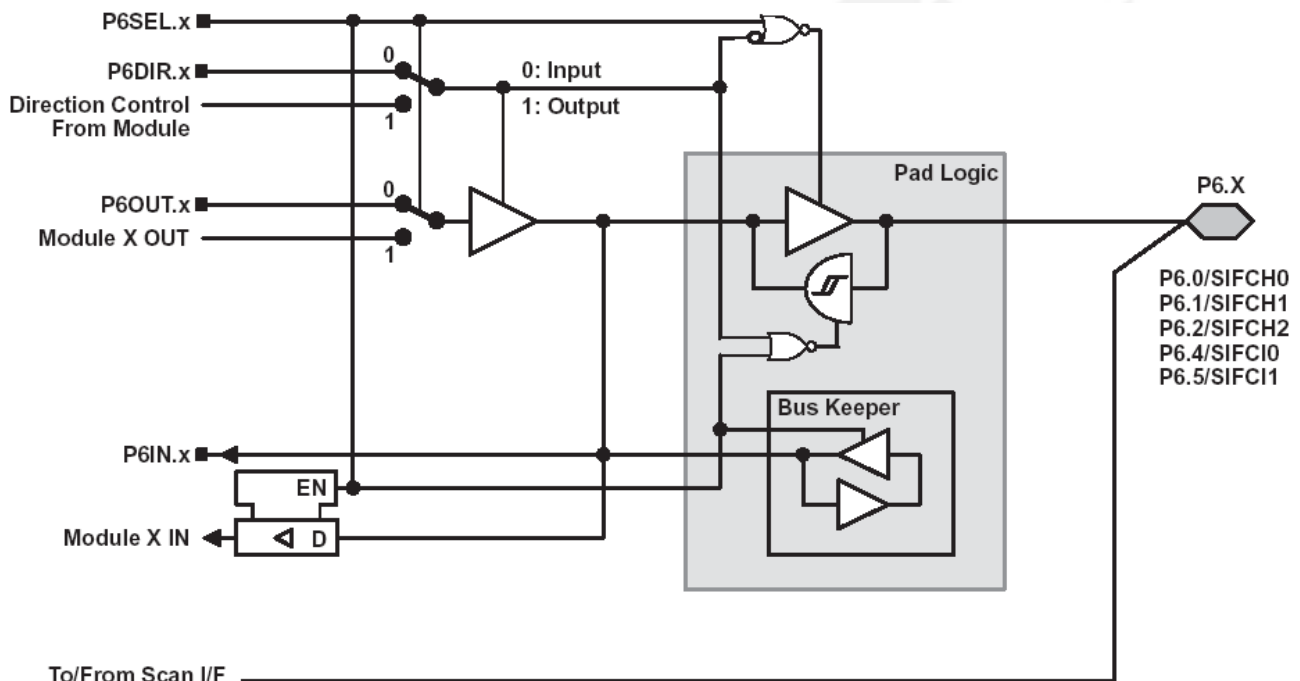
端口 P5 , P5.5 到 P5.7 , 带施密特触发器的输入/输出


PnSEL.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	Rxx
P5SEL.5	P5DIR.5	P5DIR.5	P5OUT.5	DVSS	P5IN.5	Unused	R13
P5SEL.6	P5DIR.6	P5DIR.6	P5OUT.6	DVSS	P5IN.6	Unused	R23
P5SEL.7	P5DIR.7	P5DIR.7	P5OUT.7	DVSS	P5IN.7	Unused	R33

注意：

方向控制寄存器 P5SEL.5, P5SEL.6 和 P5SEL.7 用于区分端口和 LCD 模拟电平功能。注意 4 偏置和 3 偏置 LCD 需要从 R33 到 R03 的所有 Rxx 信号，2 偏置 LCD 需要所有 R33、R13 和 R03，静态 LCD 只需要 R33 和 R03。

端口 P6，P6.0，P6.1，P6.2，P6.4，P6.5，带施密特触发器的输入/输出



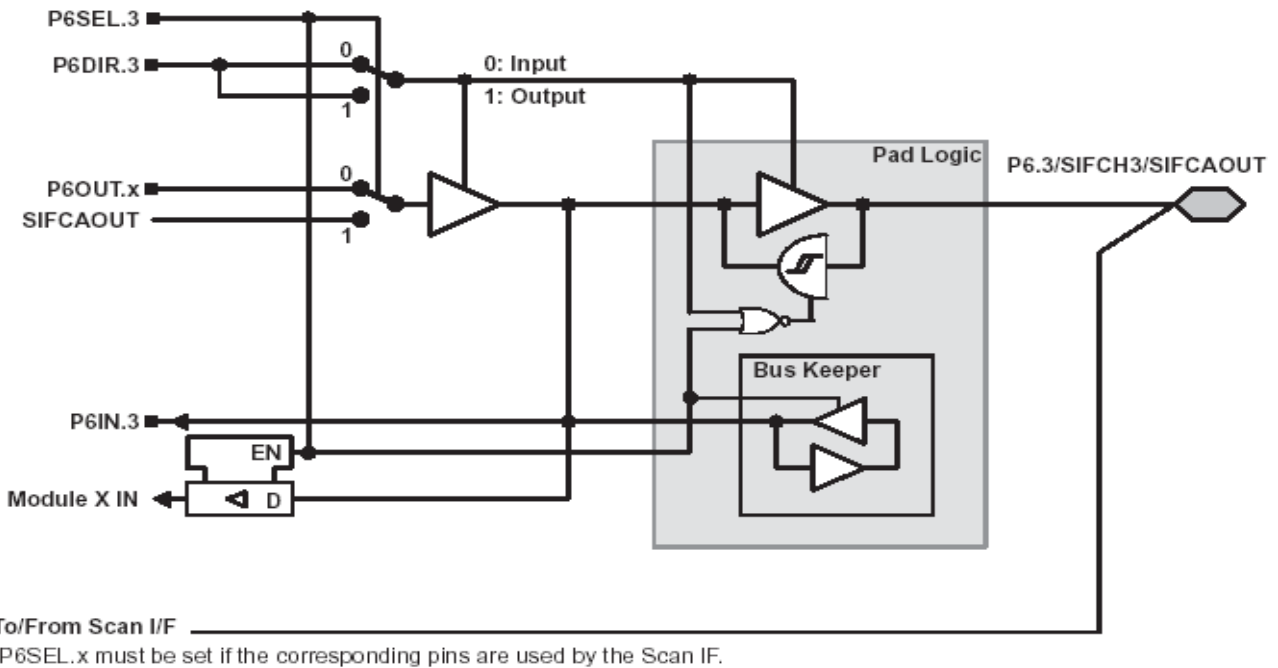
To/From Scan I/F

P6SEL.x must be set if the corresponding pins are used by the Scan IF.

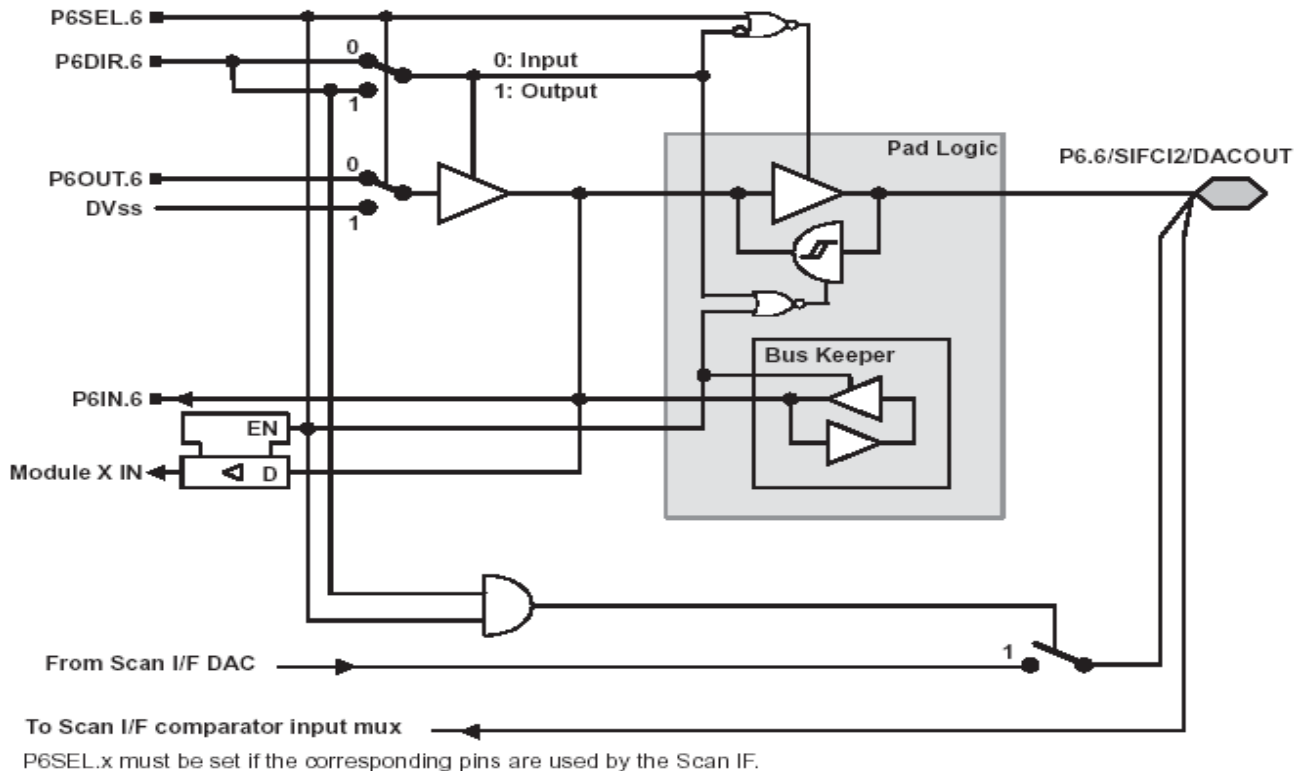
x: Bit Identifier = 0, 1, 2, 4, or 5

PnSEL.x	PnDIR.x	Dir. Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P6Sel.0	P6DIR.0	P6DIR.0	P6OUT.0	DVSS	P6IN.0	unused
P6Sel.1	P6DIR.1	P6DIR.1	P6OUT.1	DVSS	P6IN.1	unused
P6Sel.2	P6DIR.2	P6DIR.2	P6OUT.2	DVSS	P6IN.2	unused
P6Sel.4	P6DIR.4	P6DIR.4	P6OUT.4	DVSS	P6IN.4	unused
P6Sel.5	P6DIR.5	P6DIR.5	P6OUT.5	DVSS	P6IN.5	unused

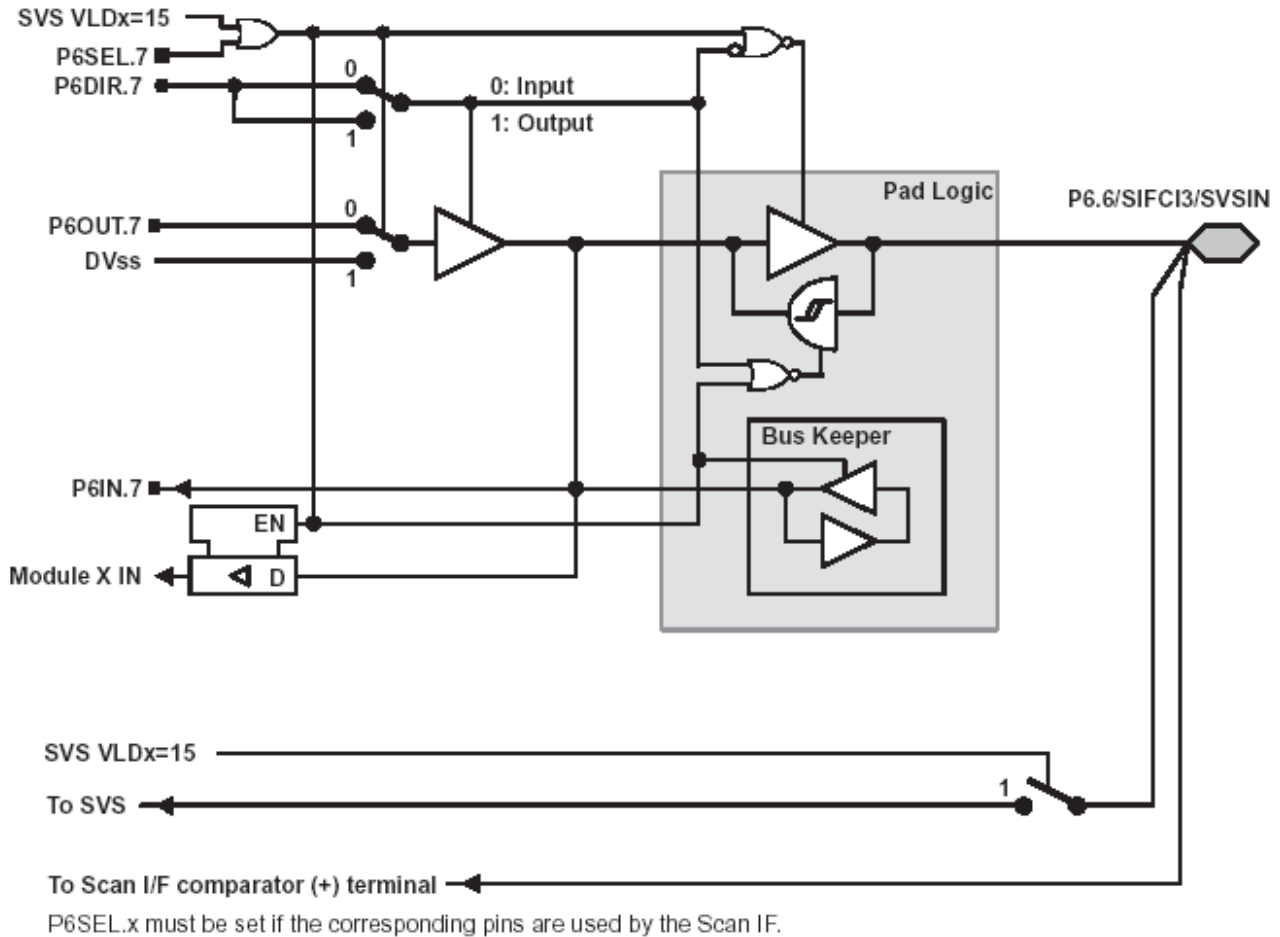
NOTE: The signal at pins P6.x/SIFCHx and P6.x/SIFCIx are shared by Port P6 and the San IF module. P6SEL.x must be set if the corresponding pins are used by the Scan IF.

端口 P6 , P6.3 带施密特触发器的输入/输出


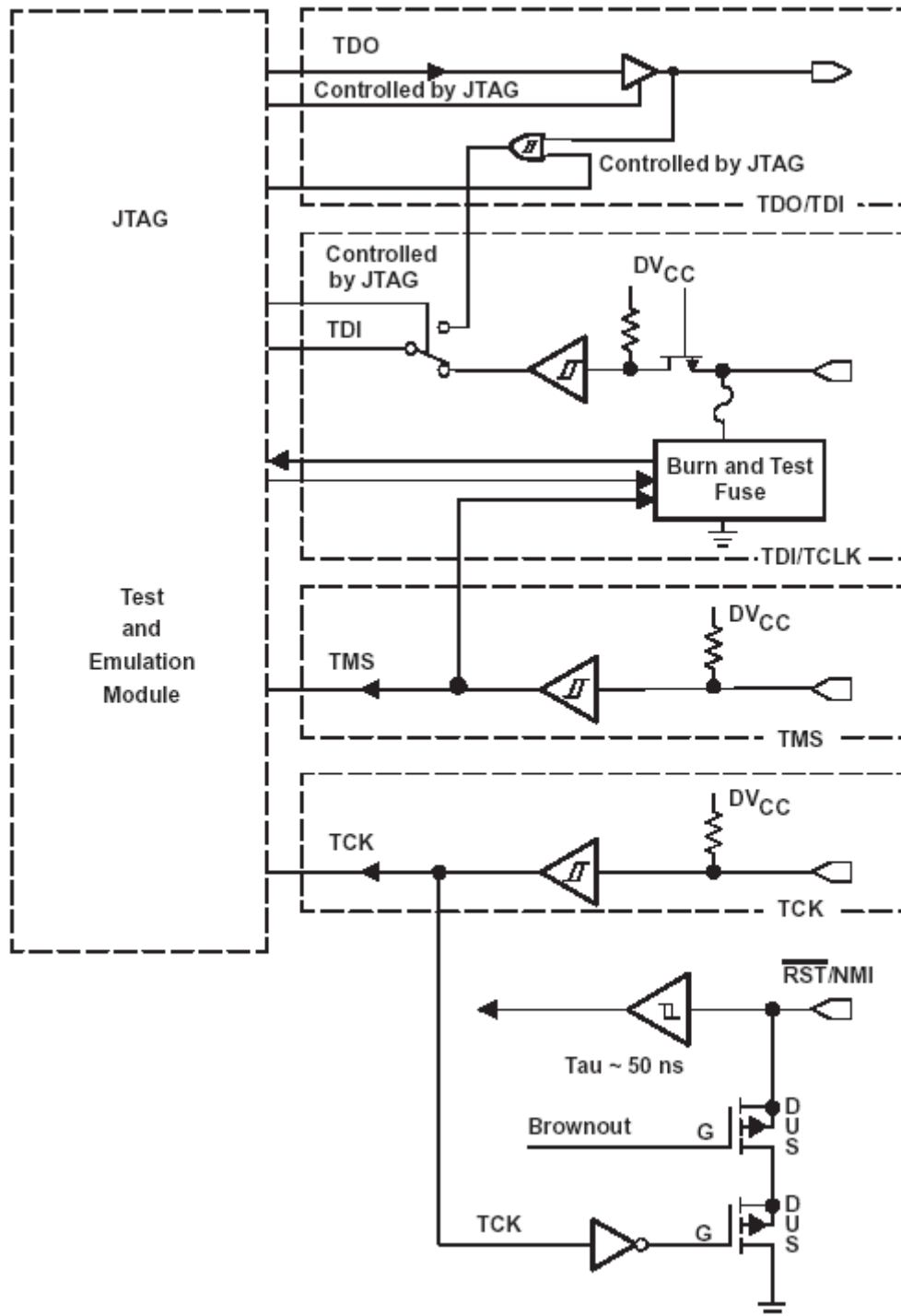
P6SEL.3	P6DIR.3	Port Function
0	0	P6.3 Input
0	1	P6.3 Output
1	0	SIFCH3 (Scan IF channel 3 excitation output and comparator input)
1	1	SIFCAOUT (Comparator output)

端口 P6 , P6.6 , 带施密特触发器的输入/输出


P6SEL.6	P6DIR.6	Port Function
0	0	P6.6 Input
0	1	P6.6 Output
1	0	SIFCI2 (Scan IF channel 2 comparator input)
1	1	SIFDAOUT (Scan IF DAC output)

端口 P6 , P6.7 带施密特触发器的输入/输出


SVS VLDx = 15	P6SEL.7	P6DIR.7	Port Function
0	0	0	P6.7 Input
0	0	1	P6.7 Output
0	1	X	SIFCI3 (Scan IF channel 3 comparator input)
1	X	X	SVSIN

JTAG 引脚 TCK、TDI、TMS、TDO/TDO，带施密特触发器的输入/输出

JTAG 熔丝检查模式

MSP430 芯片在 TDI 引脚上有熔丝及在 JTAG 端口在上电复位 (POR) 后初次处理 JTAG 端口时检测熔丝得连续性的熔丝检查模式。当激活时，熔丝检查电流 ITF，在 3V 时为 1.8mA，如果熔丝没有烧掉将从 TDI 引脚流向地。必须注意避免意外地激活熔丝检查模式而增大整个系统的功耗。

熔丝检查模式的激活发生在上电后 TMS 引脚的第一个下降沿或者上电时 TMS 保持为低。TMS 引脚上的第二个上升沿关闭熔丝检查模式。关闭后，熔丝检查模式保持停止直到发生另一个 POR。每次 POR 之后

熔丝检查模式都可能激活。

熔丝检查电流仅当熔丝检查模式激活以及 TMS 引脚处于低状态时才流过（见图 23）。因此，额外的电流流过可以通过将 TMS 引脚拉高（缺省条件）避免。

JTAG 引脚由内部端接，因此无需外部端接。

Time TMS Goes Low After POR

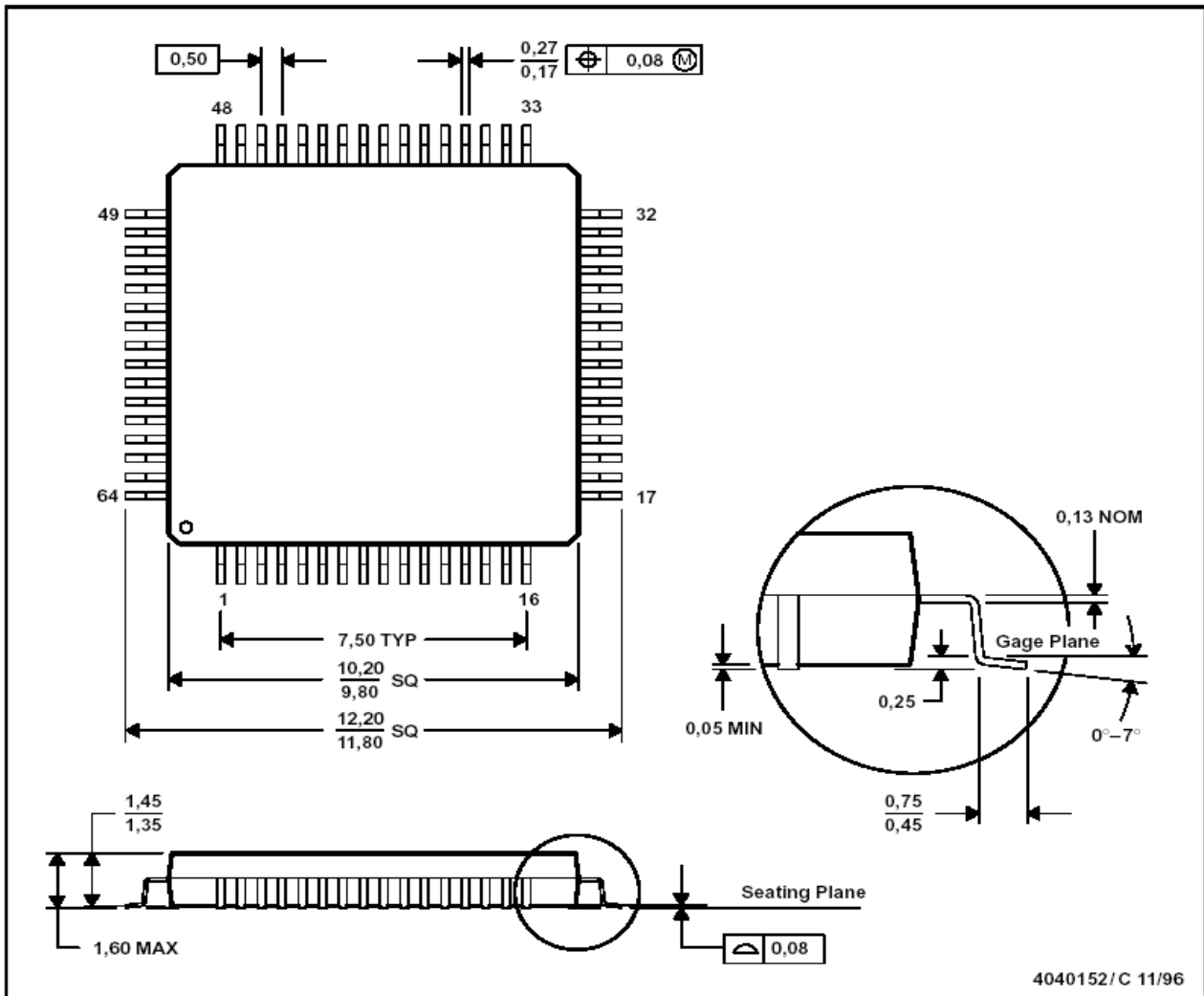


图 25 熔丝检查模式电流，MSP430FW42X

机械数据

PM (S-PQFP-G64)

PLASTIC QUAD FLATPACK



说明：该中文资料在翻译过程中可能存在错误，请依照英文资料为准。