

SC16C550B—带 16 字节 FIFO 的 5V、3.3V 和 2.5V 通用异步收发器

1. 概述

SC16C550B 是用于串行数据通信的通用异步收发器 (UART)。它的基本功能是将并行数据转换成串行数据, 反之亦然。UART 可处理速率高达 3Mbit/s 的串行数据。

SC16C550B 的管脚与 ST16C550、TL16C550 和 PC16C550 兼容。上电后的功能等效于 16C450。SC16C550B 也通过 FIFO 触发点和 $\overline{\text{TXRDY}}$ 和 $\overline{\text{RXRDY}}$ 信号来实现 DMA 模式数据传输。片内的状态寄存器为用户提供错误指示, 器件的工作状态和调制解调器接口控制。可通过调整系统中断来满足用户的要求。内部的环回模式实现了片内的故障诊断。

SC16C550B 可工作在 5V, 3.3V 和 2.5V 的电压下和工业级温度范围内, 含有塑料 DIP40、PLCC44 和 LQFP48 这三种封装形式。

2. 特性

- 5V, 3.3V 和 2.5V 的工作电压。
- 工业级温度范围。
- 复位后, 所有寄存器都与典型的 16C450 寄存器集相同。
- 可运行所有现存的通用 16C450 软件。
- 管脚与工业标准的 ST16C450/550、TL16C450/550 和 PC16C450/550 兼容。
- 5V 电压下发送/接收操作的数据速率高达 5Mbit/s, 3.3V 电压下为 2Mbit/s, 2.5V 电压下为 1Mbit/s。
- 16 字节的发送 FIFO。
- 16 字节的接收 FIFO (带错误标志)。
- 可编程的自动 $\overline{\text{RTS}}$ 和自动 $\overline{\text{CTS}}$
 - ◆ 在自动 $\overline{\text{CTS}}$ 模式下, $\overline{\text{CTS}}$ 控制发送器。
 - ◆ 在自动 $\overline{\text{RTS}}$ 模式下, Rx FIFO 内容和阈值控制 $\overline{\text{RTS}}$ 。
- 自动硬件流控制。
- 软件可选择的波特率发生器。
- 4 种可选的接收 FIFO 中断触发点。
- 标准的调制解调器接口。
- 标准异步错误和数据帧位 (起始、停止和奇偶超时间隔)。
- 独立的接收器时钟输出。
- 发送、接收、线状态和数据设置中断可单独控制。
- 完全可编程的字符格式:
 - ◆ 5-, 6-, 7-或 8-位字符
 - ◆ 偶、奇或无奇偶格式
 - ◆ 1-, $1\frac{1}{2}$ 或 2-停止位
 - ◆ 波特率产生 (高达 3Mbit/s)
- 错误起始位的检测。
- 完善的状态报告功能。
- 双向数据总线和控制总线的 3 态输出 TTL 驱动能力。
- Line Break 的产生和检测。
- 内部故障诊断功能:
 - ◆ 用于通信链故障隔离的环回控制。

- 中断优先级系统控制。
- 调制解调器控制功能 (CTS、RI、DCD、DSR、DTR、RTS)。

3. 订购信息

表 1 订购信息

工业级: Vcc=2.5V、3.3V 或 5.0V±10% ; Ta 调制解调器 b=-40℃~+85℃。

器件类型	封装		
	名称	描述	版本
SC16C550BIA44	PLCC44	塑料有引线芯片载体; 44 脚	SOT187-2
SC16C550BIB48	LQFP48	塑料小尺寸四方扁平封装; 48 脚; 本体大小: 7×7×1.4mm	SOT313-2
SC16C550BIN40	DIP40	塑料双列直插封装; 40 脚 (600mil)	SOT129-1

4. 功能框图

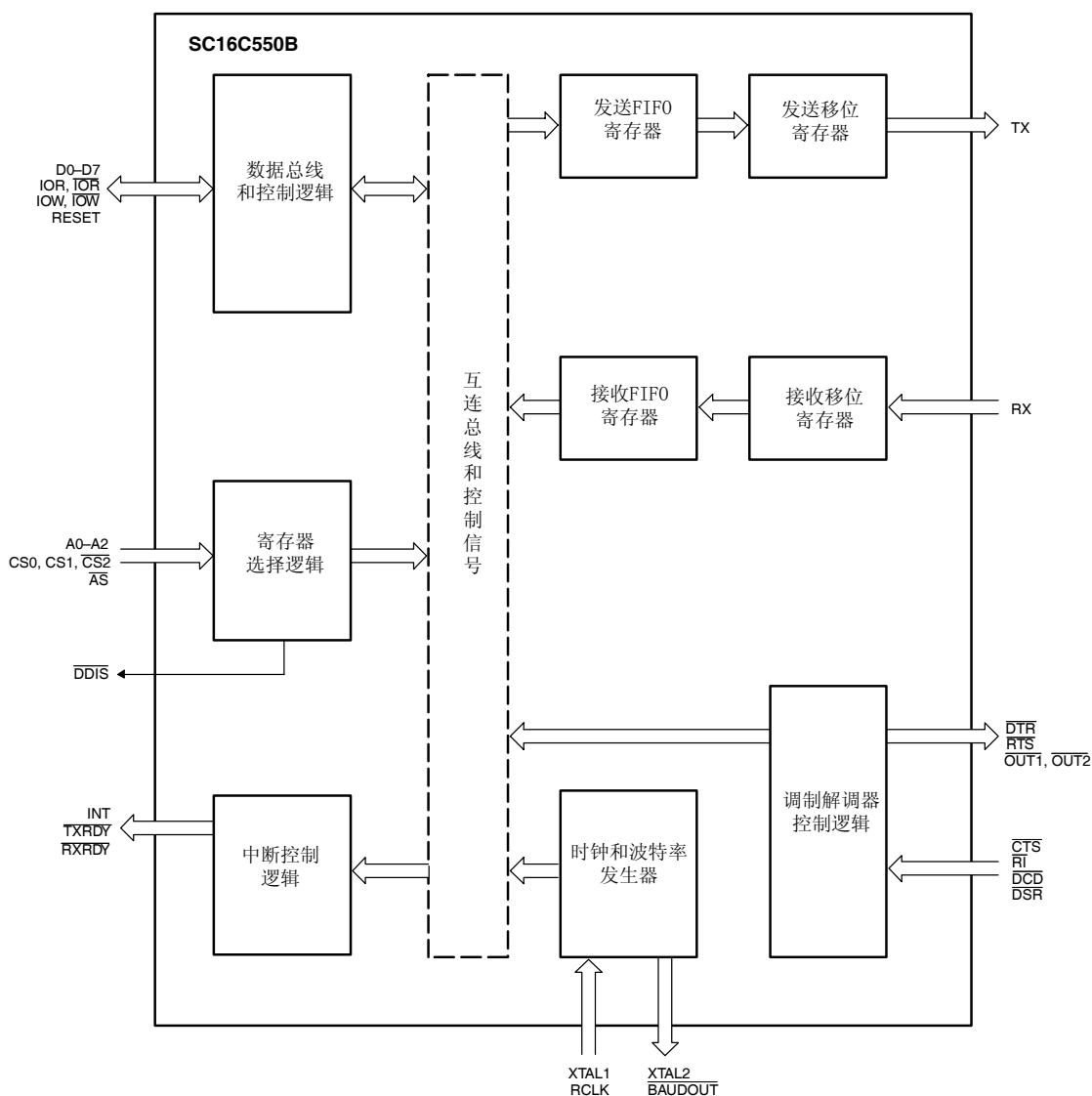


图 1 功能框图

5. 管脚信息

5.1 管脚

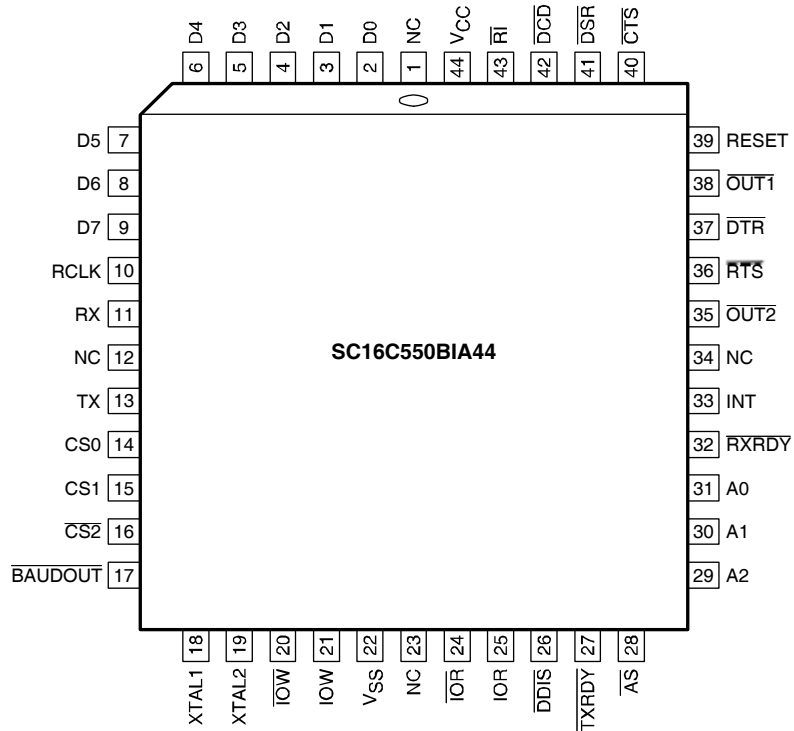


图 2 PLCC44 管脚配置

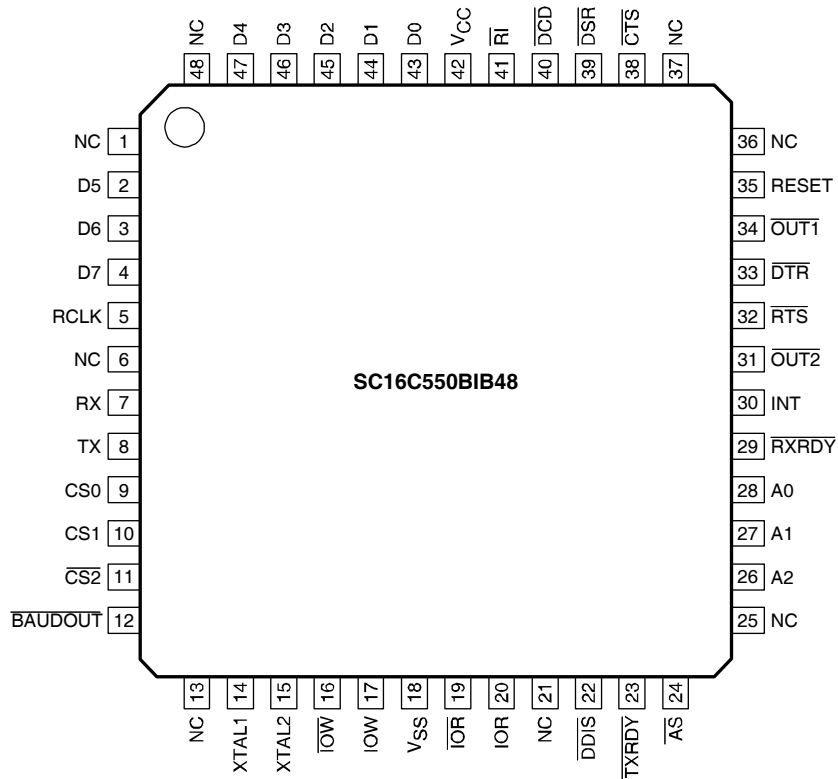


图 3 LQFP48 管脚配置

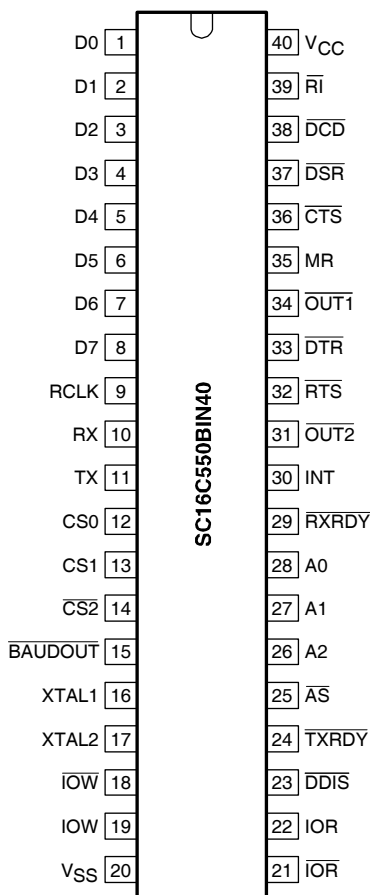


图 4 DIP40 管脚配置

5.2 管脚描述

表 2 管脚描述

符号	管脚			类型	描述
	PLCC44	LQFP48	DIP40		
A2-A0	29,30, 31	26,27 28	26,27, 28	I	寄存器选择。 在读和写操作过程中, A0-A2 用于选择读或写的 UART 寄存器。参考表 3 的寄存器地址和关于 \overline{AS} 的描述。
\overline{AS}	28	24	25	I	地址选通。 当 \overline{AS} 有效(低电平), A0,A1 和 A2, 以及 CS0,CS1 和 CS2 直接驱动内部的选择逻辑; 当 \overline{AS} 为高时, 寄存器选择和芯片选择信号保持为它们在 \overline{AS} 产生低到高跳变时的逻辑电平。
$\overline{BAUDOUT}$	17	12	15	O	波特率输出。 $\overline{BAUDOUT}$ 是 UART 发送器时钟信号的 16 倍。时钟速率是由基准振荡器频率分频得到, 分频值在波特率发生器除数锁存器中被指定。通过将输出连接到 RCLK 上, $\overline{BAUDOUT}$ 也可用于接收器部分。
CS0, CS1, $\overline{CS2}$	14,15, 16	9,10, 11	12,13, 14	I	芯片选择。 当 CS0 和 CS1 为高而 $\overline{CS2}$ 为低时, 这三个输入选择 UART。当这三个输入中的任何一个无效时, UART 保持无效(参考 \overline{AS} 的描述)。

续上表

符号	管脚			类型	描述
	PLCC44	LQFP48	DIP40		
$\overline{\text{CTS}}$	40	38	36	I	清除发送。 CTS 是一个调制解调器状态信号。它的条件可通过读调制解调器状态寄存器的位 4 ($\overline{\text{CTS}}$) 来检测。调制解调器状态寄存器的位 0 ($\overline{\text{CTS}}$) 表示自从最后一次读调制解调器状态寄存器后, $\overline{\text{CTS}}$ 已经改变了状态。当 $\overline{\text{CTS}}$ 电平改变和自动 CTS 模式不使能时, 如果调制解调器状态中断被使能, 将会产生中断。 该管脚不影响 UART 的发送或接收操作。
D7-D0	9-2	4-2, 47-43	8-1	I/O	数据总线。 具有 3 态输出的 8 位数据线。用来实现 UART 和 CPU 之间的数据、控制和状态信息的双向传输。
$\overline{\text{DCD}}$	42	40	38	I	数据载波检测。 $\overline{\text{DCD}}$ 是一个调制解调器状态信号。它的条件可通过读调制解调器状态寄存器的位 7 ($\overline{\text{DCD}}$) 来检测。调制解调器状态寄存器的位 3 ($\overline{\text{DCD}}$) 表示自从最后一次读调制解调器状态寄存器后, $\overline{\text{DCD}}$ 已经改变了状态。当 $\overline{\text{DCD}}$ 电平改变时, 如果调制解调器状态中断被使能, 将会产生中断。
$\overline{\text{DDIS}}$	26	22	23	O	驱动器禁能。 当 CPU 不读数据时, $\overline{\text{DDIS}}$ 有效 (低电平)。当 $\overline{\text{DDIS}}$ 有效时, 它可禁能外部收发器。
$\overline{\text{DSR}}$	41	39	37	I	数据设备就绪。 $\overline{\text{DSR}}$ 是一个调制解调器状态信号。它的状态可通过读调制解调器状态寄存器的位 5 ($\overline{\text{DSR}}$) 来检测。调制解调器状态寄存器的位 1 ($\overline{\text{DSR}}$) 表示自从最后一次读调制解调器状态寄存器后, $\overline{\text{DSR}}$ 已经改变了状态。当 $\overline{\text{DSR}}$ 电平改变时, 如果调制解调器状态中断被使能, 将会产生中断。
$\overline{\text{DTR}}$	37	33	33	O	数据终端就绪。 当 $\overline{\text{DTR}}$ 为有效低电平时, 通知调制解调器或数据设备 UART 已准备好。通过置位调制解调器控制寄存器的 $\overline{\text{DTR}}$ 位使 $\overline{\text{DTR}}$ 被设置为有效电平。主机复位、环回模式操作或清零 $\overline{\text{DTR}}$ 位都将使 $\overline{\text{DTR}}$ 处于无效电平。
INT	33	30	30	O	中断。 当 INT 为有效高电平时, 通知 CPU UART 有中断等待处理。下列 4 种条件可产生中断: 接收器错误、接收的数据可用或超时 (仅用于 FIFO 模式)、发送器保存寄存器为空或 modem 状态中断被使能。当有中断正在处理或主机复位都可使 INT 复位 (无效)。

续上表

符号	管脚			类型	描述
	PLCC44	LQFP48	DIP40		
NC	1,12, 23,34	1,6,13,21 25,36, 37,48	-	-	不连接。
$\overline{\text{OUT1}}, \overline{\text{OUT2}}$	38,35	34,31	34,31	O	输出 1 和 2。 这两个是用户指定的输出终端，它们通过置位各自的调制解调器控制寄存器的位 ($\overline{\text{OUT1}}$ 和 $\overline{\text{OUT2}}$) 被设置为有效低电平。当主机复位、环回模式或 MCR 的位 2 ($\overline{\text{OUT1}}$) 或位 3 ($\overline{\text{OUT2}}$) 被清零时 $\overline{\text{OUT1}}$ 和 $\overline{\text{OUT2}}$ 变为无效的高电平。
RCLK	10	5	9	I	接收器时钟。 RCLK 是 UART 的接收器部分波特率时钟的 16 倍。
$\overline{\text{IOR}}, \text{IOR}$	24,25	19,20	21,22	I	读输入。 当 $\overline{\text{IOR}}$ 或 IOR 有效 (分别是低或高电平) 时, 若 UART 被选择, CPU 将从一个选择的 UART 寄存器中读出状态信息或数据。读操作过程中, 只有一个输入参与数据传输; 另一个应被设置为无效电平 (如, IOR 设置为低电平或 $\overline{\text{IOR}}$ 设置为高电平)。
RESET	39	35	35	I	主机复位。 当主机为高电平有效时, RESET 清除大部分 UART 寄存器, 并设置不同输出信号的电平。
$\overline{\text{RI}}$	43	41	39	I	响铃指示器。 $\overline{\text{RI}}$ 是一个调制解调器状态信号。它的状态可通过读调制解调器状态寄存器的位 6 ($\overline{\text{RI}}$) 来检测。调制解调器状态寄存器的位 2 (TERI) 表示自从最后一次读调制解调器状态寄存器, $\overline{\text{RI}}$ 已经从低电平跳变到高电平。当这个跳变出现时, 如果调制解调器状态中断被使能, 将会产生中断。
$\overline{\text{RTS}}$	36	32	32	O	请求发送。 当 $\overline{\text{RTS}}$ 有效时, 它通知调制解调器或数据设备 UART 已准备好接收数据。 $\overline{\text{RTS}}$ 可通过置位 $\overline{\text{RTS}}$ modem 控制寄存器位设置成有效; 主机复位、环回模式操作或通过清零 MCR 的位 1 ($\overline{\text{RTS}}$) 都可使 $\overline{\text{RTS}}$ 设置成无效的高电平。 该管脚不影响 UART 的发送或接收操作。

续上表

符号	管脚			类型	描述
	PLCC44	LQFP48	DIP40		
$\overline{\text{RXRDY}}$	32	29	29	O	接收器就绪。 $\overline{\text{RXRDY}}$ 可用作接收器直接存储器存取 (DMA) 信号。在 FIFO 模式下, 使用 FIFO 控制寄存器位 3 (FCR[3]) 可选择 DMA 信道两种类型中的一种。在 16C450 模式下, 只允许执行 DMA 模式 0 的操作。模式 0 支持 DMA 单次传输, 该传输在 CPU 总线周期之间执行。模式 1 支持 DMA 多次传输, 该传输连续执行直到接收 FIFO 为空。在 DMA 模式 0 (FCR0=0 或 FCR0=1、FCR3=0) 下, 当接收 FIFO 或接收器保存寄存器中至少有一个字符时, $\overline{\text{RXRDY}}$ 为有效 (低) 电平。当 $\overline{\text{RXRDY}}$ 已经有效但 FIFO 或保存寄存器中没有字符时, $\overline{\text{RXRDY}}$ 变为无效 (高) 电平。在 DMA 模式 1 (FCR0=1、FCR3=1) 下, 当已经到达触发点或已超时时, $\overline{\text{RXRDY}}$ 变为有效 (低) 电平; 当 $\overline{\text{RXRDY}}$ 已经有效但 FIFO 或保存寄存器中没有字符时, $\overline{\text{RXRDY}}$ 变为无效 (高) 电平。
RX	11	7	10	I	串行数据输入。 RX 将所连的通信器件的串行数据输入器件的管脚。
TX	13	8	11	I	串行数据输出。 TX 将串行数据输出到所连通信器件的管脚。主机复位使 TX 设置为高电平。
$\overline{\text{TXRDY}}$	27	23	24	O	发送器就绪。 $\overline{\text{TXRDY}}$ 可用作发送器 DMA 信号。在 FIFO 模式下, 使用 FCR[3] 可选择 DMA 信道两种类型中的一种。在 16C450 模式下, 只允许执行 DMA 模式 0 的操作。模式 0 支持 DMA 单次传输, 该传输在 CPU 总线周期之间执行。模式 1 支持 DMA 多次传输, 该传输连续执行直到发送 FIFO 被填满。
Vcc	44	42	40	Power	2.5V、3V 或 5V 电源电压。
Vss	22	18	20	Power	地。
$\overline{\text{IOW}}, \text{IOW}$	20, 21	16, 17	18, 19	I	写输入。 当 $\overline{\text{IOW}}$ 或 IOW 有效 (分别是低或高电平) 时, 若 UART 被选择, CPU 将选择的 UART 寄存器中写入控制字或数据。写操作过程中, 只有一个输入参与数据传输; 另一个应被设置为无效电平 (如, IOW 设置为低电平或 $\overline{\text{IOW}}$ 设置为高电平)。
XTAL1	18	14	16	I	晶体连接或外部时钟输入。
XTAL2 ^[1]	19	15	17	O	晶体连接或悬空 (如果 XTAL1 被驱动)

[1] 睡眠模式中 XTAL2 悬空。

6. 功能描述

SC16C550B 提供了串行异步接收数据的同步处理、发送器和接收器之间的数据的并串和串并转换。这些都是数字数据系统将串行数据流转换成并行数据所必需的功能。串行数据流的同步通过在发送的数据上添加起始位和停止位形成一个数据字符（指定方向的字符传输协议）来实现。通过在数据字符后增加一个奇偶位可保证数据的完整性。接收器通过奇偶位来检查任何发送位的错误。SC16C550B 由先进的 CMOS 技术制造而成，满足低功耗和高速度的要求。

SC16C550B 是一个超前的解决方案，它提供了具有 16 字节的发送和接收 FIFO 存储器，这是 16C450 所不具备的。SC16C550B 可与高速调制解调器进行通信，可工作在需要高速率数据处理的共用网络环境中。SC16C550B 增加的特性都是通过大容量的发送和接收 FIFO 来实现，这使外部处理器可在一个固定时间内处理更多的网络任务。另外，独特的 4 种可选的 FIFO 触发中断电平实现了最大的数据吞吐量，尤其是在多通道的应用中。由此可见，上述特性的结合极大地降低了外部控制 CPU 需要的带宽、提高了性能、降低了功耗。

在 48MHz 的外部时钟输入下（5V 电源），SC16C550B 的数据传输速率可高达 3Mbit/s。

6.1 内部寄存器

SC16C550B 提供 12 个用来监测和控制的内部寄存器。这些寄存器如表 3 所示。这些寄存器包括：数据保存寄存器（THR/RHR）、中断状态和控制寄存器（IER/ISR）、FIFO 控制寄存器（FCR）、线状态和控制寄存器（LCR/LSR）、调制解调器状态和控制寄存器（MCR/MSR）、可编程数据速率（时钟）控制寄存器（DLL/DLM）和一个用户可访问的暂存寄存器（SPR）。寄存器的功能将在后面的章节中更详细的描述。

表 3 内部寄存器译码

A2	A1	A0	读模式	写模式
通用寄存器集（THR/RHR, IER/ISR, MCR/MSR, FCR/LSR, SPR） ^[1]				
0	0	0	接收保存寄存器	发送保存寄存器
0	0	1	中断使能寄存器	中断使能寄存器
0	1	0	中断状态寄存器	FIFO 控制寄存器
0	1	1	线控制寄存器	线控制寄存器
1	0	0	调制解调器控制寄存器	调制解调器控制寄存器
1	0	1	线状态寄存器	n/a
1	1	0	调制解调器状态寄存器	n/a
1	1	1	暂存寄存器	暂存寄存器
波特率寄存器集（DLL/DLM） ^[2]				
0	0	0	除数 LSB 锁存器	除数 LSB 锁存器
0	0	1	除数 MSB 锁存器	除数 MSB 锁存器

[1] 这些寄存器只能在 LCR[7]为逻辑 0 时被访问。

[2] 这些寄存器只能在 LCR[7]为逻辑 1 时被访问。

6.2 FIFO 操作

16 字节的发送和接收数据 FIFO 通过 FIFO 控制寄存器的位 0（FCR[0]）来使能。利用 16C550 器件，用户可以设置接收触发点，但不能设置发送触发点。接收器 FIFO 包含超时检测功能，可保证数据发送到外部 CPU。当字符装入后接收保存寄存器（RHR）还未被读出或未达到接收触发点时将产生中断。

表 4 流程控制机制

选择的触发点 (字符数)	INT 脚激活次数	$\overline{\text{RTS}}$ 无效	$\overline{\text{RTS}}$ 有效
1	1	1	0
4	4	4	0
8	8	8	0
14	14	14	0

6.3 自动流控制 (见图 5)

自动流控制由自动 $\overline{\text{CTS}}$ 和自动 $\overline{\text{RTS}}$ 组成。若使用自动 $\overline{\text{CTS}}$ ， $\overline{\text{CTS}}$ 输入在发送 FIFO 发送数据之前必须有效。若使用自动 $\overline{\text{RTS}}$ ，当接收器需要更多的数据并通知发送数据的串行器件时， $\overline{\text{RTS}}$ 变为有效。当 $\overline{\text{RTS}}$ 被连接到 $\overline{\text{CTS}}$ 时，除非接收 FIFO 有空间存放数据，否则不发生数据发送。因此，使用具有自动流控制使能的 SC16C550B 的 UART1 和 UART2 时，将不会产生超时错误。否则，当发送数据速率超过接收器 FIFO 读等待时间时，将产生超时错误。

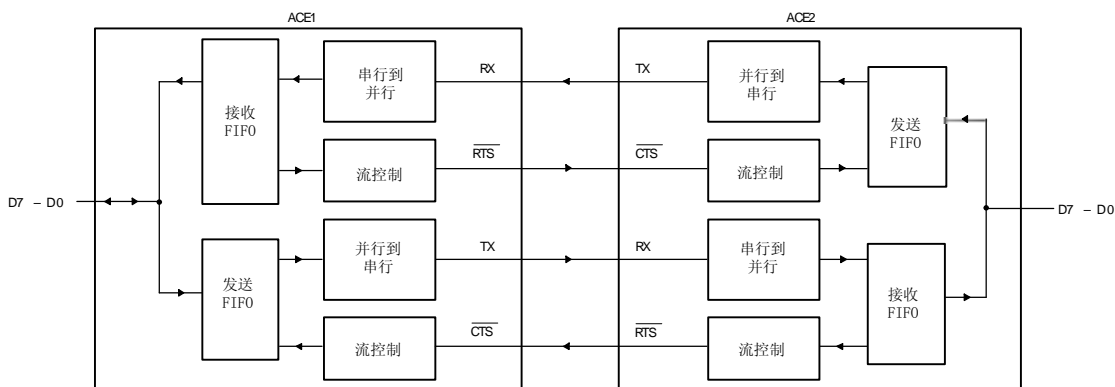


图 5 自动流控制 (自动 $\overline{\text{RTS}}$ 和自动 $\overline{\text{CTS}}$) 图例

6.3.1 自动 $\overline{\text{RTS}}$ (见图 5)

自动 $\overline{\text{RTS}}$ 数据流控制来自于接收器时序和控制块 (见图 1“功能框图”) 并且被连接到编程接收器 FIFO 触发点。当接收 FIFO 点到达 1、4 或 8 的一个触发点时 (见图 7)， $\overline{\text{RTS}}$ 无效。使用 1、4 和 8 的触发点时，发送 UART 可能在触发点被到达后发送一个另外的字节 (假设发送 UART 有另一个字节发送)，因为直到它发送了另外的字节后才能确定 $\overline{\text{RTS}}$ 无效。一旦 RX FIFO 通过读接收器缓冲寄存器变为空时， $\overline{\text{RTS}}$ 自动有效。当触发点是 14 时 (见图 8)，若第 16 个字符的第一个数据位出现在 RX 线上， $\overline{\text{RTS}}$ 为无效。当 RX FIFO 至少有一个可用的字节空间时， $\overline{\text{RTS}}$ 重新有效。

6.3.2 自动 $\overline{\text{CTS}}$ (见图 5)

发送器电路在发送下一个数据字节之前检测 $\overline{\text{CTS}}$ 。当 $\overline{\text{CTS}}$ 有效时，它发送下一个字节。为了使发送器停止发送后面的字节， $\overline{\text{CTS}}$ 必须在当前发送的最后一个停止位的中间时刻之前被释放。自动 $\overline{\text{CTS}}$ 功能减少了向主机系统发送的中断。当流控制被使能时，由于器件会自动控制各自的发送器，因此 $\overline{\text{CTS}}$ 电平的改变不会触发主机中断。若没有自动 $\overline{\text{CTS}}$ ，发送器发送出现在发送 FIFO 的任何数据并将导致接收器超时错误。

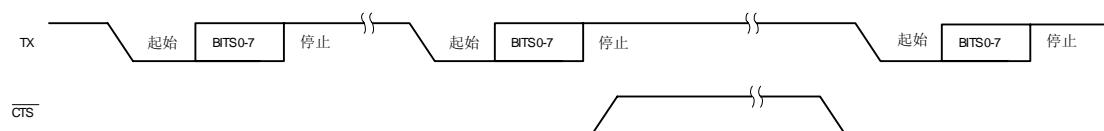
6.3.3 使能自动流控制和自动 $\overline{\text{CTS}}$

自动流控制通过置位 **MCR[5]** 和 **MCR[1]** 来使能。

表 5 使能自动流控制和自动 $\overline{\text{CTS}}$

MCR [5]	MCR [1]	选择
1	1	自动 $\overline{\text{RTS}}$ 和 $\overline{\text{CTS}}$
1	0	自动 $\overline{\text{CTS}}$
0	×	禁能

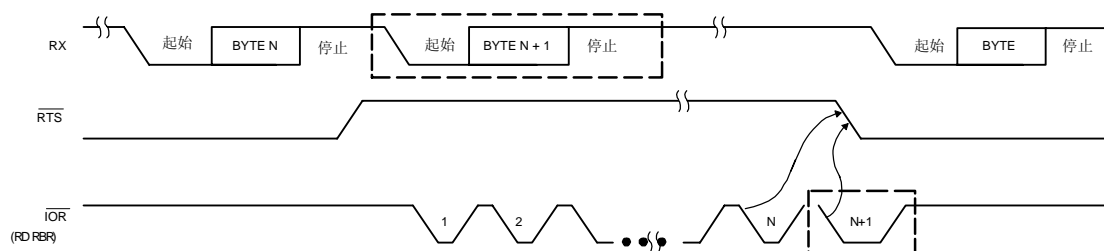
6.3.4 自动 $\overline{\text{CTS}}$ 和自动 $\overline{\text{RTS}}$ 功能时序



- (1) 当 $\overline{\text{CTS}}$ 为低时，发送器持续发送串行数据。
- (2) 如果 $\overline{\text{CTS}}$ 在当前字节的最后一个停止位的中间时刻之前变高，发送器继续发送当前字节，但不发送下一个字节。
- (3) 当 $\overline{\text{CTS}}$ 从高变为低时，发送器重新开始发送数据。

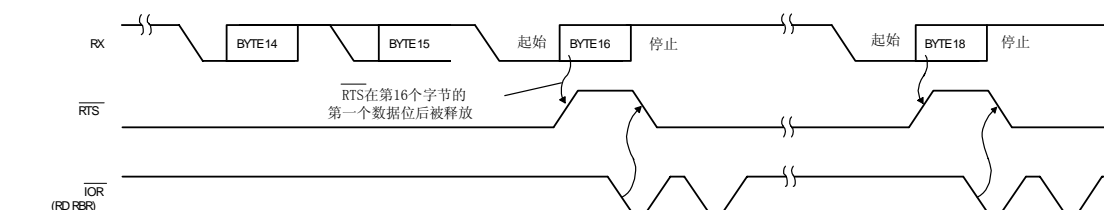
图 6 $\overline{\text{CTS}}$ 时序波形

接收 FIFO 触发点能被设置为 1、4、8 或 14 个字节。如图 7 和图 8 所示。



- (1) $N = \text{RCV FIFO 触发点}$ (1、4 或 8 字节)
- (2) 2 个虚线框包含了在前面自动 $\overline{\text{RTS}}$ 部分所述的有另外的字节被发送的情况。

图 7 $\overline{\text{RTS}}$ 时序波形，RCV FIFO 触发点=1、4 或 8 个字节



- (1) 当接收器接收到第 16 个字节的第一个数据位时， $\overline{\text{RTS}}$ 无效。接收完第 16 个字节后接收 FIFO 为满。
- (2) 当至少有一个字节空间可用且没有正在处理的接收字节，或有大于一个字节的可用空间时， $\overline{\text{RTS}}$ 重新有效。
- (3) 当 FIFO 为满时，读第一个接收缓冲寄存器使 $\overline{\text{RTS}}$ 重新有效。

图 8 $\overline{\text{RTS}}$ 时序波形，RCV FIFO 触发点=14 个字节

6.4 硬件/软件和超时中断

复位后，发送器中断被使能，SC16C550B 将产生一个中断来表示发送保存寄存器为空。这个中断被处理完后才能继续其它操作。ISR 寄存器只提供一个当前优先级最高的中断。只有在服务完高优先级的中断后，低优先级中断才能在状态寄存器中反映出来。未深入检测中断条件就服务中断可能造成数据出错。

当 2 个中断的优先级相同时，必须要正确处理这些中断。接收数据就绪中断和接收超时中断的优先级

相同（如果通过 IER[0]使能）。当接收的字符数到达编程设定的触发点时接收器产生一个中断。这样，SC16C550B FIFO 可能保存比编程触发点更多的字符。数据字节移走后，用户应当为另外的字符重新检查 LSR[0]。如果接收 FIFO 为空，接收超时将不会发生。超时计数器在接收到的每个停止位的中间时刻或每次接收保存寄存器（RHR）被读出时复位。实际的超时值是 4 个字符时间，包括数据信息长度、起始位、奇偶位和停止位的大小，即 1×、1.5×或 2×位时间。

6.5 可编程波特率发生器

SC16C550B 支持高速调制解调器技术，它使用数据压缩机制来提高输入数据速率。例如，使用数据压缩机制的 33.6kbit/s 调制解调器要求输入的数据速率为 115.2kbit/s。支持数据压缩的 128.0kbit/s ISDN 调制解调器要求输入的数据速率为 460.8kbit/s。SC16C550B 也支持 921.6kbit/s 的标准数据速率。

发送器和接收器共用一个波特率发生器，允许波特率发生器对 TX/RX 通道进行单独控制。可编程波特率发生器可接受一个支持 3Mbit/s 数据速率所需要的高达 48MHz 的输入时钟。SC16C550B 可配置成内部或外部时钟工作模式。对于内部时钟振荡器，在 XTAL1 和 XTAL2 间外部连接一个工业标准的微处理器晶体（见图 9）。另外，也可在 XTAL1 管脚连接一个外部时钟来作为内部波特率发生器的时钟，产生标准或指定的波特率（见表 6）。

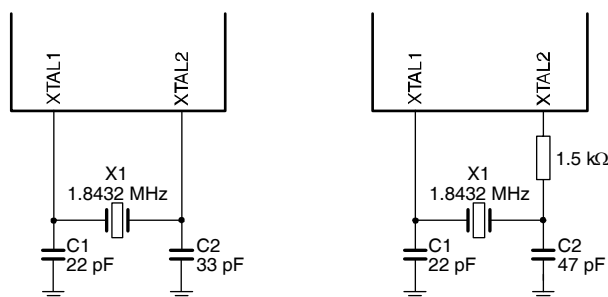


图 9 晶体振荡器的连接

发生器可对输入 16×时钟进行 $1 \sim 2^{16} - 1$ 分频。SC16C550B 将基本的晶体或外部时钟 16 分频。BAUDOUT 输出管脚的频率正是选择的波特率的 16 倍（BAUDOUT=16 倍波特率）。通过为波特率发生器的 MSB 和 LSB 选择适当的除数值来获得指定的波特率。

用户可通过编程波特率发生器寄存器 DLM (MSB) 和 DLL (LSB) 来选择需要的最终波特率。表 6 所示为当使用 1.8432MHz 的晶体时可选择的波特率。

为了获得指定的波特率，除数值可通过下列的等式计算得出：

$$\text{除数值（十进制）} = \text{XTAL1 时钟频率} / (\text{串行数据率} \times 16)$$

表 6 使用 1.8432MHz 或 3.072MHz 晶体的波特率

使用 1.8432MHz 的晶体			使用 3.072MHz 的晶体		
要求的波特率	16×时钟分频值	波特率错误	要求的波特率	16×时钟分频值	波特率错误
50	2304		50	3840	
75	1536		75	2560	
110	1047	0.026	110	1745	0.026
134.5	857	0.058	134.5	1428	0.034
150	768		150	1280	
300	384		300	640	
600	192		600	320	
1200	96		1200	160	

续上表

使用 1.8432MHz 的晶体			使用 3.072MHz 的晶体		
要求的波特率	16×时钟分频值	波特率错误	要求的波特率	16×时钟分频值	波特率错误
1800	64		1800	107	0.312
2000	58	0.69	2000	96	
2400	48		2400	80	
3600	32		3600	53	0.628
4800	24		4800	40	
7200	16		7200	27	1.23
9600	12		9600	20	
19200	6		19200	10	
38400	3		38400	5	
56000	2	2.86			

6.6 DMA 操作

SC16C550B FIFO 触发点便于用户执行字符块传输模式。在 DMA 模式中，用户可以选择对发送和接收 FIFO 进行操作（FCR[3]）。DMA 模式影响 $\overline{\text{RXRDY}}$ 和 $\overline{\text{TXRDY}}$ 输出管脚的状态。如表 7 和表 8 所示。

表 7 DMA 模式对 $\overline{\text{RXRDY}}$ 管脚状态的影响

非 DMA 模式	DMA 模式
1=FIFO 为空	当 FIFO 为空时，该管脚实现 0 到 1 的跳变
0=FIFO 中至少有一个字节	当 FIFO 到达触发点或超时出现时，该管脚实现 1 到 0 的跳变

表 8 DMA 模式对 $\overline{\text{TXRDY}}$ 管脚状态的影响

非 DMA 模式	DMA 模式
1=FIFO 中至少有一个字节	1=FIFO 已满
0=FIFO 为空	0=FIFO 中至少有一个空的地址单元

6.7 环回模式

内部环回模式实现了片内诊断功能。在环回模式中，正常的调制解调器接口管脚断开原来的连接而被重新配置。MCR[0:3]寄存器位被用于控制环回诊断测试。在环回模式中，MCR 寄存器（位 3-2）的 OUT1 和 OUT2 分别控制调制解调器 $\overline{\text{RI}}$ 和 $\overline{\text{DCD}}$ 输入。MCR 信号 $\overline{\text{DTR}}$ 和 $\overline{\text{RTS}}$ (位 0-1) 分别被用来控制调制解调器 $\overline{\text{CTS}}$ 和 $\overline{\text{DSR}}$ 输入。发送器输出（TX）和接收器输入（RX）断开与之相关的接口管脚的连接，在器件内部被连接到一起（见图 10）。 $\overline{\text{CTS}}$ 、 $\overline{\text{DSR}}$ 、 $\overline{\text{DCD}}$ 和 $\overline{\text{RI}}$ 均与原来的调制解调器控制输入管脚断开连接，取而代之的是分别内部连接到 $\overline{\text{DTR}}$ 、 $\overline{\text{RTS}}$ 、 $\overline{\text{OUT1}}$ 和 $\overline{\text{OUT2}}$ 。环回测试数据通过用户数据总线接口 D0—D7 送入发送保存寄存器。然后，发送 UART 再将这些并行数据变成串行数据，通过内部环回连接将其发送给接收 UART，最后接收 UART 把接收到的串行数据重新转变为并行数据，这样，就可在用户数据接口 D0—D7 上得到最终的数据。用户可将接收到的数据与最初发送的数据相比较来验证 UART TX/RX 电路的操作无误。

环回模式下，接收器和发送器中断完全可操作。调制解调器控制中断也可操作。然而，中断只有在在使用调制解调器状态寄存器的低 4 位 MSR[0:3]时才能读出，而不是调制解调器状态寄存器的高 4 位（4-7）。中断仍然被 IER 控制。

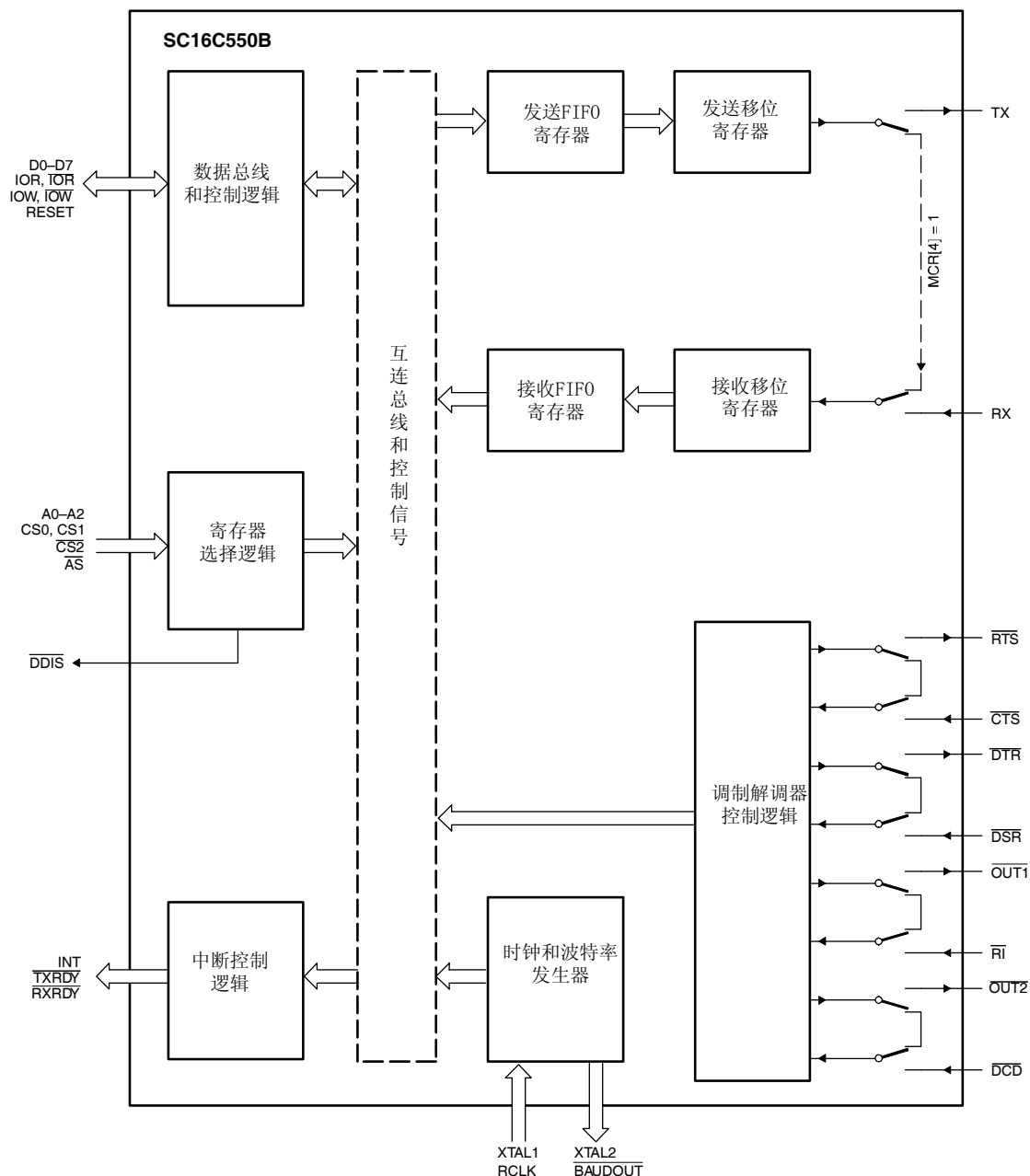


图 10 内部回送模式框图

7. 寄存器描述

表 9 列出了 SC16C550B 的 15 个内部寄存器的位功能。详细的位功能描述见 7.1 节~7.10 节。

表 9 SC16C550B 内部寄存器

A2	A1	A0	寄存器	默认值 ^[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
通用寄存器集 ^[2]												
0	0	0	RHR	XX	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0	0	0	THR	XX	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0	0	1	IER	00					调制解调器状态中断	接收线状态中断	发送保存寄存器	接收保存寄存器

续上表

A2	A1	A0	寄存器	默认值 ^[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
通用寄存器集 ^[2]												
0	1	0	FCR	00	RCVR 触发 (MSB)	RCVR 触发 (LSB)	保留	保留	DMA 模 式选择	XMIT FIFO 复位	RCVR FIFO 复位	FIFO 使能
0	1	0	ISR	01	FIFO 使能	FIFO 使能	0	0	INT 优先级位 2	INT 优先级 位 1	INT 优先级 位 0	INT 状态
0	1	1	LCR	00	除数锁 存使能	设置 间隔	奇偶 固定	偶选 择	奇偶 使能	停止位	字长度 位 1	字长度 位 0
1	0	0	MCR	00	保留		自动 流控 制使 能	回写	$\overline{\text{OUT2}}$, INT 使能	$\overline{\text{OUT1}}$	RTS	$\overline{\text{DTR}}$
1	0	1	LSR	60	FIFO 数据错 误	trans. 为空	Trans .保存 为空	间 隔 中断	帧错误	奇偶错 误	超时 错误	接收数 据就绪
1	1	0	MSR	X0	DCD	RI	DSR	CTS	$\Delta \overline{\text{DCD}}$	$\Delta \overline{\text{RI}}$	$\Delta \overline{\text{DSR}}$	$\Delta \overline{\text{CTS}}$
1	1	1	SPR	FF	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
特殊寄存器集 ^[3]												
0	0	0	DLL	XX	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0	0	1	DLM	XX	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8

[1] 给出的值是寄存器的初始 HEX 值; X=n/a。

[2] 只有当 LCR[7]为逻辑 0 时才能访问。

[3] 只有当 LCR[7]为逻辑 1 时波特率寄存器才能访问。

7.1 发送 (THR) 和接收 (RHR) 保存寄存器

串行发送器部分由一个 8 位的发送保存寄存器 (THR) 和发送移位寄存器 (TSR) 组成。THR 的状态在线状态寄存器 (LSR) 中给出。如果 THR 或 TSR 为空, 写 THR 时将会传输数据总线 (D7-D0) 的数据到 THR。当发送器为空或数据传输到 TSR 时, LSR 寄存器中的 THR 空标志置位。注意: THR 空 (逻辑 0 = FIFO 满; 逻辑 1 = 至少一个 FIFO 单元可用) 标志置位时仍可执行写操作。

串行接收器部分也包含一个 8 位的接收保存寄存器 (RHR)。接收数据通过读 RHR 寄存器从 SC16C550B 和接收 FIFO 中移走。接收部分还提供一种防止错误起始的机制。在起始位或错误起始位的下降沿, 内部的接收器计数器以 16×时钟的速率开始计数时钟。7-1/2 个时钟过后, 起始位时间应当移至起始位的中间。这时对起始位进行采样, 如果起始位仍然为 0, 则该起始位有效。用这种方法来评估起始位可以防止接收器接收到错误的字符。接收器状态码可在 LSR 中得到。

7.2 中断使能寄存器 (IER)

中断使能寄存器 (IER) 用来屏蔽接收器就绪、发送器空、线状态和调制解调器状态寄存器的中断。这些中断一般都出现在 INT 输出管脚上。

表 10 中断使能寄存器位描述

位	符号	描述
7:4	IER [7:4]	不使用。
3	IER [3]	调制解调器状态中断。 逻辑 0=禁能调制解调器状态寄存器中断（正常默认条件）。 逻辑 1=使能调制解调器状态寄存器中断。
2	IER [2]	接收线状态中断。只要一个完整的接收字符从 RSR 传输到 RHR/FIFO 时，就产生该中断。如，数据就绪，LSR[0]。 逻辑 0=禁能接收器线状态中断（正常默认条件）。 逻辑 1=使能接收器线状态中断。
1	IER [1]	发送保存寄存器中断。只要 THR 为空，并与 LSR[1]有关时，就产生该中断。 逻辑 0=禁能发送器空的中断（正常默认条件）。 逻辑 1=使能发送器空的中断。
0	IER [0]	接收保存寄存器中断。在 FIFO 模式中，当 FIFO 到达编程的触发点时产生该中断；当 FIFO 降至低于触发点时该中断被清除。 逻辑 0=禁能接收器就绪中断（正常默认条件）。 逻辑 1=使能接收器就绪中断。

7.2.1 IER 与接收 FIFO 中断模式操作

当接收 FIFO (FCR[0]=逻辑 1) 和接收中断 (IER[0]=逻辑 1) 被使能时，接收中断和寄存器状态将反映以下情况：

- 当 FIFO 到达编程触发点时向外部 CPU 申请可接收数据的中断。当 FIFO 降到编程触发点以下时该中断被清除。
- 当到达 FIFO 触发点时，FIFO 状态也将反映在用户可访问的 ISR 寄存器中。当 FIFO 降到触发点以下时，ISR 寄存器状态位和中断都将被清除。
- 每当一个字符从移位寄存器 (RSR) 传输到接收 FIFO，接收数据就绪位 (LSR[0]) 就置位。FIFO 为空时接收数据就绪位被复位。

7.2.2 IER 与接收/发送 FIFO 查询模式操作

当 FCR[0]=逻辑 1 时，复位 IER[0:3]来使能 SC16C550B 的 FIFO 查询模式。由于接收器和发送器在 LSR 寄存器中都对应不同的位，因此通过选择相应的发送或接收控制位可使任何一位或两个位都用在查询模式中。

- 只要接收 FIFO 中含有一个字节的数据，LSR[0]就置位。
- LSR[1:4]指出出现的任何错误类型。
- LSR[5]指示发送 FIFO 何时为空。
- LSR[6]指示发送 FIFO 和发送移位寄存器何时都为空。
- LSR[7]指示 FIFO 数据出错。

7.3 FIFO 控制寄存器 (FCR)

该寄存器用来使能 FIFO、清空 FIFO、设置接收 FIFO 触发点和选择 DMA 模式。

7.3.1 DMA 模式

模式 0 (FCR 位 3= '0'): 设置和使能每个单次发送或接收操作的中断，与 16C450 模式类似。只要发送保存寄存器 (THR) 内有一个空的发送单元可用，发送就绪管脚 ($\overline{\text{TXRDY}}$) 就变为逻辑 0。只要接收

保存寄存器 (RHR) 装入一个字符, 接收就绪管脚 ($\overline{\text{RXRDY}}$) 就变为逻辑 0。

模式 1 (FCR 位 3= '1'): 设置和使能字符块模式操作的中断。当发送 FIFO 有至少一个空单元时, 就产生发送中断。当接收 FIFO 填充到编程触发点时, 就产生接收中断。但是, FIFO 将继续填充, 直到 FIFO 装满, 与编程触发点无关。只要 FIFO 填充点在编程触发点以上, $\overline{\text{RXRDY}}$ 仍保持为逻辑 0。

7.3.2 FIFO 模式

表 11 FIFO 控制寄存器位描述

位	符号	描述
7-6	FCR[7] (MSB), FCR[6] (LSB)	RCVR 触发。这两位被用来设置接收 FIFO 中断的触发点。 当 FIFO 中的字符数等于编程触发点时产生中断。但是, FIFO 将继续装载数据, 直到 FIFO 装满。请参考表 12。
5-4	FCR[5] (MSB), FCR[4] (LSB)	不使用; 设置为 00。
3	FCR[3]	DMA 模式选择。 逻辑 0=设置 DMA 模式 '0' (正常默认条件) 逻辑 1=设置 DMA 模式 '1' 模式 '0' 的发送操作: 当 SC16C550B 工作在 16C450 模式 (FIFO 禁能; FCR[0]=逻辑 0) 或 FIFO 模式 (FIFO 使能; FCR[0]=逻辑 1; FCR[3]=逻辑 0) 时, 并且当发送 FIFO 或发送保存寄存器中没有字符时, $\overline{\text{TXRDY}}$ 管脚将为逻辑 0。一旦有效, 当第一个字符被装入发送保存寄存器后 $\overline{\text{TXRDY}}$ 管脚将变为逻辑 1。 模式 '0' 的接收操作: 当 SC16C550B 工作在 16C450 模式, 或 FIFO 模式 (FCR[0]=逻辑 1; FCR[3]=逻辑 0) 且接收 FIFO 中至少含有一个字符时, $\overline{\text{RXRDY}}$ 管脚将为逻辑 0。一旦有效, 当接收器中没有字符时, $\overline{\text{RXRDY}}$ 管脚将变为逻辑 1。 模式 '1' 的发送操作: 如果 SC16C550B 工作在 FIFO 模式 (FCR[0]=逻辑 1; FCR[3]=逻辑 1), 当发送 FIFO 完全装满时, $\overline{\text{TXRDY}}$ 管脚将为逻辑 1。如果有一个或更多的 FIFO 地址单元为空, $\overline{\text{TXRDY}}$ 将变为逻辑 0。 模式 '1' 的接收操作: 当 SC16C550B 工作在 FIFO 模式 (FCR[0]=逻辑 1; FCR[3]=逻辑 1) 和已经达到触发点或出现接收超时, $\overline{\text{RXRDY}}$ 管脚将变为逻辑 0。一旦有效, FIFO 中没有字符后, $\overline{\text{RXRDY}}$ 脚将变为逻辑 1。
2	FCR[2]	XMIT FIFO 复位。 逻辑 0=发送 FIFO 不复位 (正常默认条件)。 逻辑 1=清空发送 FIFO 并复位 FIFO 计数器逻辑 (发送移位寄存器的内容不清除或改变)。FIFO 清空后该位将返回逻辑 0。
1	FCR[1]	RCVR FIFO 复位。 逻辑 0=没有 FIFO 接收复位 (正常默认条件)。 逻辑 1=清空接收 FIFO 和复位 FIFO 计数器逻辑 (接收移位寄存器的内容不清除或改变)。FIFO 清空后该位将返回逻辑 0。
0	FCR[0]	FIFO 使能。 逻辑 0=禁能发送和接收 FIFO (正常默认条件)。 逻辑 1=使能发送和接收 FIFO。当其它 FCR 位被写入或不被编程时该位必须为 '1'。

表 12 RCVR 触发点

FCR[7]	FCR[6]	RX FIFO 触发点 (字节)
0	0	1
0	1	4
1	0	8
1	1	14

7.4 中断状态寄存器 (ISR)

SC16C550B 提供了 4 种中断优先级, 可以最大限度地降低外部软件的关联。中断状态寄存器 (ISR) 为用户提供了 4 个中断状态位。用户可通过读取 ISR 来得知被服务的最高优先级中断。这时, 不会响应其它中断, 直到该中断被处理完。无论何时读中断状态寄存器, 中断状态都会被清除。然而应该注意, 在读的过程中, 只有当前待处理的中断被清除。重新读取中断状态位后才能知道待处理下一个优先级更低的中断。表 13 “中断源” 列出了 4 个中断优先级对应的数据值 (bit 0~3) 和每个中断优先级对应的中断源。

表 13 中断源

优先级	ISR [3]	ISR [2]	ISR [1]	ISR [0]	中断源
1	0	1	1	0	LSR (接收器线状态寄存器)
2	0	1	0	0	RXRDY (接收数据就绪)
2	1	1	0	0	RXRDY (接收数据超时)
3	0	0	1	0	TXRDY (发送器保存寄存器空)
4	0	0	0	0	MSR (调制解调器状态寄存器)

表 14 中断状态寄存器位描述

位	符号	描述
7:6	ISR[7:6]	FIFO 使能。当 FIFO 不被使用时这两位清零。当 FIFO 使能时它们被置位。 逻辑 0 或被清零=默认条件。
5:4	ISR[5:4]	不使用。
3:1	ISR[3:1]	INT 优先级位 2-0。这些位用来指示优先级 1、2 和 3 的待处理的中断源 (见表 13)。 逻辑 0 或被清零=默认条件。
0	ISR[0]	INT 状态。 逻辑 0=有待处理的中断, ISR 的内容可用作相应中断服务程序的指针。 逻辑 1=无待处理的中断 (正常默认条件)。

7.5 线控制寄存器 (LCR)

线控制寄存器用来指定异步数据通信的格式。通过写寄存器的相应位来选择数据通信的字长度、停止位个数和奇偶性。

表 15 线控制寄存器位描述

位	符号	描述
7	LCR[7]	除数锁存使能。内部波特率计数器锁存且增强特性模式使能。 逻辑 0=除数锁存禁能 (正常默认条件)。 逻辑 1=除数锁存和增强型特性寄存器使能。
6	LCR[6]	设置间隔。使能时, 间隔控制位使得间隔条件被发送 (TX 输出强制为逻辑 0 状态)。 该条件将一直保持, 直到通过清零 LCR[6]将其禁能。 逻辑 0=没有 TX 间隔条件 (正常默认条件) 逻辑 1=强制发送器输出 (TX) 为逻辑 0, 使出现线间隔条件时向远程接收器报警。

续上表

位	符号	描述
5	LCR[5]	奇偶固定。如果奇偶位被使能，LCR[5]选择强制的奇偶格式。编程奇偶条件（见表16）。 逻辑0=不强制奇偶（正常默认条件） LCR[5]=逻辑1和LCR[4]=逻辑0：发送和接收数据时奇偶位被强制为逻辑1。 LCR[5]=逻辑1和LCR[4]=逻辑1：发送和接收数据时奇偶位被强制为逻辑0。
4	LCR[4]	偶数选择。如果奇偶位通过LCR[3]设置为逻辑1来使能，LCR[4]选择偶数或奇数的格式。 逻辑0=通过强制使发送数据中包含奇数个1来产生奇数格式。必须编程接收器来检测相同的格式（正常默认条件）。 逻辑1=通过强制使发送数据中包含偶数个1来产生偶数格式。必须编程接收器来检测相同的格式。
3	LCR[3]	奇偶使能。通过该位可选择奇偶或无奇偶。 逻辑0=无奇偶（正常默认条件）。 逻辑1=在发送过程中一个奇偶位产生，接收器检测发送数据和奇偶的错误。
2	LCR[2]	停止位。停止位的长度由该位和编程的字长度决定（见表17）。 逻辑0或被清零=默认条件。
1:0	LCR[1:0]	字长度位1,0。这两位用来指定发送或接收的字长度（见表18）。 逻辑0或被清零=默认条件。

表16 LCR[5]奇偶选择

LCR[5]	LCR[4]	LCR[3]	奇偶选择
X	X	0	无奇偶
0	0	1	奇数
0	1	1	偶数
1	0	1	强制为‘1’
1	1	1	强制为‘0’

表17 LCR[2]停止位长度

LCR[2]	字长度	停止位长度（位时间）
0	5, 6, 7, 8	1
1	5	1- $\frac{1}{2}$
1	6, 7, 8	2

表18 LCR[1:0]字长度

LCR[1]	LCR[0]	字长度
0	0	5
0	1	6
1	0	7
1	1	8

7.6 调制解调器控制寄存器 (MCR)

该寄存器控制着 SC16C550B 和调制解调器或外围器件的连接。

表 19 调制解调器控制寄存器位描述

位	符号	描述
7	MCR[7]	保留; 设置为 '0'。
6	MCR[6]	保留; 设置为 '0'。
5	MCR[5]	自动流控制使能。
4	MCR[4]	环回。使能局部环回模式 (诊断)。该模式中, 发送器输出 (\overline{TX}) 和接收器输入 (\overline{RX})、 \overline{CTS} 、 \overline{DSR} 、 \overline{DCD} 和 \overline{RI} 断开与 SC16C550B I/O 管脚的连接。调制解调器数据和控制管脚连接成环回数据配置 (见图 10)。环回模式下, 接收器和发送器中断仍然有效。调制解调器控制中断也还有效, 但中断源变为调制解调器控制寄存器低 4 位所控制的中断。中断继续受 IER 寄存器的控制。 逻辑 0=禁能环回模式 (正常默认条件)。 逻辑 1=使能局部环回模式 (诊断)。
3	MCR[3]	$\overline{OUT2}$, \overline{INTx} 使能。用于控制环回模式中的调制解调器 \overline{DCD} 信号。 逻辑 0=强制 \overline{INT} 输出为三态模式。环回模式下, 设置 $\overline{OUT2}$ (\overline{DCD}) 为逻辑 1 (正常默认条件)。 逻辑 1=强制 \overline{INT} 输出有效。环回模式下, 设置 $\overline{OUT2}$ (\overline{DCD}) 为逻辑 0。
2	MCR[2]	($\overline{OUT1}$)。该位仅用于环回模式中。环回模式下, 该位通过 $\overline{OUT1}$ 写调制解调器 \overline{RI} 接口信号的状态。
1	MCR[1]	\overline{RTS} 逻辑 0=强制 \overline{RTS} 输出为逻辑 1 (正常默认条件)。 逻辑 1=强制 \overline{RTS} 输出为逻辑 0。
0	MCR[0]	\overline{DTR} 逻辑 0=强制 \overline{DTR} 输出为逻辑 1 (正常默认条件)。 逻辑 1=强制 \overline{DTR} 输出为逻辑 0。

7.7 线状态寄存器 (LSR)

该寄存器提供了 SC16C550B 和 CPU 之间数据传输的状态。

表 20 线状态寄存器位描述

位	符号	描述
7	LSR[7]	FIFO 数据错误。 逻辑 0=无错误 (正常默认条件)。 逻辑 1=当前的 FIFO 数据中至少有一个奇偶错误、帧错误或间隔指示。当读 LSR 寄存器时该位被清零。
6	LSR[6]	THR 和 TSR 为空。该位是发送空指示器。当发送保存寄存器和发送移位寄存器都为空时该位置位。只要 THR 或 TSR 包含一个数据字符, 该位就复位为逻辑 0。在 FIFO 模式中, 当发送 FIFO 和发送移位寄存器都为空时该位置位。
5	LSR[5]	THR 为空。该位是发送保存寄存器空指示器。该位用来指示 UART 准备接收一个新的字符, 以供发送。另外, 当 THR 中断被使能时, 该位可使 UART 向 CPU 申请中断。当一个字符从发送保存寄存器发送到发送移位寄存器时, THR 位被置位。该位被清零时, CPU 装载发送保存寄存器。在 FIFO 模式中, 发送 FIFO 为空时该位置位; 至少有一个字节写入发送 FIFO 时该位被清零。

续上表

位	符号	描述
4	LSR[4]	间隔中断。 逻辑 0=无间隔条件（正常默认条件）。 逻辑 1=接收器接收到一个间隔信号(一个字符帧时间内 RX 为逻辑 0)。在 FIFO 模式中，只有一个间隔字符被装入 FIFO。
3	LSR[3]	帧错误。 逻辑 0=无帧错误（正常默认条件）。 逻辑 1=帧错误。接收字符不含有效停止位。在 FIFO 模式中，帧错误与 FIFO 顶端的字符有关。
2	LSR[2]	奇偶错误。 逻辑 0=无奇偶错误（正常默认条件）。 逻辑 1=奇偶错误。接收的字符不包含正确的奇偶信息，因而其准确性受到置疑。在 FIFO 模式中，奇偶错误与 FIFO 顶端的字符有关。
1	LSR[1]	超时错误。 逻辑 0=无超时错误（正常默认条件）。 逻辑 1=超时错误。数据的超时错误出现在接收移位寄存器中。当 FIFO 已满时还有其它数据到达时出现该错误。这时，移位寄存器里前面的数据将被覆盖。注意：这种条件下，接收移位寄存器的数据字节不会传输到 FIFO，因此超时错误并不会破坏 FIFO 中的数据。
0	LSR[0]	接收数据就绪。 逻辑 0=接收保存寄存器或 FIFO 中无数据（正常默认条件）。 逻辑 1=数据已被接收并保存在接收保存寄存器或 FIFO 中。

7.8 调制解调器状态寄存器（MSR）

该寄存器给出了 SC16C550B 连接的调制解调器或其它外围器件的控制接口信号的当前状态。MSR 中有 4 个位用来指示改变的信息。当调制解调器的控制输入状态发生改变时这 4 个位被置位。当 CPU 读 MSR 时它们被清零。

表 21 调制解调器状态寄存器位描述

位	符号	描述
7	MSR[7]	数据载波检测 , DCD (高电平有效, 逻辑 1)。正常工作模式下, 该位是 $\overline{\text{DCD}}$ 输入的补码。环回模式中该位等效于 MCR 寄存器位 OUT2。
6	MSR[6]	响铃指示器 , RI (高电平有效, 逻辑 1)。正常工作模式下, 该位是 $\overline{\text{RI}}$ 输入的补码。环回模式中该位等效于 MCR 寄存器位 OUT1。
5	MSR[5]	数据设备就绪 , DSR (高电平有效, 逻辑 1)。正常工作模式下, 该位是 $\overline{\text{DSR}}$ 输入的补码。环回模式中该位等效于 MCR 寄存器位 DTR。
4	MSR[4]	清除发送 , CTS。如果 $\overline{\text{CTS}}$ 通过 MCR[5]使能, 它可用作硬件流控制信号输入。发送保存寄存器流控制通过 MSR[4]使能或禁能。流控制(当使能时)实现基于外部调制解调器 $\overline{\text{CTS}}$ 信号发送的开始和停止。若 $\overline{\text{CTS}}$ 管脚为逻辑 1, 一旦当前字符发送完后, $\overline{\text{CTS}}$ 就停止 SC16C550B 的传输。正常工作模式下, MSR[4] 是 $\overline{\text{CTS}}$ 输入的补码。然而, 在环回模式中, 该位等效于 MCR 寄存器位 RTS。

续上表

位	符号	描述
3	MSR[3]	$\Delta \overline{DCD}^{[1]}$ 逻辑 0 = \overline{DCD} 状态不发生改变 (正常默认条件)。 逻辑 1 = SC16C550B 的 \overline{DCD} 输入的状态自从上次被读取后就发生了改变。这时将产生调制解调器状态中断。
2	MSR[2]	$\Delta \overline{RI}^{[1]}$ 。 逻辑 0 = \overline{RI} 状态不发生改变 (正常默认条件)。 逻辑 1 = SC16C550B 的 \overline{RI} 输入从逻辑 0 变为逻辑 1。这时将产生调制解调器状态中断。
1	MSR[1]	$\Delta \overline{DSR}^{[1]}$ 。 逻辑 0 = \overline{DSR} 状态不发生改变 (正常默认条件)。 逻辑 1 = SC16C550B 的 \overline{DSR} 输入的状态自从上次被读取后就发生了改变。这时将产生调制解调器状态中断。
0	MSR[0]	$\Delta \overline{CTS}^{[1]}$ 。 逻辑 0 = \overline{CTS} 状态不发生改变 (正常默认条件)。 逻辑 1 = SC16C550B 的 \overline{CTS} 输入的状态自从上次被读取后就发生了改变。这时将产生调制解调器状态中断。

[1] MSR 位 0~3 中的任何一位被置位都将产生调制解调器状态中断。

7.9 暂存寄存器 (SPR)

SC16C550B 提供了一个暂时的数据存储器, 用来存放 8 位的用户信息。

7.10 SC16C550B 外部复位条件

表 22 寄存器的复位状态

寄存器	复位状态
IER	IER[7:0]=0
ISR	ISR[7:1]=0; ISR[0]=1
LCR	LCR[7:0]=0
MCR	MCR[7:0]=0
LSR	LSR[7]=0; LSR[6:5]=1; LSR[4:0]=0
MSR	MSR[7:4]=输入信号; MSR[3:0]=0
FCR	FCR[7:0]=0

表 23 输出的复位状态

输出	复位状态
TX	高
\overline{RTS}	高
\overline{DTR}	高
\overline{RXRDY}	高
\overline{TXRDY}	低

8. 极限值

表 24 极限值

遵循绝对额定系统规范 (IEC 60134)

符号	参数	条件	最小	最大	单位
V _{cc}	电源电压		-	7	V
V _n	任何管脚的电压		GND - 0.3	V _{cc} +0.3	V
T _{amb}	工作温度		- 40	+85	°C
T _{stg}	存储温度		- 65	+150	°C
P _{tot(pack)}	每个封装的总功耗		-	500	mW

9. 静态特性

表 25 DC 电气特性

T_{amb} = -40°C ~ +85°C; V_{cc} = 2.5V、3.3V 或 5.0V ± 10%，除非特别说明。

符号	参数	条件	2.5V		3.3V		5.0V		单位
			最小	最大	最小	最大	最小	最大	
V _{IL(CK)}	低电平时钟输入电压		-0.3	0.45	-0.3	0.6	-0.5	0.6	V
V _{IH(CK)}	高电平时钟输入电压		1.8	V _{cc}	2.4	V _{cc}	3.0	V _{cc}	V
V _{IL}	低电平输入电压		-0.3	0.65	-0.3	0.8	-0.5	0.8	V
V _{IH}	高电平输入电压		1.6	-	2.0	-	2.2	V _{cc}	V
V _{OL}	所有输出的低电平输出电压 ^[1]	I _{OL} =5mA (数据总线)	-	-	-	-	-	0.4	V
		I _{OL} =4mA (其它输出)	-	-	-	0.4	-	-	V
		I _{OL} =2mA (数据总线)	-	0.4	-	-	-	-	V
		I _{OL} =1.6mA (其它输出)	-	0.4	-	-	-	-	V
V _{OH}	高电平输出电压	I _{OH} = - 5mA (数据总线)	-	-	-	-	2.4	-	V
		I _{OH} = - 1mA (其它输出)	-	-	2.0	-	-	-	V
		I _{OH} = - 800uA (数据总线)	1.85	-	-	-	-	-	V
		I _{OH} = - 400uA (其它输出)	1.85	-	-	-	-	-	V
I _{LIL}	低电平输入漏电流		-	± 10	-	± 10	-	± 10	uA
I _{CL}	时钟漏电流		-	± 30	-	± 30	-	± 30	uA
I _{CC}	平均电源电流	f = 5MHz	-	3.5	-	4.5	-	4.5	mA
C _i	输入电容		-	5	-	5	-	5	pF
R _{pu(int)}	内部上拉电阻		500	-	500	-	500	-	KΩ

[1] 参考第六页表 2 “管脚描述”中所列举的有上拉电阻的管脚。

[2] 除 X2 管脚外, $V_{OL}=1V$ (典型值)。

10. 动态特性

表 26 AC 电气特性

$T_{amb} = -40^{\circ}C \sim +85^{\circ}C$; $V_{cc}=2.5V$ 、 $3.3V$ 或 $5.0V \pm 10\%$, 除非特别说明。

符号	参数	条件	2.5V		3.3V		5.0V		单位
			最小	最大	最小	最大	最小	最大	
t_{1w}, t_{2w}	时钟脉冲周期		15	-	13	-	10	-	ns
t_{3w}	时钟频率	[1]	-	16	-	32		48	MHz
t_{4w}	地址选通宽度		45	-	35	-	25	-	ns
t_{5s}	地址建立时间		5	-	5	-	1	-	ns
t_{5h}	地址保持时间		5	-	5	-	5	-	ns
t_{6s}	芯片选择建立时间到 \overline{AS}		10	-	5	-	0	-	ns
t_{6h}	地址保持时间		0	-	0	-	0	-	ns
$t_{6s'}$	地址建立时间	[2]	10	-	10	-	5	-	ns
t_{6h}	芯片选择保持时间		0	-	0	-	0	-	ns
t_{7d}	芯片选择到 \overline{IOR} 的延时		10	-	10	-	10	-	ns
t_{7w}	\overline{IOR} 选通宽度	25pF 负载	77	-	26	-	23	-	ns
t_{7h}	\overline{IOR} 到芯片选择保持时间		0	-	0	-	0	-	ns
$t_{7h'}$	地址保持时间	[2]	5	-	5	-	5	-	ns
t_{8d}	地址到 \overline{IOR} 延时		10	-	10	-	10	-	ns
t_{9d}	读周期延时	25pF 负载	20	-	20	-	20	-	ns
t_{11d}	\overline{IOR} 到 \overline{DDIS} 延时	25pF 负载	-	100	-	35	-	30	ns
t_{12d}	\overline{IOR} 到数据的延时	25pF 负载	-	77	-	26	-	23	ns
t_{12h}	数据禁能时间	25pF 负载	-	15	-	15	-	15	ns
t_{13d}	芯片选择到 \overline{IOW} 的延时		10	-	10	-	10	-	ns
t_{13w}	\overline{IOW} 选通宽度		20	-	20	-	15	-	ns
t_{13h}	\overline{IOW} 到芯片选择保持时间		0	-	0	-	0	-	ns
t_{14d}	地址到 \overline{IOW} 延时		10	-	10	-	10	-	ns
t_{15d}	写周期延时		25	-	25	-	20	-	ns
t_{16s}	数据建立时间		20	-	20	-	15	-	ns
t_{16h}	数据保持时间		15	-	5	-	5	-	ns
t_{17d}	\overline{IOW} 到输出的延时	25pF 负载	-	100	-	33	-	29	ns

续上表

符号	参数	条件	2.5V		3.3V		5.0V		单位
			最小	最大	最小	最大	最小	最大	
t _{18d}	调制解调器输入到设置中断的延时	25pF 负载	-	100	-	24	-	23	ns
t _{19d}	$\overline{\text{IOR}}$ 到复位中断的延时	25pF 负载	-	100	-	24	-	23	ns
t _{20d}	停止到设置中断的延时		-	1	-	1	-	1	R _{CLK}
t _{21d}	$\overline{\text{IOR}}$ 到复位中断的延时	25pF 负载	-	100	-	29	-	28	ns
t _{22d}	开始到设置中断的延时		-	100	-	45	-	40	ns
t _{23d}	$\overline{\text{IOW}}$ 到发送开始的延时		8	24	8	24	8	24	R _{CLK}
t _{24d}	$\overline{\text{IOW}}$ 到复位中断的延时		-	100	-	45	-	40	ns
t _{25d}	停止到设置 $\overline{\text{RXRDY}}$ 的延时		-	1	-	1	-	1	R _{CLK}
t _{26d}	$\overline{\text{IOR}}$ 到复位 $\overline{\text{RXRDY}}$ 的延时		-	100	-	45	-	40	ns
t _{27d}	$\overline{\text{IOW}}$ 到设置 $\overline{\text{TXRDY}}$ 的延时		-	100	-	45	-	40	ns
t _{28d}	开始到复位 $\overline{\text{TXRDY}}$ 的延时		-	8	-	8	-	8	R _{CLK}
t _{RESET}	复位脉冲宽度		100	-	40	-	40	-	ns
N	波特率除数		1	2 ¹⁶ -1	1	2 ¹⁶ -1	1	2 ¹⁶ -1	R _{CLK}

[1] 用于外部时钟，晶体振荡器最大为 24MHz。

[2] 只有当 $\overline{\text{AS}}$ 为低电平时可用。

10.1 时序框图

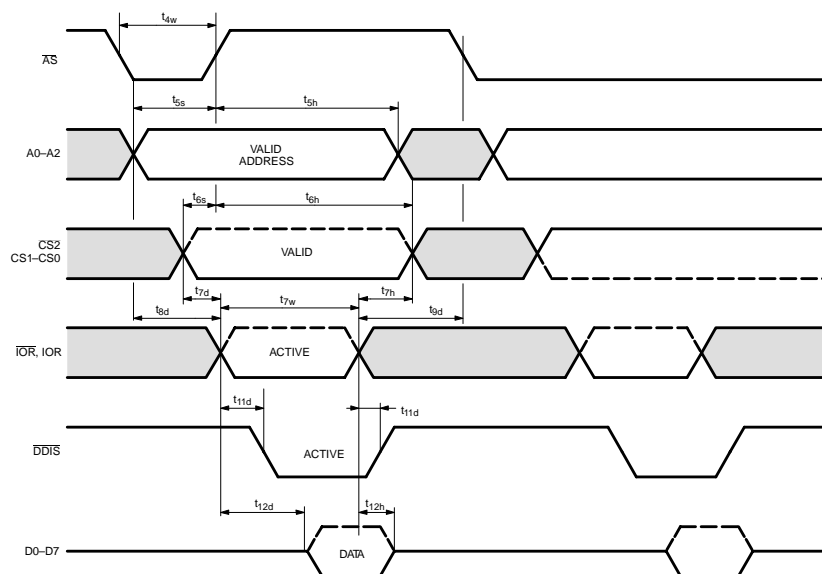


图 11 当使用 \overline{AS} 信号时的通用读时序

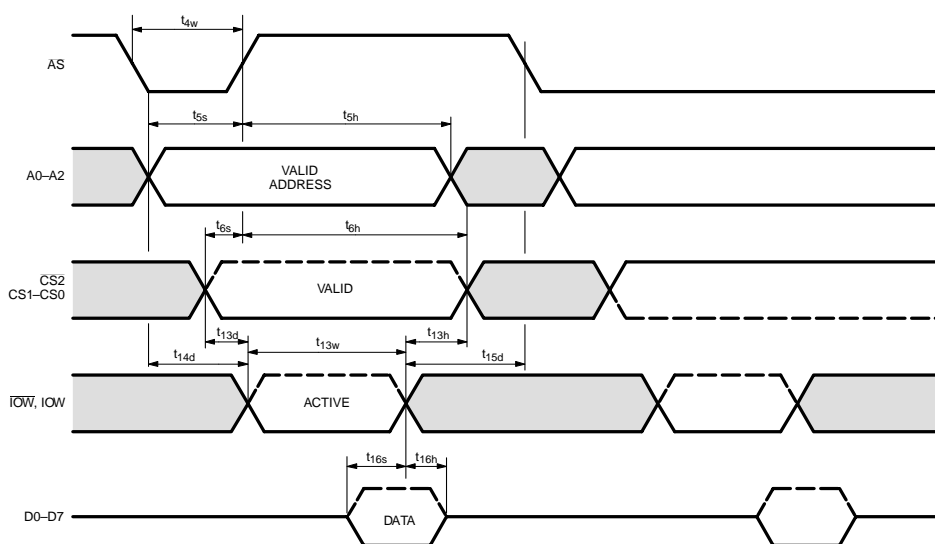


图 12 当使用 \overline{AS} 信号时的通用写时序

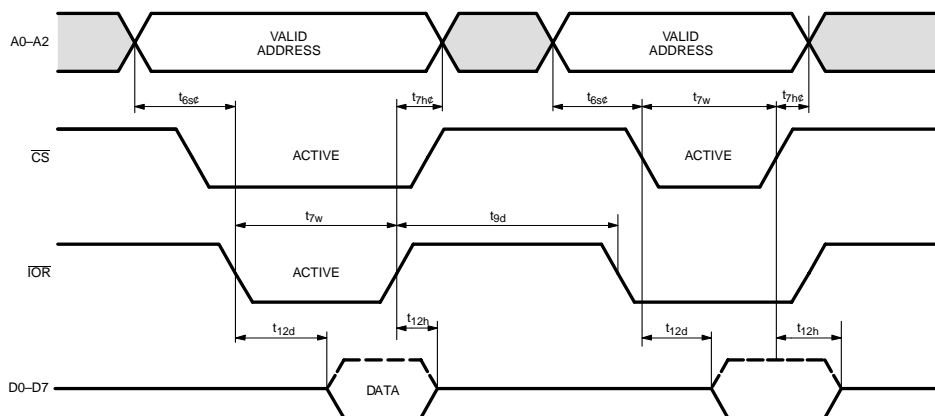


图 13 当 \overline{AS} 接地时的通用读时序

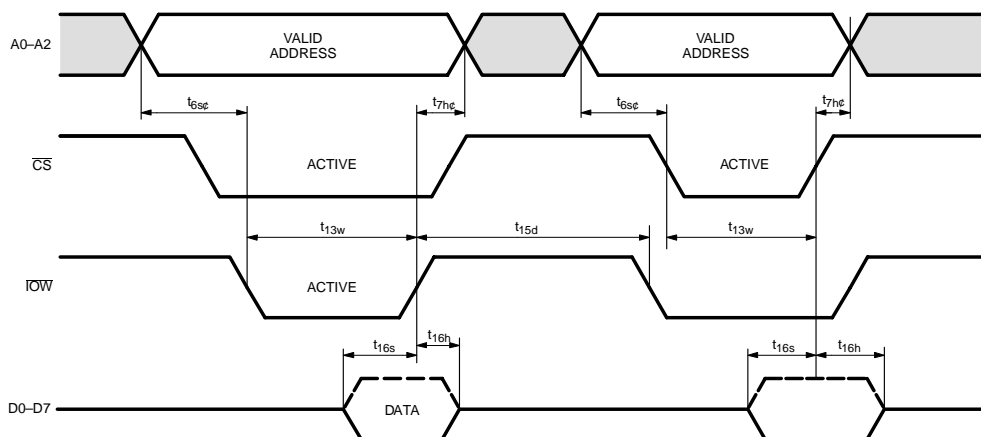


图 14 当 \overline{CS} 接地时的通用写时序

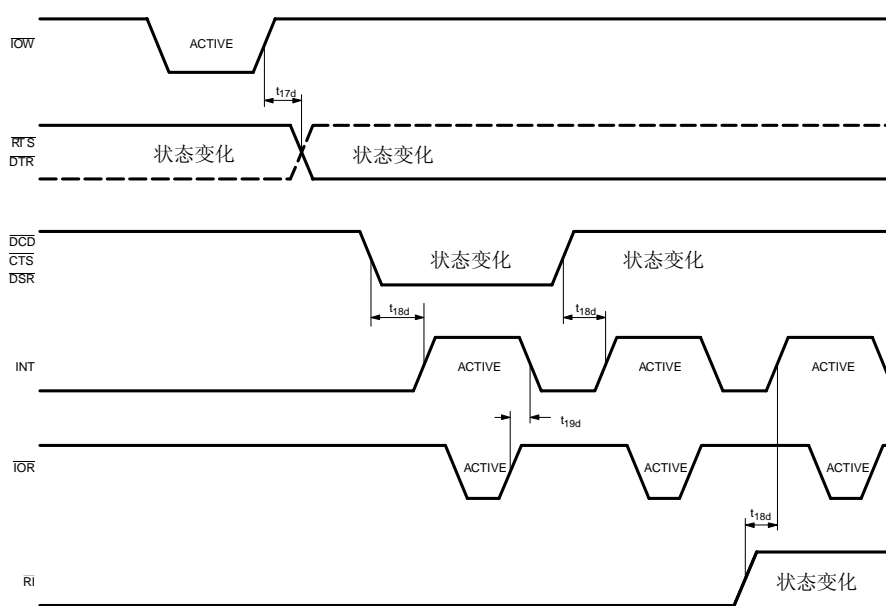


图 15 调制解调器输入/输出时序

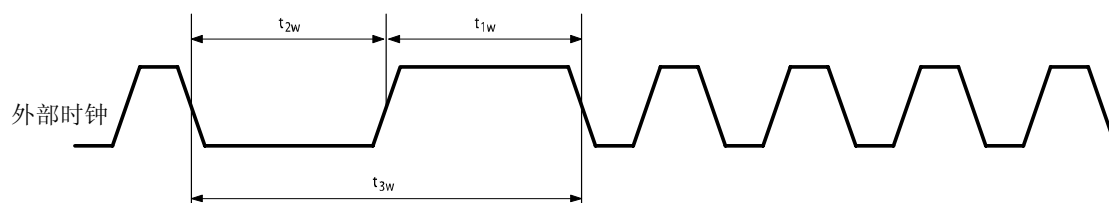


图 16 外部时钟时序

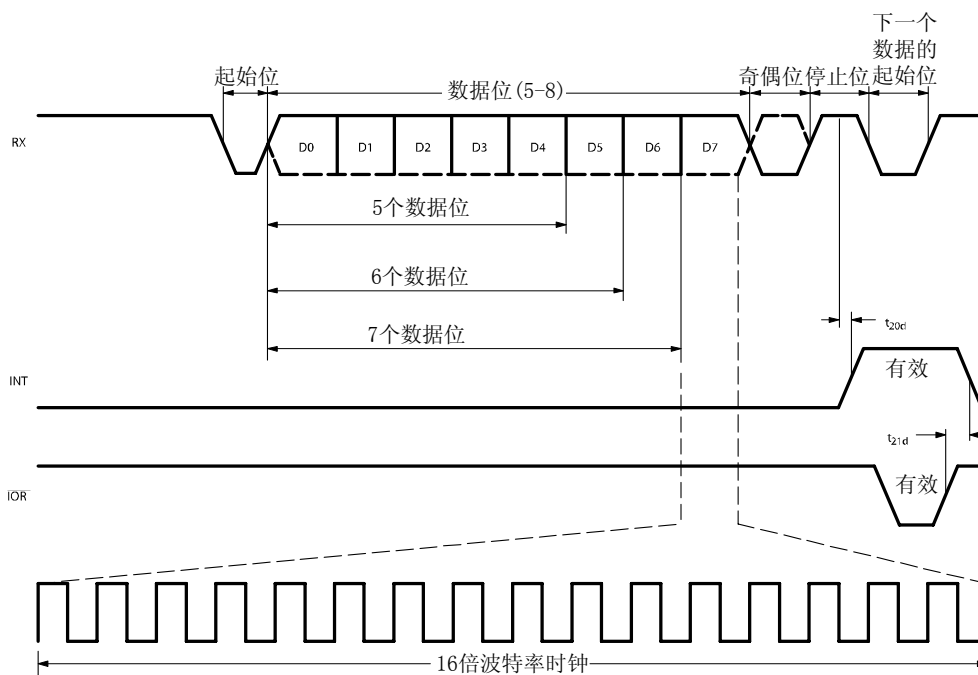


图 17 接收时序

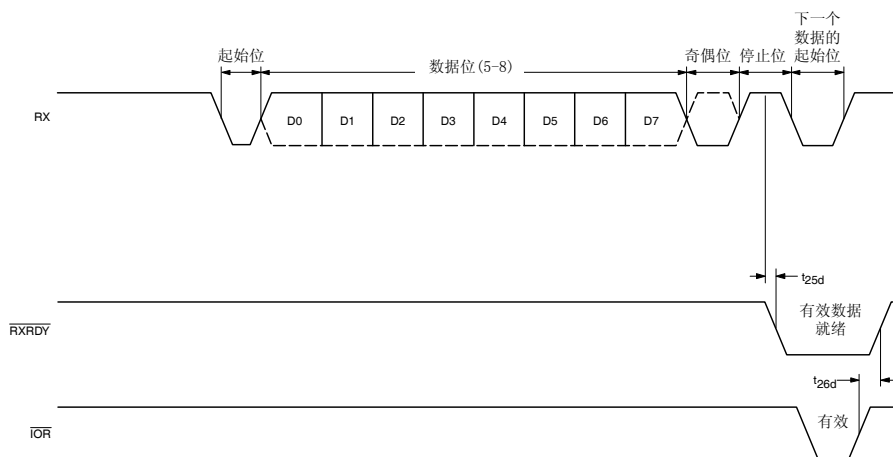


图 18 非 FIFO 模式下的接收就绪时序

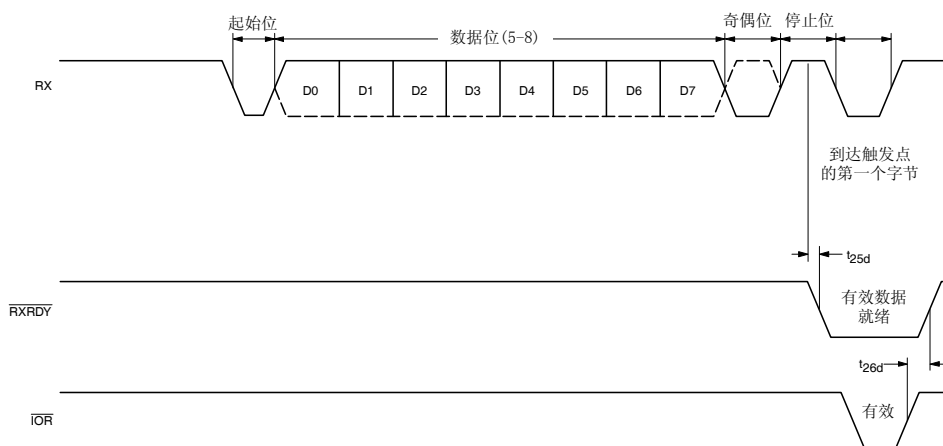


图 19 FIFO 模式下的接收就绪时序

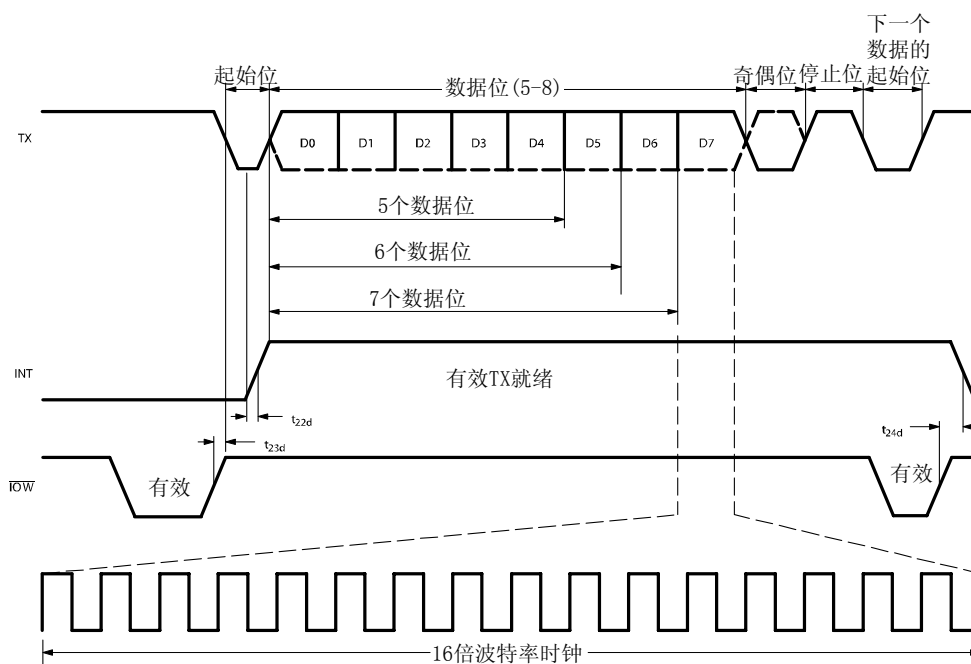


图 20 发送时序

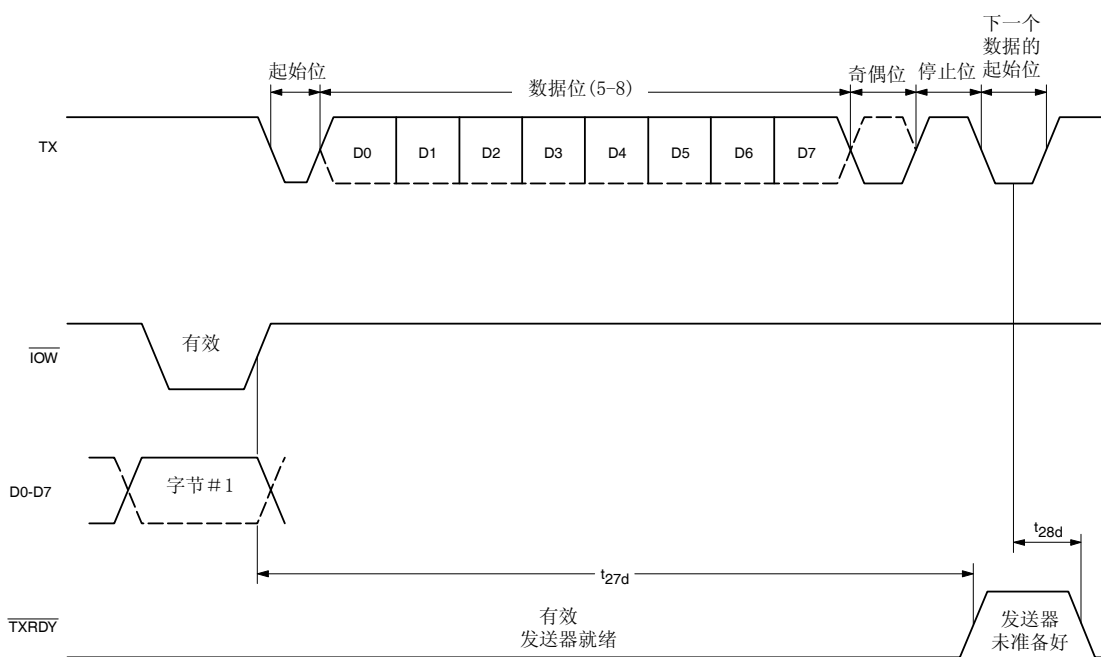


图 21 非 FIFO 模式下的发送就绪时序

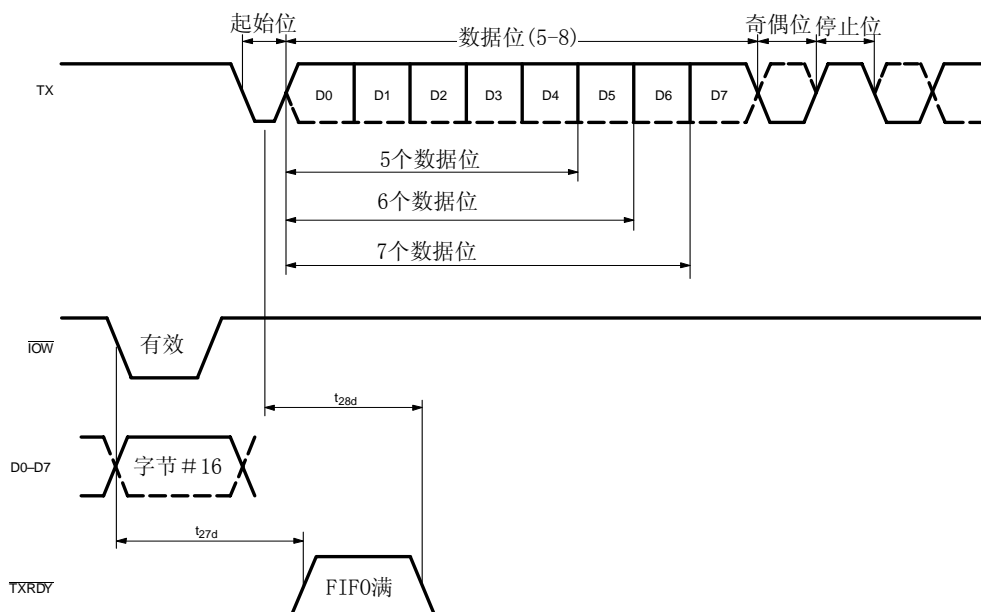
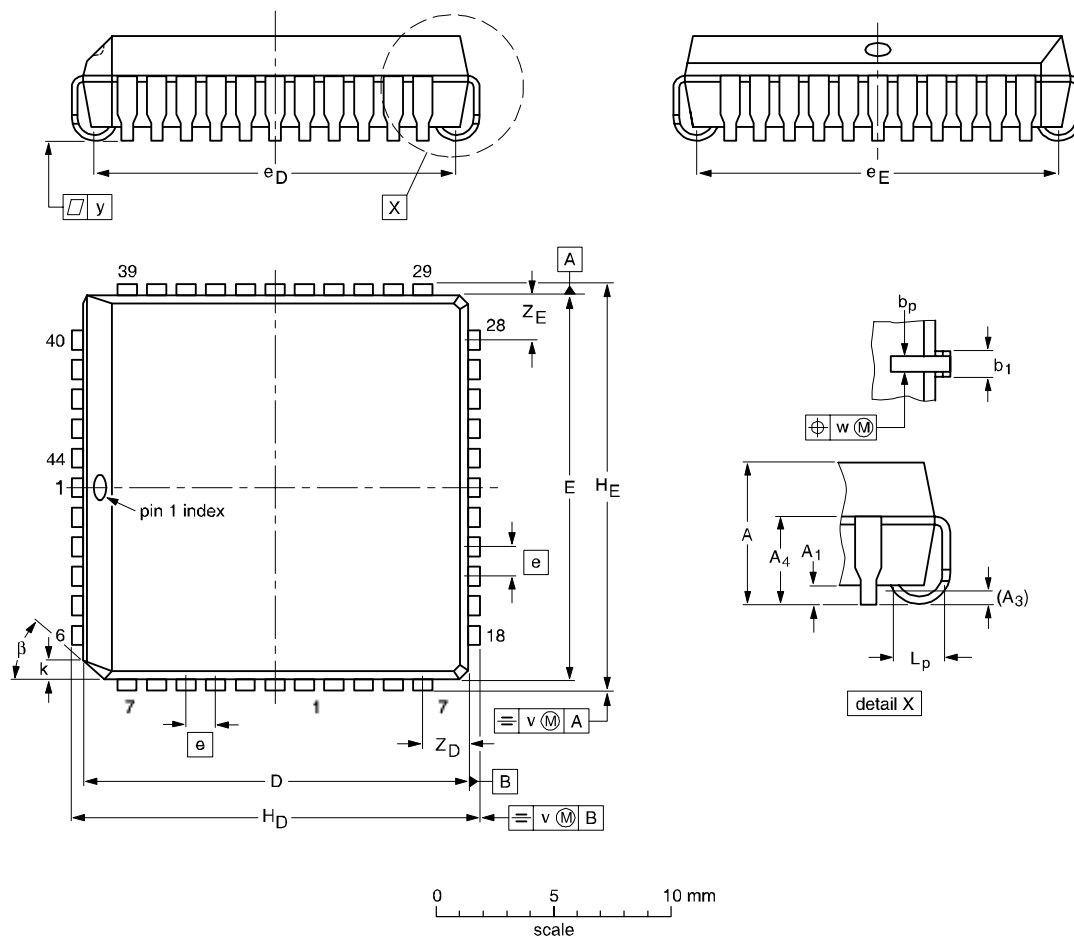


图 22 FIFO 模式下的发送就绪时序 (DMA 模式 '1')

11. 封装

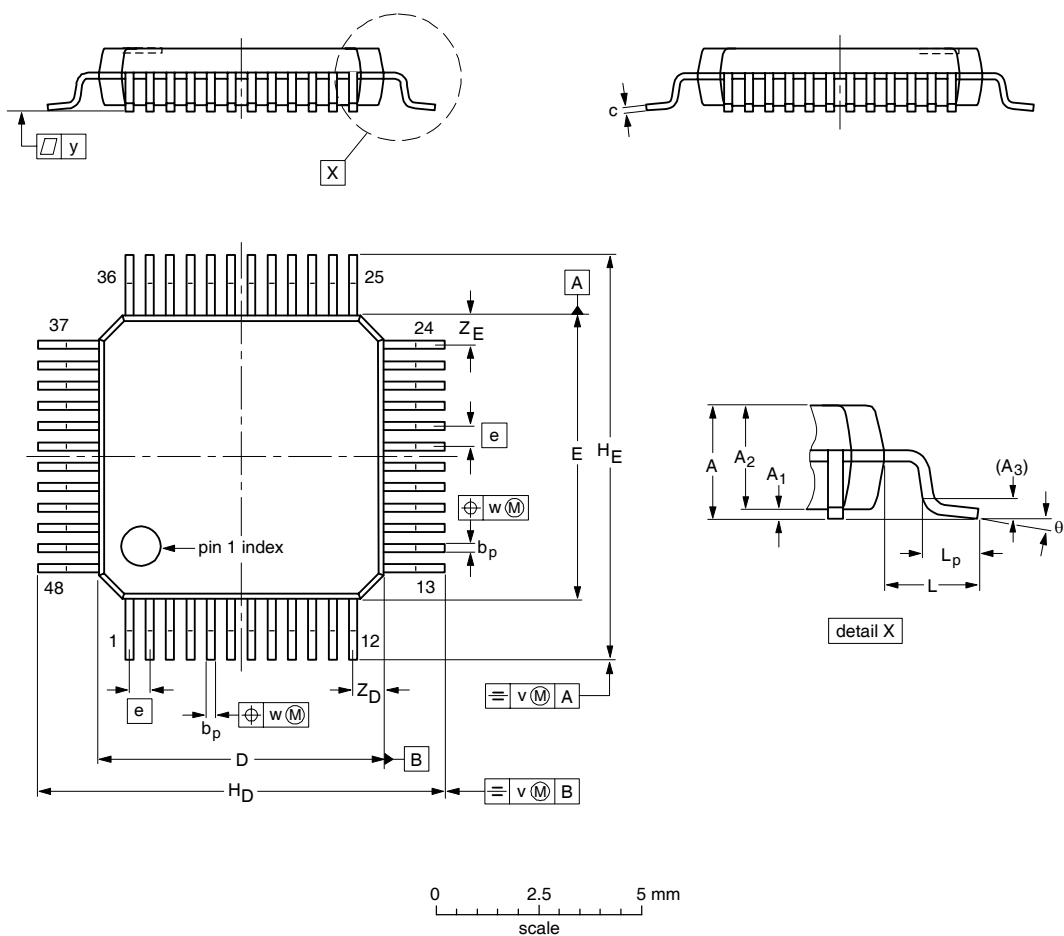
PLCC44: 塑料有引线芯片载体; 44 脚



尺寸 (mm为原始的尺寸)

UNIT	A	A ₁ min.	A ₃	A ₄ max.	b _p	b ₁	D ⁽¹⁾	E ⁽¹⁾	e	e _D	e _E	H _D	yH _E	k	L _p	v	w	y	Z _D ⁽¹⁾ max.	Z _E ⁽¹⁾ max.	β
mm	4.57 4.19	0.51	0.25	3.05	0.53 0.33	0.81 0.66	16.66 16.51	16.66 16.51	1.27	16.00 14.99	16.00 14.99	17.65 17.40	17.65 17.40	1.22 1.07	1.44 1.02	0.18	0.18	0.1	2.16	2.16	45°
inches	0.180 0.165	0.02	0.01	0.12	0.021 0.013	0.032 0.026	0.656 0.650	0.656 0.650	0.05	0.63 0.59	0.63 0.59	0.695 0.685	0.695 0.685	0.048 0.042	0.057 0.040	0.007	0.007	0.004	0.085	0.085	

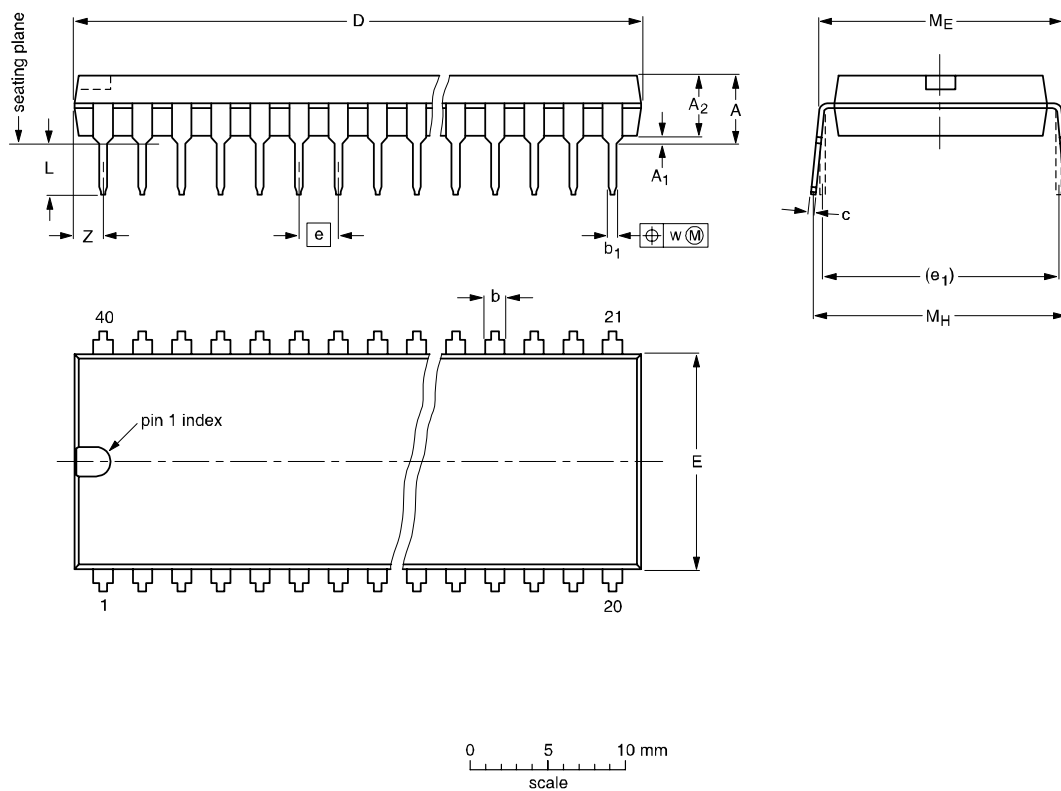
LQFP48: 塑料小尺寸四方扁平封装; 48脚; 本体大小: 7×7×1.4mm



尺寸 (mm为原始的尺寸)

UNIT	A _{max.}	A ₁	A ₂	A ₃	b _p	c	D ⁽¹⁾	E ⁽¹⁾	e	H _D	H _E	L	L _p	v	w	y	Z _D ⁽¹⁾	Z _E ⁽¹⁾	θ
mm	1.6	0.20 0.05	1.45 1.35	0.25	0.27 0.17	0.18 0.12	7.1 6.9	7.1 6.9	0.5	9.15 8.85	9.15 8.85	1	0.75 0.45	0.2	0.12	0.1	0.95 0.55	0.95 0.55	7° 0°

DIP40: 塑料双列直插封装; 40脚 (600mil)



尺寸 (mm为原始的尺寸)

UNIT	A max.	A ₁ min.	A ₂ max.	b	b ₁	c	D ⁽¹⁾	E ⁽¹⁾	e	e ₁	L	M _E	M _H	w	Z ⁽¹⁾ max.
mm	4.7	0.51	4	1.70 1.14	0.53 0.38	0.36 0.23	52.5 51.5	14.1 13.7	2.54	15.24	3.60 3.05	15.80 15.24	17.42 15.90	0.254	2.25
inches	0.19	0.02	0.16	0.067 0.045	0.021 0.015	0.014 0.009	2.067 2.028	0.56 0.54	0.1	0.6	0.14 0.12	0.62 0.60	0.69 0.63	0.01	0.089

注释: 红色部分为 SC16C550B 与 SC16C550 的不同之处。