

用户手册

NEC

μ PD789407A, 789417A 子系列

8 位单片微控制器

μ PD789405A

μ PD789406A

μ PD789407A

μ PD789415A

μ PD789416A

μ PD789417A

μ PD78F9418A

版次: U13952EJ3V0UD00 (第三版)

印次: 2003 年 4 月 N CP(K)

NEC 电子公司 1999, 2003

日本印制

[备忘录]

① 半导体的 ESD 防护措施

注意:

如果 MOS 设备周围有强电场, 将会击穿氧化栅极, 从而影响设备的运行。因此必须采取措施, 尽可能防止静电产生, 而且一旦有静电, 必须立即释放。对于环境必须有适当的控制。如果空气干燥, 应当使用加湿器。建议避免使用绝缘体, 因为它们容易产生静电。半导体设备的存放和运输必须在抗静电容器、抗静电屏蔽袋或导电材料容器中进行。所有的测试和测量工具包括工作台和工作面必须良好接地。操作员应当佩戴静电消除手套以保证良好接地, 不能用手直接接触半导体设备。对于装配有半导体设备的 PW 板也应采取类似的静电防范措施。

② 未使用的 CMOS 输入引脚的处理

注意:

CMOS 设备输入端未连接将会产生工作故障。如果输入引脚未连接, 则由于噪音等原因可能会产生内部输入电平, 从而导致故障。CMOS 设备的运行与 Bipolar 或 NMOS 设备不同。必须借助上拉或下拉电路使 CMOS 设备的输入电平固定在高电平或是低电平。如果每个未用的引脚可作为输出引脚的话, 那么它们可以通过电阻与 VDD 或 GND 连接。对未使用引脚的处理因设备而异, 必须遵循与设备相关的规定和说明。

③ MOS 设备初始化之前的状态

注意:

上电并不能确定 MOS 设备的初始状态。MOS 设备的生产工艺也没有确定其初始操作状态。在刚刚上电之后, 具有复位功能的 MOS 设备并没有被初始化, 因此上电不能保证输出引脚的电平, I/O 设置和寄存器的内容。设备在收到复位信号后才进行初始化, 具有复位功能的设备在上电后必须立即进行复位操作。

EEPROM 和 FIP 是 NEC 电子公司的注册商标。

Windows 和 Windows NT 是美国及其它国家微软公司的注册商标。

PC/AT 是 IBM 公司的注册商标。

HP9000 系列 700 和 HP-UX 是 HP 公司的注册商标。

SPARC 工作站是 SPARC 公司的注册商标。

Solaris 和 SunOS 是 Sun 公司的注册商标。

这些商品、技术或软件的出口必须根据出口国的出口管理规章来进行。不能违反当地法律。

- 本文档信息于 2002 年 11 月开始使用。文档内容可能会作修改。如果用户要进行实际的设计，请参阅最新出版的 NEC 数据表或数据手册等，以获取 NEC 半导体产品的最新规定，并非所有产品在每个国家都能使用。请联系 NEC 销售代理，了解使用信息和其他相关信息。
- 未经 NEC 的书面许可，不能对本文档复制。本文档出现的任何错误，NEC 不承担责任。
- 如果用户在使用本文档列出的 NEC 半导体产品或通过其他途径使用这些产品时，产生侵犯专利、版权以及其他知识产权，NEC 没有以许可、明示、暗示以及其他任何方式授权。
- 文档中电路、软件和其他相关信息的描述，用来说明半导体产品操作和应用的例子。客户在使用这些电路、软件和信息时负全责。客户或第三方在使用这些电路、软件和信息时造成的损失，NEC 不承担责任。
- NEC 尽力提高半导体产品的质量、可靠性和安全性，但请客户理解错误是不可能完全避免的。为了尽可能减少由于 NEC 半导体产品所带来的个人财产及人身安全（包括死亡）的风险，客户在设计过程中应加强安全措施，如容错、耐火性和自检等。
- NEC 半导体产品分为以下三个质量等级：

“标准”、“专业”、“特级”。“特级”质量等级仅用于客户定制的半导体产品。一种半导体产品的应用主要依据它的质量等级。客户在使用某种半导体产品之前应先了解它的质量等级。

“标准”：计算机，办公设备，通信设备，测试设备，视频音频设备，家用电子产品，机械工具，个人电子设备和工业机器人。

“专业”：运输设备（汽车，火车，轮船等），交通控制系统，防灾系统，反犯罪系统，安全设备和医疗设备（不是专用与生命救护的设备）。

“特级”：飞机，航空设备，水下中继器，核反应堆控制系统，生命救护系统和用于生命救护的医疗设备等。

除非在 NEC 数据表或数据手册中特别规定，一般的 NEC 产品的质量登记都是“标准”的。如果客户希望在不是 NEC 要求的应用环境中使用 NEC 半导体产品，必须事先与 NEC 销售代理联系，以确定 NEC 是否支持该应用环境。

注：

(1) “NEC”在这里是指 NEC Corporation 和它的主要子公司。

(2) “NEC 半导体产品”是指由 NEC 或为 NEC 开发和制造的半导体产品（如上定义）。

M8E02.11-1

区域信息

本文档中的某些信息可能因国家不同而有所差异。用户在使用任何一种 NEC 产品之前，请与当地的 NEC 办事处联系，以获取权威的代理商和发行商信息。请验证以下内容：

- 设备的可用性
- 定货信息
- 产品发布进度表
- 相关技术资料的可用性
- 开发环境要求（例如：要求第三方工具和组件，主计算机，电源插头，AC 供电电源等）
- 网络要求

此外，对于商标、注册商标、出口限制条款和其他法律规定，不同的国家也有不同的要求。

【全球支持】

<http://www.necel.com/en/support/support.html>

NEC Electronics America, Inc. (U.S.)
Santa Clara, California
Tel:408-588-6000
800-366-9786

NEC Electronics (Europe) GmbH
Duesseldorf, Germany
Tel:0211-65030

NEC Electronics Hong Kong Ltd.
Hong Kongf
Tel:2886-9318

• **Sucursal en Espana**
Madrid, Spain
Tel:091-504-2787

NEC Electronics Hong Kong Ltd.
Seoul Branch
Seoul, Korea
Tel:02-558-3737

• **Succursale Francaise**
Velizy-Villacoublay, France
Tel:01-30-675800

NEC Electronics Shanghai, Ltd.
ShangHai, P. R. China
Tel:021-6888-5400

• **Filiale Italiana**
Milano, Italy
Tel:02-667541

NEC Electronics Taiwan Ltd.
Taipei, Taiwan
Tel:02-2719-2377

• **Branch The Netherlands**
Eindhoven, TheNetherlands
Tel:040-2445845

NEC Electronics Singapore Pte. Led.
Novena Square, Singapore
Tel:6253-8311

• **Tyskland Filial**
Taeby, Sweden
Tel:08-6380820

• **United Kingdom Branch**
Milton Keynes, UK
Tel:01908-691-133

该版主要修改处

页数	修改处
38, 39, 41 页	在 第二章引脚功能 修改 AV _{REF} 引脚 和 V _{PP} 引脚的操作
92 页	在 图 5-3 副时钟模式寄存器格式 中增加关于反馈电阻的 注意
112, 113 页	增加 6.5 使用 16 位定时器 50 的注意事项
151, 164 页	在 10.5 使用 8 位 A/D 转换器的注意事项 和 11.5 使用 10 位 A/D 转换器的注意事项 增加 (8) AN10 ~ AN16 引脚的输入阻抗 .
154 页	修改 11.2 10 位 A/D 转换器的配置 中的(2) A/D 转换结果寄存器 0 (ADCRO)
196 页	增加 13.4.2 异步串行接口 (UART) 模式 中的读 UART 接收数据的描述
232 页	在 图 15-2 中断请求状态寄存器的格式 中增加 注意 事项
237 页	在 图 15-7 键返回模式寄存器 00 的格式 中增加 注意 事项
256 页	在 表 18-1 μPD78F9418A 和掩膜 ROM 版本的区别 增加 LCD 驱动的上拉电阻和分压电阻的描述
257~ 266 页	全部修改和 flash 存储器编程相关的内容 18.1 Flash 存储器特性
278~ 292 页	增加 第二十一章 电气特性
293 ~295 页	增加 第二十二章 特性曲线 (参考值)
296, 297 页	增加 第二十三章 封装图
298, 299 页	增加 第二十四章 建议焊接条件
300 ~ 309 页	全部修改 附录 A 开发工具 的内容 删除嵌入式软件
310 ~ 313 页	增加 附录 B 目标系统设计的注意

标记 ★ 的表明是主要修改处。

引言

读者对象

本手册适用于那些希望了解 μ PD789407A 和 μ PD789417A 子系列产品功能，并设计开发相关应用系统和程序的用户。

主要产品如下：

- μ PD789407A 子系列： μ PD789405A, μ PD789406A, 和 μ PD789407A
- μ PD789417A 子系列： μ PD789415A, μ PD789416A, μ PD789417A, 和 μ PD78F9418A

目的

本手册用于帮助用户了解下面**组织**中描述的功能。

组织

μ PD789407A 和 μ PD789417A 子系列手册主要分为两个部分：本手册和指令（通用78K/0S 系列）。

μ PD789407A 和 μ PD789417A 子系列用户手册	78K/0S 系列指令用户手册
<ul style="list-style-type: none">• 引脚功能• 内部模块功能• 中断• 其他片内外设功能• 电气特性	<ul style="list-style-type: none">• CPU 功能• 指令集• 指令描述

手册使用方法

在阅读本手册前，读者应掌握电子工程、逻辑电路和微控制器等方面的一般知识。

- ◇ 如何理解整体功能
→ 按**目录**顺序阅读本手册。
- ◇ 如何理解寄存器格式
→ 括号中的二进制位名在 RA78K0S 中被定义为保留字，并且在 C 编译器中用头文件 sfrbit.h 定义。
- ◇ 如何获悉某寄存器的详细信息
→ 可参阅**附录 C 寄存器索引**。
- ◇ 如何获悉 78K/0S 系列指令的详细信息
→ 可参阅 **78K/0S 系列指令用户手册 (U11047E)**。
- ◇ 如何获悉 μ PD789407A 和 μ PD789417A 子系列的电气特性
→ 可参阅**第二十一章 电气特性**。

规定	数据规则:	数据的高位部分在左边, 低位部分在右边
	低电平有效表示法:	$\overline{\text{xxx}}$ (在引脚和信号名称上划一条线)
	注:	文中用 注 标注的相关术语的脚注
	注意事项:	需要特别关注的信息
	备注:	补充信息
	数的表示法:	二进制 ... xxxxB 或 xxxxB
		十进制 ... xxxxB
		十六进制 ... xxxxB

相关文档 本手册中指出的相关文档包括了最初的版本, 但未注明。

设备文档

文档名称	文档编号.
μ PD789407A, μ PD789417A 子系列用户手册	本手册
78K/0S 系列指令用户手册	U11047E

开发工具(软件)文档 (用户手册)

文档名称	文档编号.	
RA78K0S 汇编包	操作	U14876E
	语言	U14877E
	结构化汇编语言	U11623E
CC78K0S C 编译器	操作	U14871E
	语言	U14872E
SM78K 系列系统仿真 2.30 版以上	操作 (基于 Windows™)	U15373E
	外部用户开放接口规范	U15802E
ID78K 系列集成调试器 2.30 版以上	操作 (基于 Windows)	U15185E
PM 3.12 版以上 (基于 Windows)		U14610E

开发工具(硬件)文档 (用户手册)

文档名称	文档编号.
IE-78K0S-NS 在线仿真器	U13549E
IE-78K0S-NS-A 在线仿真器	U15207E
IE-789418-NS-EM1 仿真板	U14364E

注意事项 以上列出的相关文档在无何声明条件下可能会作修改。读者应使用每个文档的最新版本用于设计。

Flash 存储器编程相关文档

文档名称	文档编号.
PG-FP3 Flash 存储器编程用户手册	U13502E
PG-FP4 Flash 存储器编程用户手册	U15260E

其他相关文档

文档名称	文档编号.
半导体选择指南 - 产品和封装	X13769X
半导体设备安装手册	注
NEC 半导体设备质量等级	C11531E
NEC 半导体设备可靠性/质量控制系统	C10983E
半导体设备防静电 ESD 指南	C11892E

注 可参阅“半导体设备安装手册”网站 (<http://www.necel.com/pkg/en/mount/index.html>)。

注意事项 以上列出的相关文档在无任何声明条件下可能会作修改。读者应使用每个文档的最新版本用于设计。

目录

第一章 概述.....	23
1.1 特征.....	23
1.2 应用.....	23
1.3 订购信息.....	24
1.4 引脚配置（俯视图）.....	25
1.5 78K/0S 系列产品.....	27
1.6 结构框图.....	30
1.7 功能概述.....	31
第二章 引脚功能.....	33
2.1 引脚功能列表.....	33
2.2 引脚功能描述.....	36
2.2.1 P00 到 P03 (端口 0).....	36
2.2.2 P20 到 P27 (端口 2).....	36
2.2.3 P40 到 P47 (端口 4).....	37
2.2.4 P50 到 P53 (端口 5).....	37
2.2.5 P60 到 P66 (端口 6).....	37
2.2.6 P80 到 P87 (端口 8).....	38
2.2.7 P90 到 P93 (端口 9).....	38
2.2.8 S0 到 S15.....	38
2.2.9 COM0 到 COM3.....	38
2.2.10 V _{LC0} 到 V _{LC2}	38
2.2.11 BIAS.....	38
2.2.12 AV _{REF}	38
2.2.13 AV _{DD}	38
2.2.14 AV _{SS}	39
2.2.15 $\overline{\text{RESET}}$	39
2.2.16 X1, X2.....	39
2.2.17 XT1, XT2.....	39
2.2.18 V _{DD0} , V _{DD1}	39
2.2.19 V _{SS0} , V _{SS1}	39
2.2.20 V _{PP} (仅 $\mu\text{PD78F9418A}$).....	39
2.2.21 IC (仅掩膜 ROM 产品).....	40
2.3 引脚 I/O 电路和未用引脚的推荐连接方式.....	41
第三章 CPU 结构.....	44
3.1 存储器空间.....	44
3.1.1 内部程序存储器空间.....	48
3.1.2 内部数据存储器空间.....	49
3.1.3 特殊功能寄存器 (SFR)区.....	49
3.1.4 数据存储器寻址.....	50
3.2 处理器寄存器.....	54
3.2.1 控制寄存器.....	54

3.2.2 通用寄存器	57
3.2.3 特殊功能寄存器(SFR)	58
3.3 指令地址寻址	61
3.3.1 相对寻址	61
3.3.2 立即寻址	62
3.3.3 表间接寻址	63
3.3.4 寄存器寻址	63
3.4 操作数地址寻址	64
3.4.1 直接寻址	64
3.4.2 短直接寻址	65
3.4.3 特殊功能寄存器 (SFR) 寻址	66
3.4.4 寄存器寻址	67
3.4.5 寄存器间接寻址	68
3.4.6 基址寻址	69
3.4.7 堆栈寻址	69
第四章 端口功能	70
4.1 端口功能	70
4.2 端口配置	72
4.2.1 端口 0	72
4.2.2 端口 2	73
4.2.3 端口 4	78
4.2.4 端口 5	80
4.2.5 端口 6	81
4.2.6 端口 8	83
4.2.7 端口 9	84
4.3 控制端口功能的寄存器	85
4.4 端口操作	88
4.4.1 写入 I/O 端口	88
4.4.2 读取 I/O 端口	88
4.4.3 I/O 端口的操作	88
第五章 时钟发生器	89
5.1 时钟发生器的功能	89
5.2 时钟发生器的配置	89
5.3 控制时钟发生器的寄存器	91
5.4 系统时钟振荡器	94
5.4.1 主系统时钟振荡器	94
5.4.2 副系统时钟振荡器	95
5.4.3 振荡器连接的错误示例	96
5.4.4 分频器	97
5.4.5 不使用副系统时钟	97
5.5 时钟发生器的操作	98
5.6 更改系统时钟和 CPU 时钟的设置	99
5.6.1 在系统时钟和 CPU 时钟之间切换所需的时间	99
5.6.2 在系统时钟和 CPU 时钟之间切换	100

第六章 16 位定时器 50	101
6.1 16 位定时器 50 的功能.....	101
6.2 16 位定时器 50 的配置.....	102
6.3 控制 16 位定时器的寄存器.....	104
6.4 16 位定时器 50 的操作.....	107
6.4.1 用于定时器中断	107
6.4.2 用于定时器输出	109
6.4.3 捕捉操作.....	110
6.4.4 读取 16 位定时器计数器 50	111
★ 6.5 使用 16 位定时器 50 的注意事项	112
6.5.1 重写 16 位比较寄存器 50 的限制.....	112
第七章 8 位定时器/事件计数器 00~02.....	114
7.1 8 位定时器/事件计数器 00 ~ 02 的功能.....	114
7.2 8 位定时器/事件计数器 00 ~ 02 的配置.....	115
7.3 控制 8 位定时器/事件计数器 00 ~ 02 的寄存器.....	118
7.4 8 位定时器/事件计数器 00 ~ 02 的操作.....	122
7.4.1 用于间隔定时器操作	122
7.4.2 用于外部事件计数器(仅定时器 00 和 01)操作	125
7.4.3 用于方波输出操作(仅定时器 02)	126
7.5 使用 8 位定时器/事件计数器 00~ 02 的注意事项	128
第八章 钟表定时器.....	129
8.1 钟表定时器的功能.....	129
8.2 钟表定时器的配置.....	130
8.3 控制钟表定时器的寄存器.....	131
8.4 钟表定时器的操作.....	132
8.4.1 用于钟表定时器的操作	132
8.4.2 用于间隔定时器的操作	132
第九章 看门狗定时器.....	134
9.1 看门狗定时器的功能	134
9.2 看门狗定时器的配置	135
9.3 控制看门狗定时器的寄存器	136
9.4 看门狗定时器的操作	138
9.4.1 用于看门狗定时器的操作	138
9.4.2 用于间隔定时器的操作	139
第十章 8 位 A/D 转换器 (μ PD789407A 子系列).....	140
10.1 8 位 A/D 转换器的功能.....	140
10.2 8 位 A/D 转换器的配置.....	140
10.3 控制 8 位 A/D 转换器的寄存器.....	143
10.4 8 位 A/D 转换器的操作.....	145
10.4.1 8 位 A/D 转换器的基本操作.....	145
10.4.2 输入电压和转换结果.....	146
10.4.3 8 位 A/D 转换器的操作模式.....	148

10.5 使用 8 位 A/D 转换器的注意事项	149
第十一章 10 位 A/D 转换器 (μPD789417A 子系列).....	153
11.1 10 位 A/D 转换器的功能.....	153
11.2 10 位 A/D 转换器的配置.....	153
11.3 控制 10 位 A/D 转换器的寄存器.....	156
11.4 10 位 A/D 转换器的操作.....	158
11.4.1 10 位 A/D 转换器的基本操作	158
11.4.2 输入电压和转换结果	160
11.4.3 10 位 A/D 转换器的操作模式	161
11.5 使用 10 位 A/D 转换器的注意事项	162
第十二章 比较器	166
12.1 比较器的功能.....	166
12.2 比较器的配置.....	167
12.3 控制比较器的寄存器	168
12.4 比较器的操作.....	169
第十三章 串行接口 00.....	171
13.1 串行接口 00 的功能.....	171
13.2 串行接口 00 的配置.....	172
13.3 控制串行接口 00 的寄存器.....	176
13.4 串行接口 00 的操作.....	183
13.4.1 操作停止模式	183
13.4.2 异步串行接口(UART)模式	185
13.4.3 3 线串行 I/O 模式.....	198
第十四章 LCD 控制器/驱动器	202
14.1 LCD 控制器/驱动器的功能.....	202
14.2 LCD 控制器/驱动器的配置.....	203
14.3 控制 LCD 控制器/驱动器的寄存器.....	205
14.4 设置 LCD 控制器/驱动器	208
14.5 LCD 显示数据存储寄存器	208
14.6 COM 和 SEG 信号	209
14.7 提供 LCD 驱动电压 V_{LC0} , V_{LC1} 和 V_{LC2}	213
14.8 显示模式	215
14.8.1 静态显示示例	215
14.8.2 2 分时显示示例	218
14.8.3 3 分时显示示例	221
14.8.4 4 分时显示示例	225
第十五章 中断功能	228
15.1 中断功能类型.....	228
15.2 中断源和配置.....	228
15.3 控制中断功能的寄存器	231
15.4 中断服务操作.....	238
15.4.1 不可屏蔽中断响应操作	238

15.4.2 可屏蔽中断响应操作	240
15.4.3 中断嵌套	241
15.4.4 保持中断请求	243
第十六章 待机功能	244
16.1 待机功能及配置	244
16.1.1 待机功能	244
16.1.2 待机功能控制寄存器	245
16.2 待机功能的操作	246
16.2.1 HALT 模式	246
16.2.2 STOP 模式	249
第十七章 复位功能	252
第十八章 μPD78F9418A	256
18.1 FLASH 存储器特性	257
18.1.1 编程环境	257
18.1.2 通信模式	258
18.1.3 On-board 引脚连接	261
18.1.4 使用 FLASH 存储器写入适配器的连接方法	264
第十九章 掩膜选项	267
19.1 引脚的掩膜选项	267
19.2 LCD 驱动器的分压电阻的掩膜选项	267
第二十章 指令集	268
20.1 操作	268
20.1.1 操作数标识符和描述方法	268
20.1.2 "操作"栏描述	269
20.1.3 "标志"栏描述	269
20.2 操作列表	270
20.3 按寻址类型列出指令	275
★ 第二十一章 电气特性	278
★ 第二十二章 特性曲线 (参考值)	293
22.1 掩膜 ROM 版本的特性曲线	293
22.2 μPD78F9418A 的特性曲线	295
★ 第二十三章 封装图	296
★ 第二十四章 建议的焊接条件	298
附录 A 开发工具	300
★ A.1 软件包	302
A.2 语言处理软件	302
★ A.3 控制软件	303

A.4 Flash 存储器编程器	303
A.5 调试工具(硬件)	304
A.6 调试工具(软件)	305
A.7 转换插座和转换适配器的封装图	306
A.7.1 转换插座的封装图和建议尺寸(EV-9200GC-80)	306
A.7.2 转换适配器的封装图(TGK-080SDW)	308
A.7.3 转换适配器的封装图(TGC-080SBP)	309
★ 附录 B 目标系统设计的注意事项	310
附录 C 寄存器索引	314
C.1 寄存器索引(按寄存器名称的字母顺序排序)	314
C.2 寄存器索引(按寄存器符号的字母顺序排序)	316
附录 D 修订历史	318

插图列表 (1/5)

图号	图名	页码
2-1	引脚 I/O 电路图.....	42
3-1	存储空间映射图 (μ PD789405A 和 μ PD789415A).....	44
3-2	存储空间映射图 (μ PD789406A 和 μ PD789416A).....	45
3-3	存储空间映射图 (μ PD789407A 和 μ PD789417A).....	46
3-4	存储空间映射图 (μ PD78F9418A).....	47
3-5	数据存储器寻址(μ PD789405A 和 μ PD789415A).....	50
3-6	数据存储器寻址(μ PD789406A 和 μ PD789416A).....	51
3-7	数据存储器寻址(μ PD789407A 和 μ PD789417A).....	52
3-8	数据存储器寻址(μ PD78F9418A).....	53
3-9	程序计数器格式.....	54
3-10	程序状态字格式.....	54
3-11	堆栈指针格式.....	56
3-12	将数据存入堆栈.....	56
3-13	从堆栈中读取数据.....	56
3-14	通用寄存器格式.....	57
4-1	端口类型.....	70
4-2	P00 到 P03 的框图.....	72
4-3	P20 的框图.....	73
4-4	P21 的框图.....	74
4-5	P22 和 P24 的框图.....	75
4-6	P23 的框图.....	76
4-7	P25 到 P27 的框图.....	77
4-8	P40 到 P45 的框图.....	78
4-9	P46 和 P47 的框图.....	79
4-10	P50 到 P53 的框图.....	80
4-11	P60 和 P61 的框图.....	81
4-12	P62 到 P66 的框图.....	82
4-13	P80 到 P87 的框图.....	83
4-14	P90 到 P93 的框图.....	84
4-15	端口模式寄存器格式.....	86
4-16	上拉电阻寄存器 0 的格式.....	86
4-17	上拉电阻寄存器 1 的格式.....	87
4-18	上拉电阻寄存器 2 的格式.....	87
5-1	时钟发生器框图.....	90
5-2	处理器时钟控制寄存器格式.....	91
5-3	副振荡器模式寄存器格式.....	92
5-4	副时钟控制寄存器格式.....	93
5-5	主系统时钟振荡器的外部电路.....	94
5-6	副系统时钟振荡器的外部电路.....	95
5-7	振荡器连接的错误示例.....	96
5-8	在系统时钟和 CPU 时钟之间切换.....	100

插图列表 (2/5)

图号	图名	页码
6-1	16 位定时器 50 的框图.....	102
6-2	16 位定时器模式控制寄存器 50 的格式.....	105
6-3	端口模式寄存器 2 的格式.....	106
6-4	用于定时器中断操作时 16 位定时器模式控制寄存器 50 的设置.....	107
6-5	定时器中断操作的时序.....	108
6-6	用于定时器输出操作时 16 位定时器模式控制寄存器 50 的设置.....	109
6-7	定时器输出操作的时序.....	109
6-8	用于捕捉操作时 16 位定时器模式控制寄存器 50 的设置.....	110
6-9	捕捉操作时序 (指定 CPT5 引脚的上升沿和下降沿).....	110
6-10	16 位定时计数器 50 的读操作时序.....	111
7-1	8 位定时器/事件计数器 00 的框图.....	116
7-2	8 位定时器/事件计数器 01 的框图.....	116
7-3	8 位定时器/事件计数器 02 的框图.....	117
7-4	8 位定时器模式控制寄存器 00 的格式.....	118
7-5	8 位定时器模式控制寄存器 01 的格式.....	119
7-6	8 位定时器模式控制寄存器 02 的格式.....	120
7-7	端口模式寄存器 2 的格式.....	121
7-8	定时器 00 和 01 的间隔定时器操作时序.....	123
7-9	定时器 02 的间隔定时器操作时序.....	124
7-10	外部事件计数器操作时序(指定为上升沿).....	125
7-11	方波输出时序.....	127
7-12	8 位定时计数器 00, 01 和 02 的启动时序.....	128
7-13	外部事件计数器操作时序.....	128
8-1	钟表定时器框图.....	129
8-2	钟表定时器模式控制寄存器的格式.....	131
8-3	钟表定时器/间隔定时器操作时序.....	133
9-1	看门狗定时器的框图.....	135
9-2	定时器时钟选择寄存器 2 的格式.....	136
9-3	看门狗定时器模式寄存器的格式.....	137
10-1	8 位 A/D 转换器的框图.....	141
10-2	A/D 转换器模式寄存器 0 的格式.....	143
10-3	A/D 输入选择寄存器 0 的格式.....	144
10-4	8 位 A/D 转换器的基本操作.....	146
10-5	模拟输入电压与 A/D 转换结果之间的关系.....	147
10-6	软件启动 A/D 转换.....	148
10-7	如何在待机模式中减小功耗.....	149
10-8	转换结果读取时序(当转换结果为不确定值时).....	150
10-9	转换结果读取时序(当转换结果为正常值时).....	150
10-10	模拟输入引脚的处理.....	151
10-11	A/D 转换结束中断请求产生时序.....	152

插图列表 (3/5)

图号.	图名	页码
10-12	AV _{DD} 引脚处理	152
11-1	10 位 A/D 转换器的框图	154
11-2	10 位 A/D 转换器模式寄存器 0 的格式	156
11-3	A/D 输入选择寄存器 0 的格式	157
11-4	10 位 A/D 转换器的基本操作	159
11-5	模拟输入电压与 A/D 转换结果之间的关系	160
11-6	软件启动 A/D 转换	161
11-7	如何在待机模式中减小功耗	162
11-8	转换结果读取时序 (当转换结果是不确定值时)	163
11-9	转换结果读取时序 (当转换结果是正常值时)	163
11-10	模拟输入引脚的处理	164
11-11	A/D 转换结束中断请求产生时序	165
11-12	AV _{DD} 引脚处理	165
12-1	比较器的框图	167
12-2	比较器模式寄存器 0 的格式	168
12-3	设置比较器模式寄存器 0 为比较器操作	169
12-4	为产生 INTCMP0 设置外部中断模式寄存器 1	169
12-5	比较器操作时序	170
13-1	串行接口 00 的框图	173
13-2	波特率发生器的框图	174
13-3	串行操作模式寄存器 00 的格式	176
13-4	异步串行接口模式寄存器 00 的格式	177
13-5	异步串行接口状态寄存器 00 的格式	179
13-6	波特率发生器控制寄存器 00 的格式	180
13-7	异步串行接口发送/接收数据的格式	191
13-8	异步串行接口发送完成中断时序	193
13-9	异步串行接口接收完成中断时序	194
13-10	接收错误时序	195
13-11	3线串行 I/O 模式时序	201
14-1	LCD 控制器/驱动器的框图	204
14-2	LCD 显示模式寄存器 0 的格式	205
14-3	LCD 端口选择器 0 的格式	206
14-4	LCD 时钟控制寄存器 0 的格式	207
14-5	LCD 显示数据存储器的内容和 SEG/COM 信号输出间的关系	208
14-6	COM 信号波形	211
14-7	COM 信号和 SEG 信号的电压和相位	212
14-8	LCD 驱动电压连接示例 (使用片上分压电阻)	214
14-9	静态 LCD 显示模式和电极连接	215
14-10	静态 LCD 面板的连接示例	216
14-11	静态 LCD 驱动波形示例	217

插图列表 (4/5)

图号	图名	页码
14-12	2 分时 LCD 显示模式和电极连接	218
14-13	2 分时 LCD 面板的连接示例	219
14-14	2 分时 LCD 驱动波形示例 (1/2 偏压方式)	220
14-15	3 分时 LCD 显示模式和电极连接	221
14-16	3 分时 LCD 面板的连接示例	222
14-17	3 分时 LCD 驱动波形示例 (1/2 偏压方式)	223
14-18	3 分时 LCD 驱动波形示例 (1/3 偏压方式)	224
14-19	4 分时显示模式和电极连接	225
14-20	4 分时 LCD 面板连接示例	226
14-21	4 分时 LCD 驱动波形示例 (1/3 偏压方式)	227
15-1	中断功能的基本配置	230
15-2	中断请求标志寄存器的格式	232
15-3	中断屏蔽标志寄存器的格式	233
15-4	外部中断模式寄存器 0 的格式	234
15-5	外部中断模式寄存器 1 的格式	235
15-6	程序状态字的格式	236
15-7	键返回模式寄存器 00 的格式	237
15-8	下降沿检测器框图	237
15-9	不可屏蔽中断请求响应流程图	239
15-10	不可屏蔽中断请求响应时序	239
15-11	不可屏蔽中断请求响应	239
15-12	中断请求响应处理算法	240
15-13	中断请求响应时序 (例如: MOV A, r)	241
15-14	中断请求响应时序 (当中断请求标志在指令执行的最后一个时钟周期时产生)	241
15-15	中断嵌套示例	242
16-1	振荡稳定时间选择寄存器的格式	245
16-2	由中断释放 HALT 模式	247
16-3	由 RESET 输入释放 HALT 模式	248
16-4	由中断释放 STOP 模式	250
16-5	由 RESET 输入释放 STOP 模式	251
17-1	复位功能的框图	252
17-2	由 RESET 输入引起的复位时序	253
17-3	由看门狗定时器溢出引起的复位时序	253
17-4	在 STOP 模式中由 RESET 输入引起的复位时序	253
18-1	FLASH 编程环境	257
18-2	通讯模式选择格式	258
18-3	专用 FLASH 编程器连接示例	259
18-4	VPP 引脚连接示例	261
18-5	信号冲突 (串行接口输入引脚)	262

插图列表 (5/5)

图号.	图名	页码
18-6	其它设备的故障	262
18-7	信号冲突 (RESET 引脚)	263
18-8	使用 3 线串行 I/O 模式时连接 FLASH 写入适配器的示例	264
18-9	使用 UART 模式时连接 FLASH 写入适配器的示例	265
18-10	使用伪 3 线模式时连接 FLASH 写入适配器的示例 (当端口 0 被使用中时)	266
A-1	开发工具	301
A-2	EV-9200GC-80 的封装图(参考)	306
A-3	EV-9200GC-80 的建议尺寸(参考).....	307
A-4	TGK-080SDW 的封装图(参考).....	308
A-5	TGC-080SBP 的封装图(参考).....	309
B-1	仿真器和转换适配器(80GC)之间的距离.....	310
B-2	目标系统的连接条件(NP-80GC-TQ).....	311
B-3	仿真器与转换适配器(80GK)的距离.....	312
B-4	目标系统的连接条件(NP-80GK)	313

表格列表 (1/2)

表格号.	表格名	页码
2-1	引脚 I/O 电路的类型.....	41
3-1	内部 ROM 容量	48
3-2	向量表	48
3-3	特殊功能寄存器列表	59
4-1	端口功能.....	71
4-2	端口配置.....	72
4-3	使用复用功能时端口模式寄存器和输出锁存的设置.....	85
5-1	时钟发生器的配置.....	89
5-2	切换到 CPU 时钟后所需的最长时间.....	99
6-1	16 位定时器 50 的配置.....	102
6-2	16 位定时器 50 的间隔时间.....	107
6-3	捕捉边沿设置.....	110
7-1	8 位定时器/事件计数器 00 的间隔时间.....	114
7-2	8 位定时器/事件计数器 01 的间隔时间.....	114
7-3	8 位定时器 02 的间隔时间	114
7-4	8 位定时器 02 的方波输出范围	115
7-5	8 位定时器/事件计数器 00 到 02 的配置.....	115
7-6	8 位定时器/事件计数器 00 的间隔时间.....	122
7-7	8 位定时器/事件计数器 01 的间隔时间.....	122
7-8	8 位定时器 02 的间隔时间	123
7-9	8 位定时器 02 的方波输出范围	126
8-1	间隔定时器的间隔时间	130
8-2	钟表定时器的配置.....	130
8-3	间隔定时器的间隔时间	132
9-1	看门狗定时器的循环检测时间.....	134
9-2	间隔时间.....	134
9-3	看门狗定时器的配置	135
9-4	看门狗定时器的程序循环检测时间.....	138
9-5	间隔定时器的间隔时间	139
10-1	8 位 A/D 转换器的配置.....	140
11-1	10 位 A/D 转换器的配置.....	153
12-1	INTCMP0 有效沿	169
13-1	串行接口 00 的配置	172

表格列表 (2/2)

表格号	表格名	页码
13-2	串行接口 00 操作模式的设置	178
13-3	主系统时钟与波特率关系的示例	181
13-4	ASCK 引脚输入时钟的频率与波特率的关系(当 BRGC00 设置为 80H)	182
13-5	主系统时钟与波特率关系的示例	189
13-6	ASCK 引脚输入时钟的频率与波特率的关系(当 BRGC00 设置为 80H)	190
13-7	接收错误原因.....	195
14-1	最多码段数	202
14-2	LCD 控制器/驱动器硬件配置	203
14-3	帧频率(Hz).....	207
14-4	COM 信号	209
14-5	LCD 驱动电压	210
14-6	LCD 驱动电压 (片上分压电阻).....	213
14-7	选择和非选择信号电平(COM0).....	215
14-8	选择和非选择信号电平(COM0 和 COM1)	218
14-9	选择和非选择信号电平(COM0 ~ COM2)	221
14-10	选择和非选择信号电平(COM0 ~ COM3)	225
15-1	中断源列表	229
15-2	中断请求信号相应的标志名称.....	231
15-3	从可屏蔽中断请求产生到执行中断服务所需要的时间	240
16-1	HALT 模式操作状态	246
16-2	释放 HALT 模式后的操作	248
16-3	STOP 模式操作状态	249
16-4	释放 STOP 模式后的操作	251
17-1	复位后的硬件状态.....	254
18-1	μ PD78F9418A 和掩膜 ROM 版本的不同之处	256
18-2	通信模式列表.....	258
18-3	引脚连接列表.....	260
19-1	引脚掩膜选项的选择	267
19-2	可选择的分压电阻的组合	267
20-1	操作数标识符和标识方法	268
24-1	表面贴装焊接条件.....	298

第一章 概述

1.1 特征

- ROM, RAM 的容量

项目 产品型号	程序存储器		数据存储器	
			内部高速 RAM	LCD 数据 RAM
μ PD789405A, 789415A	ROM	12 KB	512 字节	28 × 4 位
μ PD789406A, 789416A		16 KB		
μ PD789407A, 789417A		24 KB		
μ PD78F9418A	Flash 存储器	32 KB		

- 指令最短执行时间可以在高速(0.4 μ s:在主系统时钟为 5.0MHz 操作时) 和超低速(122 μ s:在副系统时钟 32.768KHz 操作时)之间改变
- 43 个 I/O 端口
- 串行接口: 可在 3 线串行 I/O 模式和 UART 模式之间切换
- LCD 控制器/驱动器:
 - 28 个 SEG 信号输出
 - 4 个 COM 信号输出
 - 偏置可在 1/2 到 1/3 之间选择
- 8 位分辨率的 A/D 转换器: 7 通道 (仅 μ PD789407A 子系列)
- 10 位分辨率的 A/D 转换器: 7 通道 (仅 μ PD789417A 子系列)
- 定时器: 6 通道:
 - 16 位定时器: 1 通道
 - 8 位定时器/事件计数器: 2 通道
 - 8 位定时器: 1 通道
 - 钟表定时器: 1 通道
 - 看门狗定时器: 1 通道
- 17 个矢量中断源
- 供电电压: $V_{DD} = 1.8 \sim 5.5V$
- 工作环境温度范围: $T_A = -40 \sim +85^{\circ}C$

1.2 应用

APS 轻便相机, 压力计, 电饭锅等等。

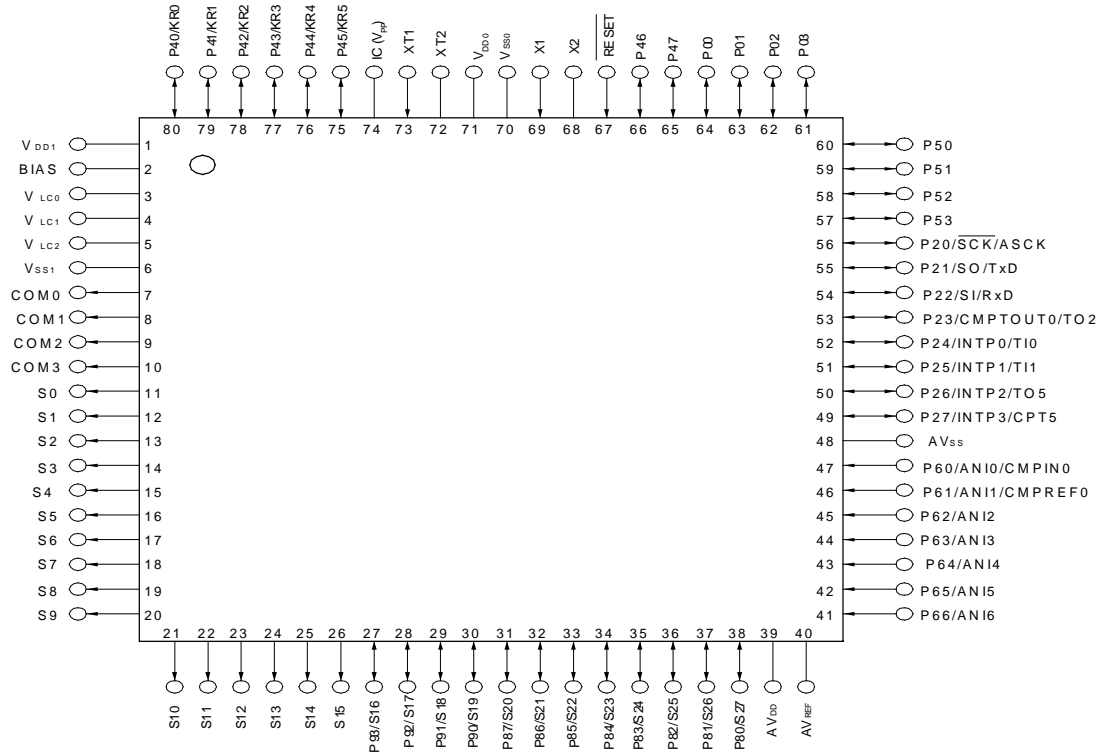
1.3 订购信息

产品型号	封装形式	内部 ROM
μ PD789405AGC-xxx-8BT	80-pin 塑封 QFP (14 x 14)	掩膜 ROM
μ PD789405AGK-xxx-9EU	80-pin 塑封 TQFP (密脚距) (12 x 12)	掩膜 ROM
μ PD789406AGC-xxx-8BT	80-pin 塑封 QFP (14 x 14)	掩膜 ROM
μ PD789406AGK-xxx-9EU	80-pin 塑封 TQFP (密脚距) (12 x 12)	掩膜 ROM
μ PD789407AGC-xxx-8BT	80-pin 塑封 QFP (14 x 14)	掩膜 ROM
μ PD789407AGK-xxx-9EU	80-pin 塑封 TQFP (密脚距) (12 x 12)	掩膜 ROM
μ PD789415AGC-xxx-8BT	80-pin 塑封 QFP (14 x 14)	掩膜 ROM
μ PD789415AGK-xxx-9EU	80-pin 塑封 TQFP (密脚距) (12 x 12)	掩膜 ROM
μ PD789416AGC-xxx-8BT	80-pin 塑封 QFP (14 x 14)	掩膜 ROM
μ PD789416AGK-xxx-9EU	80-pin 塑封 TQFP (密脚距) (12 x 12)	掩膜 ROM
μ PD789417AGC-xxx-8BT	80-pin 塑封 QFP (14 x 14)	掩膜 ROM
μ PD789417AGK-xxx-9EU	80-pin 塑封 TQFP (密脚距) (12 x 12)	掩膜 ROM
μ PD78F9418AGC-8BT	80-pin 塑封 QFP (14 x 14)	Flash 存储器
μ PD78F9418AGK-9EU	80-pin 塑封 TQFP (密脚距) (12 x 12)	Flash 存储器

备注 xxx 表示 ROM 代码后缀。

1.4 引脚配置 (俯视图)

- 80-pin 塑封 QFP (14 x 14)
 - μ PD789405AGC-xxx-8BT
 - μ PD789406AGC-xxx-8BT
 - μ PD789407AGC-xxx-8BT
 - μ PD789415AGC-xxx-8BT
 - μ PD789416AGC-xxx-8BT
 - μ PD789417AGC-xxx-8BT
 - μ PD78F9418AGC-8BT
- 80-pin 塑封 TQFP (密脚距) (12 x 12)
 - μ PD789405AGK-xxx-9EU
 - μ PD789406AGK-xxx-9EU
 - μ PD789407AGK-xxx-9EU
 - μ PD789415AGK-xxx-9EU
 - μ PD789416AGK-xxx-9EU
 - μ PD789417AGK-xxx-9EU
 - μ PD78F9418AGK-9EU



- 注意事项**
1. 将 IC (内部连接) 直接连接到 VSS0 或 VSS1。
 2. 将 AVDD 连接到 VDD0。
 3. 将 AVSS 连接到 VSS0。

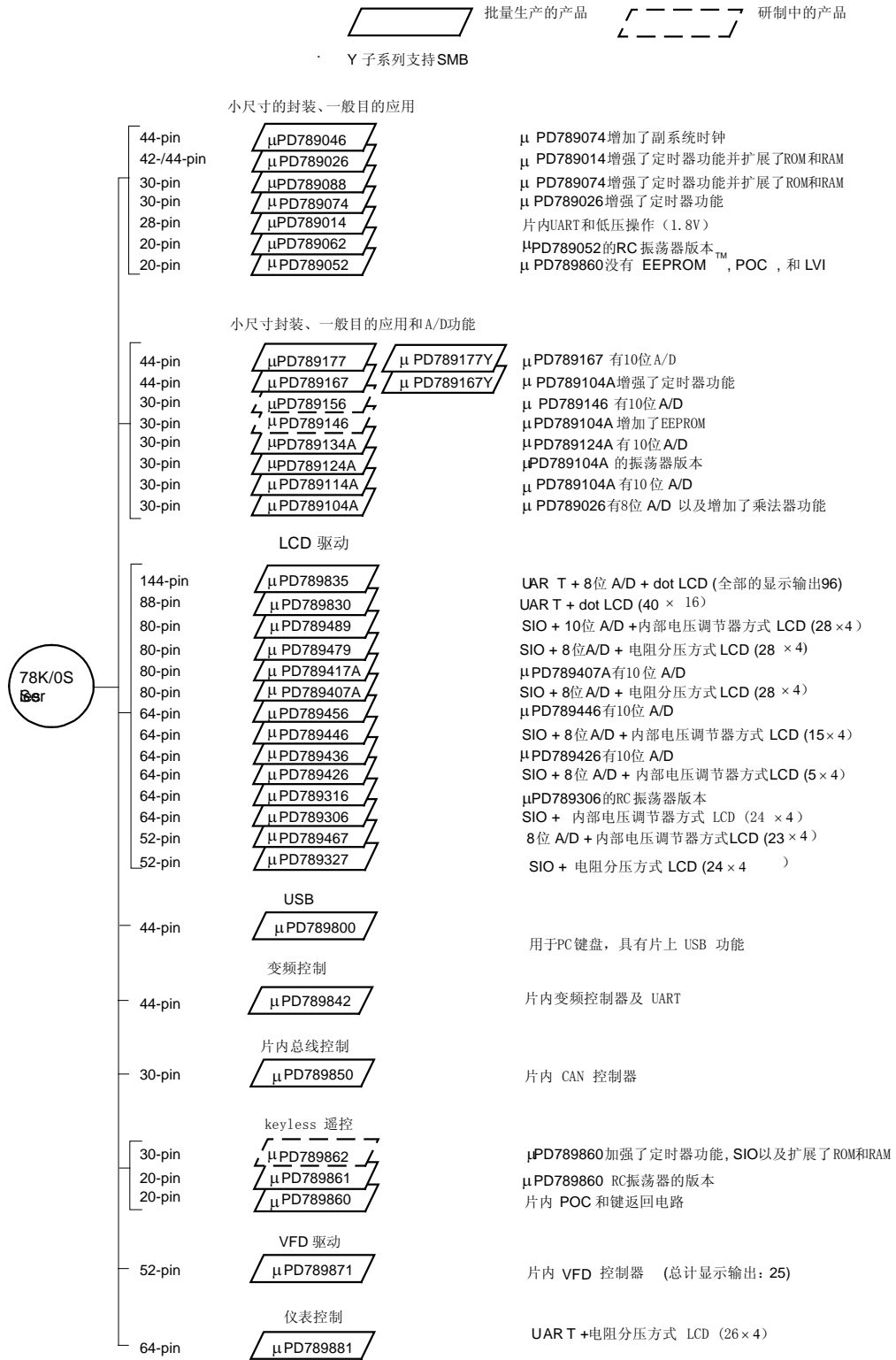
备注 () 内的数值适用于 μ PD78F9418A。

ANI0 ~ ANI6:	A/D 转换器的模拟信号输入	P60~P66:	端口 6
ASCK:	异步串行时钟	P80~P87:	端口 8
AVDD:	A/D 转换器的电压输入	P90~P93:	端口 9
AVREF:	A/D 转换器的参考电压输入	$\overline{\text{RESET}}$:	复位
AVSS:	A/D 转换器的模拟地输入	RxD:	接收数据
BIAS:	LCD 电源供应偏置控制	S0~S27:	Segment 输出
CMPIN0:	比较器输入	$\overline{\text{SCK}}$:	串行时钟
CMPREF0:	比较器参考	SI:	串行输入
CMPTOUT0:	比较器输出	SO:	串行输出
COM0 到 COM3:	Common 输出	TI0, TI1:	定时器输入
CPT5:	捕捉触发输入	TO2, TO5:	定时器输出
IC:	内部连接	TxD:	发送数据
INTP0 ~ INTP3:	外部中断	VDD0, VDD1:	电源
KR0 ~ KR5:	键返回	VLC0~VLC2:	LCD 供电
P00~P03:	端口 0	VPP:	编程供电
P20~P27:	端口 2	VSS0, VSS1:	地
P40~P47:	端口 4	X1, X2:	主系统时钟晶振
P50~P53:	端口 5	XT1, XT2:	副系统时钟晶振



1.5 78K/0S 系列产品

78K/0S 系列产品如下图所示。方框内是子系列名。



备注 VFD (真空荧光显示) 在一些文当中称作 FIPTM (荧光显示屏) 但二者的功能是一样的。

子系列之间功能上的主要区别如下表所示。

通用和 LCD 驱动系列

子系列	功能	ROM 容量 (字节)	定时器				8位 A/D	10位 A/D	串行接口	I/O	VDD 最小值	备注		
			8位	16位	钟表	WDT								
小尺寸封装-通用	μPD789046	16 K	1 ch	1 ch	1 ch	1 ch	-	-	1 ch (UART: 1 ch)	34	1.8 V	-		
	μPD789026	4 K ~ 16 K			-									
	μPD789088	16 K ~ 32 K	3 ch							24				
	μPD789074	2 K ~ 8 K	1 ch											
	μPD789014	2 K ~ 4 K	2 ch	-						22				
	μPD789062	4 K							-	14			RC振荡版本	
	μPD789052												-	
小尺寸封装-通用+ A/D 转换器	μPD789177	16 K ~ 24 K	3 ch	1 ch	1 ch	1 ch	-	8 ch	1 ch (UART: 1 ch)	31	1.8 V	-		
	μPD789167						8 ch	-						
	μPD789156	8 K ~ 16 K	1 ch		-		-	4 ch		20			片内EEPROM	
	μPD789146						4 ch	-						
	μPD789134A	2 K ~ 8 K					-	4 ch					RC振荡版本	
	μPD789124A						4 ch	-						
	μPD789114A						-	4 ch					-	
	μPD789104A						4 ch	-						
LCD 驱动	μPD789835	24 K ~ 60 K	6 ch	-	1 ch	1 ch	3 ch	-	1 ch (UART: 1 ch)	37	1.8 V ^注	支持点阵 LCD		
	μPD789830	24 K	1 ch	1 ch			-			30		2.7 V		
	μPD789489	32 K ~ 48 K	3 ch					8 ch	2 ch (UART: 1 ch)	45	1.8 V	-		
	μPD789479	24 K ~ 48 K					8 ch	-						
	μPD789417A	12 K ~ 24 K					-	7 ch	1 ch (UART: 1 ch)	43				
	μPD789407A						7 ch	-						
	μPD789456	12 K ~ 16 K	2 ch					-	6 ch			30		
	μPD789446							6 ch	-					
	μPD789436							-	6 ch			40		
	μPD789426							6 ch	-					
	μPD789316	8 K ~ 16 K						-		2 ch (UART: 1 ch)		23		RC振荡版本
	μPD789306													-
	μPD789467	4 K ~ 24 K		-			1 ch		-	18				
	μPD789327						-		1 ch	21				

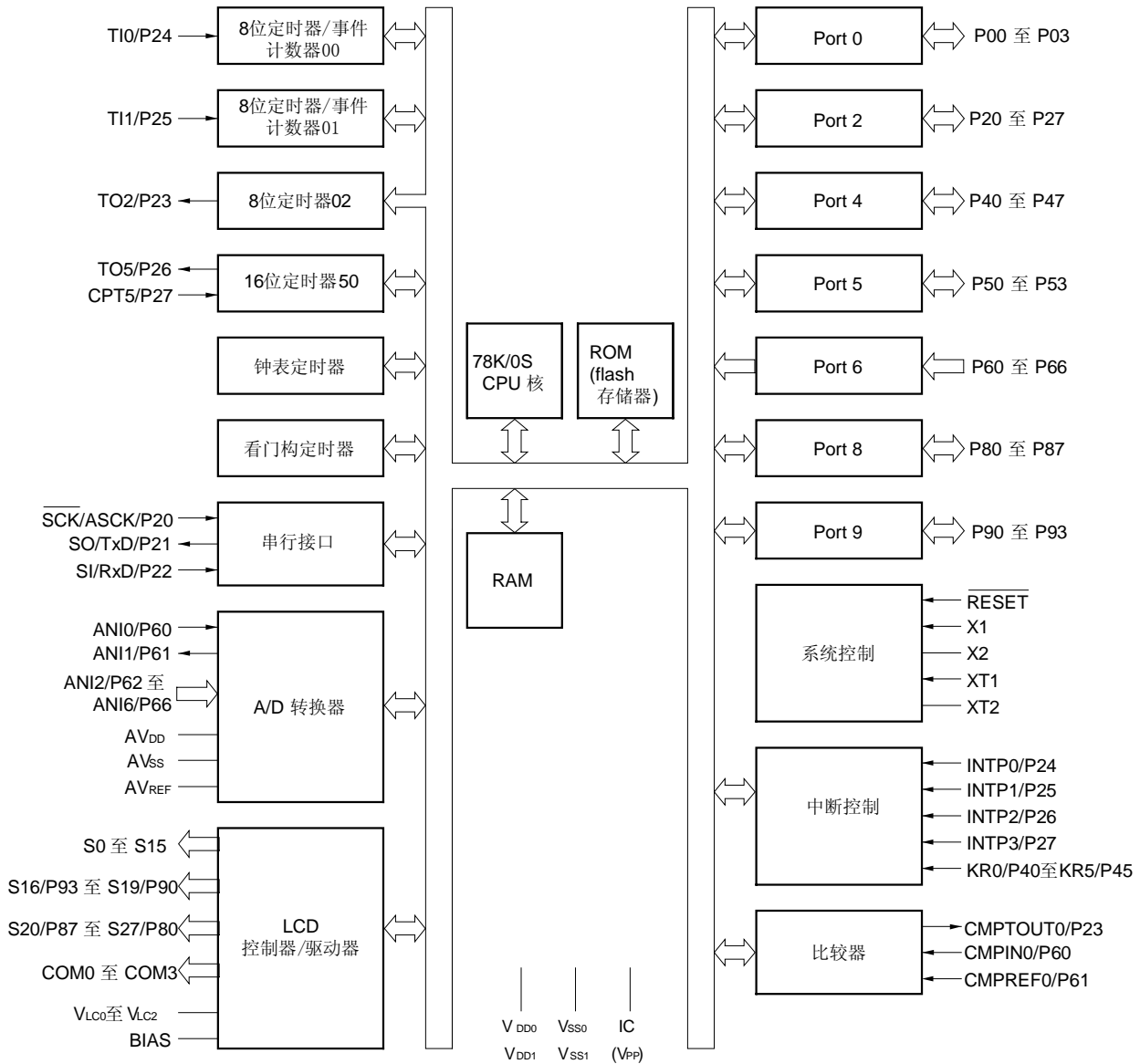
注 Flash 存储器版本:3.0V。

ASSP 系列

子系列	功能	ROM 容量 (字节)	定时器				8位 A/D	10位 A/D	串行接口	I/O	VDD 最小值	备注
			8位	16位	钟表	WDT						
USB	μ PD789800	8 K	2 ch	-	-	1 ch	-	-	2 ch (USB: 1 ch)	31	4.0 V	-
变频控制	μ PD789842	8 K ~ 16 K	3 ch	注 1	1 ch	1 ch	8 ch	-	1 ch (UART: 1 ch)	30	4.0 V	-
片内总线控制器	μ PD789850	16 K	1 ch	1 ch	-	1 ch	4 ch	-	2 ch (UART: 1 ch)	18	4.0 V	-
Keyless 应用	μ PD789861	4 K	2 ch	-	-	1 ch	-	-	-	14	1.8 V	RC 振荡版本 片内EEPROM
	μ PD789860								-			
	μ PD789862	16 K	1 ch	2 ch	1 ch (UART: 1 ch)	22	-					
VFD 驱动	μ PD789871	4 K ~ 8 K	3 ch	-	1 ch	1 ch	-	-	1 ch	33	2.7 V	-
仪表控制	μ PD789881	16 K	2 ch	1 ch	-	1 ch	-	-	1 ch (UART: 1 ch)	28	2.7 V ^{注 2}	-

- 注
1. 10 位定时器: 1 通道。
 2. Flash 存储器版本: 3.0V。

1.6 结构框图



备注 1. 内部ROM的容量与芯片的型号有关。
 2. ()内的数值适用于 μ PD78F9418A。

1.7 功能概述

项目		产品型号	μ PD789405A	μ PD789406A	μ PD789407A	μ PD78F9418A
			μ PD789415A	μ PD789416A	μ PD789417A	
内部存储器	ROM	掩膜 ROM			Flash 存储器	
		12 KB	16 KB	24 KB	32 KB	
	高速 RAM	512 字节				
	LCD 数据 RAM	28 × 4 位				
指令最短执行时间		<ul style="list-style-type: none"> • 0.4/1.6 μs (在主系统时钟为 5MHz 操作时) • 122 μs (在副系统时钟为 32.768KHz 操作时) 				
通用寄存器		8 位 × 8 个寄存器				
指令集		<ul style="list-style-type: none"> • 16 位操作 • 位操作(例如 set, reset 和 test 等) 				
I/O 端口		共 43 个端口引脚 <ul style="list-style-type: none"> • 7 个 CMOS 输入引脚 • 32 个 CMOS I/O 引脚 • 4 个 N 沟开漏引脚(12V 的绝缘强度) 				
A/D 转换器		<ul style="list-style-type: none"> • 7 路 8 位 A/D 转换器(仅μPD789407A 子系列) • 7 路 10 位 A/D 转换器(仅μPD789417A 子系列) 				
比较器		带定时器输出控制功能				
串行接口		可在 3 线串行 I/O 模式和 UART 模式之间切换				
LCD 控制/驱动器		<ul style="list-style-type: none"> • 28 个 segment 信号输出 • 4 个 common 信号输出 • 偏置可在 1/2 到 1/3 之间选择 				
定时器		<ul style="list-style-type: none"> • 16 位定时器 × 1 • 8 位定时器 × 1 • 8 位定时器/事件计数器 × 2 • 钟表定时器 × 1 • 看门狗定时器 × 1 				
定时器输出		2 路输出				
矢量中断源	可屏蔽中断	11 个内部中断, 5 个外部中断				
	非屏蔽中断	内部中断 1 个				
供电电压		VDD = 1.8 ~ 5.5 V				
工作环境温度范围		TA = -40 ~ +85° C				
封装		<ul style="list-style-type: none"> • 80-pin 塑封 QFP (14 x 14) • 80-pin 塑封 TQFP (密脚距) (12 x 12) 				

定时器概述如下所示

		16 位定时器 50	8 位 定时器/事件计 数器 00, 01	8 位定时器 02	钟表定时器	看门狗定时 器
操作模式	间隔定时器	-	1 通道	1 通道	1 通道 ^{注1}	1 通道 ^{注2}
	外部事件计数 器	-	1 通道	-	-	-
功能	定时器输出	1	-	1	-	-
	方波输出	-	-	1	-	-
	捕捉	1 路输入	-	-	-	-
	中断源	1	1	1	2	2

- 注
1. 钟表定时器可同时实现钟表定时器和间隔定时器的功能。
 2. 看门狗定时器有看门狗定时器和间隔定时器两种功能，需要通过选择看门狗定时器功能或间隔定时器功能来使用它。

第二章 引脚功能

2.1 引脚功能列表

(1) 端口引脚

引脚名称	I/O	功能	复位后	可选功能
P00 ~ P03	I/O	端口 0 4位I/O端口 可以位选I/O方式 作为输入口时，可通过设置上拉电阻选择寄存器 0(PU0) 来指定使用上拉电阻	输入	-
P20	I/O	端口 2 8位I/O端口 可以位选I/O方式 作为输入口时，可通过设置上拉电阻选择寄存器 1(PU1) 来指定使用上拉电阻	输入	SCK/ASCK
P21				SO/TxD
P22				SI/RxD
P23				CMPTOUT0/T02
P24				INTP0/TI0
P25				INTP1/TI1
P26				INTP2/T05
P27				INTP3/CPT5
P40 ~ P45	I/O	端口 4 8位I/O端口 可以位选I/O方式 作为输入口时，可通过设置上拉电阻选择寄存器 0(PU0) 来指定使用上拉电阻	输入	KR0~KR5
P46, P47				-
P50~P53	I/O	端口 5 4位N沟道开漏 I/O端口 可以位选I/O方式 对于掩膜 ROM，是否内置上拉电阻可在掩膜时指定	输入	-
P60	Input	端口 6 7 位输入端口	输入	ANI0/CMPIN0
P61				ANI1/CMPREF0
P62~P66				ANI2~ANI6
P80~P87	I/O	端口 8 8位I/O端口 可以位选I/O方式 作为输入口时，可通过设置上拉电阻选择寄存器2(PU2) 来指定使用上拉电阻	输入	S27~S20
P90~P93	I/O	端口 9 4位I/O端口 可以位选I/O方式 作为输入口时，可通过设置上拉电阻选择寄存器 2(PU2) 来指定使用上拉电阻	输入	S19~S16

(2) 非端口引脚 (1/2)

引脚	I/O	功能	复位后	可选功能
INTP0	输入	当指定的有效沿（上升沿、下降沿或双沿）到来时，产生外部中断请求	输入	P24/TI0
INTP1				P25/TI1
INTP2				P26/T05
INTP3				P27/CPT5
KR0 ~ KR5	输入	键返回信号检测	输入	P40~P45
SI	输入	串行通信接口的串行数据输入	输入	P22/RxD
S0	输出	串行通信接口的串行数据输出	输入	P21/TxD
$\overline{\text{SCK}}$	I/O	串行通信接口的串行时钟 I/O	输入	P20/ASCK
ASCK	输入	异步串行通信接口的串行时钟输入	输入	P20/ $\overline{\text{SCK}}$
RxD	输入	异步串行通信接口的串行数据输入	输入	P22/SI
TxD	输出	异步串行通信接口的串行数据输出	输入	P21/S0
TI0	输入	输入到 8 位定时器 (TM00) 的外部计数时钟	输入	P24/INTP0
TI1	输入	输入到 8 位定时器 (TM01) 的外部计数时钟	输入	P25/INTP1
T02	输出	8 位定时器 (TM02) 输出	输入	P23/CMPTOUT0
T05	输出	16 位定时器 (TM50) 输出	输入	P26/INTP2
CPT5	输入	捕捉沿输入	输入	P27/INTP3
CMPTOUT0	输出	比较器输出	输入	P23/T02
CMPIN0	输入	比较器输入	输入	P60/ANI0
CMPREF0	输入	比较器参考电压输入	输入	P61/ANI1
ANI0	输入	A/D转换器模拟信号输入	输入	P60/CMPIN0
ANI1				P61/CMPREF0
ANI2~ANI6				P62~P66
AVREF	-	A/D 转换器参考电压	-	-
AVSS	-	A/D 转换器地电位	-	-
AVDD	-	A/D 转换器模拟电源	-	-
S0~S15	输出	LCD 控制器/驱动器 SEG 信号输出	输出	-
S16~S19			输入	P93~P90
S20~S27			输入	P87~P80
COM0~COM3	输出	LCD 控制器/驱动器 COM 信号输出	输出	-
V _{LC0} ~V _{LC2}	-	LCD 驱动电压	-	-
BIAS	-	LCD 驱动供电电压	-	-
X1	输入	主系统时钟晶体振荡器连接	-	-
X2	-		-	-
XT1	输入	副系统时钟晶体振荡器连接	-	-
XT2	-		-	-
$\overline{\text{RESET}}$	输入	系统复位输入	输入	-

(2) 非端口引脚 (2/2)

引脚名称	I/O	功能	复位后	可选功能
V _{DD0}	-	端口正电源	-	-
V _{DD1}	-	端口电路除外的正电源	-	-
V _{SS0}	-	端口部分接地端	-	-
V _{SS1}	-	端口电路除外的接地端	-	-
IC	-	内部直接连接到 V _{SS0} 或者 V _{SS1}	-	-
V _{PP}	-	在编程模式 (flash 存储器) 下, 程序写入和校验接高电平。一般操作模式直接连接到 V _{SS0} 或者 V _{SS1}	-	-

2.2 引脚功能描述

2.2.1 P00~P03 (端口 0)

端口 0(P0)是一个 4 位 I/O 端口, 可通过端口模式寄存器 0(PM0)位选 I/O 模式。当作为输入端口时, 可通过上拉电阻选择寄存器 0(PU0) 设置为使用内部上拉电阻。

2.2.2 P20~P27 (端口 2)

端口 2(P2)是一个 8 位输入输出端口。另外, 端口 2 也可作为串行接口数据输入输出、串行接口时钟输入输出、外部中断输入和定时器输入输出端口。

端口 2 可在以下操作模式下按位指定。

(1) 端口模式

在端口模式下, P20到P27用作8位输入输出端口。端口 2 可通过端口模式寄存器 2(PM2) 位选输入输出模式。当作为输入端口时, 可通过上拉电阻选择寄存器 1(PU1) 设置为使用内部上拉电阻。

(2) 控制模式

在控制模式下, P20 到 P27 用作串行接口的数据输入输出、串行接口的时钟输入输出、外部中断输入和定时器输入输出端口。

(a) SI, SO

串行接口的串行数据输入输出引脚。

(b) $\overline{\text{SCK}}$

串行接口的串行时钟输入输出引脚。

(c) RxD, TxD

异步串行接口的串行数据输入输出引脚。

(d) ASCK

异步串行接口的串行时钟输入引脚。

(e) TI0, TI1

8 位定时器/事件计数器的外部时钟输入引脚。

(f) T02

8 位定时器的输出引脚。

(g) T05

16 位定时器的输出引脚。

(h) CPT5

捕捉沿输入引脚。

(i) INTPO ~ INTP3

外部中断（指定的有效沿（上升沿，下降沿或双沿））输入引脚。

(j) CMPTOUT0

比较器输出引脚。

注意事项 当使用P20~P27作为串行接口引脚时，必须根据其功能对I/O和输出锁存进行设置。详细设置方法参照表 13-2。

2.2.3 P40~P47（端口4）

端口4（P4）是一个8位输入输出端口。另外，P4可用作检测键返回信号。

以下操作模式可按位指定。

(1) 端口模式

在此模式下，端口4用作8位输入输出端口。端口4可通过端口模式寄存器4(PM4)位选输入输出模式。当作为输入口时，可通过上拉电阻选择寄存器0(PU0)设置为使用内部上拉电阻。

(2) 控制模式

在此模式下，用作键返回信号检测引脚（KR0~KR5）。

2.2.4 P50~P53（端口5）

端口5（P5）是一个4位N沟开漏输入输出端口。掩膜ROM芯片可通过掩膜选项指定是否使用内部上拉电阻。

2.2.5 P60~P66（端口6）

端口6（P6）是一个7位输入端口。它既能作为通用输入端口使用，也能作为A/D转换器模拟信号输入引脚和比较器输入引脚使用。

(1) 端口模式

在此模式下，端口6用作7位输入端口。

(2) 控制模式

在控制模式下，端口6能用作A/D转换器模拟信号输入引脚和比较器输入引脚。

(a) ANI0~ANI6

A/D转换器模拟信号输入引脚。

(b) CMPIN0

比较器输入引脚。

(c) CMPREF0

比较器参考电压输入引脚。

2.2.6 P80~P87 (端口 8)

端口 8 (P8) 是一个 8 位输入输出端口。另外, 它也能输出 LCD 控制器/驱动器的 SEG 信号。

端口 8 可在以下操作模式下按位指定。

(1) 端口模式

在此模式下, P80~P87 用作 8 位输入输出端口。端口 8 可通过端口模式寄存器 8(PM8) 位选输入输出模式。当作为输入口时, 可通过上拉电阻选择寄存器 2(PU2) 设置为使用内部上拉电阻。

(2) 控制模式

在控制模式下, P80~P87 用作 LCD 控制器/驱动器的 SEG 信号输出引脚 (S20~S27)。

2.2.7 P90~P93 (端口 9)

端口 9 (P9) 是一个 4 位输入输出端口。另外, 它也能输出 LCD 控制器/驱动器的 SEG 信号。

端口 9 可在以下操作模式下按位指定。

(1) 端口模式

在此模式下, P90~P93 用作 4 位输入输出端口。端口 9 可通过端口模式寄存器 9(PM9) 位选输入输出模式。当作为输入口时, 可通过上拉电阻选择寄存器 2(PU2) 设置为使用内部上拉电阻。

(2) 控制模式

在控制模式下, P90~P93 用作 LCD 控制器/驱动器的 SEG 信号输出引脚 (S16~S19)。

2.2.8 S0~S15

LCD 控制器/驱动器的 SEG 信号输出引脚。

2.2.9 COM0~COM3

LCD 控制器/驱动器的 COM 信号输出引脚。

2.2.10 VLCO~VLC2

为 LCD 驱动用电源引脚。

2.2.11 BIAS

为 LCD 的供电电源引脚。

2.2.12 AVREF

★ A/D 转换器参考电压引脚。当不使用 A/D 转换器时将它连接到 V_{DD0} , V_{DD1} , V_{SS0} 或 V_{SS1} 。

2.2.13 AVDD

A/D 转换器模拟电路电源引脚。请将它与 V_{DD0} 引脚始终保持相同的电位 (即使不使用 A/D 转换器)。

2.2.14 AVss

A/D 转换器地电位引脚。请将它与 V_{SS0} 引脚始终保持相同的电位（即使不使用 A/D 转换器）。

2.2.15 RESET

复位信号输入引脚，低电平有效。

2.2.16 X1, X2

这些引脚用来连接晶体振荡器为主系统时钟振荡器提供振荡源。

支持外部时钟信号，将输入的时钟信号连接到 X1 引脚，它的反向信号连接到 X2 引脚。

2.2.17 XT1, XT2

这些引脚用来连接晶体振荡器为副系统时钟振荡器提供振荡源。

支持外部时钟信号，将输入的时钟信号连接到 XT1 引脚，它的反向信号连接到 XT2 引脚。

2.2.18 VDD0, VDD1

VDD0 为端口部分提供正电源，VDD1 为端口以外的部分提供正电源。

2.2.19 VSS0, VSS1

VSS0 为端口部分提供地，VSS1 为端口以外的部分提供地。

2.2.20 VPP (仅 μ PD78F9418A)

当设置成可编程模式和程序在写入或校验时，应该接高电平。

使用以下方法之一处理该引脚。

- 单独连接一个 10 k Ω 的下拉电阻。
- 在编程模式下，将该引脚直接连接到专用的 FLASH 编程器上或者在正常操作模式下，通过电路板上的跳线将该引脚连接到 V_{SS0} 或 V_{SS1}。

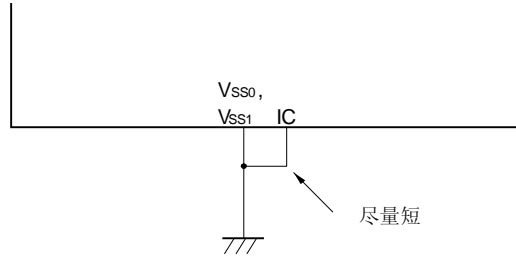
如果 V_{PP} 引脚和 V_{SS0} 引脚或 V_{SS1} 引脚之间的连线过长，或者由于 V_{PP} 引脚上的外部噪声，用户程序可能不能正确运行。

2.2.21 IC (仅限掩膜 ROM 版本)

IC (内部连接) 引脚用来在出货前将 μ PD789407A和 μ PD789417A子系列设置成测试模式。直接将该引脚连接到 V_{SS0} 或 V_{SS1} , 连线尽量短。

如果由于 IC 引脚和 V_{SS0} 或 V_{SS1} 之间的连线过长使得 IC 引脚和 V_{SS0} 或 V_{SS1} 之间的电位不同, 或者 IC 引脚上有外部噪声, 那么用户程序可能不能正确的运行。

- 直接将IC引脚连接到 V_{SS0} 或 V_{SS1}



2.3 引脚 I/O 电路和未用引脚的推荐连接方式

输入输出电路类型和未被使用引脚的推荐连接方式见表2-1。

各类型输入输出电路结构如图2-1所示。

表 2-1 引脚 I/O 电路的类型

引脚名称	I/O 电路类型	I/O	未使用引脚的推荐连接	
P00~P03	5-H	I/O	输入：通过电阻单独连接到 V_{DD0} , V_{DD1} , V_{SS0} , V_{SS1} 输出：开路	
P20/SCK/ASCK	8-C			
P21/S0/TxD				
P22/SI/RxD				
P23/CMPTOUT0/T02	10-B		输入：通过电阻单独连接到 V_{SS0} 或 V_{SS1} 输出：开路	
P24/INTP0/TI0	8-C			
P25/INTP1/TI1				
P26/INTP2/T05				
P27/INTP3/CPT5				
P40/KR0 到 P45/KR5	5-H		输入：通过电阻单独连接到 V_{DD0} , V_{DD1} , V_{SS0} , 或 V_{SS1} 输出：开路	
P46, P47				
P50~P53 (掩膜 ROM)				13-U
P50~P53 (μ PD78F9418A)	13-T		输入：通过电阻单独连接到 V_{DD0} 或 V_{DD1} 输出：开路	
P60/ANI0/CMPIN0	9-D	输入		直接连接到 V_{DD0} , V_{DD1} , V_{SS0} , 或 V_{SS1}
P61/ANI1/CMPREF0	9-C			
P62/ANI2~P66/ANI6				
P80/S27~P87/S20	17-F	I/O	输入：通过电阻单独连接到 V_{DD0} , V_{DD1} , V_{SS0} , 或 V_{SS1} 输出：开路	
P90/S19~P93/S16				
S0~S15	17-B	输出	开路	
COM0~COM3	18-A			
VLC0~VLC2	-	-	开路。但是, 当不使用 $V_{LC0} - V_{LC2}$ 时通过电阻单独连接到 V_{SS0} 或 V_{SS1}	
BIAS				
AVDD			直接连接到 V_{DD0} 或 V_{DD1} .	
AVREF			直接连接到 V_{DD0} , V_{DD1} , V_{SS0} , 或 V_{SS1}	
AVSS			直接连接到 V_{SS0} 或 V_{SS1}	
XT1			输入	直接连接到 V_{SS0} 或 V_{SS1}
XT2			-	开路
RESET	2	输入	-	
IC (掩膜 ROM 版本)	-	-	直接连接到 V_{SS0} 或 V_{SS1}	
VPP (μ PD78F9418A)			单独连接一个 10 k Ω 下拉电阻或者通过电阻直接连接到 V_{SS0} 或 V_{SS1}	

图 2-1. 引脚 I/O 电路 (1/2)

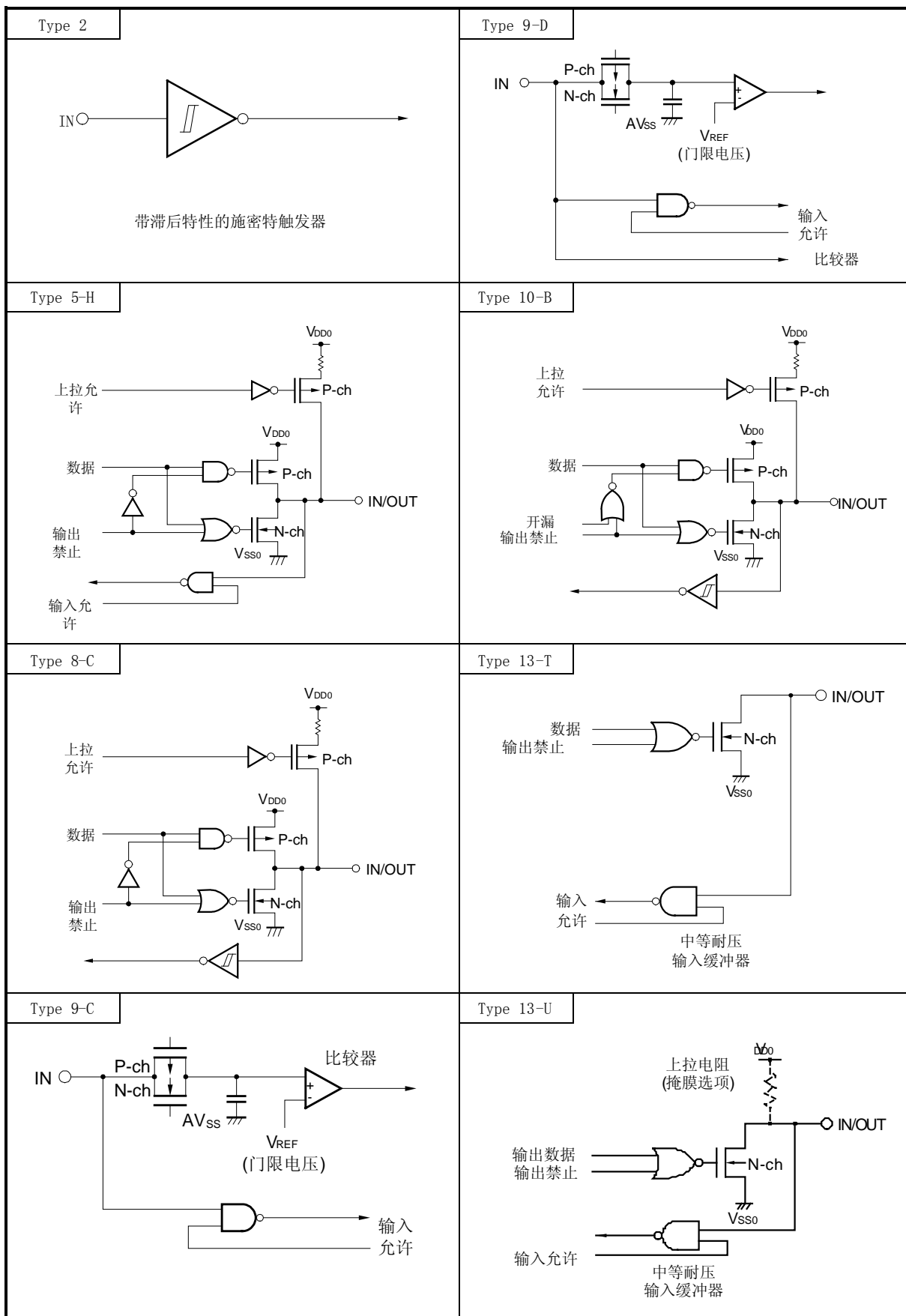
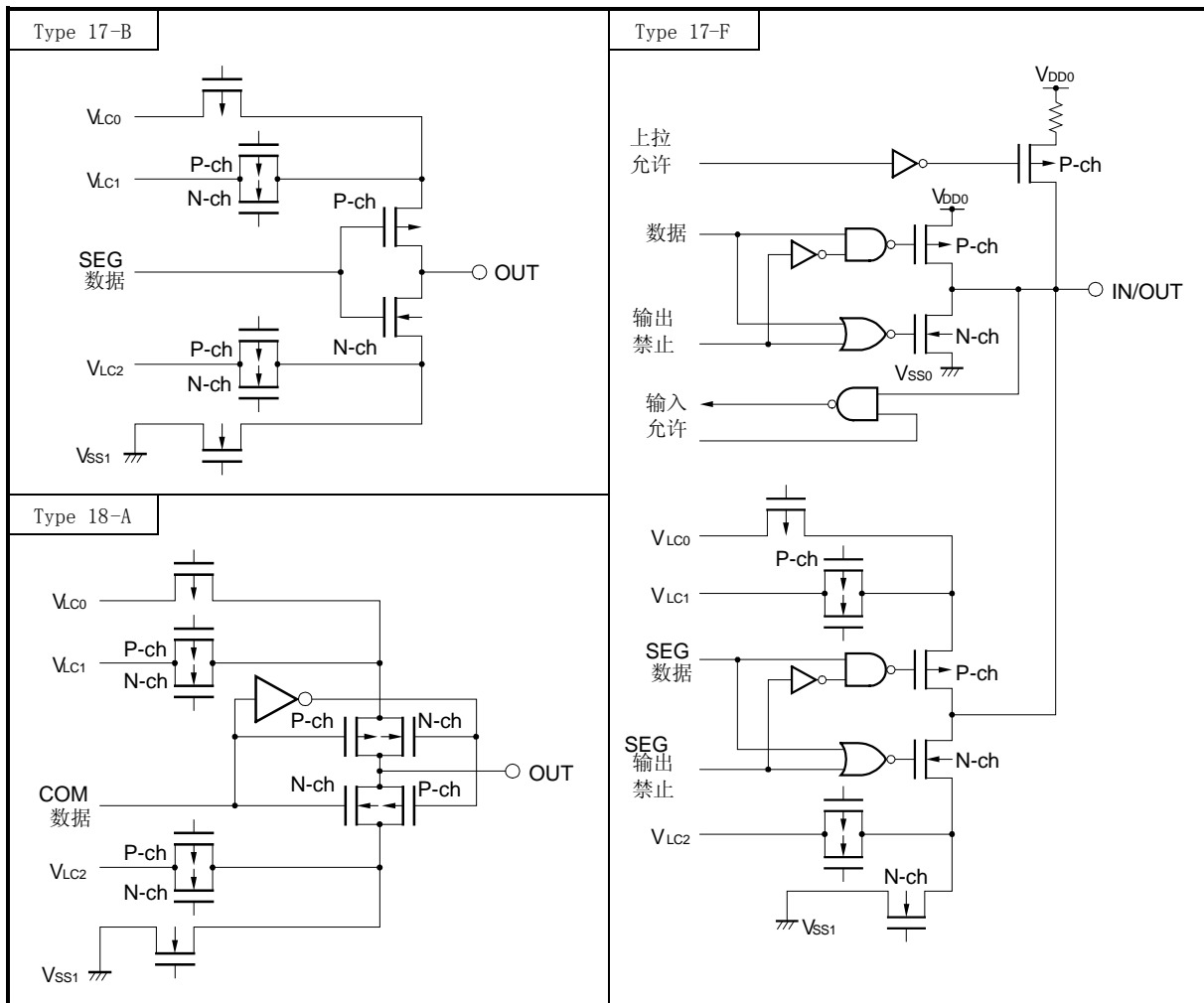


图 2-1. 引脚 I/O 电路 (2/2)



第三章 CPU 结构

3.1 存储器空间

μ PD789407A 和 μ PD789417A 子系列能够访问 64K 字节存储器空间。存储空间映射图如图 3-1 到 3-4 所示。

图 3-1 存储空间映射图 (μ PD789405A 和 μ PD789415A)

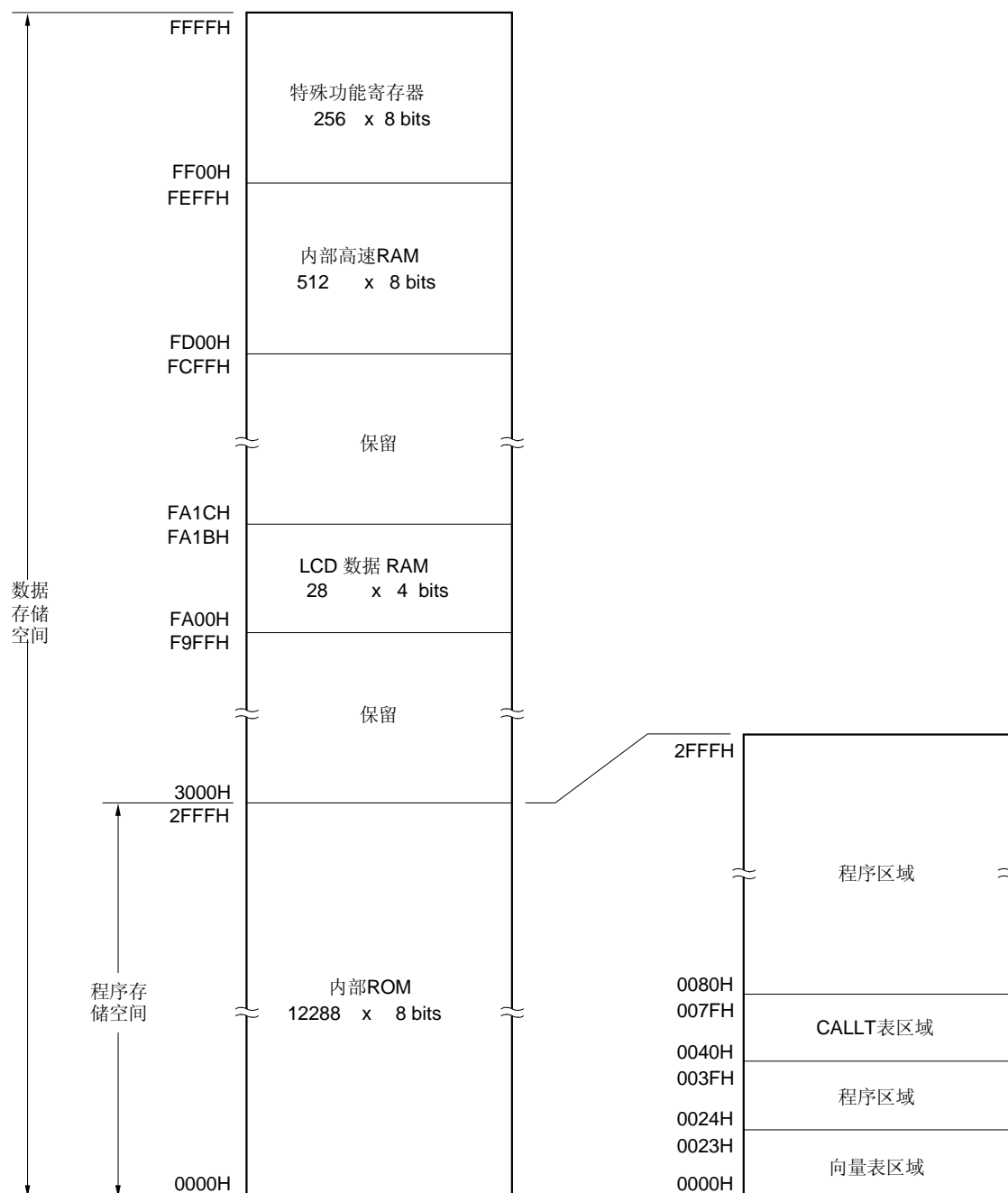


图 3-2. 存储空间映射图 (μ PD789406A 和 μ PD789416A)

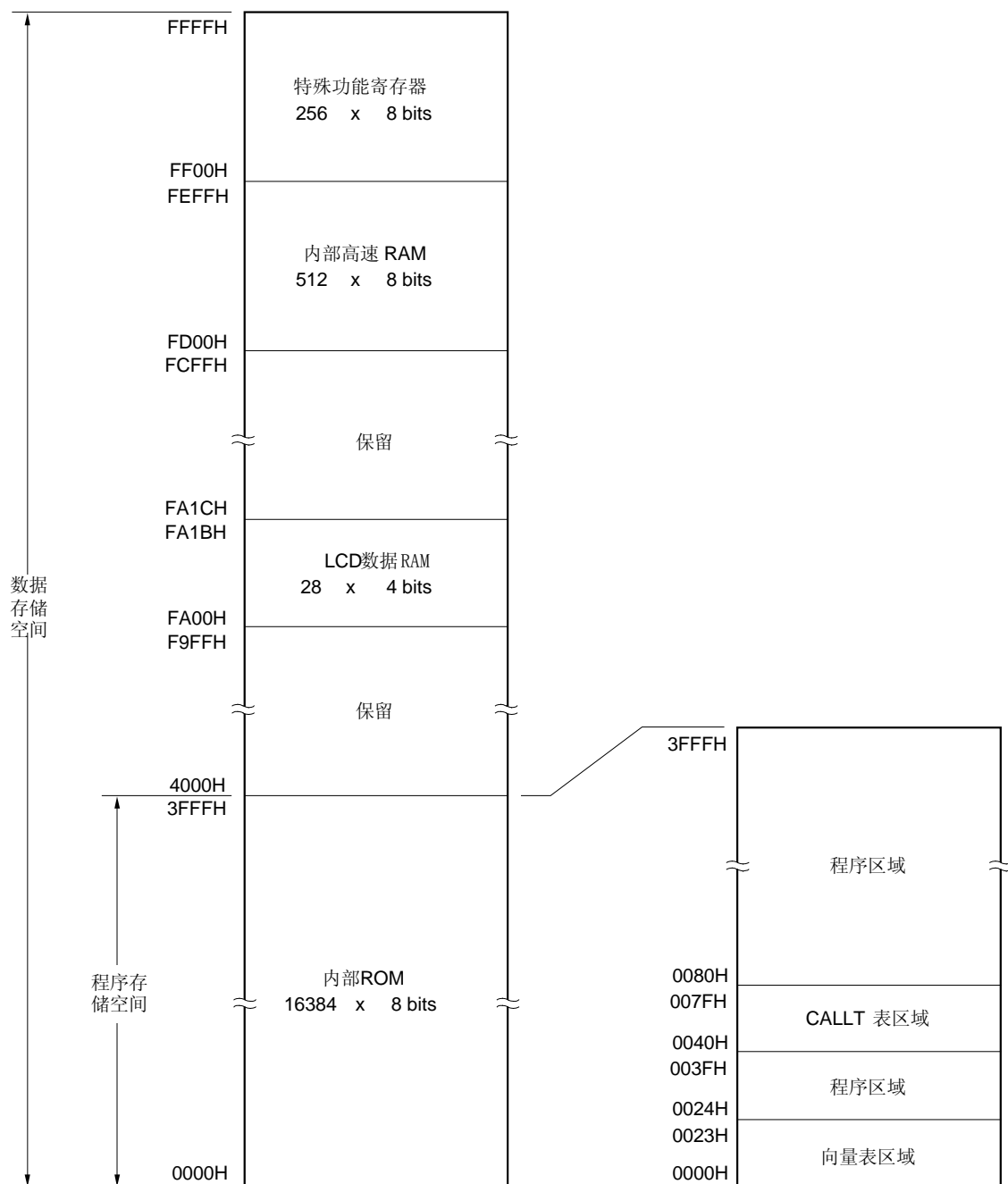


图 3-3. 存储空间映射图 (μ PD789407A 和 μ PD789417A)

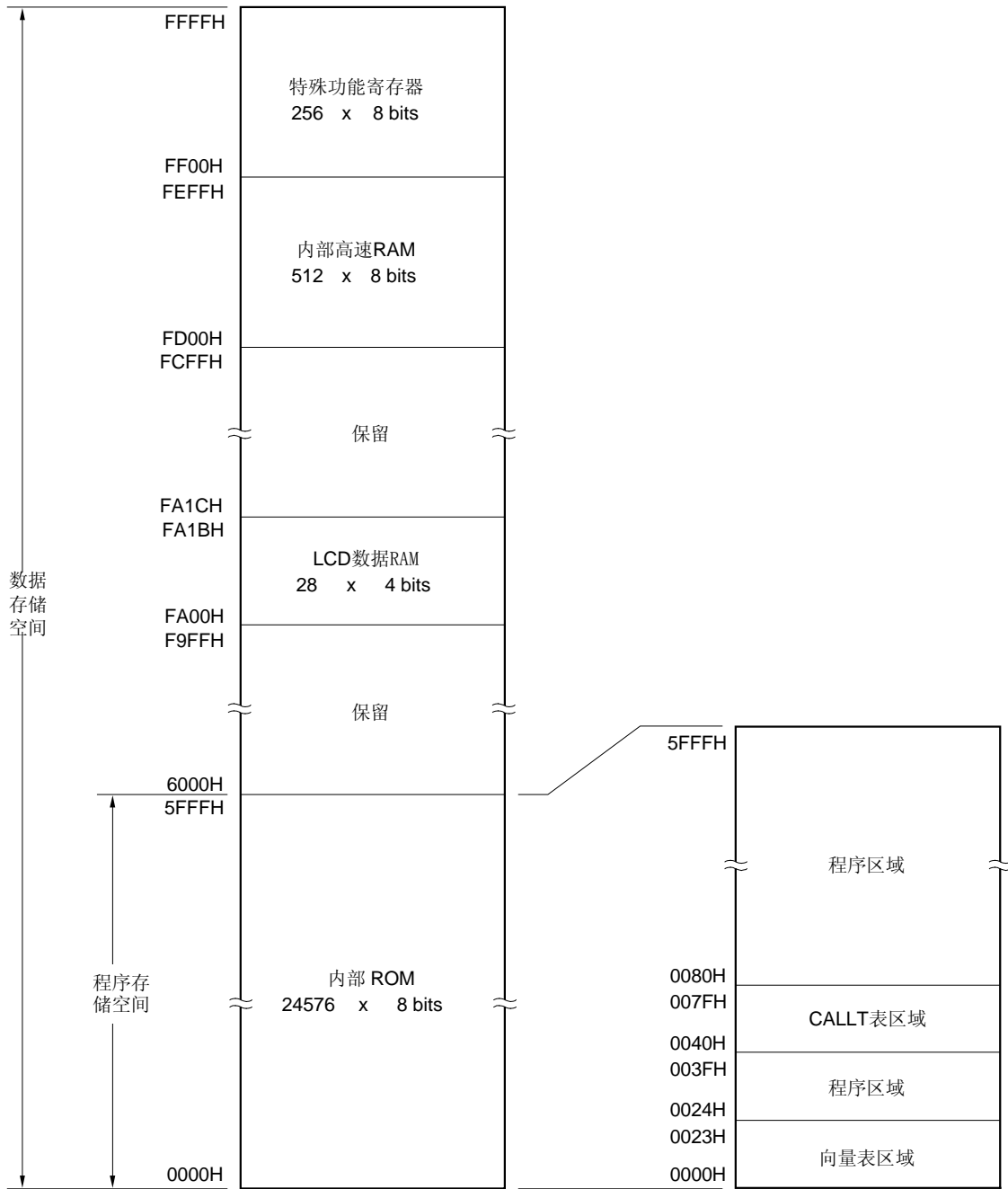
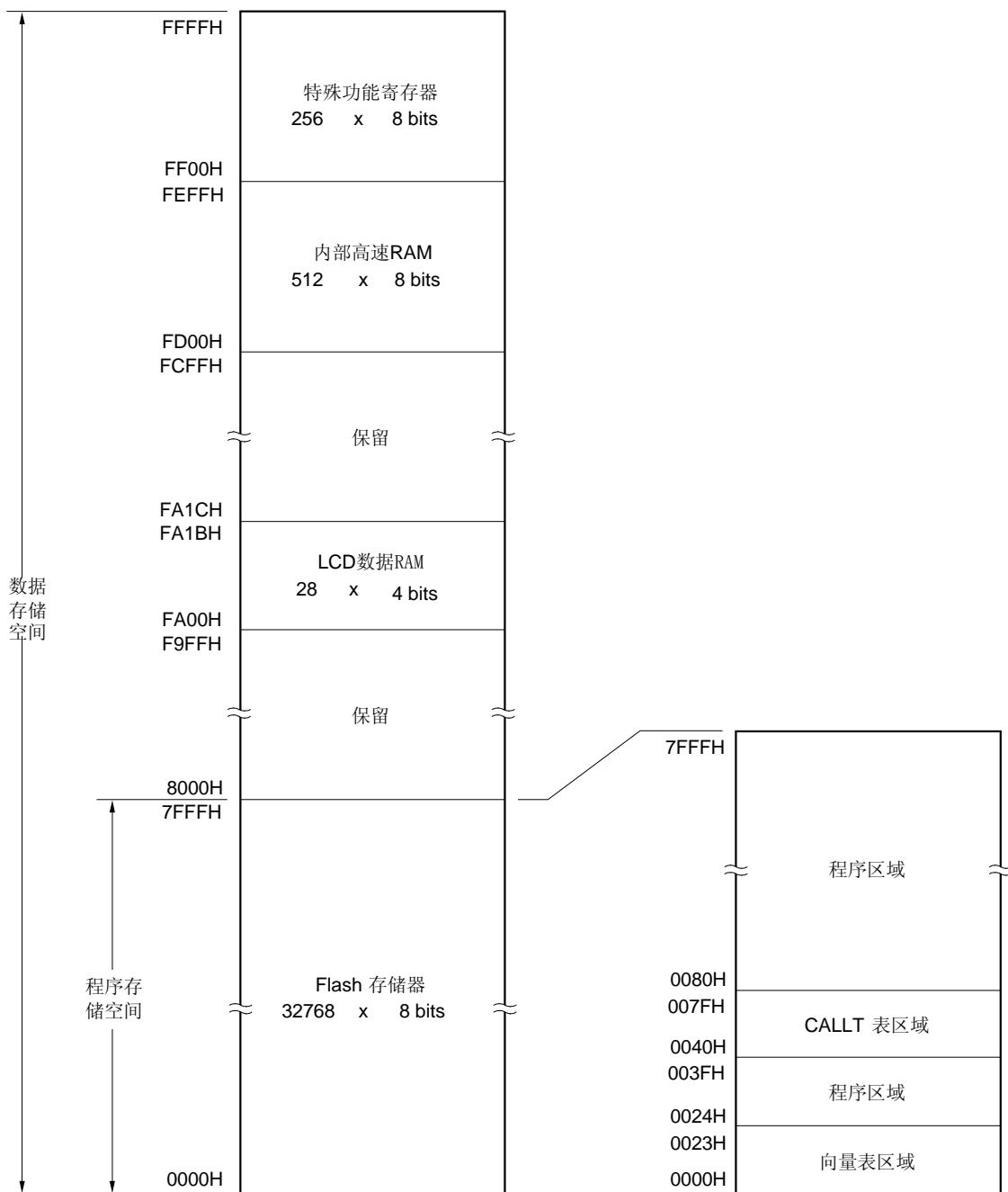


图 3-4. 存储空间映射图(μPD78F9418A)



3.1.1 内部程序存储器空间

内部程序存储空间保存程序和表格数据。这部分空间通常用程序计数器（PC）来寻址。

μ PD789407A 和 μ PD789417A 子系列的每种产品都提供了包含以下容量的内部 ROM（或者 FLASH 存储器）。

表 3-1. 内部 ROM 容量

产品型号	内部 OM	
	结构	容量
μ PD789405A, 789415A	掩膜 ROM	12288 × 8 bits
μ PD789406A, 789416A		16384 × 8 bits
μ PD789407A, 789417A		24576 × 8 bits
μ PD78F9418A	FLASH 存储器	32768 × 8 bits

分配到内部程序存储空间的区域如下。

(1) 向量表区域

地址范围在 0000H 到 0023H 的 36 字节区域被保留作为向量表区域。复位后程序的起始地址和中断服务程序的入口地址存放在此区域中。对于一个 16 位地址，低 8 位地址存放在向量表的偶地址单元中，高 8 位地址存放在向量表的奇地址单元中。

表 3-2 向量表

向量表地址	中断请求	向量表地址	中断请求
0000H	RESET 输入	0014H	INTWTI
0004H	INTWDT	0016H	INTTM00
0006H	INTP0	0018H	INTTM01
0008H	INTP1	001AH	INTTM02
000AH	INTP2	001CH	INTTM50
000CH	INTP3	001EH	INTKR00
000EH	INTSR00/INTCSI00	0020H	INTAD0
0010H	INTST00	0022H	INTCMP0
0012H	INTWT		

(2) CALLT 指令表区域

地址范围在 0040H 到 007FH 的 64 字节存储器区域作为单字节调用指令（CALLT）的子程序入口地址存放区域。

3.1.2 内部数据存储器空间

μ PD789407A 和 μ PD789417A 子系列产品包括以下 RAM。

(1) 内部高速 RAM

地址范围在 FD00H 到 FEFH 的存储器区域为内部高速 RAM，堆栈也使用此区域。

(2) LCD 数据 RAM

地址范围在 FA00H 到 FA1BH 的存储器区域为 LCD 数据 RAM。LCD 显示 RAM 也可被用作通用 RAM。

3.1.3 特殊功能寄存器 (SFR) 区

片内外围硬件的特殊功能寄存器 (SFRs) 被分配到 FF00H ~ FFFFH 的地址区域上 (见表 3-3)。

3.1.4 数据存储寻址

μ PD789407A 和 μ PD789417A 子系列提供了多种寻址方式，使得存储器操作尽可能高效。尤其在数据存储器区域对应的地址 (FD00H ~ FFFFH) 上，特殊的寻址方式可以满足特殊功能寄存器 (SFR) 或通用寄存器的功能。数据存储寻址方式如图 3-5 到 3-8 所示。

图 3-5. 数据存储寻址 (μ PD789405A 和 μ PD789415A)

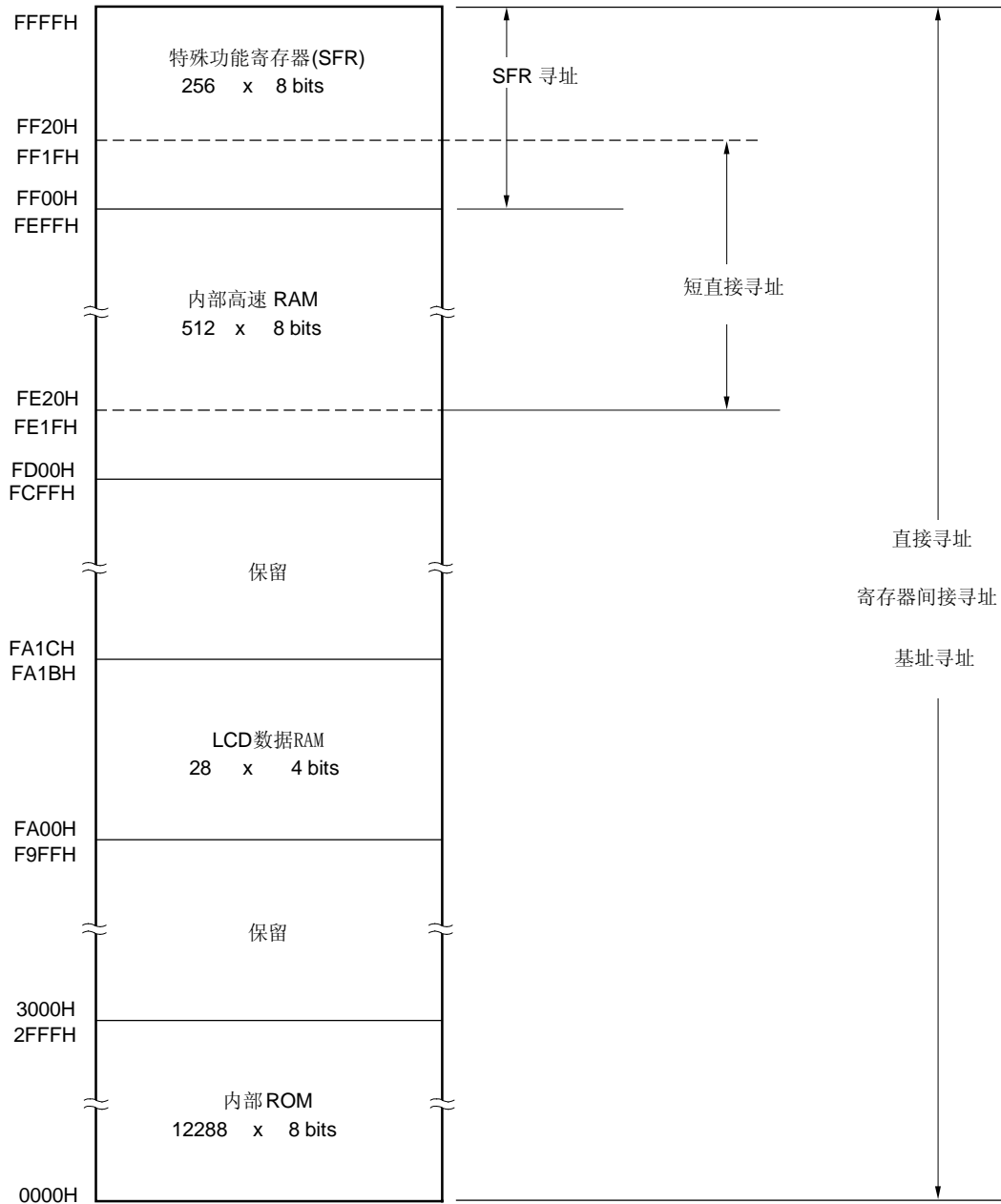


图 3-6. 数据存储地址 (μ PD789406A 和 μ PD789416A)

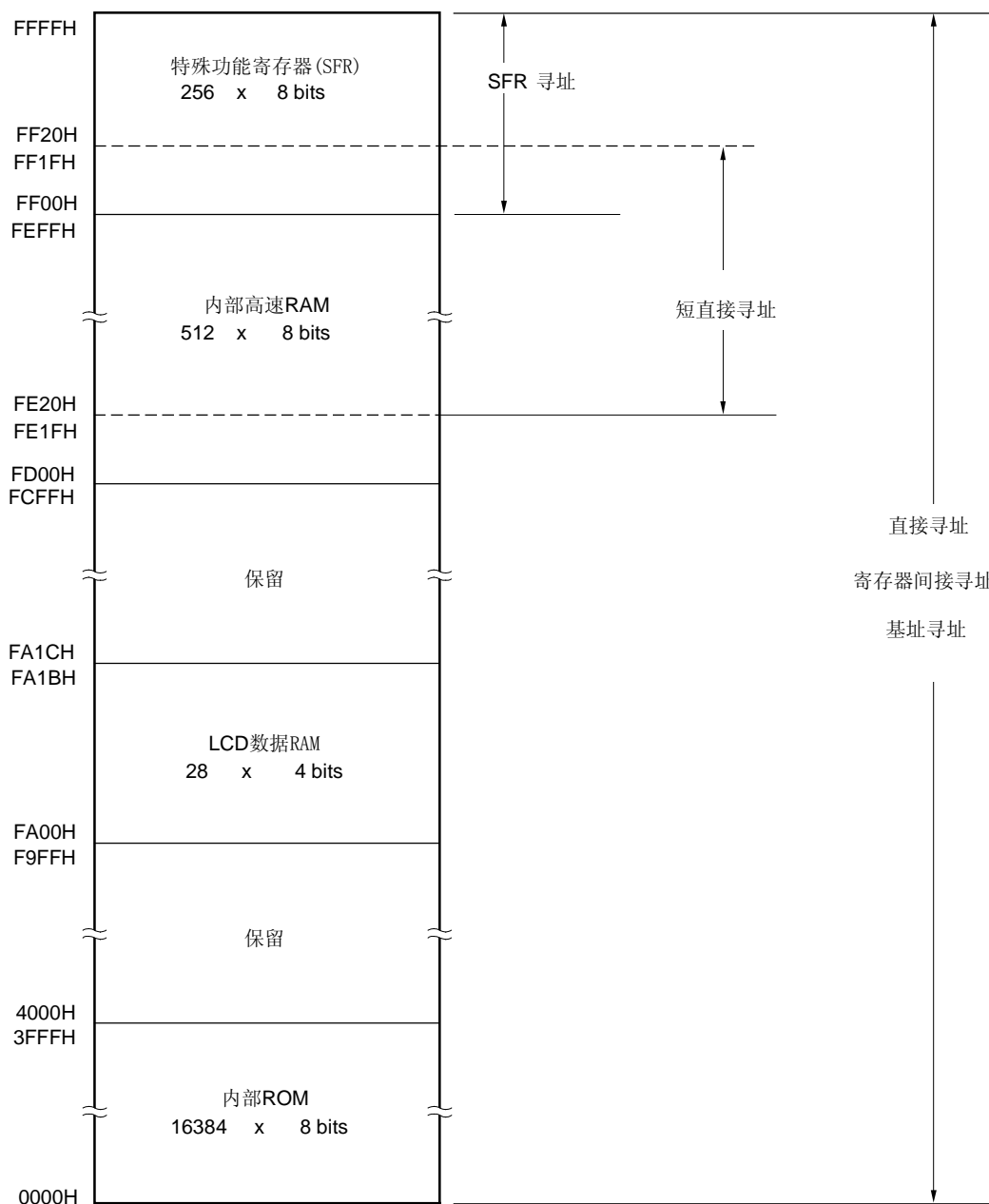


图 3-7. 数据存储器寻址 (μ PD789407A 和 μ PD789417A)

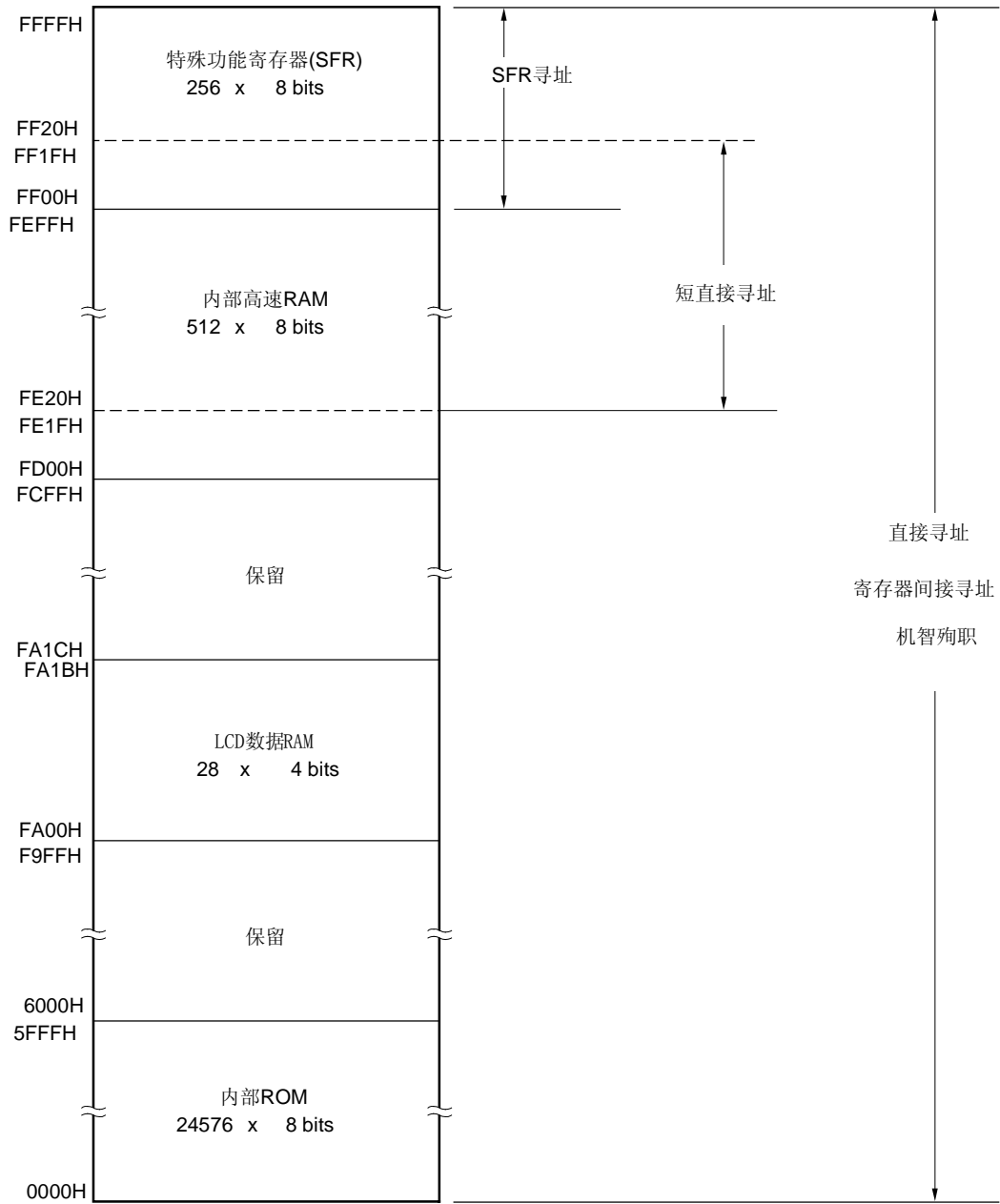
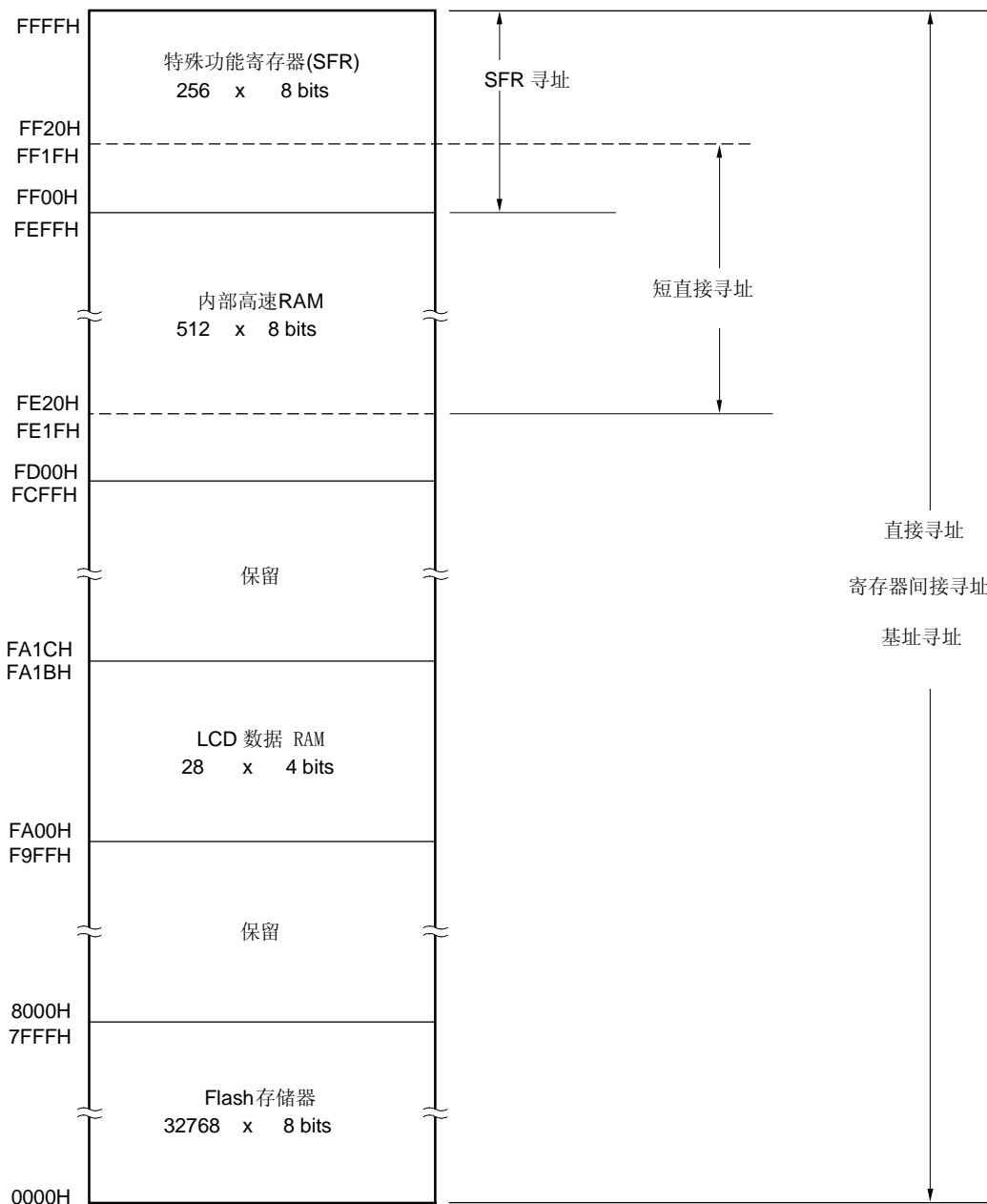


图 3-8. 数据存储器寻址(μ PD78F9418A)



3.2 处理器寄存器

μPD789407A 和 μPD789417A 子系列包括以下片内处理器寄存器。

3.2.1 控制寄存器

控制寄存器包含一些特殊功能来控制程序顺序、状态和堆栈。控制寄存器有程序计数器、程序状态字和堆栈指针。

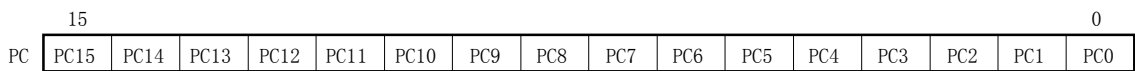
(1) 程序计数器 (PC)

程序计数器是一个16位的寄存器，用于存放下一条要执行指令的地址。

对于普通操作，读取一条指令后PC作自动加1操作。当执行分支指令时，立即数或者寄存器内容将被送入PC中。

$\overline{\text{RESET}}$ 信号输入后，向量表中 0000H 和 0001H 单元的内容被送入 PC 中。

图 3-9. 程序计数器格式



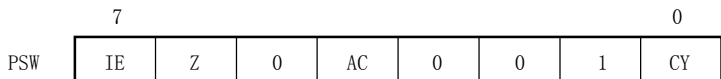
(2) 程序状态字 (PSW)

程序状态字是一个 8 位寄存器，包含各种标志，通过执行指令对这些标志进行置位/复位。

在中断请求产生或执行 PUSH PSW 指令时，程序状态字的内容自动入栈，执行 RETI 和 POP PSW 指令时，PSW 的内容自动恢复。

$\overline{\text{RESET}}$ 信号输入后 PSW 中的值为 02H。

图 3-10. 程序状态字格式



(a) 中断允许标志 (IE)

中断允许标志控制 CPU 对中断请求的响应。

当 $IE = 0$ 时, IE 被设置成中断无效状态 (DI)。除了非屏蔽中断, 其他所有中断请求 CPU 都不响应。

当 $IE = 1$ 时, IE 被设置成中断允许状态 (EI)。允许中断请求的响应由各个中断源对应的中断屏蔽标志来控制。

执行 DI 指令或当 CPU 响应一个中断请求时, IE 标志复位 ($IE=0$), 执行 EI 指令使 IE 标志置位 ($IE = 1$)。

(b) 零标志 (Z)

当操作结果为 0 时, Z 标志置位 ($Z = 1$), 否则 Z 标志复位 ($Z = 0$)。

(c) 辅助进位标志 (AC)

如果操作结果在第 3 位产生进位或借位, AC 标志被置为 1, 否则置为 0。

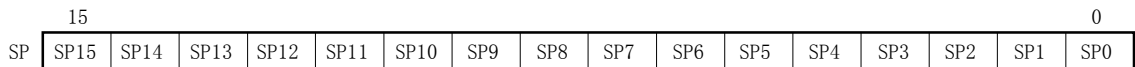
(d) 进位标志 (CY)

该标志存储的是在执行加减指令时产生的上溢或下溢。它也存储移位指令执行中的移出值, 还可以在位操作指令执行中作为位累加器使用。

(3) 堆栈指针(SP)

SP 是一个 16 位的寄存器，用于存放当前堆栈区域的起始地址。堆栈只能设置在内部高速 RAM 中。

图 3-11. 堆栈指针格式



向堆栈中写数据时，指针 (SP) 累减，从堆栈中读数据时，指针 (SP) 累加。
堆栈的出栈和压栈操作如图 3-12 和 3-13 所示。

注意事项 因为输入 RESET 信号后使 SP 内容不确定，所以在指令执行之前要确保初始化 SP。

图 3-12. 将数据保存在堆栈存储器中

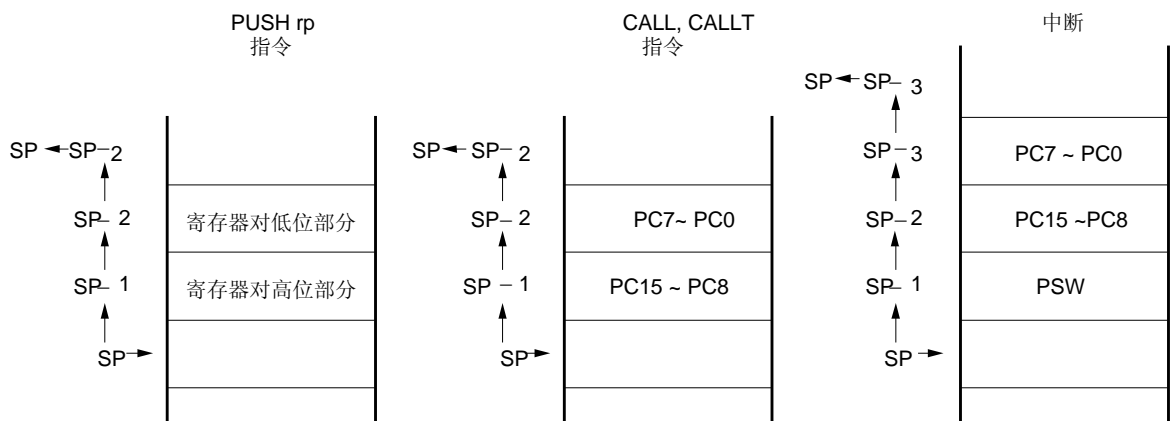
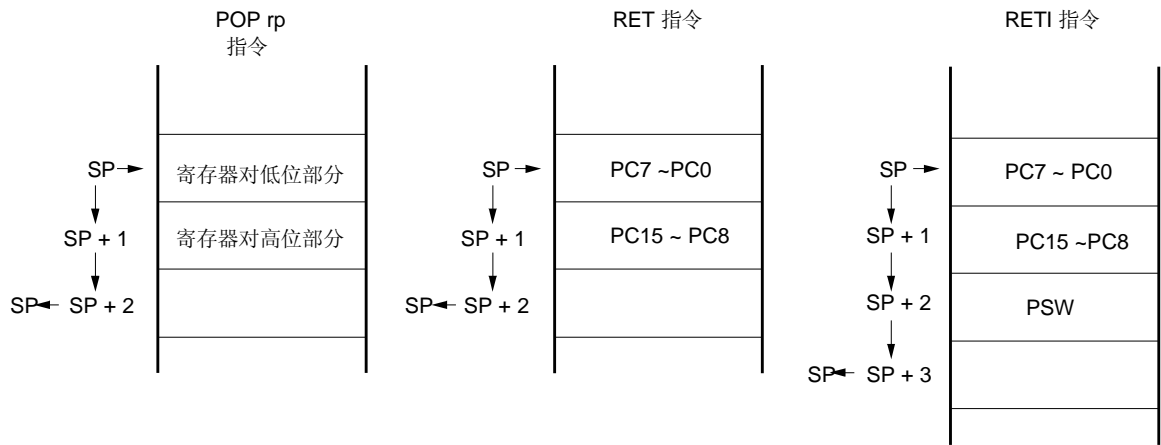


图 3-13. 从堆栈存储器中读出数据



3.2.2 通用寄存器

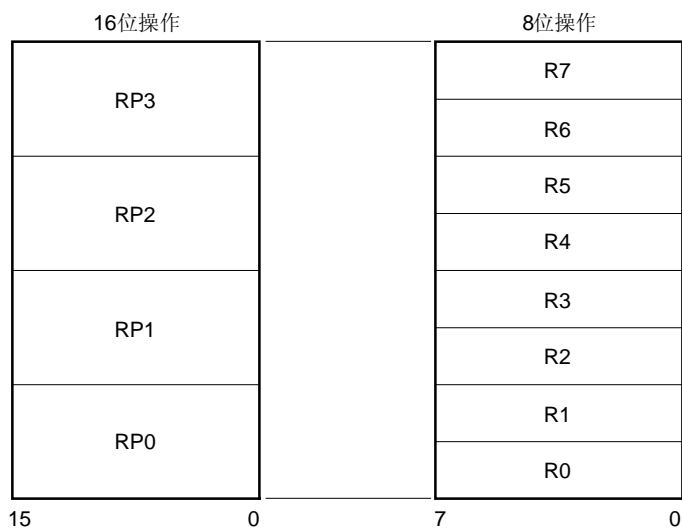
通用寄存器包括 8 个 8 位寄存器 (X, A, C, B, E, D, L, 和 H)。

此外, 每个寄存器都可以当作一个 8 位寄存器使用, 两个成对的 8 位寄存器可以当作一个 16 位寄存器使用 (AX, BC, DE 和 HL)。

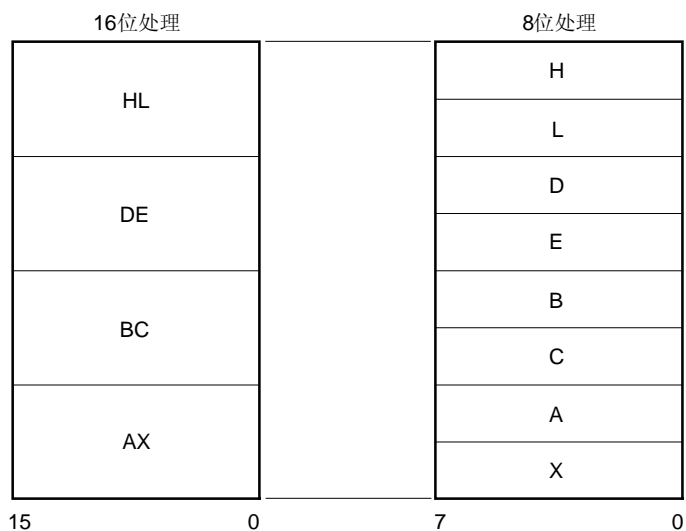
描述通用寄存器可以使用功能名称 (X, A, C, B, E, D, L, H, AX, BC, DE 和 HL) 和绝对名称 (R0 ~ R7 和 RP0 ~ RP3)。

图 3-14. 通用寄存器格式

(a) 绝对名称



(b) 功能名称



3.2.3 特殊功能寄存器(SFR)

特殊功能寄存器与通用寄存器不同，每个特殊功能寄存器都有其特定的功能。

它们被分配在FF00H到FFFFH这256个字节区域中。

特殊功能寄存器可以像通用寄存器那样用操作指令、转移指令以及位操作指令进行操作。根据特殊功能寄存器的类型不同，可操作的单元也不同，可以是1位、8位和16位。

每种可操作的位单元的定义如下。

- 1 位操作
为 1 位操作指令的操作数定义的汇编程序保留的符号，这种操作也可以以地址形式定义。
- 8 位操作
为 8 位操作指令的操作数定义的汇编程序保留的符号，这种操作也可以以地址形式定义。
- 16 位操作
为16位操作指令的操作数定义的汇编程序保留的符号，这种操作也可以以地址形式定义。当以地址寻址时，地址应该是偶地址。

表 3-3 列举了特殊功能寄存器。表中符号的意义如下：

- 符号
表示特殊功能寄存器的地址。这一列的符号是汇编程序的保留字，并且已经在 C 编译器头文件“sfrbit.h”中定义。如果使用汇编程序或集成调试器的话，这些符号可作为指令操作数使用。
- 读/写
表示特殊功能寄存器可读或可写。
R/W: 可读可写
R: 只读
W: 只写
- 可操作的位单元
特殊功能寄存器可以位操作的单元(1, 8, 和16)。
- 复位后
表明 RESET 信号输入后特殊功能寄存器的状态。

表 3-3. 特殊功能寄存器列表 (1/2)

地址	特殊功能寄存器 (SFR) 名称	符号		R/W	可操作的位单元			复位后
					1 位	8 位	16 位	
FF00H	端口 0	P0		R/W	√	√	—	00H
FF02H	端口 2	P2			√	√	—	
FF04H	端口 4	P4			√	√	—	
FF05H	端口 5	P5			√	√	—	
FF06H	端口 6	P6		R	√	√	—	
FF08H	端口 8	P8		R/W	√	√	—	
FF09H	端口 9	P9			√	√	—	
FF10H	发送移位寄存器 00	TXS00	SI000	W	—	√	—	FFH
	接收缓冲寄存器 00	RXB00		R	—	√	—	不确定
FF14H	A/D 转换结果寄存器 0	ADCR0		R	—	√ ^{注 1}	√ ^{注 2}	不确定
FF15H								
FF16H	16 位比较寄存器 50	CR50L	CR50	W	—	—	√ ^{注 2, 3}	FFFFH
FF17H		CR50H						
FF18H	16 位定时器寄存器 50	TM50L	TM50	R	—	—	√ ^{注 2, 3}	0000H
FF19H		TM50H						
FF1AH	16 位捕捉寄存器 50	TCP50L	TCP50	R	—	—	√ ^{注 2, 3}	不确定
FF1BH		TCP50H						
FF20H	端口模式寄存器 0	PM0		R/W	√	√	—	FFH
FF22H	端口模式寄存器 2	PM2			√	√	—	
FF24H	端口模式寄存器 4	PM4			√	√	—	
FF25H	端口模式寄存器 5	PM5			√	√	—	
FF28H	端口模式寄存器 8	PM8			√	√	—	
FF29H	端口模式寄存器 9	PM9			√	√	—	
FF42H	定时器时钟选择寄存器 2	TCL2			—	√	—	
FF48H	16 位定时器模式控制寄存器 50	TMC50		√	√	—		
FF4AH	钟表定时器模式控制寄存器	WTM		√	√	—		
FF4EH	比较器模式寄存器 0	CMPRM0		√	√	—		

- 注 1. 如果 8 位 A/D 转换器 (μ PD789407A 子系列) 使用 A/D 转换结果寄存器, 它只能以 8 位单元方式访问。在这种情况下, 它被认为已经映射到地址 FF15H 上。如果 10 位 A/D 转换器 (μ PD789417A 子系列) 使用 A/D 转换结果寄存器, 它只能以 16 位单元方式访问。如果 μ PD78F9418A 作为 μ PD789405A, μ PD789406A, 或 μ PD789407A 的 flash 存储器版本使用时, A/D 转换结果寄存器也可以以 8 位方式访问, 前提是目标文件已经使用 μ PD789405A, μ PD789406A, 或 μ PD789407A 芯片的器件文件汇编过。
2. 只有在短直接寻址时, 16 位方式访问才允许。
3. 尽管 CR50, TM5 和 TCP5 是 16 位专用寄存器, 但是也可以以 8 位方式访问。当执行 8 位访问时, 将以直接寻址方式寻址。

表 3-3. 特殊功能寄存器列表(2/2)

地址	特殊功能寄存器(SFR)名称	符号	R/W	可操作的位单元			复位后
				1 位	8 位	16 位	
FF50H	8 位比较寄存器 00	CR00	W	-	√	-	不确定
FF51H	8 位定时器计数器 00	TM00	R	-	√	-	00H
FF53H	8 位定时器模式控制寄存器 00	TMC00	R/W	√	√	-	
FF54H	8 位比较寄存器 01	CR01	W	-	√	-	不确定
FF55H	8 位定时器计数器 01	TM01	R	-	√	-	00H
FF57H	8 位定时器模式控制寄存器 01	TMC01	R/W	√	√	-	
FF58H	8 位比较寄存器 02	CR02	W	-	√	-	不确定
FF59H	8 位定时器计数器 02	TM02	R	-	√	-	00H
FF5BH	8 位定时器模式控制寄存器 02	TMC02	R/W	√	√	-	
FF70H	异步串行通讯接口模式寄存器 00	ASIM00		√	√	-	
FF71H	异步串行通讯接口状态寄存器 00	ASIS00	R	√	√	-	
FF72H	串行通信操作模式寄存器 00	CSIM00	R/W	√	√	-	
FF73H	波特率发生器控制寄存器 00	BRGC00		-	√	-	
FF80H	A/D 转换器模式寄存器 0	ADMO		√	√	-	
FF84H	A/D 转换器输入选择寄存器 0	ADSO		√	√	-	
FFB0H	LCD 显示模式寄存器 0	LCDM0		√	√	-	
FFB1H	LCD 端口选择器 0	LPS0		√	√	-	
FFB2H	LCD 时钟控制寄存器 0	LCDC0		√	√	-	
FFE0H	中断请求标志寄存器 0	IF0		√	√	-	
FFE1H	中断请求标志寄存器 1	IF1		√	√	-	
FFE4H	中断屏蔽标志寄存器 0	MK0		√	√	-	FFH
FFE5H	中断屏蔽标志寄存器 1	MK1		√	√	-	
FFECH	外部中断模式寄存器 0	INTM0		-	√	-	00H
FFEDH	外部中断模式寄存器 1	INTM1		-	√	-	
FFF0H	副振荡器模式寄存器	SCKM		√	√	-	
FFF2H	副时钟控制寄存器	CSS		√	√	-	
FFF3H	上拉电阻选择寄存器 1	PU1		√	√	-	
FFF4H	上拉电阻选择寄存器 2	PU2	√	√	-		
FFF5H	键返回模式寄存器 00	KRM00	√	√	-		
FFF7H	上拉电阻选择寄存器 0	PU0	√	√	-		
FFF9H	看门狗定时器模式寄存器	WDTM	√	√	-		
FFFAH	振荡稳定时间选择寄存器	OSTS	-	√	-	04H	
FFFBH	处理器时钟控制寄存器	PCC	√	√	-	02H	

3.3 指令地址寻址

一条指令的地址是由程序计数器(PC)决定的。根据执行指令时所获取的下一条指令的字节数，程序计数器(PC)的内容自动增加(每字节+1)。在执行分支指令时，将程序计数器(PC)的内容设置为分支的目的地址，并按以下方式确定地址。（想要了解每条指令的详细信息，请参考78K/0S系列指令用户手册（U11047E））。

3.3.1 相对寻址

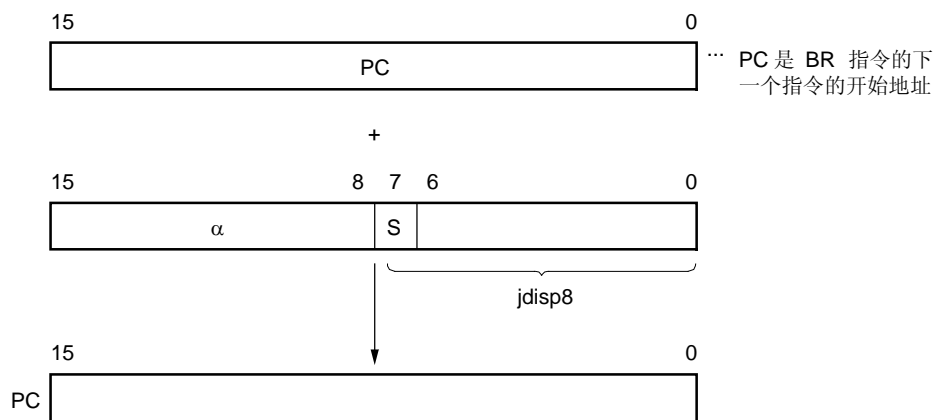
[功能]

将一条指令的 8 位立即数(偏移量: jdisp8)与下一条指令的起始地址相加，结果赋给程序计数器(PC)，然后转向相加结果指向的地址。这个偏移量是带符号位的补码(-128 到+127)，其中第 7 位是符号位。

换句话说，在相对寻址中，分支的范围是从下一条指令起始地址的-128 到+127 之间。

当执行“BR \$addr16”指令或条件转移指令时，将实现上述功能。

[图示]



当S=0, α 的所有位都是0
 当S=1, α 的所有位都是1

3.3.2 立即寻址

[功能]

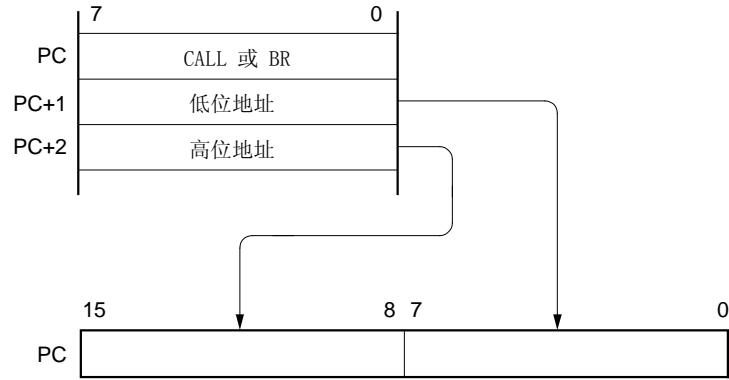
将指令中的立即数赋给程序计数器(PC)，然后转向该地址。

在执行“CALL !addr16”指令和“BR !addr16”指令时，实现此功能。

“CALL !addr16”和“BR !addr16”指令的转移地址范围是所有内存空间。

[图示]

CALL !addr16 指令和BR !addr16 指令



3.3.3 表间接寻址

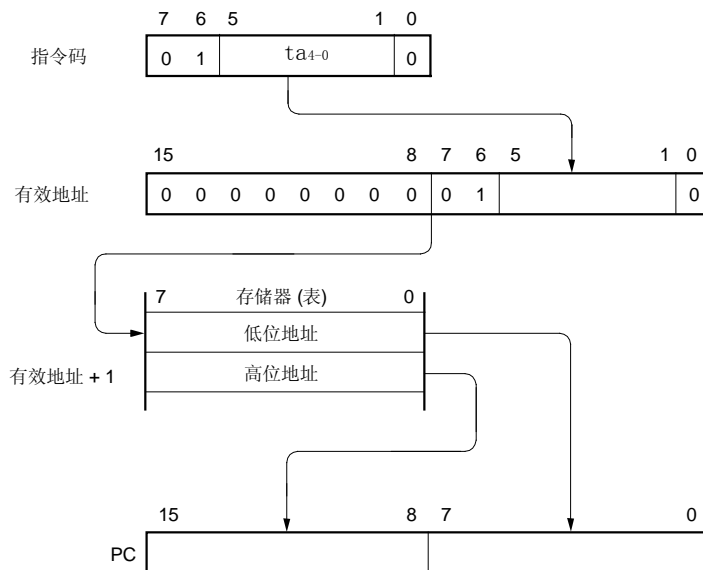
[功能]

通过指令码低 5 位的立即数(从第 1 位到第 5 位)，访问特定存储单元的表的内容(转移目的地址)，并将表的内容赋给程序计数器(PC)，然后转向该地址。

在执行“CALLT [addr5]”指令时，进行表间接寻址。

该指令访问的地址范围是内存表中的40H 至7FH 之间所存储的地址，转移地址范围可以是整个存储器空间。

[图示]



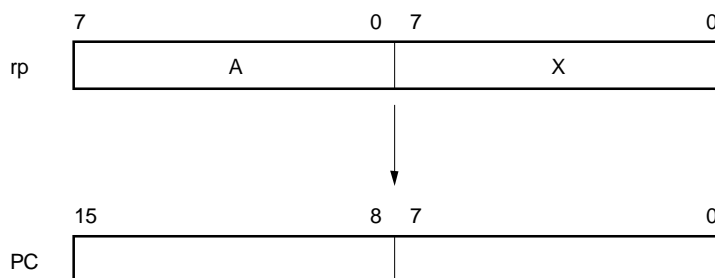
3.3.4 寄存器寻址

[功能]

将一条指令的寄存器对 (AX) 的内容赋值给程序计数器 (PC)，然后转向该地址。

在执行“BR AX”指令时，实现此功能。

[图示]



3.4 操作数地址寻址

以下方法用来规定指令执行期间寄存器寻址和存储器寻址所进行的操作。

3.4.1 直接寻址

[功能]

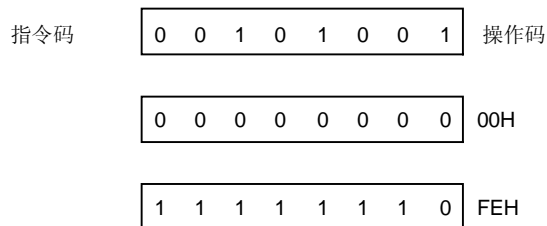
直接寻址方式根据指令中的立即数直接寻址。

[操作数格式]

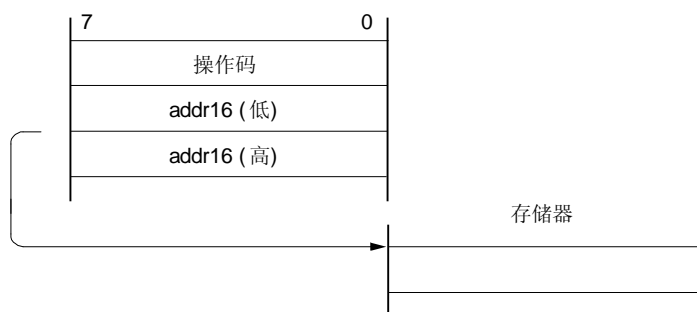
标识符	描述
addr16	标号或 16 位立即数

[举例]

MOV A, !0FE00H; 将!addr16 设置为FE00H。



[图示]



3.4.2 短直接寻址

[功能]

用指令中8 位立即数直接对内存的固定操作区域寻址。

该方式的寻址范围是FE20H 到FF1FH 总共256 字节的内存区域。内部高速RAM 和特殊功能寄存器(SFR) 分别映射在FE20H 到FEFFH 以及FF00H 到FF1FH 的区域。

采用短直接寻址方式的特殊功能寄存器(SFR) 区域(FF00H ~ FF1FH)是整个特殊功能寄存器SFR 区域的一部份程序中经常访问的端口、用作计时器和事件计数器的比较和捕捉寄存器都被映射到该区域。这些特殊功能寄存器(SFR) 可以用很少的字节数和时钟数进行操作。

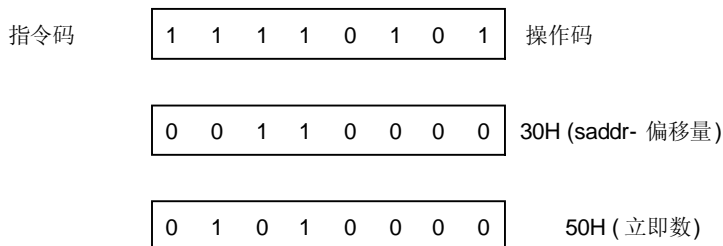
如果8 位立即数是在20H 和FFH 之间, 则将一个有效地址的第8 位设置为0; 如果8 位立即数是在00H 与1FH 之间, 则一个有效地址的第8位设置为1。参见下面的【图示】。

[操作数格式]

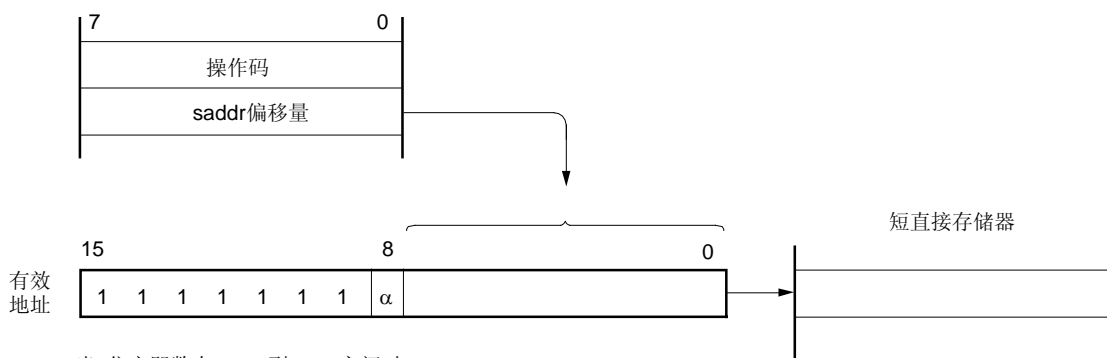
标识符	描述
saddr	标号 或 从 FE20H 到 FF1FH 的立即数
saddrp	标号 或 从 FE20H 到 FF1FH 的立即数(仅使用偶地址)

[举例]

MOV FE30H, #50H; 设置立即数 50H 给 FE30H。



[图示]



当8位立即数在 20H 到 FFH 之间时, $\alpha = 0$

当8位立即数在 00H 到 1FH 之间时, $\alpha = 1$

3.4.3 特殊功能寄存器 (SFR) 寻址

[功能]

通过指令中的8位立即数对内存中的特殊功能寄存器(SFR)区域进行寻址。
寻址区间为FF00H 到FFCFH 以及FFE0H 到FFFFH 区间共240 字节。而映射在FF00H 到FF1FH 区间的特殊功能寄存器则采用短直接寻址方式。

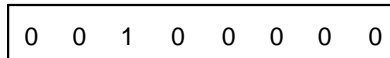
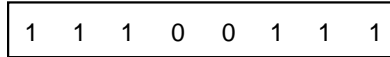
[操作数格式]

标识符	描述
sfr	特殊功能寄存器名

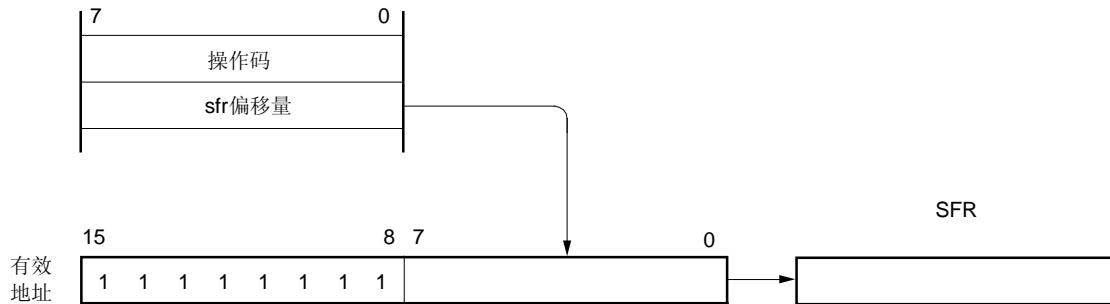
[举例]

MOV PM0, A; 选择PM0作为sfr。

指令码



[图示]



3.4.4 寄存器寻址

[功能]

通用寄存器可以作为操作数被访问。

由指令中的寄存器标识码和功能名称来指定需要访问的通用寄存器。

当具有下列操作数格式的指令执行时，采用寄存器寻址方式。如果使用8位寄存器，则指令码中有3位用来表示一个8位寄存器。

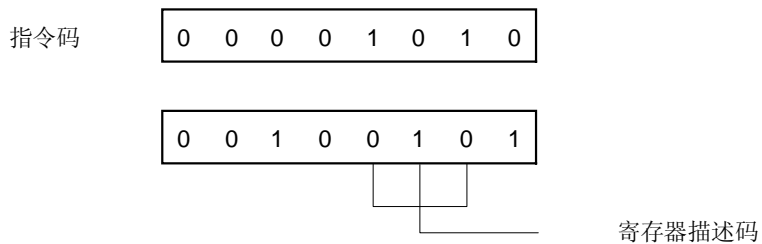
[操作数格式]

标识符	描述
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

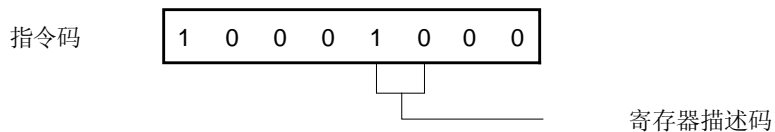
‘r’ 和 ‘rp’ 可用绝对名称 (R0 ~ R7 和 RP0 ~ RP3) 或者功能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, 和HL)来描述。

[举例]

MOV A, C; 选择C 寄存器作为r。



INCW DE; 选择DE 寄存器对作为rp。



3.4.5 寄存器间接寻址

[功能]

通过把寄存器对中的内容作为操作数来访问存储器，由指令中的寄存器对标识码来指定要访问的寄存器对。这种方式的寻址范围是整个存储空间。

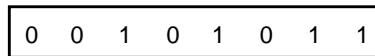
[操作数格式]

标识符	描述
-	[DE], [HL]

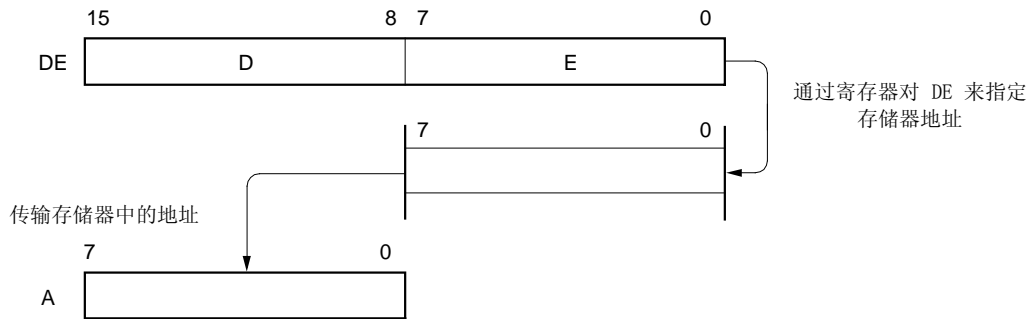
[举例]

MOV A, [DE]; 选择[DE]寄存器对作为操作数。

指令码



[图示]



3.4.6 基址寻址

[功能]

将8位立即数加到HL寄存器对中，HL寄存器对作为基址寄存器，根据相加结果去寻址。
通过将偏移量扩展为16位正数，来完成加法操作，进位忽略不计。该寻址方式可对整个内存空间进行。

[操作数格式]

标识符	描述
-	[HL+byte]

[举例]

MOV A, [HL + 10H]; byte 的值为10H。

指令码

0 0 1 0 1 1 0 1

0 0 0 1 0 0 0 0

3.4.7 堆栈寻址

[功能]

根据堆栈指针(SP)的内容对堆栈区域进行间接寻址。
当执行PUSH, POP, 子程序调用和返回指令时，或者根据中断请求产生对寄存器进行设置或复位时，将自动采用这种寻址方式。
该方式仅对内部高速RAM区域进行寻址。

[举例]

以PUSH DE 指令为例。

指令码

1 0 1 0 1 0 1 0

第四章 端口功能

4.1 端口功能

μ PD789407A 和 μ PD789417A 子系列提供的端口如图 4-1 所示，这些端口可提供多种控制操作。每个端口功能如表 4-1 所示。

除了作为数字 I/O 端口外，这些端口还有复用功能。需要了解这些端口详细的复用功能，请参阅第二章 引脚功能。

图 4-1 端口类型

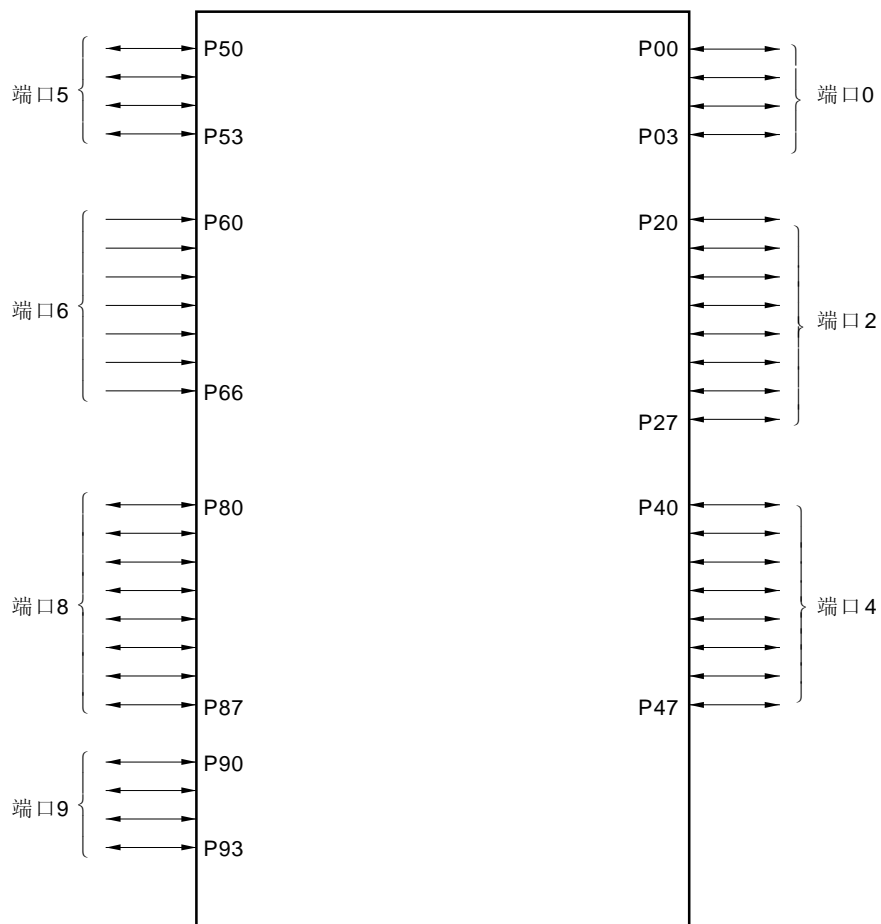


表 4-1. 端口功能

引脚名称	I/O	功能	复位后	复用功能
P00 ~ P03	I/O	端口 0 4 位 I/O 端口 可以位选输入输出方式 作为输入口时, 可通过设置上拉电阻选择寄存器 0 (PU0) 来指定使用上拉电阻	输入	-
P20	I/O	端口 2 8 位 I/O 端口 可以位选输入输出方式 作为输入口时, 可通过设置上拉电阻选择寄存器 1 (PU1) 来指定使用上拉电阻	输入	$\overline{\text{SCK}}/\text{ASCK}$
P21				SO/TxD
P22				SI/RxD
P23				CMPTOUT0/T02
P24				INTP0/TI0
P25				INTP1/TI1
P26				INTP2/T05
P27				INTP3/CPT5
P40 ~ P45	I/O	端口 4 8 位 I/O 端口 可以位选输入输出方式 作为输入口时, 可通过设置上拉电阻选择寄存器 0 (PU0) 来指定使用上拉电阻	输入	KR0 ~ KR5
P46, P47				-
P50 ~ P53	I/O	端口 5 4 位 N 沟开漏 I/O 端口 可以位选输入输出方式 对于掩膜 ROM, 是否内置上拉电阻可在掩膜时指定	输入	-
P60	输入	端口 6 7 位输入口	输入	ANIO/CMPINO
P61				ANI1/CMPREFO
P62 ~ P66				ANI2 ~ ANI6
P80 ~ P87	I/O	端口 8 8 位 I/O 端口 可以位选输入输出方式 作为输入口时, 可通过设置上拉电阻选择寄存器 2 (PU2) 来指定使用上拉电阻	输入	S27 ~ S20
P90 ~ P93	I/O	端口 9 4 位 I/O 端口 可以位选输入输出方式 作为输入口时, 可通过设置上拉电阻选择寄存器 2 (PU2) 来指定使用上拉电阻	输入	S19 ~ S16

4.2 端口配置

端口由以下硬件组成。

表格 4-2. 端口配置

项目	配置
控制寄存器	端口模式寄存器 (PMm: m = 0, 2, 4, 5, 8, 9) 上拉电阻选择寄存器 (PUm: m = 0 ~ 2)
端口	总共: 43 (输入: 7, I/O: 36)
上拉电阻	<ul style="list-style-type: none"> 掩膜版本 总共: 36 (软件控制: 32, 掩膜选项控制: 4) Flash 存储器版本 总共: 32 (仅能软件控制)

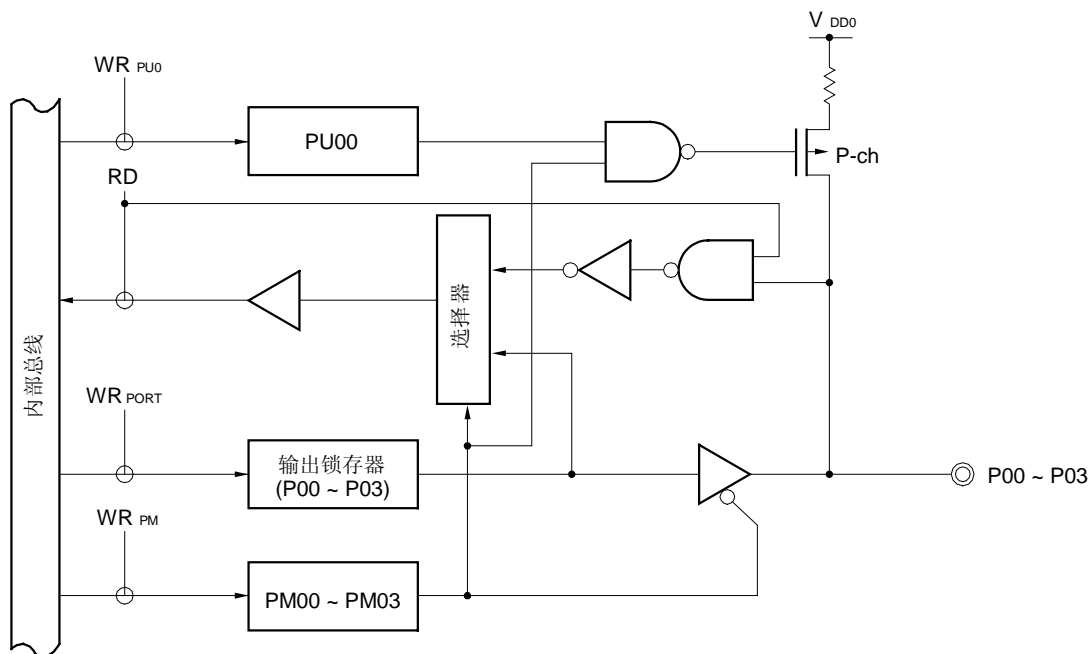
4.2.1 端口 0

端口 0 是具有输出锁存的 4 位 I/O 端口。端口的每一位都可以通过设置端口模式寄存器 0 (PM0) 设置成输入或者输出模式。当 P00~P03 被当作输入端口使用时, 可以通过设置上拉电阻选择寄存器 0 (PU0) 来定义上拉电阻的使用。

复位后端口 0 设置为输入状态。

图 4-2 是端口 0 的框图

图 4-2. P00~P03 的框图



PU0: 上拉电阻选择寄存器 0

PM: 端口模式寄存器

RD: 端口 0 读信号

WR: 端口 0 写信号

4.2.2 端口 2

端口 2 是具有输出锁存的 8 位 I/O 端口。端口的每一位都可以通过设置端口模式寄存器 2 (PM2) 设置成输入或者输出模式。当 P20~P27 被当作输入端口使用时，可以通过设置上拉电阻选择寄存器 1 (PU1) 来定义上拉电阻的使用。

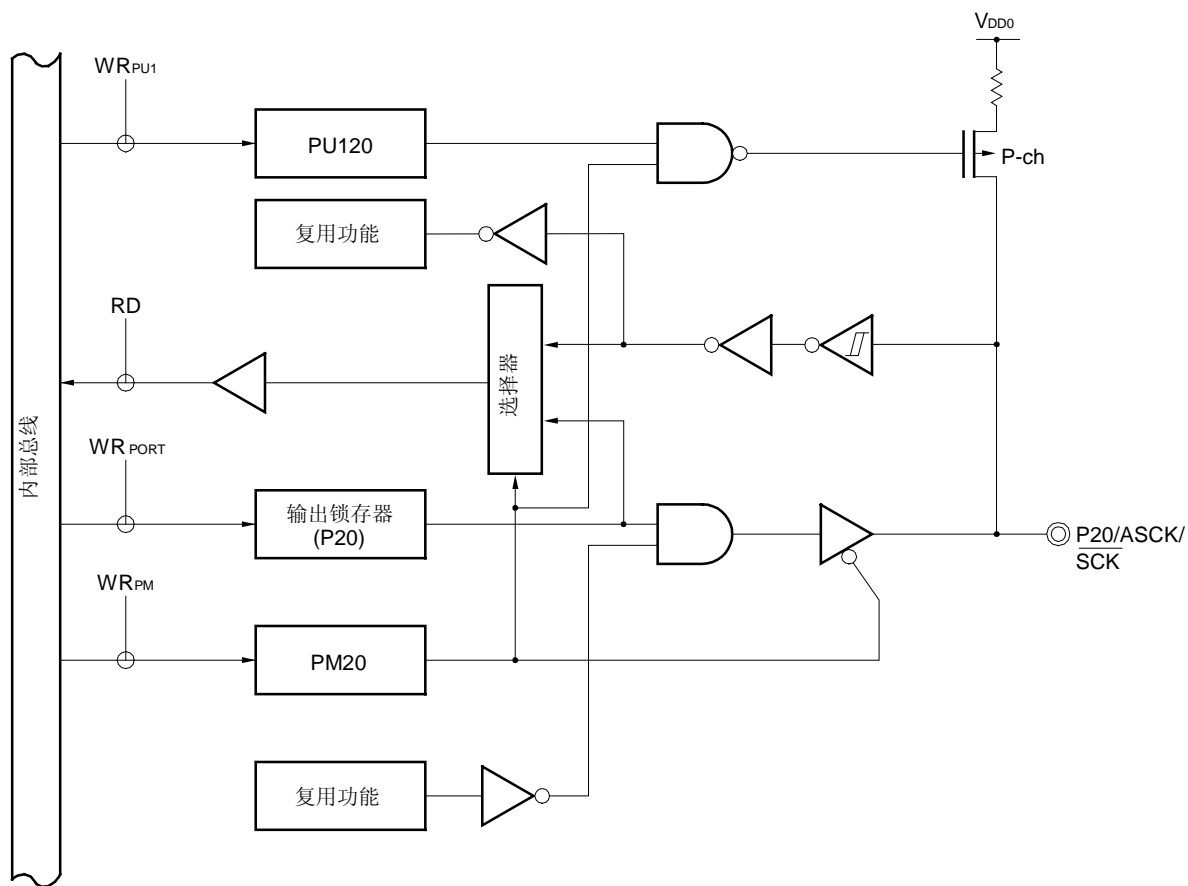
端口 2 也可用作串行接口的数据 I/O 和串行接口的时钟 I/O，定时器 I/O 与外部中断。

复位后端口 2 设置为输入模式。

图 4-3 到图 4-7 是端口 2 的框图。

注意事项 当端口 2 用作串行接口的时候，必须根据其功能对 I/O 和输出锁存进行设置。关于设置的具体细节请参照表 13-2 串行接口 00 的操作模式设定。

图 4-3 P20 的框图



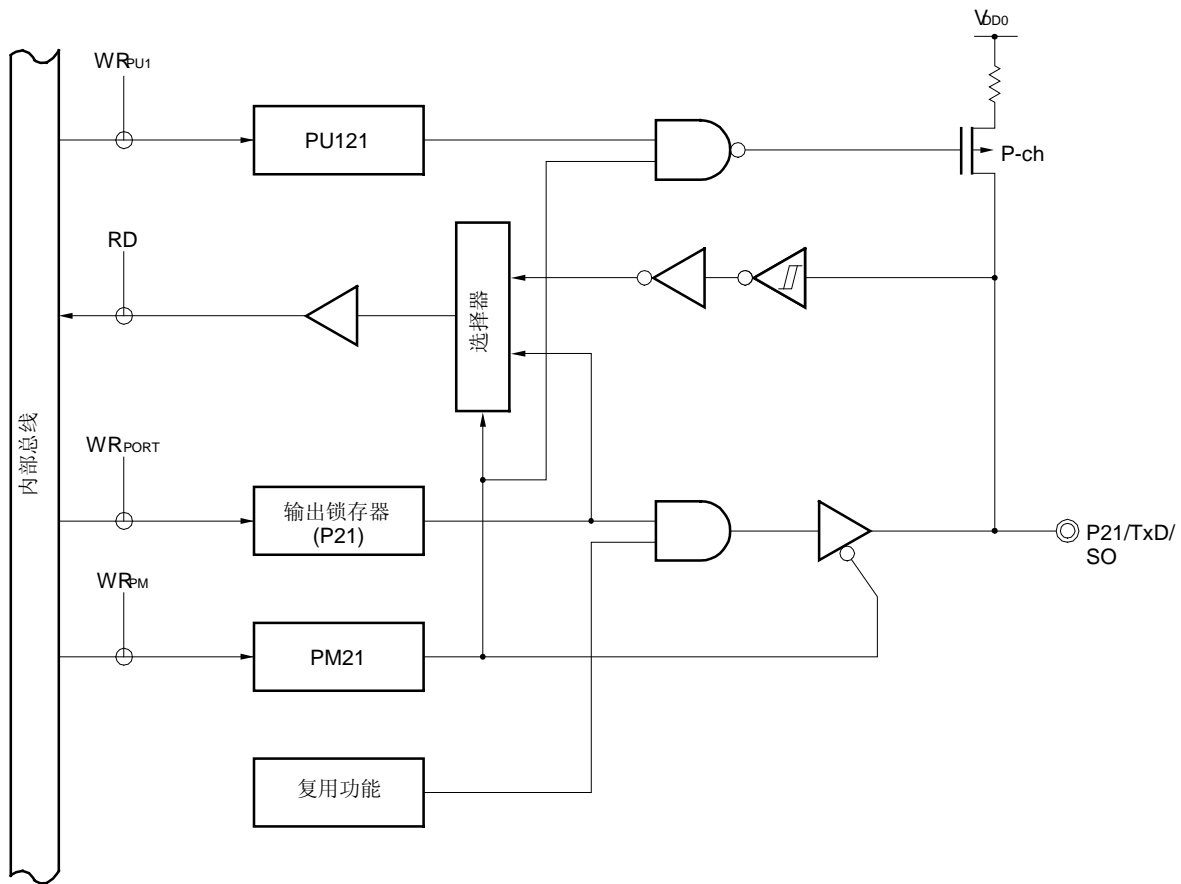
PU1: 上拉电阻选择寄存器 1

PM: 端口模式寄存器

RD: 端口 2 读信号

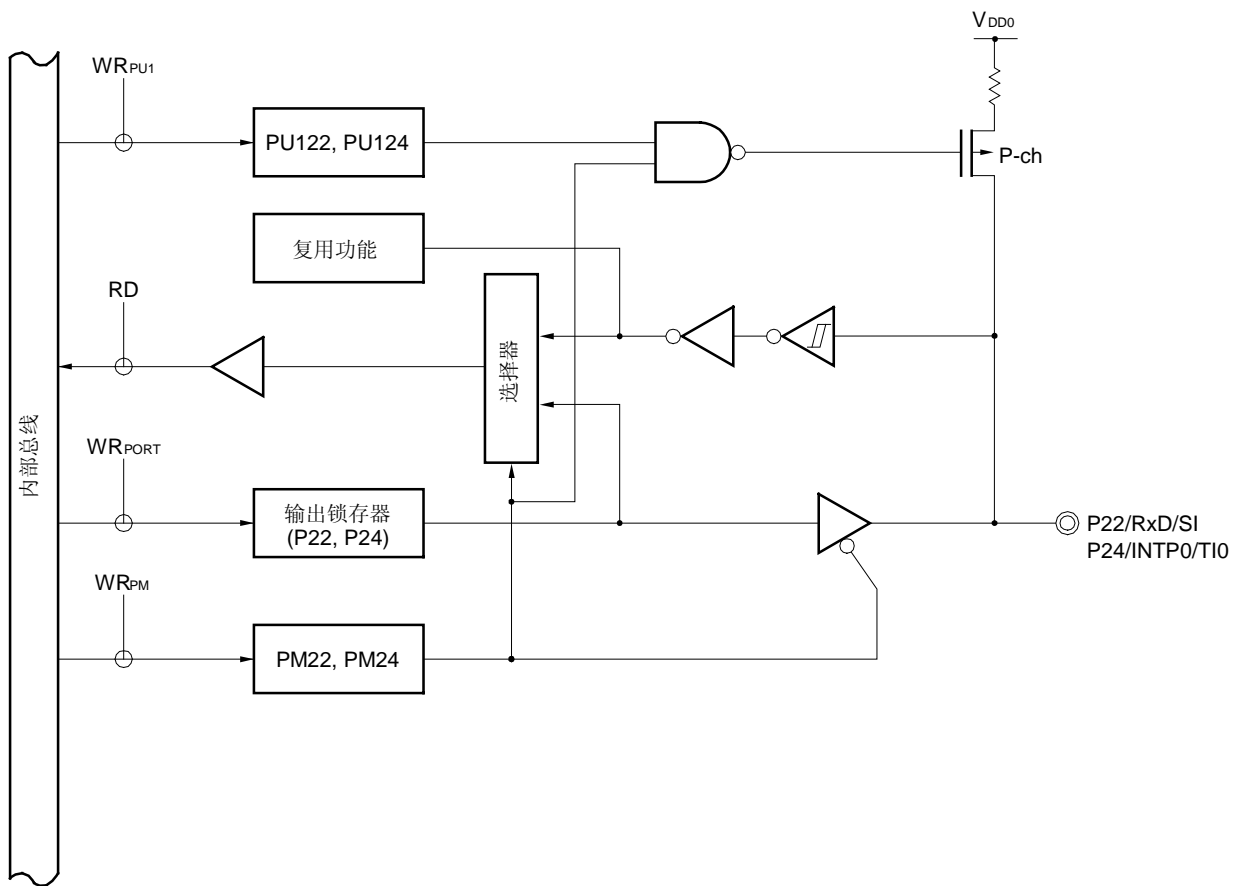
WR: 端口 2 写信号

图 4-4 P21 的框图



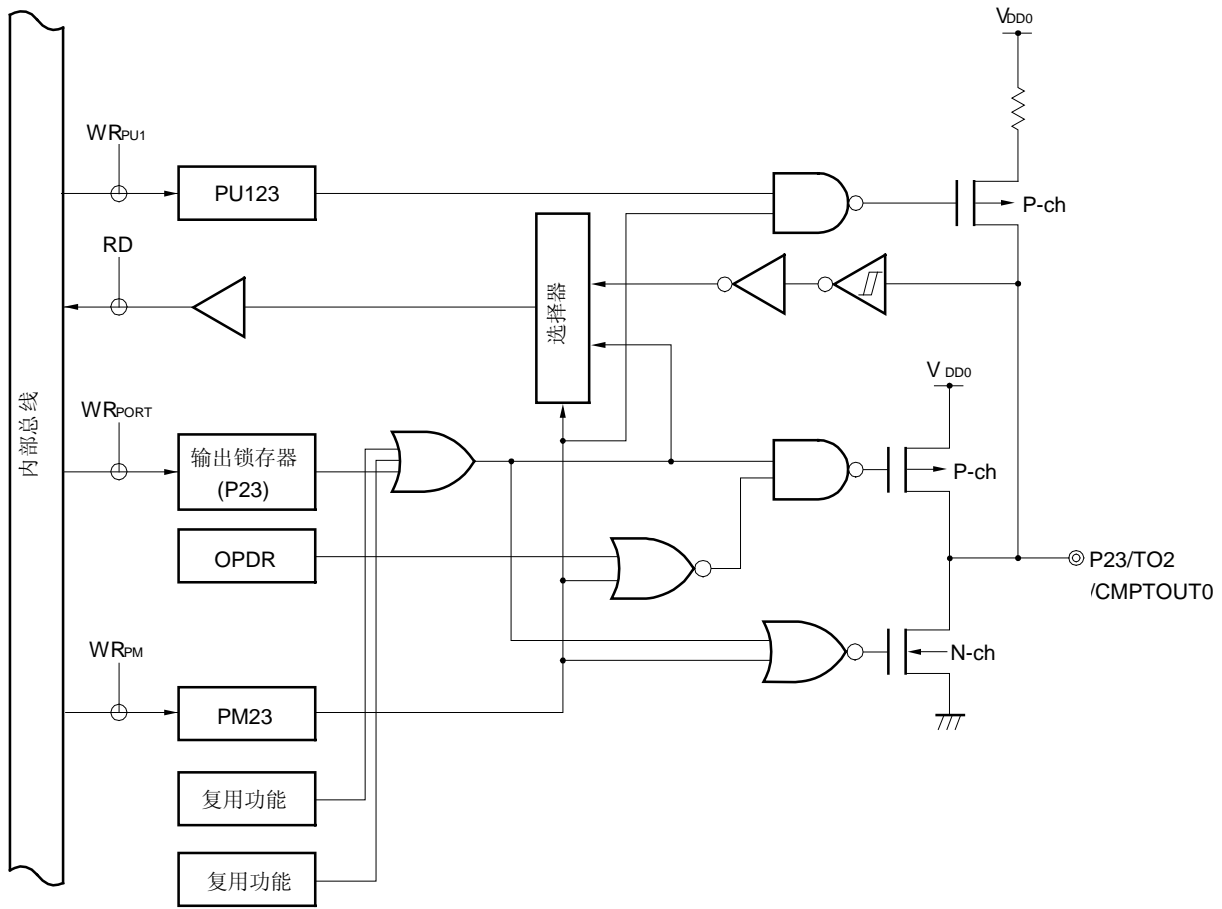
- PU1: 上拉电阻选择寄存器 1
- PM: 端口模式寄存器
- RD: 端口 2 读信号
- WR: 端口 2 写信号

图 4-5 P22 和 P24 的框图



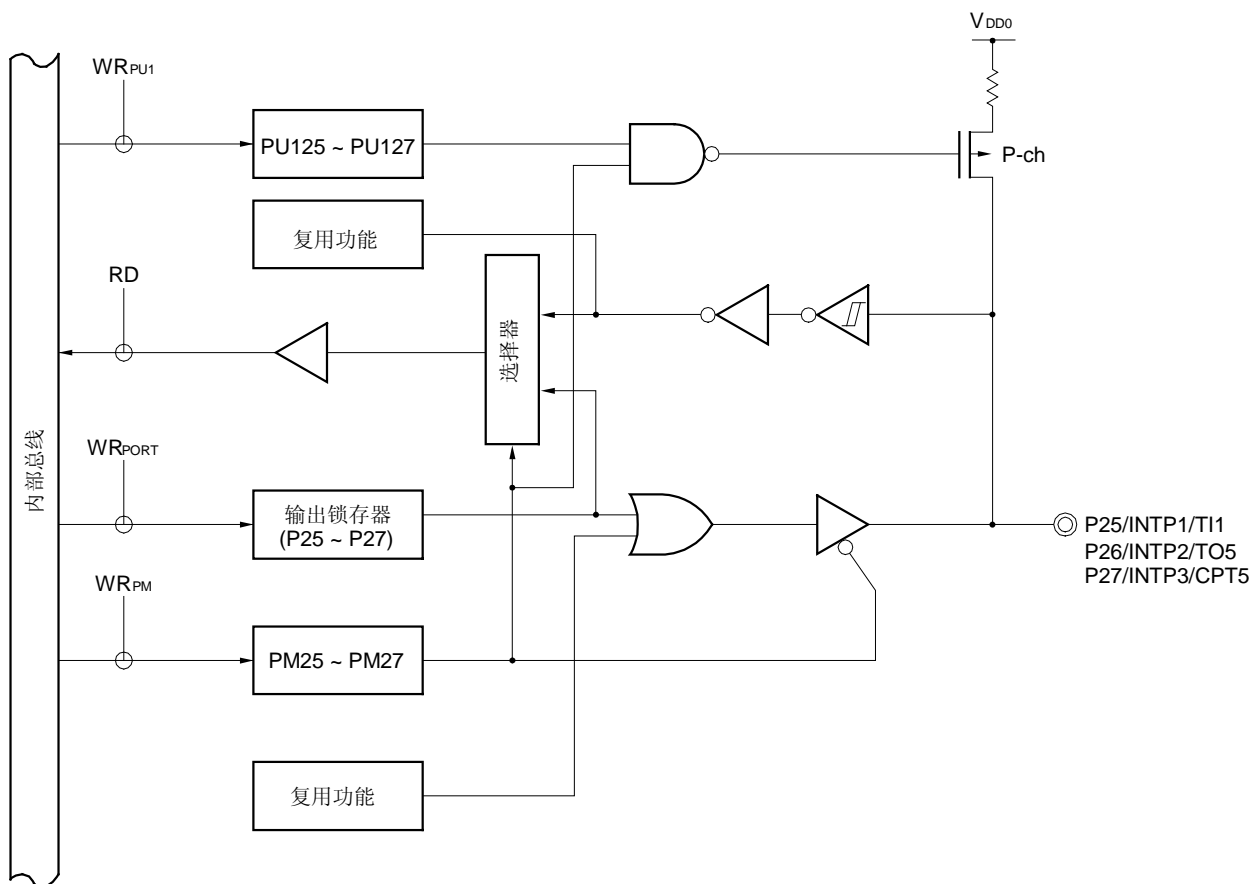
- PU1: 上拉电阻选择寄存器 1
- PM: 端口模式寄存器
- RD: 端口 2 读信号
- WR: 端口 2 写信号

图 4-6 P23 的框图



- OPDR: 比较模式寄存器的第 1 位，选择 N 沟开漏输出
- PU1: 上拉电阻选择寄存器 1
- PM: 端口模式寄存器
- RD: 端口 2 读信号
- WR: 端口 2 写信号

图 4-7 P25~P27 的框图



- PU1: 上拉电阻选择寄存器 1
- PM: 端口模式寄存器
- RD: 端口 2 读信号
- WR: 端口 2 写信号

4.2.3 端口 4

端口 4 是具有输出锁存的 8 位 I/O 端口。端口的每一位都可以通过设置端口模式寄存器 4 (PM4) 设置成输入或者输出模式。当 P40~P47 被当作输入端口使用时，可以通过设置上拉电阻选择寄存器 0 (PU0) 来定义上拉电阻的使用。

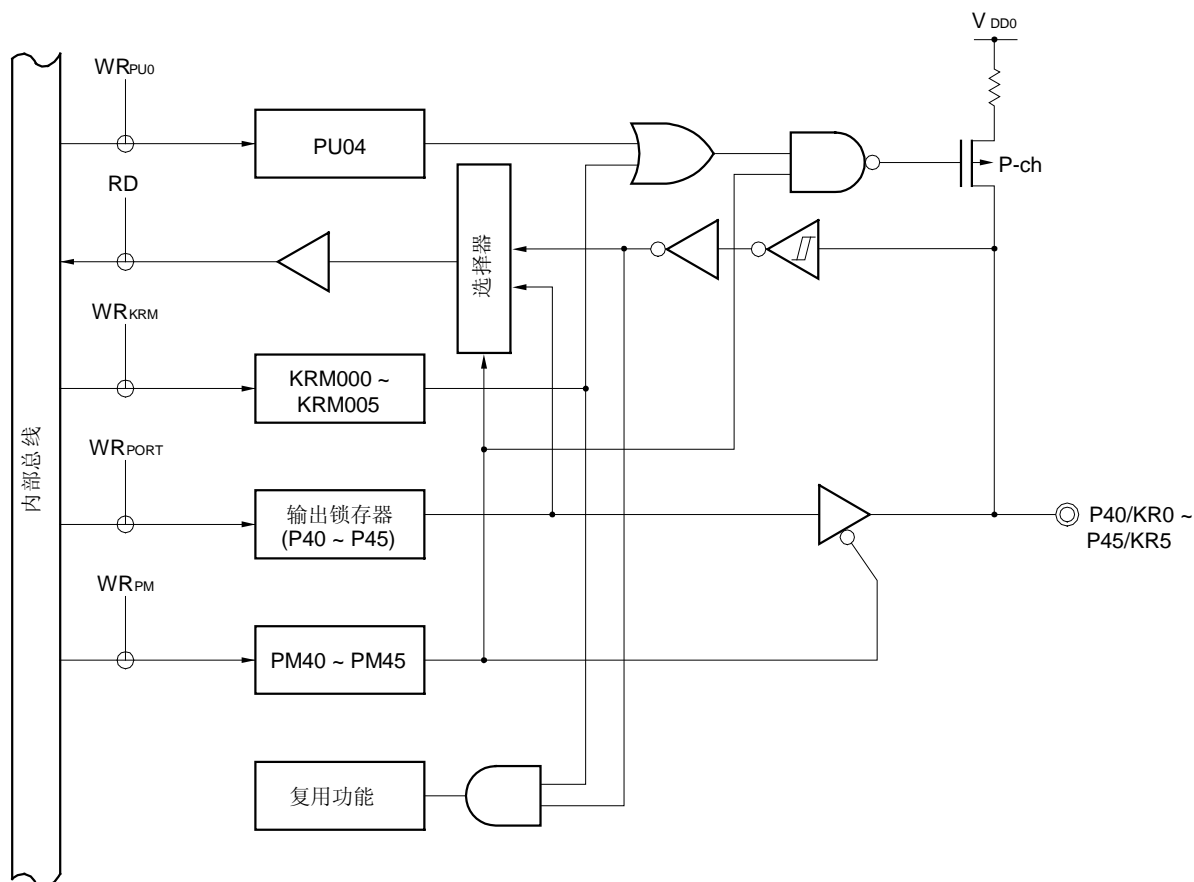
端口 4 也可以被用作键返回输入。

复位后端口 4 设置为输入模式。

图 4-8 和图 4-9 是端口 4 的框图。

注意事项 当端口 4 作为键返回输入的时候，键返回模式寄存器必须做相应的设置。关于设置这些寄存器的细节请参照 15.3 (6) 键返回模式寄存器 00 (KRM00)。

图 4-8 P40~P45 的框图



KRM00: 键返回模式寄存器 00

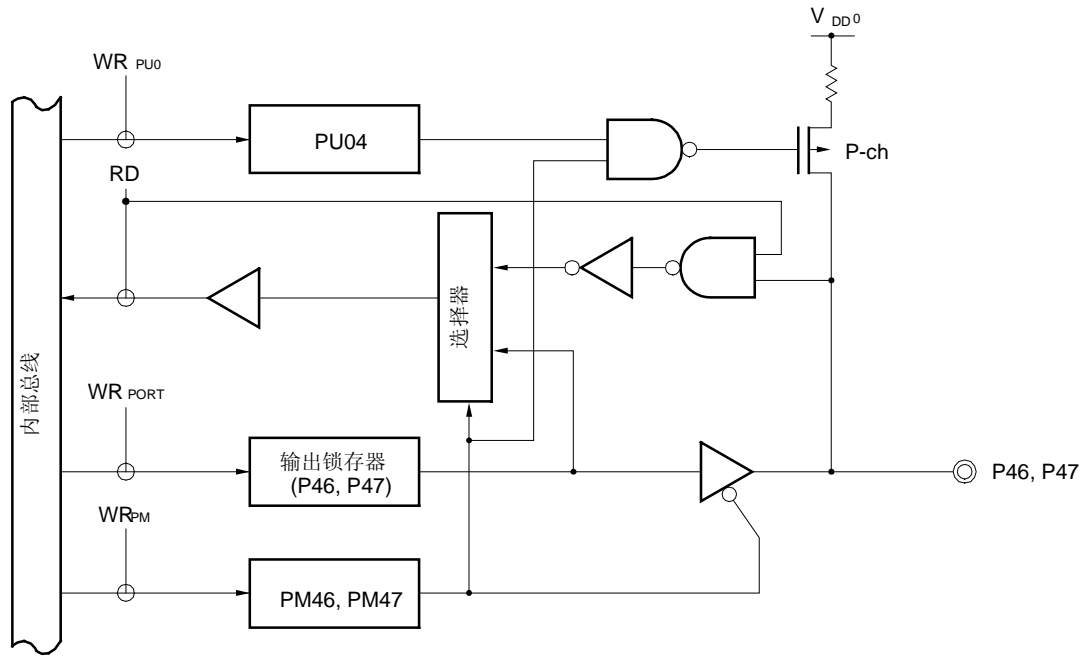
PU0: 上拉电阻选择寄存器 0

PM: 端口模式寄存器

RD: 端口 4 读信号

WR: 端口 4 写信号

图 4-9 P46 和 P47 的框图



- PU0: 上拉电阻选择寄存器 0
- PM: 端口模式寄存器
- RD: 端口 4 读信号
- WR: 端口 4 写信号

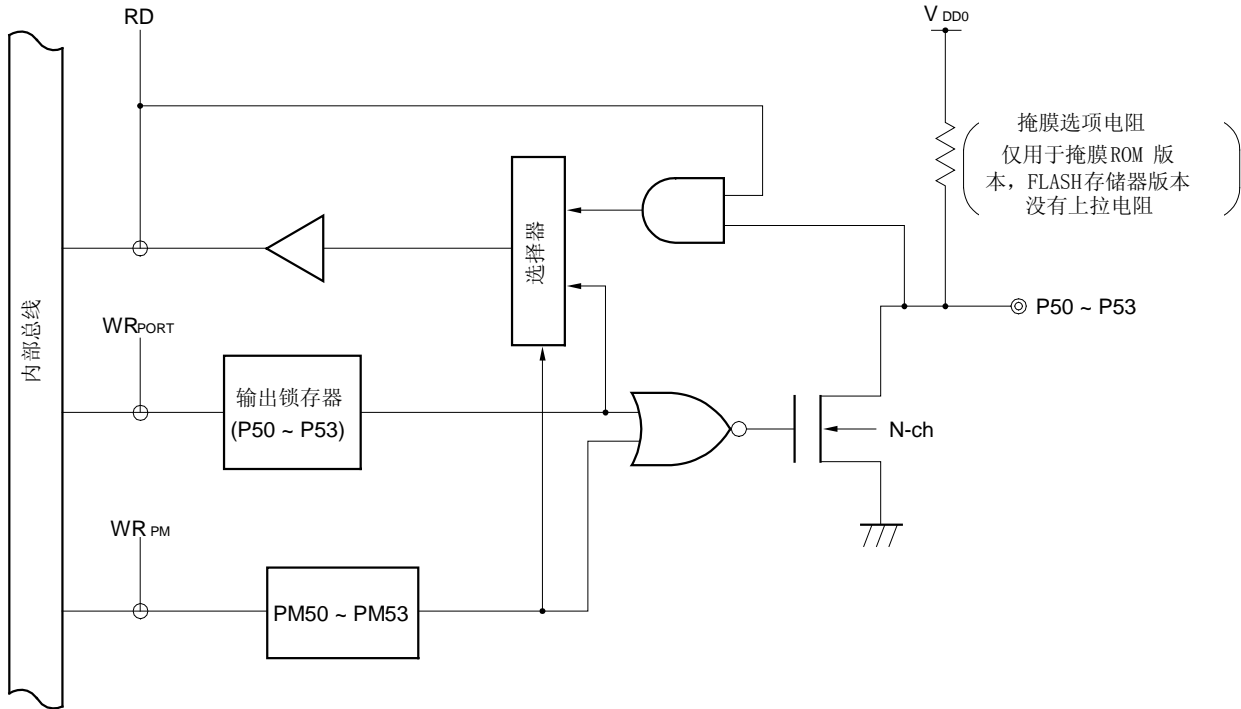
4.2.4 端口 5

端口 5 是具有输出锁存的 4 位 N 沟开漏的 I/O 端口。端口的每一位都可以通过设置端口模式寄存器 5 (PM5) 设置成输入或者输出模式。对于掩膜版本, 可以通过掩膜选项来定义上拉电阻的使用。

复位后端口 5 设置为输入模式。

图 4-10 是端口 5 的框图。

图 4-10. P50~P53 的框图



- PM: 端口模式寄存器
- RD: 端口 5 读信号
- WR: 端口 5 写信号

4.2.5 端口 6

端口 6 是 7 位的输入端口。

该端口也可以作为 A/D 转换器的模拟信号输入或者比较器输入。

复位后端口 6 设置为输入模式。

图 4-11 和图 4-12 是端口 6 的框图。

图 4-11. P60 和 P61 的框图

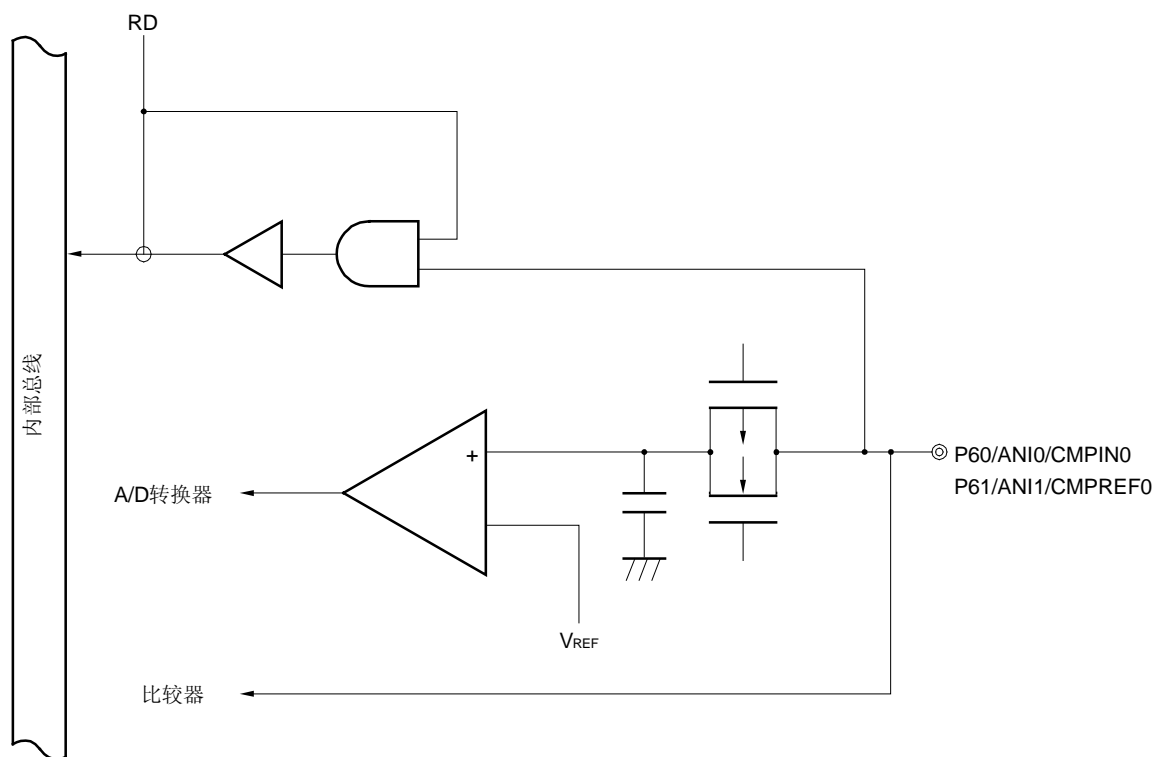
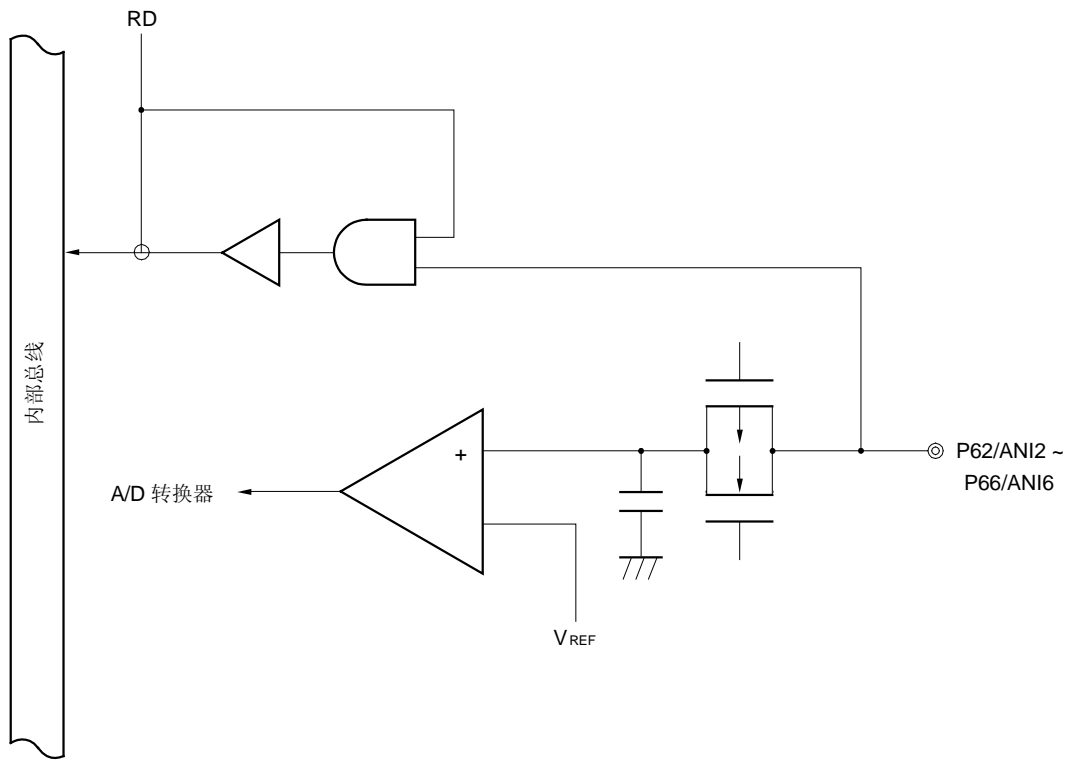


图 4-12. P62~P66 的框图



4.2.6 端口 8

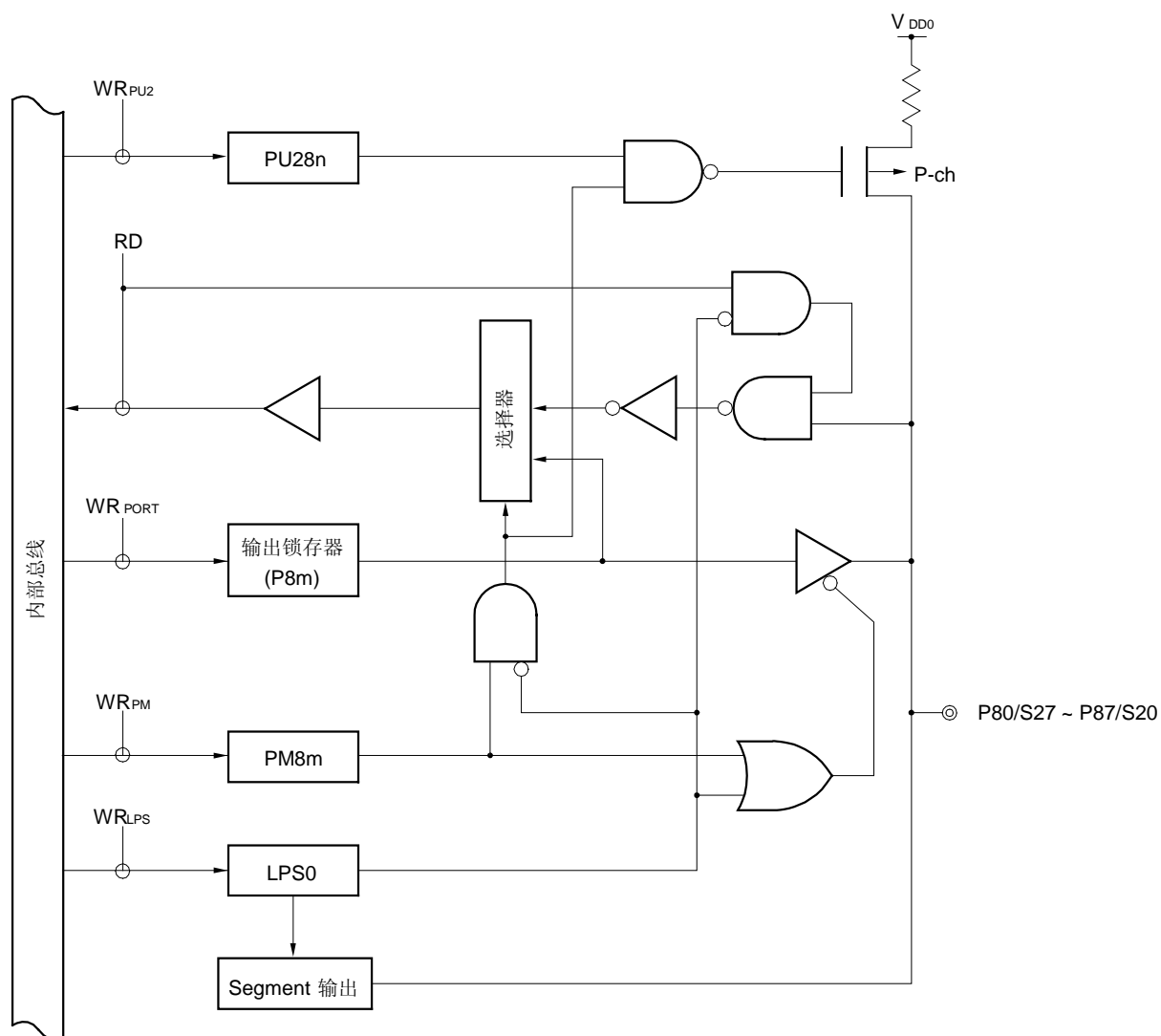
端口 8 是具有输出锁存的 8 位 I/O 端口。端口的每一位都可以通过设置端口模式寄存器 8 (PM8) 设置成输入或者输出模式。当 P80~P87 被当作输入端口使用时，可以通过设置上拉电阻选择寄存器 2 (PU2) 来定义上拉电阻的使用。

端口 8 也能够当作 LCD 控制器/驱动器的 **segment** 信号输出端口使用。

复位后端口 8 设置为输入模式。

图 4-13 是端口 8 的框图。

图 4-13 P80~P87 的框图



PU2: 上拉电阻选择寄存器 2

PM: 端口模式寄存器

RD: 端口 8 读信号

WR: 端口 8 写信号

LPS0: LCD 端口选择器 0

n = 0, 2, 4, 6, m = 0 到 7

4.2.7 端口 9

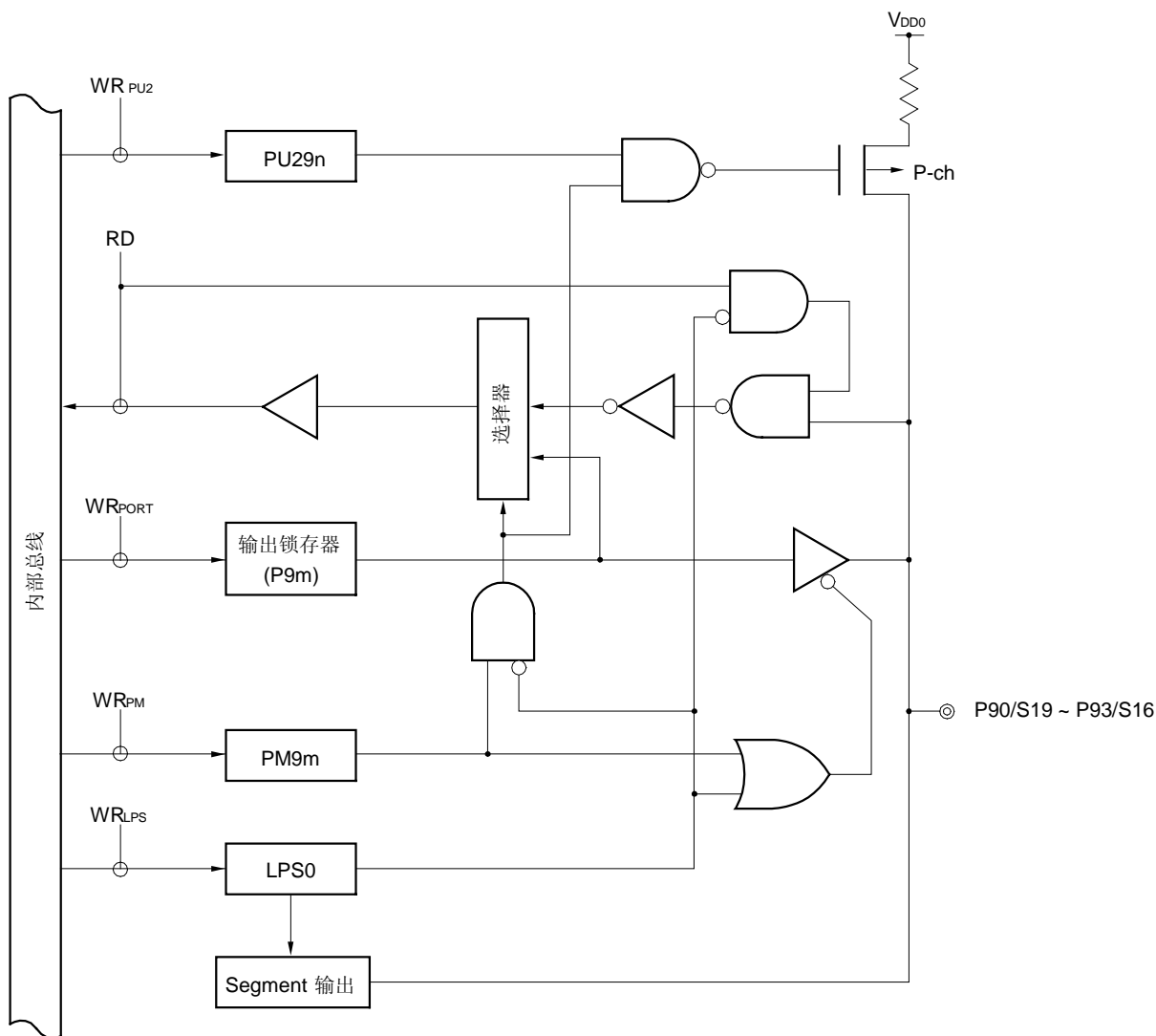
端口 9 是具有输出锁存的 4 位 I/O 端口。端口的每一位都可以通过设置端口模式寄存器 9 (PM9) 设置成输入或者输出模式。当 P90~P93 被当作输入端口使用时，可以通过设置上拉电阻选择寄存器 2 (PU2) 来定义上拉电阻的使用。

端口 9 也能够当作 LCD 控制器/驱动器的 segment 信号输出端口使用。

复位后端口 9 设置为输入模式。

图 4-14 是端口 9 的框图

图 4-14 P90~P93 的框图



- PU2: 上拉电阻选择寄存器 2
- PM: 端口模式寄存器
- RD: 端口 9 读信号
- WR: 端口 9 写信号
- LPS0: LCD 端口选择器 0
- n = 0, 2, m = 0 ~ 3

4.3 控制端口功能的寄存器

端口被下列两种寄存器所控制。

- 端口模式寄存器 (PM0, PM2, PM4, PM5, PM8, 和 PM9)
- 上拉电阻选择寄存器 (PU0 到 PU2)

(1) 端口模式寄存器 (PM0, PM2, PM4, PM5, PM8, 和 PM9)

这些寄存器可以以 1 位为单元定义端口的输入输出模式。

可以由 1 位或者 8 位的存储器操作指令设置该寄存器。

复位后这些寄存器的值为 FFH。

如果端口引脚使用复用功能, 可如表 4-3 所示设置端口模式寄存器和输出锁存。

注意事项 因为端口 2 同时也能复用为外部中断引脚使用, 当这些引脚被设置为输出模式并且输出电平被改变的时候, 相应的中断请求标志也会被置起来。当要在输出模式下使用这些引脚的时候, 应提前把相应的中断屏蔽标志设置为 1。

表 4-3. 使用复用功能的时候, 端口模式寄存器和输出锁存的设置

引脚名称	复用功能		PM _{xx}	P _{xx}
	名称	I/O		
P23	CMPTOUT0	输出	0	0
	T02	输出	0	0
P24	INTP0	输入	1	x
	TIO	输入	1	x
P25	INTP1	输入	1	x
	TI1	输入	1	x
P26	INTP2	输入	1	x
	T05	输出	0	0
P27	INTP3	输入	1	x
	CPT5	输入	1	x
P40 ~ P45 ^注	KR0 ~ KR5	输入	1	x
P80 ~ P87	S27 ~ S20	输出	0	0
P90 ~ P93	S19 ~ S16	输出	0	0

注 当使用复用功能的时候设置键返回模式寄存器 00 (KRM00) 为 1 (参照 15.3 (6) 键返回模式寄存器 00 (KRM00))。

注意事项 当端口 2 用作串行接口的时候, 必须根据其功能对 I/O 和输出锁存进行设置。关于设置的具体细节请参照表 13-2 串行接口 00 的操作模式设定。

备注 x: 不考虑
PM_{xx}: 端口模式寄存器
P_{xx}: 端口输出锁存

图 4-15 端口模式寄存器格式

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
PM0	1	1	1	1	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM2	PM27 PM26 PM25 PM24 PM23 PM22 PM21 PM20								FF22H	FFH	R/W
PM4	PM47 PM46 PM45 PM44 PM43 PM42 PM41 PM40								FF24H	FFH	R/W
PM5	1	1	1	1	PM53	PM52	PM51	PM50	FF25H	FFH	R/W
PM8	PM87 PM86 PM85 PM84 PM83 PM82 PM81 PM80								FF28H	FFH	R/W
PM9	1	1	1	1	PM93	PM92	PM91	PM90	FF29H	FFH	R/W

PMmn	Pmn 引脚I/O 模式选择 (m = 0, 5, 9: n = 0 ~ 3) (m = 2, 4, 8: n = 0 ~ 7)
0	输出模式 (输出缓冲器打开)
1	输入模式 (输出缓冲器关闭)

(2) 上拉电阻选择寄存器 (PU0~PU2)

通过设置上拉电阻选择寄存器 (PU0~PU2) 来定义每个端口是否使用上拉电阻。

当通过 PU0~PU2 定义了上拉电阻之后, 内部上拉电阻只在被设置为输入模式的相应位使用。输出模式的相应位不会使用上拉电阻。这种设定在使用复用模式的时候也适用。

PU0 ~PU2 可以由 1 位或者 8 位存储器操作指令设置。

复位后 PU0 ~ PU2 的值为 00H。

图 4-16 上拉电阻选择寄存器 0 的格式

符号	7	6	5	<4>	3	2	1	<0>	地址	复位后	R/W
PU0	0	0	0	PU04	0	0	0	PU00	FFF7H	00H	R/W

PU0m	Pm 引脚内置上拉电阻的选择 ^注 (m = 0 或 4)
0	不连接内置上拉电阻
1	连接内置上拉电阻

注 PU0 可以以 8 位为单元选择是否使用上拉电阻, 端口 0 除外, 它只能选择 4 位 (P00~P03)。

注意事项 1, 2, 3, 5, 6, 和 7 位必须是 0。

图 4-17. 上拉电阻选择寄存器 1 的格式

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>	地址	复位后	R/W
PU1	PU127	PU126	PU125	PU124	PU123	PU122	PU121	PU120	FFF3H	00H	R/W

PU12m	P2 引脚内置上拉电阻的选择 ^注 (m = 0 ~ 7)
0	不连接内置上拉电阻
1	连接内置上拉电阻

注 PU1 可以位选上拉电阻。

图 4-18. 上拉电阻选择寄存器 2 的格式

符号	7	6	<5>	<4>	<3>	<2>	<1>	<0>	地址	复位后	R/W
PU2	0	0	PU292	PU290	PU286	PU284	PU282	PU280	FFF4H	00H	R/W

PU2mn	Pm 引脚内置上拉电阻的选择 ^注 (m = 8 或 9; n = 0, 2, 4, 或 6)
0	不连接内置上拉电阻
1	连接内置上拉电阻

注 PU2 可以以 2 位为单元选择上拉电阻（第 n 位和第 n+1 位）。

注意事项 第 6 位和第 7 位必须是 0。

4.4 端口操作

输入模式和输出模式的端口操作是不同的，具体如下所示。

4.4.1 写入 I/O 端口

(1) 输出模式

通过传送指令可以把数据写入到输出锁存器中。输出锁存器中的数据从引脚输出。

在新的数据被写入到输出锁存器中以前，输出锁存器中的数据不会改变。

(2) 输入模式

通过传送指令可以把数据写入到输出锁存器中。因为输出缓冲已经关闭，引脚状态将不再被改变。

一旦数据被写入到输出锁存器当中，在新的数据被写入到输出锁存器中以前，输出锁存器中的数据不会改变。

注意事项 虽然 1 位存储器操作指令对 1 位进行操作，但实际是以 8 位形式访问端口。因此，当该指令操作端口的一位时，则对于端口中定义为输入模式的引脚输出锁存器中的内容是不确定的。

4.4.2 从 I/O 端口读入

(1) 输出模式

可以通过传送指令读取输出锁存器中的数据，输出锁存器中的数据不会被改变。

(2) 输入模式

可以通过传送指令读取引脚状态，输出锁存器中的内容不会被改变。

4.4.3 I/O 端口的操作

(1) 输出模式

对输出锁存器的内容执行一个操作，即对输出锁存器进行写操作。输出锁存器的内容从端口引脚输出。

一旦数据写入输出锁存器，它将一直保存到新数据写入。

(2) 输入模式

输出锁存中的数据不确定。但是因为输出锁存已经关闭，引脚状态不会改变。

注意事项 虽然 1 位存储器操作指令对 1 位进行操作，但实际是以 8 位形式访问端口。因此，当该指令操作端口的一位时，则对于端口中定义为输入模式的引脚输出锁存器中的内容是不确定的。

第五章 时钟发生器

5.1 时钟发生器的功能

时钟发生器产生时钟提供给 CPU 和外围硬件。
使用以下两种系统时钟振荡器。

- **主系统时钟振荡器**

这个电路振荡在 1.0 ~ 5.0 MHz 之间。振荡可以通过执行 STOP 指令或设定处理器控制寄存器 (PCC) 的方式停止。

- **副系统时钟振荡器**

这个电路振荡在 32.768 kHz。振荡可以通过设定副振荡器模式寄存器 (SCKM) 的方式停止。

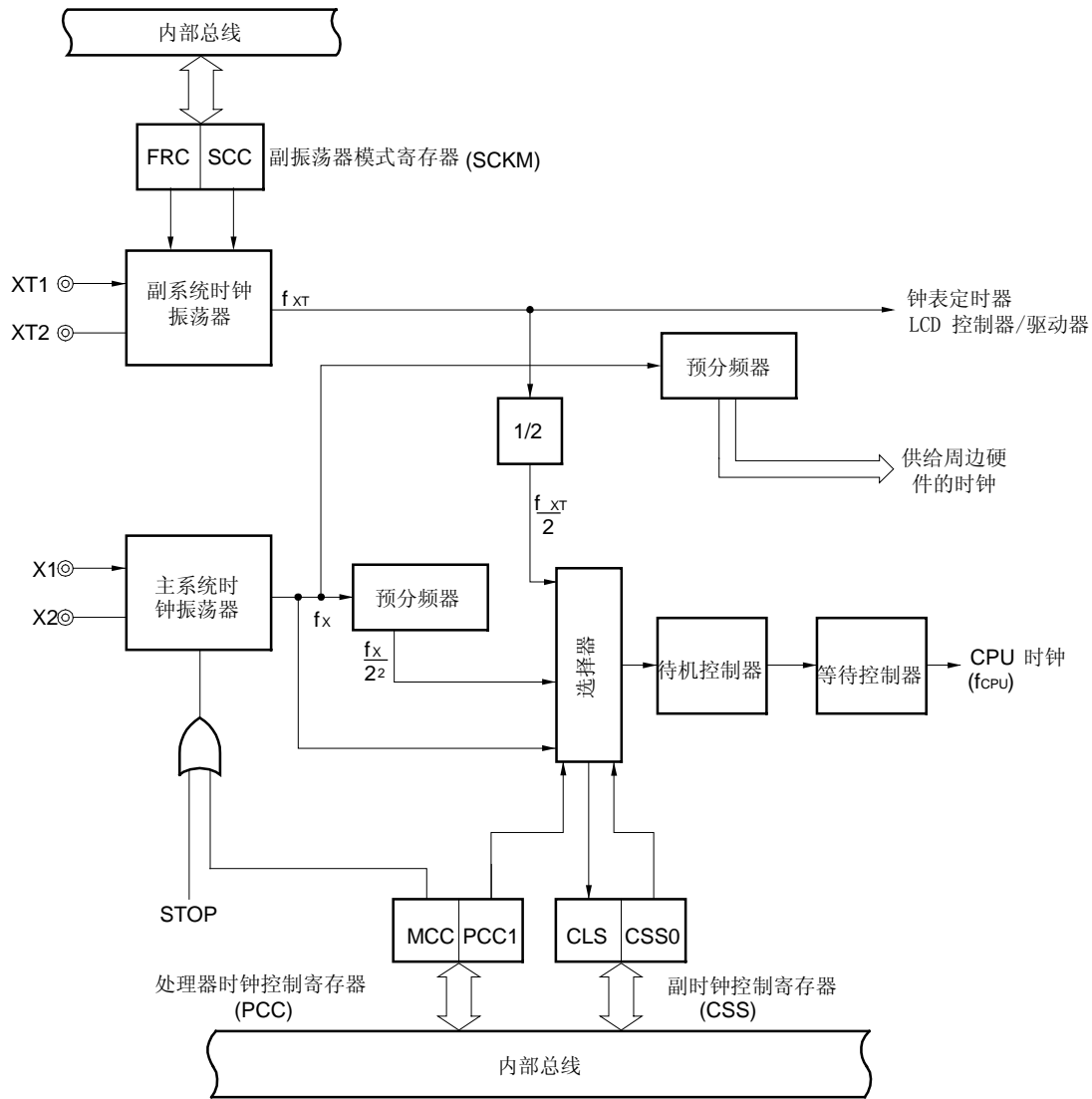
5.2 时钟发生器的配置

时钟发生器包含以下硬件。

表 5-1. 时钟发生器的配置

项目	配置
控制寄存器	处理器时钟控制寄存器 (PCC) 副振荡器模式寄存器 (SCKM) 副时钟控制寄存器 (CSS)
振荡器	主系统时钟振荡器 副系统时钟振荡器

图 5-1. 时钟发生器框图



5.3 控制时钟发生器的寄存器

时钟发生器由以下寄存器控制。

- 处理器时钟控制寄存器 (PCC)
- 副振荡器模式寄存器 (SCKM)
- 副时钟控制寄存器 (CSS)

(1) 处理器时钟控制寄存器 (PCC)

PCC 选择 CPU 时钟并且设定分频比例。

PCC 通过使用 1 位或 8 位存储器操作指令设定。

复位输入后，PCC 的值为 02H。

图 5-2. 处理器时钟控制寄存器的格式

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
PCC	MCC	0	0	0	0	0	PCC1	0	FFFBH	02H	R/W

MCC	主系统时钟振荡器的操作控制
0	操作允许
1	操作禁止

CSS0	PCC1	CPU时钟的选择 (f_{CPU}) ^注	指令最短执行时间: $2/f_{CPU}$
			操作频率为 $f_x = 5.0 \text{ MHz}$ 或 $f_{XT} = 32.768 \text{ kHz}$
0	0	f_x	$0.4 \mu\text{s}$
0	1	$f_x / 2^2$	$1.6 \mu\text{s}$
1	0	$f_{XT} / 2$	$122 \mu\text{s}$
1	1		

注 CPU 的时钟选择是通过处理器时钟控制寄存器 (PCC) 中的 PCC1 标志以及副时钟控制寄存器 (CSS) 中的 CSS0 标志联合设定的。详见 5.3 (3) 副时钟控制寄存器 (CSS)。

注意事项

1. 第 0 位和第 2 位到第 6 位必须固定为 0。
2. 仅当副系统时钟作为 CPU 时钟时，可以设定 MCC 位。

备注

1. f_x : 主系统时钟振荡器频率
2. f_{XT} : 副系统时钟振荡器频率

(2) 副振荡器模式寄存器 (SCKM)

SCKM 选择是否对副系统时钟使用反馈电阻，并且控制时钟的振荡。

SCKM 通过应用 1 位或 8 位存储器操作指令设定。

复位输入后，SCKM 的值为 00H。

图 5-3. 副振荡器模式寄存器

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
SCKM	0	0	0	0	0	0	FRC	SCC	FFF0H	00H	R/W

FRC	反馈电阻的选择 ^注
0	内置反馈电阻可用
1	内置反馈电阻不可用

SCC	主系统时钟振荡器的操作控制
0	操作允许
1	操作禁止

- ★ 注 反馈电阻用于调整振荡波形的偏置点接近供电电压的中值点。仅当未使用副时钟时，通过设定 FRC = 1，STOP 模式下的功耗可进一步降低。

注意事项 1. 第 2 位到第 7 位必须固定为 0。

2. 当外部时钟脉冲输入时，不能设定 SCC 位，因为 X2 引脚被上拉到 V_{DD0} 或 V_{DD1}。

(3) 副时钟控制寄存器(CSS)

CSS 指定是否选择主系统或副系统时钟振荡器。它同样指定 CPU 时钟如何操作。

CSS 通过使用 1 位或 8 位存储器操作指令设定。

复位输入后, CSS 的值为 00H。

图 5-4. 副时钟控制寄存器的格式

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
CSS	0	0	CLS	CSS0	0	0	0	0	FFF2H	00H	R/W 注

CLS	CPU时钟的操作状态
0	根据主系统时钟的分频输出操作
1	根据副系统时钟操作

CSS0	选择主系统或副系统振荡器
0	从主系统时钟振荡器分频输出
1	从副系统时钟振荡器输出

注 第 5 位只读。

注意事项 第 0, 1, 2, 3, 6 位和第 7 位必须固定为 0。

5.4 系统时钟振荡器

5.4.1 主系统时钟振荡器

主系统时钟振荡器通过晶体或陶瓷振荡器振荡 (5.0 MHz TYP.)。通过 X1 和 X2 引脚连接。

外部时钟同样也可以输入电路。在这种情况下，把时钟信号输入到 X1 引脚，把反向信号输入到 X2 引脚。

图 5-5 显示了主系统时钟振荡器的外部电路。

图 5-5. 主系统时钟振荡器的外部电路



注意事项 当使用主系统或副系统时钟振荡器时，为避免线间电容的影响，图 5-5 和 5-6 的虚线框部请按如下要求布线：

- 保持连线尽可能的短。
- 不要使其它的信号线与振荡器导线互相交叉，不要在振荡器旁边通过大电流的信号线。
- 保持振荡器电容的地和 V_{SS} 同电位，不要让电容使用的地通过大电流。
- 不要从振荡器上取信号。

5.4.2 副系统时钟振荡器

副系统时钟振荡器通过晶体振荡器振荡 (32.768 kHz TYP.)。通过 XT1 和 XT2 引脚连接。

外部时钟同样也可以输入电路。在这种情况下,把时钟信号输入 XT1 引脚,把反向时钟信号输入 XT2 引脚。

图 5-6 显示了副系统时钟振荡器的外部电路。

图 5-6. 副系统时钟振荡器外部电路



注意事项 当使用主系统或副系统时钟振荡器时,为避免线间电容的影响,图 5-5 和 5-6 的虚线框部请按如下要求布线:

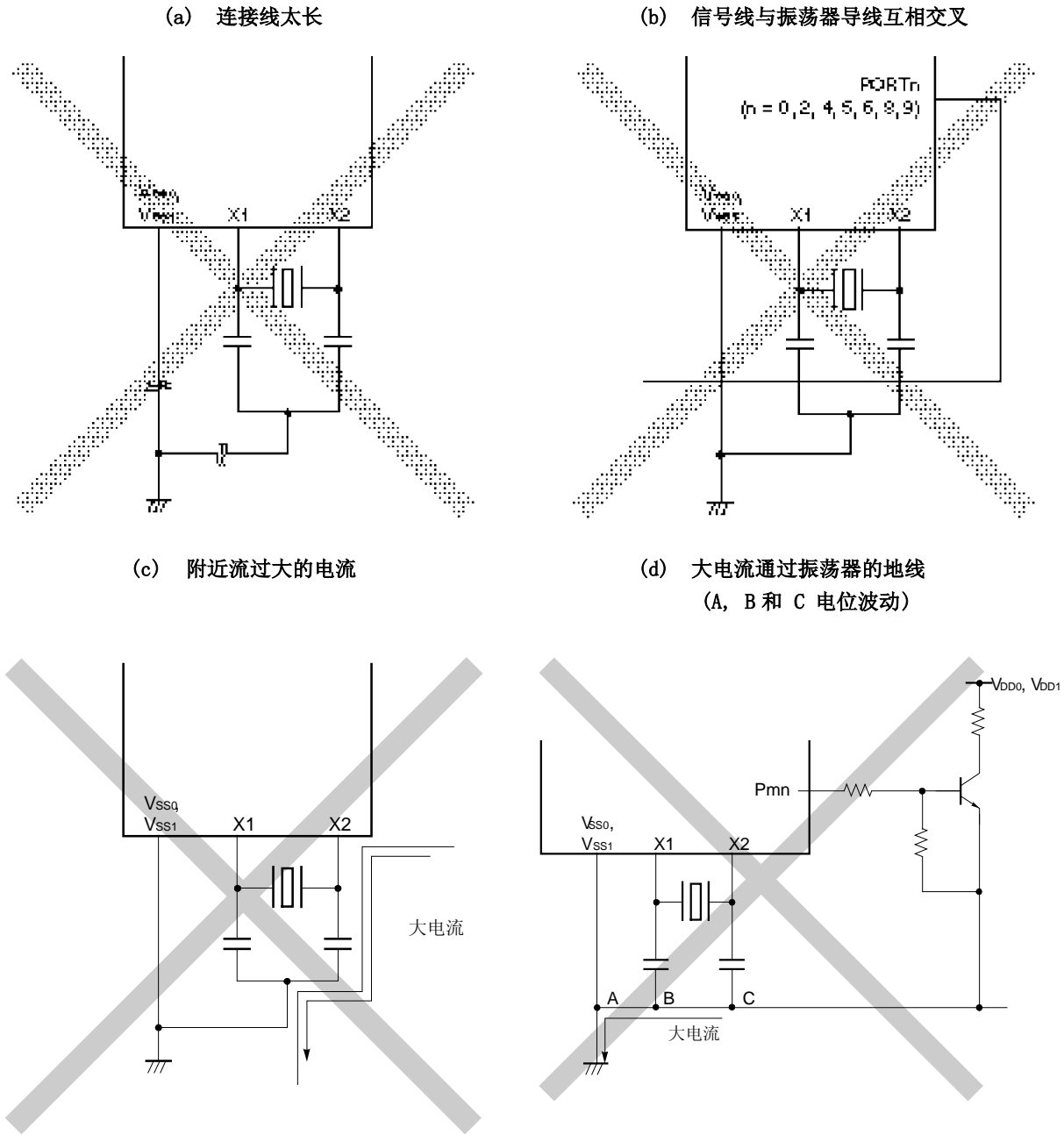
- 保持连线尽量的短。
- 不要使其它的信号线与振荡器导线互相交叉,不要在振荡器旁边通过大电流的信号线。
- 保持振荡器电容的地和 V_{SS} 同电位,不要让电容使用的地通过大电流。
- 不要从振荡器上取信号。

当使用副系统时钟振荡器时,一定要特别注意。因为副系统时钟振荡器为了降低功耗,增益作得比较小。

5.4.3 振荡器连接的错误示例

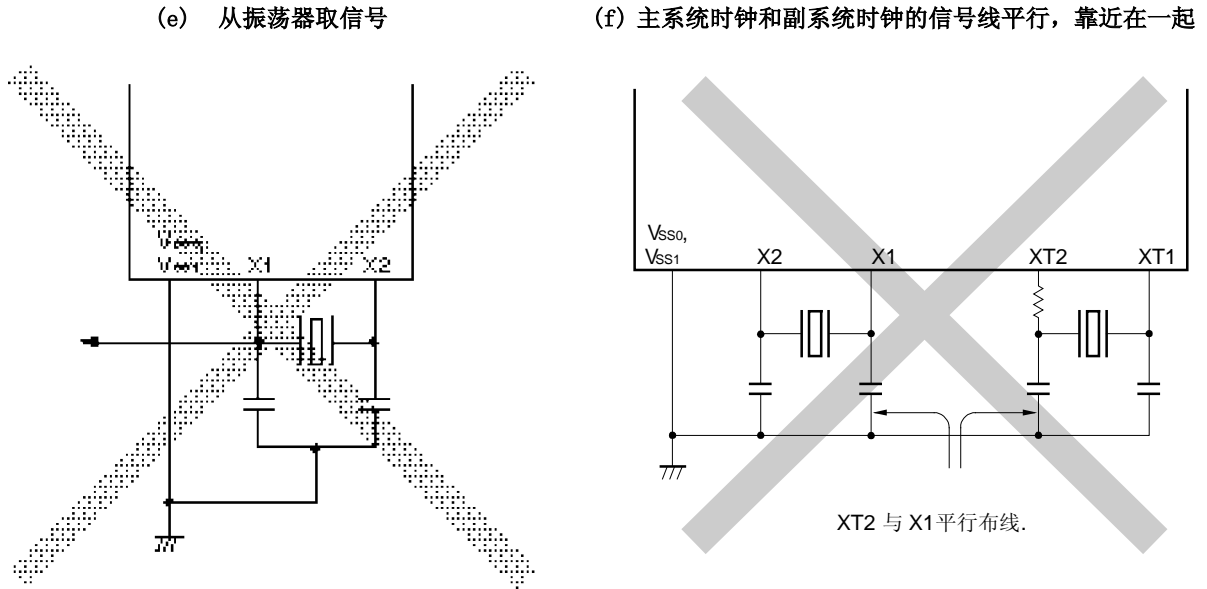
图 5-7 显示了振荡器连接的错误示例。

图 5-7. 振荡器连接的错误示例 (1/2)



备注 在使用副系统时钟时，XT1 和 XT2 的注意点与 X1 和 X2 相同。串连电阻要连接到 XT2 端。

图 5-7. 振荡器连接的错误示例 (2/2)



备注 在使用副系统时钟时，XT1 和 XT2 的注意点与 X1 和 X2 相同。串连电阻要连接到 XT2 端。

注意事项 如果 X1 的布线与 XT2 的布线平行，串扰噪音会在 X1 和 XT2 之间发生，从而产生故障。为了避免这种情况，不要让 X1 和 XT2 的布线平行。

5.4.4 分频器

分频器用来对主系统时钟振荡器 (fx) 的输出进行分频来产生各种时钟。

5.4.5 不使用副系统时钟

如果无需使用副系统时钟，例如为了降低功耗或时钟操作，可以按如下方法连接 XT1 和 XT2 引脚。

XT1: 直接连接 V_{SS} 或 V_{SS1}

XT2: 悬空

但是在这种情况下，主系统时钟停止后通过副系统时钟振荡器的片内反馈电阻会产生一个小的漏电流。为了避免这种情况的发生，通过设定副振荡器模式寄存器 (SCKM) 的位 1 (FRC) 为 1，可以选择不使用片内反馈电阻。同样在这种情况下，按照上面的方法处理 XT1 和 XT2 引脚。

5.5 时钟发生器的操作

时钟发生器产生下列时钟并且控制 CPU 的操作模式，比如待机模式。

- 主系统时钟 f_X
- 副系统时钟 f_{XT}
- CPU 时钟 f_{CPU}
- 外围硬件的时钟

时钟发生器的操作取决于处理器时钟控制寄存器 (PCC)，副振荡器模式寄存器 (SCKM) 和副时钟控制寄存器 (CSS)。

- (a) 当复位信号产生时 (PCC = 02H)，主系统时钟处于慢速模式 (1.6 μ s 于 5.0 MHz 操作)。当一个低电平输入复位引脚时，主系统时钟的振荡停止。
- (b) (在主系统时钟处于 0.4 μ s 和 1.6 μ s (工作在 5.0 MHz)，副系统时钟处于 122 μ s (工作在 32.768 kHz)) 可以通过设定 PCC, SCKM, 和 CSS 选择 3 种指令最短执行时间。
- (c) 2 种待机模式，STOP 和 HALT，选择主系统时钟时可以使用。在一个没有副系统时钟的系统中，可以通过设定 SCKM 的第 1 位 (FRC) 为 1，这样在 STOP 模式下不使用片内反馈电阻可以降低功耗。在一个使用副系统时钟的系统中，通过设定 SCKM 的第 0 位为 1 可以使副系统时钟停止振荡。
- (d) CSS 的第 4 位 (CSS0) 可以用来选择副系统时钟，以便进入的功耗模式 (122 μ s, 工作在 32.768 kHz)。
- (e) 使用副系统时钟时，可以通过设定 PCC 的第 7 位 (MCC) 使主系统时钟停止振荡。在 HALT 模式下可以使用，但是在 STOP 模式下不行。
- (f) 外围硬件的时钟脉冲是通过分频主系统时钟产生的。副系统时钟的脉冲仅提供给 8 位定时器 02，钟表定时器 02 和 LCD 控制器/驱动器。所以，即使在待机模式下 8 位定时器 02 (当时钟定时器输出选择为计数时钟且副系统时钟运行时) 和钟表定时功能也可以正常运行。其他硬件在主系统时钟停止后也将停止工作，因为它们是基于主系统时钟工作的 (有外部时钟输入的情况除外)。

5.6 更改系统时钟和 CPU 时钟的设置

5.6.1 在系统时钟和 CPU 时钟之间切换所需的时间

CPU 时钟可以通过处理器时钟控制寄存器 (PCC) 的第 1 位 (PCC1) 和副时钟控制寄存器 (CSS) 的第 4 位 (CSS0) 来选择。

事实上，指定的时钟并不是在更改 PCC 的设定后马上生效的，在这之后老的时钟仍然使用几个指令周期 (见表 5-2)。

表 5-2. 切换 CPU 时钟所需的最长时间

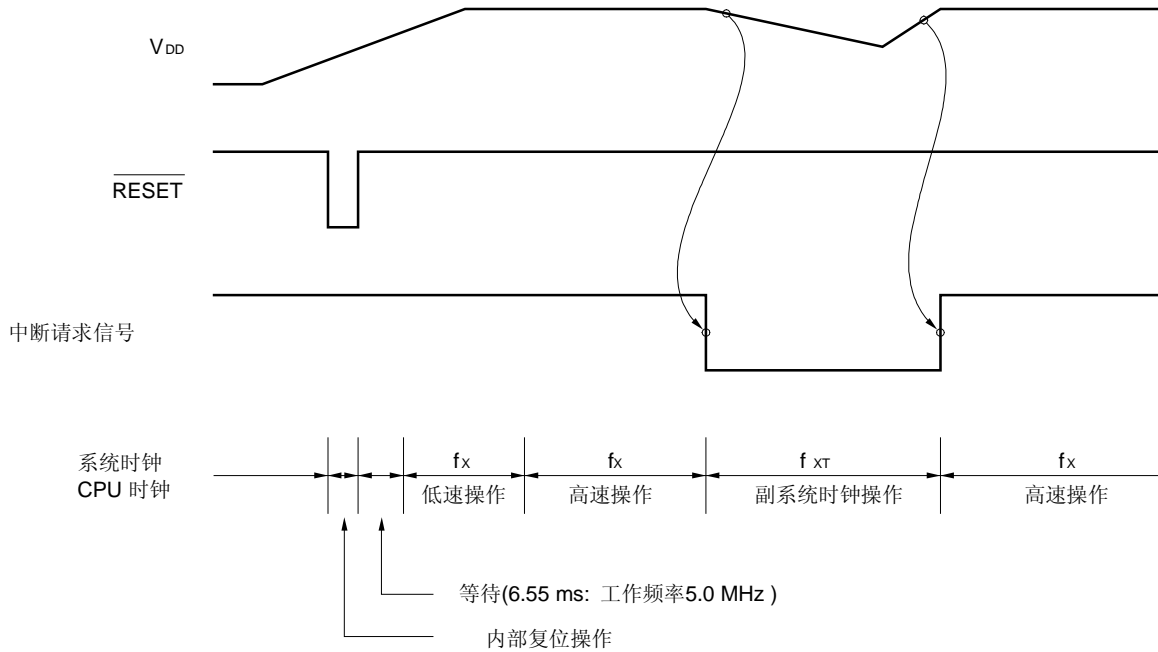
切换前的设定值		切换后的设定值					
CSS0	PCC1	CSS0	PCC1	CSS0	PCC1	CSS0	PCC1
		0	0	0	1	1	x
0	0	2 时钟		4 时钟		2fX/fXT 时钟 (306 时钟)	
	1			fX/2fXT 时钟 (76 时钟)			
1	x	2 时钟		2 时钟			

- 备注**
1. 2 个时钟是切换前的 CPU 指令最短执行时间。
 2. 括号中的值适用于 $f_X = 5.0 \text{ MHz}$ 或 $f_{XT} = 32.768 \text{ kHz}$ 。
 3. x: 不必考虑。

5.6.2 在系统时钟和 CPU 时钟之间切换

下图举例说明了 CPU 时钟和系统时钟是如何切换的。

图 5-8. 在系统时钟和 CPU 时钟之间切换



- <1> 当复位引脚变为低电平时，CPU 复位。当复位引脚变为高电平时，复位状态被释放并且主系统时钟开始振荡。同时，振荡稳定时间 ($2^{15}/f_x$) 被自动保护。这之后，CPU 在主系统时钟的低速状态下开始执行指令 (工作在 5.0 MHz 时为 $1.6 \mu s$)。
- <2> V_{DD} 上升到 CPU 可以高速工作的电压之后，重写处理器时钟控制寄存器 (PCC) 的第 1 位 (PCC1) 和副时钟控制寄存器 (CSS) 的第 4 位，从而选择高速工作模式。
- <3> 通过中断请求信号来检测 V_{DD} 电压的跌落。时钟切换到副系统时钟 (此时，副系统时钟必须工作在稳定的振荡状态)。
- <4> 通过中断请求信号检测 V_{DD} 电压恢复。PCC 的第 7 位 (MCC) 设置为 0，主系统时钟开始振荡。在振荡稳定所需的时间过后，重写 PCC1 和 CSS0，从而再一次进入高速工作模式。

注意事项 当主系统时钟停止且器件运行在副系统时钟下的时候，在切换回主系统时钟之前要等到振荡稳定时间被程序保护完毕。

16 位定时器 50 涉及自由运行计数器，并提供如定时器中断和定时器输出的功能。另外，可以通过触发引脚，捕捉计数值。

6.1 16 位定时器 50 的功能

16 位定时器 50 有如下功能。

- 定时器中断
- 定时器输出
- 捕捉计数值

(1) 定时器中断

当计数值与比较值相等时产生中断。

(2) 定时器输出

当计数值与比较值相等时，可以控制定时器输出。

(3) 捕捉计数值

16 位计数器 50 (TM50) 的计数值与捕捉触发同步锁存并保留在捕捉寄存器中。

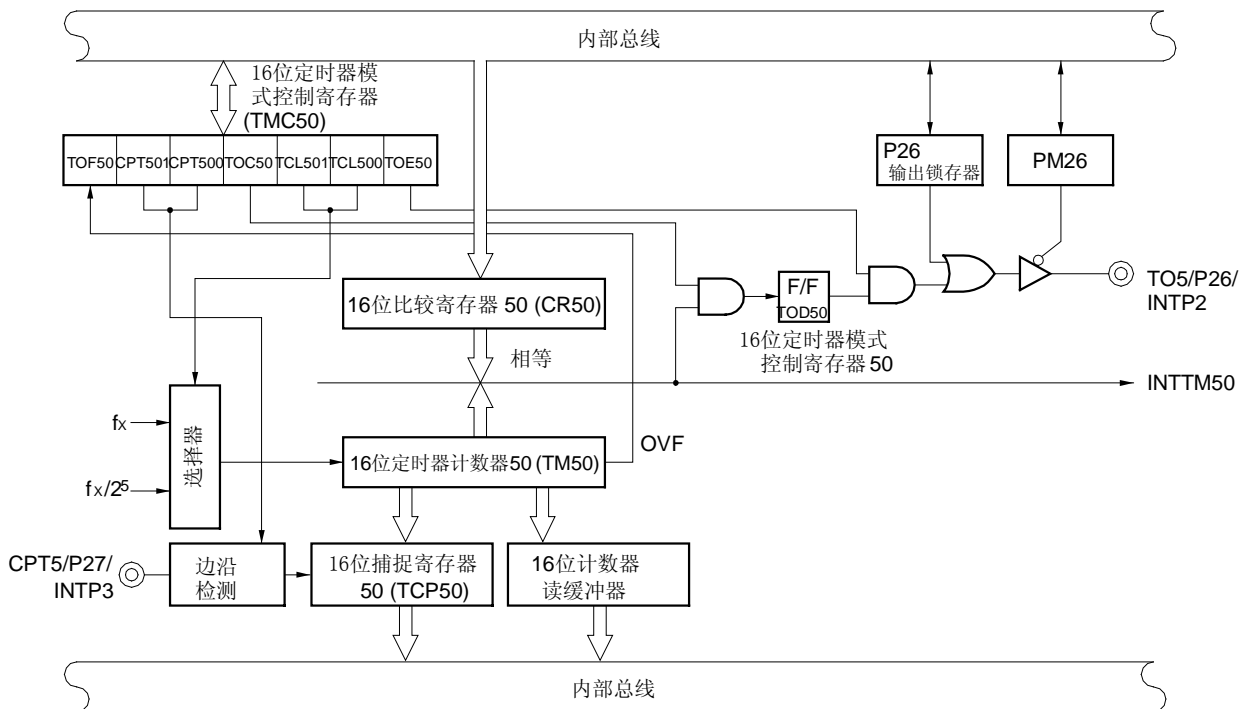
6.2 16 位定时器 50 的配置

16 位定时器 50 由如下硬件组成。

表 6-1. 16 位定时器 50 的配置

项目	配置
定时器计数器	16 bits × 1 (TM50)
寄存器	比较寄存器: 16 bits × 1 (CR50) 捕捉寄存器: 16 bits × 1 (TCP50)
定时器输出	1 (TO5)
控制寄存器	16 位定时器模式控制寄存器 50 (TMC50) 端口模式寄存器 2 (PM2)

图 6-1. 16 位定时器 50 的框图



(1) 16 位比较寄存器 50 (CR50)

此寄存器将 CR50 中的值与 16 位定时器 50(TM50) 中的计数值相比较, 相等时, 产生一个中断请求(INTTM50)。CR50 通过 16 位存储器操作指令设置, 值的允许范围为 0000H 到 FFFFH。复位输入后 CR50 为 FFFFH。

- 注意事项**
1. 虽然此寄存器由 16 位存储器指令操作, 但是 8 位存储器指令也可使用。当使用 8 位指令时, 寻址方式为直接寻址。
 2. 当在计数操作期间重写 CR50 时, 需使用中断屏蔽标志寄存器 1 (MK1) 预先设置 CR50 禁止中断。同样, 使用 16 位定时器模式控制寄存器 50 (TMC50) 设置定时器输出数据反转无效。如果当中断允许时重写 CR50, 则在重写时可能产生中断请求。

(2) 16 位定时器计数器 50 (TM50)

此 16 位寄存器用于脉冲计数。

TM50 由 16 位存储器操作指令读取。

TM50 在计数时钟输入期间处于自由运行模式。

RESET 输入后 TM50 为 0000H, 之后再次进入自由运行模式。

- 注意事项**
1. 因为计数操作是在振荡稳定时间期间执行, 因此 STOP 模式释放后计数值不确定。
 2. 虽然 TM50 通过 16 位指令操作, 但是 8 位指令也可以使用。当使用 8 位指令时, 寻址方式为直接寻址。
 3. 当用 8 位指令操作时, 读出操作必须从低字节到高字节并且成对地执行。

(3) 16 位捕捉寄存器 50 (TCP50)

此 16 位寄存器捕捉 16 位定时器计数器 50 (TM50) 中的值。

TCP50 通过 16 位存储器操作指令设置。

复位后, TCP50 值不确定。

- 注意事项** 虽然此寄存器通过 16 位指令操作, 但是 8 位指令也可以使用。当使用 8 位指令时, 寻址方式为直接寻址。

(4) 16 位计数器读缓冲器

此缓冲器锁存 16 位定时器计数器 50 (TM50) 的计数器值并保存计数值。

6.3 控制 16 位定时器的寄存器

下面的两个寄存器用于控制 16 位定时器 50。

- 16 位定时器模式控制寄存器 50 (TMC50)
- 端口模式寄存器 2 (PM2)

(1) 16 位定时器模式控制寄存器 50 (TMC50)

16 位定时器模式控制寄存器 50 (TMC50) 控制计数时钟的设置、捕捉沿等等。

TMC50 通过 1 位或 8 位存储器操作指令设置。

复位后, TMC50 为 00H。

图 6-2. 16 位定时器模式控制寄存器 50 的格式

符号	7	<6>	5	4	3	2	1	<0>	地址	复位后	R/W
TMC50	TOD50	TOF50	CPT501	CPT500	TOC50	TCL501	TCL500	TOE50	FF48H	00H	R/W 注 1

TOD50	定时器输出数据	
0	定时器输出"0"	
1	定时器输出"1"	

TOF50	复位标志设置	
0	通过复位和软件清零	
1	通过16位定时器的溢出置1	

CPT501	CPT500	捕捉沿的选择
0	0	捕捉操作禁止
0	1	CPT5的上升沿
1	0	CPT5的下降沿
1	1	CPT5的上升沿和下降沿

TOC50	定时器输出数据反转控制	
0	反转禁止	
1	反转允许	

TCL501	TCL500	16位定时器50 计数脉冲的选择
0	0	f_x (5.0 MHz) 注2
0	1	$f_x/2^5$ (156.3 kHz) 注3
其他		禁止设置

TOE50	16位定时器 50 输出控制	
0	禁止输出 (端口模式)	
1	允许输出	

- 注
1. 第 7 位只读。
 2. 如果计数时钟设置为 f_x (TCL501 = 0, TCL500 = 0), 捕捉功能不能使用。读此两位时, 设置 CPU 时钟为主系统时钟高速模式 (PCC1 = 0, CSS0 = 0) (见图 5-2)。
 3. 读此两位时, 指定主系统时钟为 CPU 时钟 (PCC1 = 0, CSS0 = 0 或 PCC1 = 1, CSS0 = 0) (见图 5-2)。

- 备注
1. f_x : 主系统时钟振荡频率。
 2. 括号里的值适用于 $f_x = 5.0$ MHz。

(2) 端口模式寄存器 2 (PM2)

该寄存器以 1 位为单元设置端口 2 的输入/输出模式。

要使用 P26/INTP2/T05 引脚作为定时器输出，设置 PM26 和 P26 的输出锁存器为 0。

PM2 通过 1 位或 8 位存储器操作指令设置。

复位后，PM2 为 FFH。

图 6-3. 端口模式寄存器 2 的格式

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W

PM26	P26 引脚 I/O 模式选择
0	输出模式 (输出缓冲器打开)
1	输入模式 (输出缓冲器关闭)

6.4 16 位定时器 50 的操作

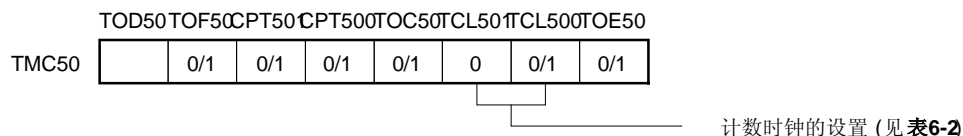
6.4.1 用于定时器中断

在定时器中断功能中，以 16 位比较寄存器 50 (CR50) 中预先设定的值(在 TCL501 和 TCL500 中设置)为间隔重复产生中断请求。

要将 16 位定时器作为定时器中断使用，需要进行如下设置。

- 设置 CR50 的计数值。
- 按照图 6-4 所示设置 16 位定时器模式控制寄存器 50 (TMC50)。

图 6-4. 用于定时器中断操作时 16 位定时器模式控制寄存器 50 的设置



注意事项 如果 CPT501 标志位和 CPT500 标志位均设置为 0，则捕捉沿操作禁止。

当 16 位定时器计数器 50 (TM50) 的计数值与 CR50 的设置值相等，TM50 计数继续，并且产生一个中断请求信号。表 6-2 所示为间隔时间，图 6-5 所示为定时器中断操作的时序。

注意事项 在计数操作期间重写 CR50 时，确保如下步骤。

- <1> 设置中断无效 (TMMK50 (中断屏蔽标志寄存器 1 的第 4 位(MK1))为 1)
- <2> 设置定时器输出数据的反转控制无效 (TOC50 = 0)

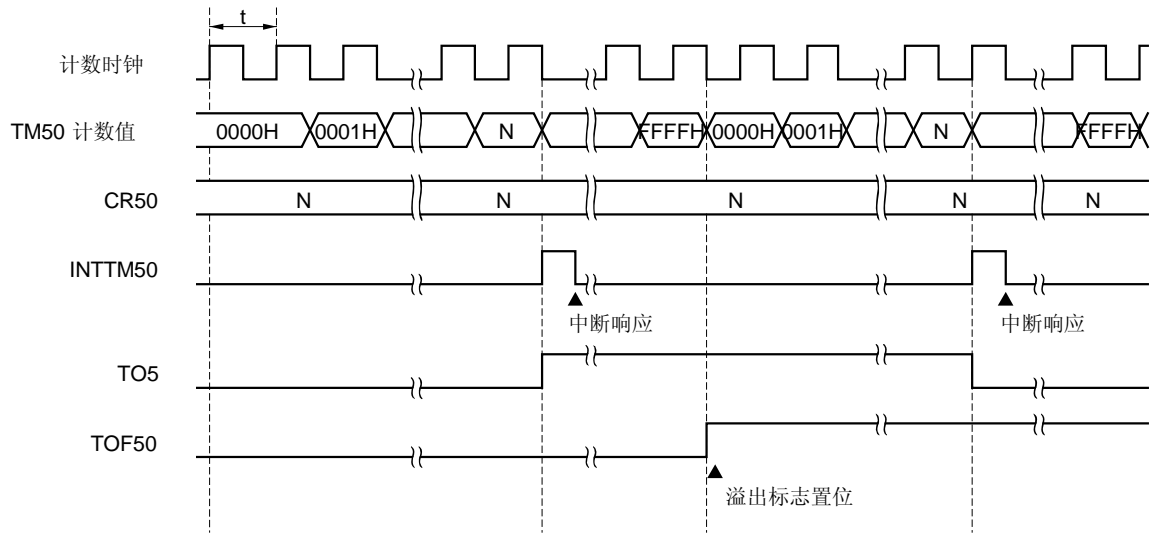
如果当中断有效时 CR50 被重写，在重写时可能产生中断请求。

表 6-2. 16 位定时器 50 的间隔时间

TCL501	TCL500	计数时钟	间隔时间
0	0	1/fX (0.2 μs)	2 ¹⁶ /fX (13.1 ms)
0	1	2 ⁵ /fX (6.4 μs)	2 ²¹ /fX (419.4 ms)
其他设置		设置禁止	

- 备注**
1. fX: 主系统时钟振荡频率。
 2. 括号里的值适用于 fX = 5.0 MHz。

图 6-5. 定时器中断操作的时序



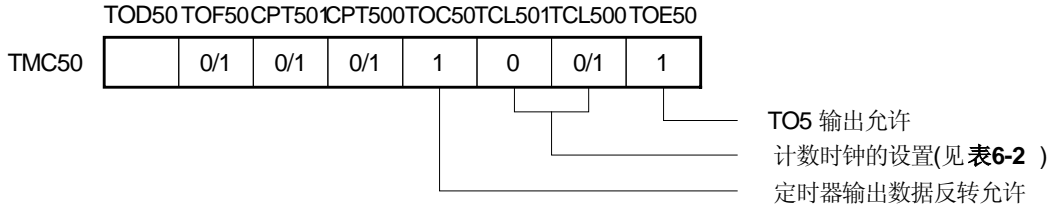
备注 N = 0000H ~ FFFFH

6.4.2 用于定时器输出

以 16 位比较寄存器 50 (CR50) 中预先设定的值(在 TCL501 和 TCL500 中设置)为间隔重复产生定时器输出。
要将 16 位定时器用作定时器输出, 需要进行如下设置。

- 设置 P26 为输出模式 (PM26 = 0)
- P26 的输出锁存器设置为 0
- 设置 CR50 计数值
- 按照下图所示设置 16 位定时器模式控制寄存 50 (TMC50)

图 6-6. 用于定时器输出操作时 16 位定时器模式控制寄存器 50 的设置

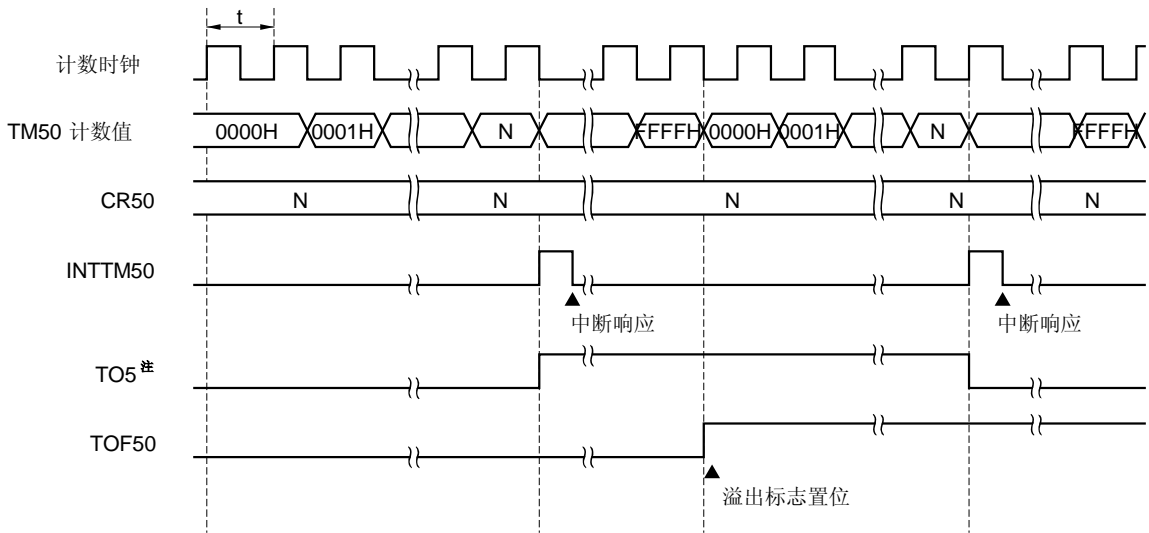


注意事项 如果 CPT501 标志位和 CPT500 标志位均设置为 0, 则捕捉沿操作禁止。

当 16 位定时计数器 50(TM50)的计数值与 CR50 中设置的值相等时, TO5/INTP2/P26 引脚的输出状态反转。这将允许定时器输出。同时, TM50 继续计数并产生一个中断请求信号(INTTM50)。

图 6-7 所示为定时器输出的时序 (见表 6-2 16 位定时器 50 的间隔时间)。

图 6-7. 定时器输出操作的时序



注 当输出允许 (TOE50 = 1) 时, TO5 的初始值变为低电平。

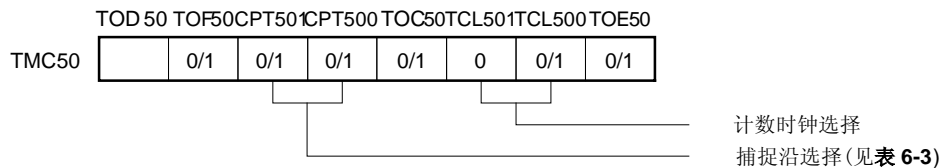
备注 N = 0000H ~ FFFFH

6.4.3 捕捉操作

在捕捉操作中，16 位定时器计数器 50 (TM50)的计数值与捕捉触发同步被捕捉并锁存到捕捉寄存器。

图 6-8 中所示设置允许 16 位定时器启动捕捉操作。

图 6-8. 用于捕捉操作时 16 位定时器模式控制寄存器 50 的设置



当检测到 CPT5 捕捉触发沿后 16 位捕捉寄存器 50 (TCP50)启动捕捉操作，并锁存和保留 16 位定时器计数器 50 (TM50) 的计数值。TCP50 在 2 个时钟周期内读取计数值并且将此计数值保留直到下一个捕捉沿被检测到。

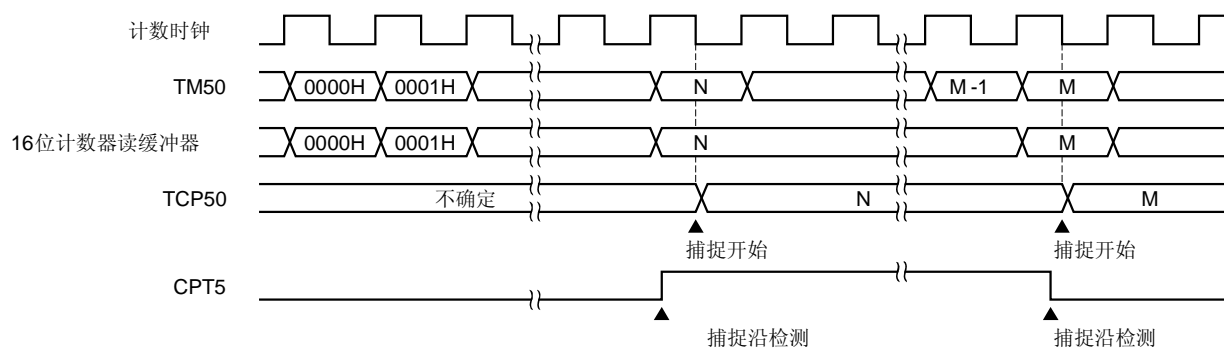
表 6-3 和图 6-9 中所示的分别是捕捉沿的设置及捕捉操作的时序。

表 6-3. 捕捉边沿设置

CPT501	CPT500	捕捉沿选择
0	0	捕捉操作禁止
0	1	CPT5 引脚上升沿
1	0	CPT5 引脚下降沿
1	1	CPT5 引脚上升和下降沿

注意事项 因为在读取 TCP50 期间，当检测到捕捉触发沿时重写 TCP50，所以在读 TCP50 期间捕捉触发沿检测无效。

图 6-9. 捕捉操作时序 (指定 CPT5 引脚的上升沿和下降沿)



6.4.4 读取 16 位定时器计数器 50

16 位定时器计数器 50 (TM50) 的计数值通过 16 位操作指令读取。

通过 16 位计数器读缓冲器读取 TM50。16 位计数器读缓冲器锁存 TM50 的计数值，TM50 低字节读信号上升后，在 CPU 时钟下降沿缓冲器操作被挂起，并且保持计数值。在保持状态中 16 位计数器读缓冲器的值可作为计数值被读出。

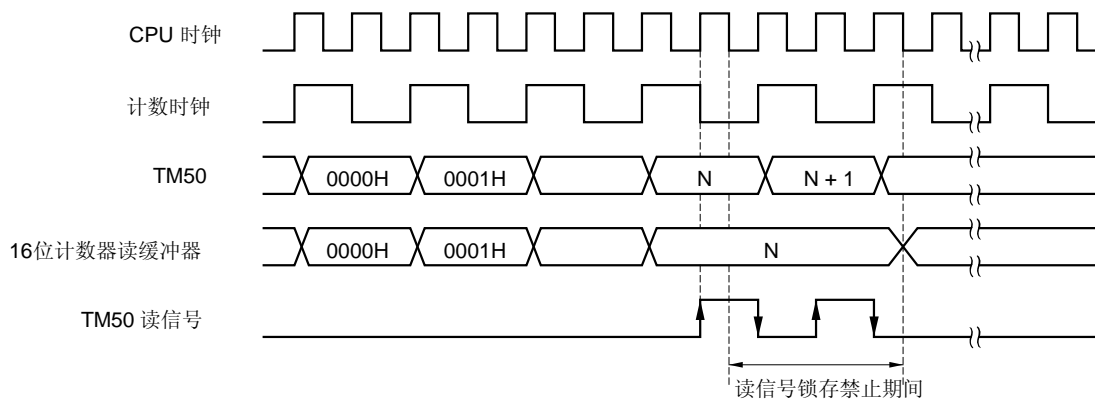
在 TM50 的高字节读信号下降后，在 CPU 时钟下降沿取消等待状态。

RESET 输入后 TM50 为 0000H，然后再进入到自由运行模式。

图 6-10 所示为读取 16 位定时器计数器的时序。

- 注意事项**
1. 因为计数操作是在振荡稳定时间期间执行，因此 STOP 模式释放后计数值不确定。
 2. 虽然 TM50 通过 16 位指令操作，但是 8 位指令也可以使用。
当使用 8 位指令时，寻址方式为直接寻址。
 3. 当使用 8 位传输指令时，从低字节到高字节成对执行。如果只读低字节，16 位计数器读缓冲器的挂起状态不会取消，如果只读高字节，读出的值不确定。

图 6-10. 16 位定时器计数器 50 的读操作时序



★ 6.5 使用 16 位定时器 50 的注意事项

6.5.1 重写 16 位比较寄存器 50 的限制

- (1) 在重写比较寄存器 (CR50) 前, 应禁止中断 ($TMMK50 = 1$) 和定时器输出的反转控制 ($TOC50 = 0$)。如果中断允许时重写 CR50, 可能立即产生一个中断请求。
- (2) 根据重写比较寄存器 (CR50) 的时序, 间隔时间可能变为预期时间的两倍。同样地, 输出波形可能比预期定时期的输出波形短或长两倍。
为避免这个问题, 使用如下任一操作步骤重写比较寄存器。

<对策 A> 当使用 8 位访问重写时

- <1> 中断 ($TMMK50 = 1$) 和定时器输出反转 ($TOC50 = 0$) 无效。
- <2> 首先重写 CR50 的高 1 位字节 (16 位)。
- <3> 然后重写 CR50 的低 1 位字节 (16 位)。
- <4> 中断请求标志位清零 ($TMIF50$)。
- <5> 从中断的开始, 在半个周期或更多计数时钟之后, 允许定时器中断/定时器输出反转。

<程序示例 A> (计数时钟 = $32/f_x$, CPU 时钟 = f_x)

TM50_VCT: SET1 TMMK50	; 定时器中断无效 (6 clocks)	}	总计: 16 时钟或更多 ^注
CLR1 TMC50.3	; 定时器输出反转无效 (6 clocks)		
MOV A, #xxH	; 设置高字节重写值 (6 clocks)		
MOV !0FF17H, A	; 重写 CR50 高字节 (8 clocks)		
MOV A, #yyH	; 设置低字节的重写值 (6 clocks)		
MOV !0FF16H, A	; 重写 CR50 低字节 (8 clocks)		
CLR1 TMIF50	; 中断请求标志位清零 (6 clocks)		
CLR1 TMMK50	; 定时器中断允许 (6 clocks)		
SET1 TMC50.3	; 定时器输出反转允许		

注 因为中断产生后在半个计数时钟周期内 INTM50 信号变为高电平, 如果在此期间 TOC50 被置为 1, 输出反转。

〈对策 B〉 当使用 16 位访问重写时

- 〈1〉 中断 (TMMK50 = 1) 和定时器输出的反转控制 (TOC50 = 0) 无效。
- 〈2〉 重写 CR50 (16 位)。
- 〈3〉 等待一个或更多的计数时钟周期。
- 〈4〉 中断请求标志位清零 (TMIF50)。
- 〈5〉 定时器中断/定时器输出反转允许。

〈程序示例 B〉 (计数时钟 = 32/fx, CPU 时钟= fx)

```

TM50_VCT   SET1 TMMK50       ; 定时器中断无效
            CLR1 TMC50.3   ; 定时器输出反转无效
            MOVW AX, #xyyH ; 设置 CR50 的重写值
            MOVW CR50, AX  ; 重写 CR50
            NOP
            NOP           }
            :             ; 16 个 NOP 指令(等待 32/fx)注
            NOP
            NOP
            CLR1 TMIF50   ; 中断请求标志位清零
            CLR1 TMMK50   ; 定时器中断允许
            SET1 TMC50.3  ; 定时器输出反转允许

```

注 重写 CR50 (MOVW CR50, AX) 指令后, 等待一个或更多计数时钟周期, 中断请求标志(TMIF50)清零。

第七章 8 位定时器/事件计数器 00~02

7.1 8 位定时器/事件计数器 00~02 的功能

8 位定时器/事件计数器 00~02 有如下功能。

- 间隔定时器（定时器 00，定时器 01，定时器 02）
- 外部事件计数器（仅定时器 00 和 01）
- 方波输出（仅定时器 02）

μ PD789407A 和 μ PD789417A 子系列提供两个 8 位定时器/事件计数器（定时器 00 和定时器 01）和一个 8 位定时器（定时器 02）。阅读定时器 02 的描述时，定时器/事件计数器作为定时器来理解。

(1) 8 位间隔定时器

当 8 位定时器/事件计数器用作间隔定时器时，按照预先设置的时间间隔产生中断。

表 7-1. 8 位定时器/事件计数器 00 的间隔时间

最小间隔时间	最大间隔时间	分辨率
$2^6/f_X$ (12.8 μ s)	$2^{14}/f_X$ (3.28 ms)	$2^6/f_X$ (12.8 μ s)
$2^9/f_X$ (102.4 μ s)	$2^{17}/f_X$ (26.2 ms)	$2^9/f_X$ (102.4 μ s)

- 备注**
1. f_X : 主系统时钟振荡频率。
 2. 括号内的值适用于 $f_X = 5.0$ MHz。

表 7-2. 8 位定时器/事件计数器 01 的间隔时间

最小间隔时间	最大间隔时间	分辨率
$2^4/f_X$ (3.2 μ s)	$2^{12}/f_X$ (819.2 μ s)	$2^4/f_X$ (3.2 μ s)
$2^8/f_X$ (51.2 μ s)	$2^{16}/f_X$ (13.1 ms)	$2^8/f_X$ (51.2 μ s)

- 备注**
1. f_X : 主系统时钟振荡频率。
 2. 括号内的值适用于 $f_X = 5.0$ MHz。

表 7-3. 8 位定时器/事件计数器 02 的间隔时间

最小间隔时间	最大间隔时间	分辨率
$2^3/f_X$ (1.6 μ s)	$2^{11}/f_X$ (409.6 μ s)	$2^3/f_X$ (1.6 μ s)
$2^7/f_X$ (25.6 μ s)	$2^{15}/f_X$ (6.55 ms)	$2^7/f_X$ (25.6 μ s)
$1/f_{XT}$ (30.5 μ s)	$2^8/f_{XT}$ (7.81 ms)	$1/f_{XT}$ (30.5 μ s)

- 备注**
1. f_X : 主系统时钟振荡频率。
 2. f_{XT} : 副系统时钟振荡频率。
 3. 括号内的值适用于 $f_X = 5.0$ MHz 或 $f_{XT} = 32.768$ kHz。

(2) 外部事件计数器

可以测量外部输入信号的脉冲数。

(3) 方波输出

可以输出任意频率的方波。

表 7-4. 8 位定时器 02 的方波输出范围

最小脉冲宽度	最大脉冲宽度	分辨率
$2^3/f_X$ (1.6 μs)	$2^{11}/f_X$ (409.6 μs)	$2^3/f_X$ (1.6 μs)
$2^7/f_X$ (25.6 μs)	$2^{15}/f_X$ (6.55 ms)	$2^7/f_X$ (25.6 μs)
$1/f_{XT}$ (30.5 μs)	$2^8/f_{XT}$ (7.81 ms)	$1/f_{XT}$ (30.5 μs)

- 备注**
1. f_X : 主系统时钟振荡频率。
 2. f_{XT} : 副系统时钟振荡频率。
 3. 括号内的值适用于 $f_X = 5.0 \text{ MHz}$ 或 $f_{XT} = 32.768 \text{ kHz}$ 。

7.2 8 位定时器/事件计数器 00 ~02 的配置

8 位定时器/事件计数器 00 ~02 由如下硬件组成。

表 7-5. 8 位定时器/事件计数器 00 ~02 的配置

项目	配置
定时器计数器	8 bits \times 3 (TM00, TM01, 和 TM02)
寄存器	比较寄存器: 8 bits \times 3 (CR00, CR01 和 CR02)
定时器输出	1 (T02)
控制寄存器	8 位定时器模式控制寄存器 00, 01 和 02 (TMC00, TMC01 和 TMC02) 端口模式寄存器 2 (PM2)

图 7-1. 8 位定时器/事件计数器 00 的框图

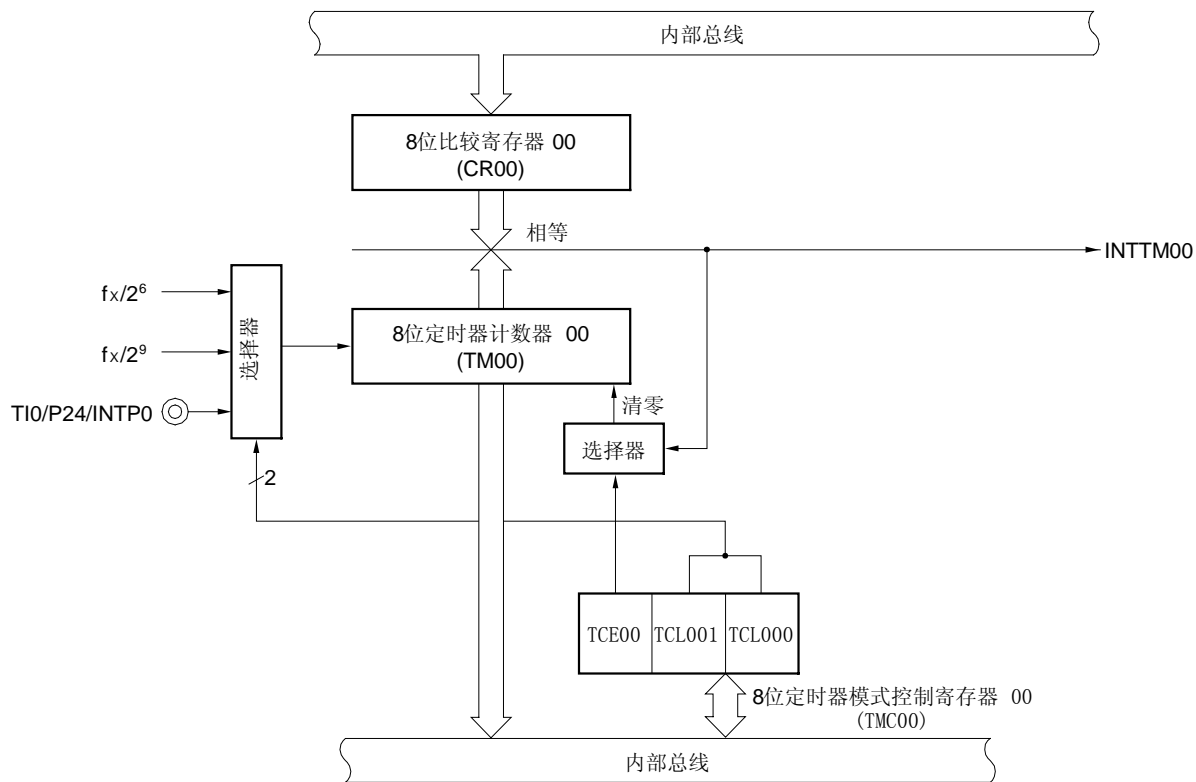


图 7-2. 8 位定时器/事件计数器 01 的框图

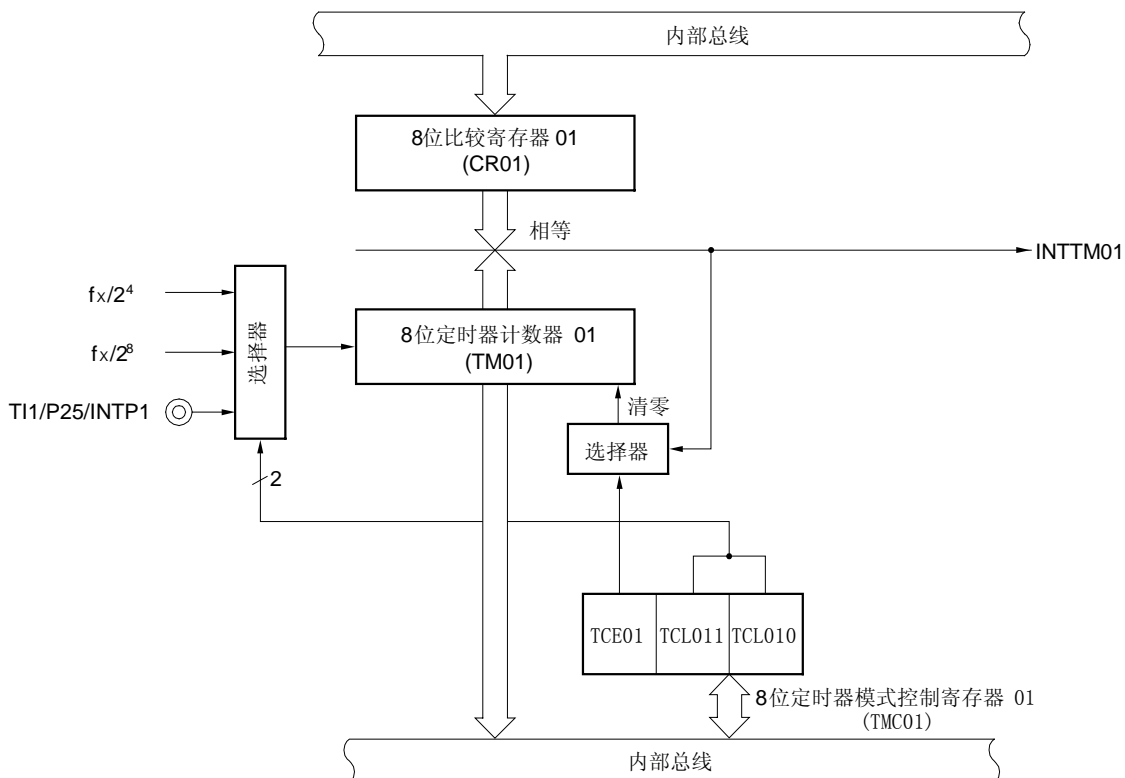
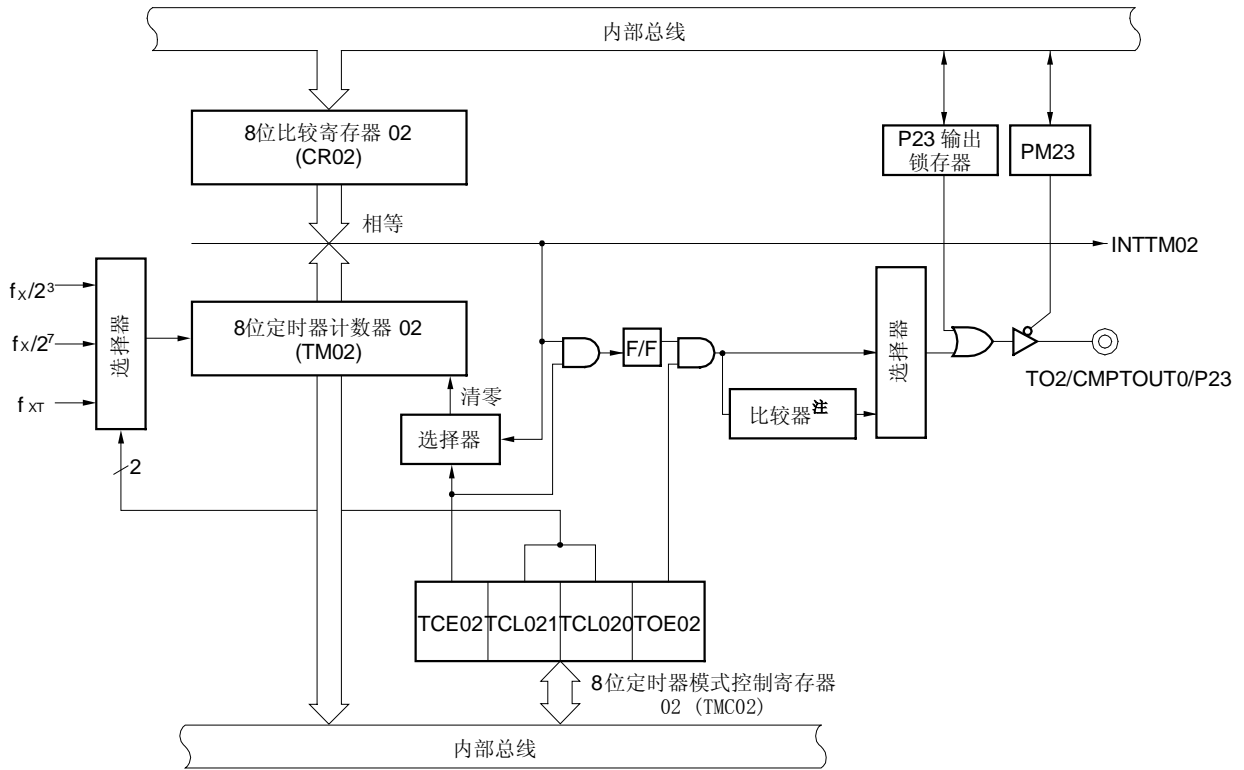


图 7-3. 8 位定时器/事件计数器 02 的框图



注 参见第十二章 比较器 中比较器的详细介绍。

(1) 8 位比较寄存器 0n (CR0n)

此 8 位寄存器用于比较 CR0n 中设置的值和 8 位定时器计数器 0n (TM0n) 中的计数值，如果相等，产生中断请求 (INTTM0n)。

CR0n 使用 8 位存储器操作指令设置。设置范围为 00H ~ FFH。

RESET 输入后 CR0n 值不确定。

注意事项 重写 CR0n 前确保定时器停止操作。如果在定时器操作允许时重写 CR0n，可能在重写时产生中断请求。

备注 n = 0 ~ 2

(2) 8 位定时器计数器 0n (TM0n)

此 8 位寄存器用于脉冲计数。

TM0n 通过 8 位存储器操作指令读取。

RESET 输入后 TM0n 为 00H。

备注 n = 0 ~ 2

7.3 控制 8 位定时器/事件计数器 00 ~02 的寄存器

如下两个寄存器用于控制 8 位定时器/事件计数器 00 ~ 02。

- 8 位定时器模式控制寄存器 00, 01, 和 02 (TMC00, TMC01 和 TMC02)
- 端口模式寄存器 2 (PM2)

(1) 8 位定时器模式控制寄存器 00 (TMC00)

TMC00 允许/停止 8 位定时器计数器 00 (TM00) 的操作和设置 TM00 的计数时钟。

TMC00 用 1 位或 8 位存储器操作指令设置。

RESET 输入后 TMC00 为 00H。

图 7-4. 8 位定时器模式控制寄存器 00 的格式

符号	<7>	6	5	4	3	2	1	0	地址	复位后	R/W
TMC00	TCE00	0	0	0	0	TCL001	TCL000	0	FF53H	00H	R/W

TCE00	8位定时计数器 00 的操作控制	
0	操作停止 (TM00 清零)	
1	操作开启	

TCL001	TCL000	8位定时器/事件计数器 00 的计数时钟选择
0	0	$f_x/2^6$ (78.1 kHz)
0	1	$f_x/2^9$ (9.76 kHz)
1	0	TI0 的上升沿
1	1	TI0 的下降沿

注意事项 设置 TMC00 前确保定时器停止工作。

- 备注**
1. f_x : 主系统时钟振荡频率。
 2. 括号里的值适用于 $f_x = 5.0$ MHz。

(2) 8 位定时器模式控制寄存器 01 (TMC01)

TMC01 决定 8 位定时器计数器 01 (TM01) 是否允许或停止操作和指定 8 位定时器/事件计数器 01 的计数时钟。

TMC01 用 1 位或 8 位存储器操作指令设置。

RESET 输入后 TMC01 为 00H。

图 7-5. 8 位定时器模式控制寄存器 01 的格式

符号	<7>	6	5	4	3	2	1	0	地址	复位后	R/W
TMC01	TCE01	0	0	0	0	TCL011	TCL010	0	FF57H	00H	R/W

TCE01	8位定时计数器 01 的操作控制	
0	操作停止 (TM01 清零)	
1	操作开启	

TCL011	TCL010	8位定时器/事件计数器 01 的计数时钟选择	
0	0	$f_x/2^4$ (312.5 kHz)	
0	1	$f_x/2^8$ (19.5 kHz)	
1	0	TII 的上升沿	
1	1	TII 的下降沿	

注意事项 设置 TMC01 前确保定时器停止工作。

- 备注**
1. f_x : 主系统时钟振荡频率。
 2. 括号里的值适用于 $f_x = 5.0$ MHz。

(3) 8 位定时器模式控制寄存器 02 (TMC02)

TMC01 决定 8 位定时器计数器 02 (TM02)是否允许或停止操作和指定 8 位定时器 02 的计数时钟。它也可以控制输出控制器的操作。

TMC02 用 1 位或 8 位存储器操作指令设置。

$\overline{\text{RESET}}$ 输入后 TMC02 为 00H 。

图 7-6. 8 位定时器模式控制寄存器 02 的格式

符号	<7>	6	5	4	3	2	1	<0>	地址	复位后	R/W
TMC02	TCE02	0	0	0	0	TCL021	TCL020	TOE02	FF5BH	00H	R/W

TCE02	8位定时计数器 02 的操作控制	
0	操作停止 (TM02 清零)	
1	操作开启	

TCL021	TCL020	8位定时器 02 的计数时钟选择
0	0	$f_x/2^3$ (625 kHz)
0	1	$f_x/2^7$ (39.1 kHz)
1	0	f_{XT} (32.768 kHz)
1	1	禁止设置

TOE02	8位定时器 02 的输出控制	
0	输出关闭 (端口模式)	
1	输出开启	

注意事项 设置 TMC02 前确保定时器停止工作。

- 备注**
1. f_x : 主系统时钟振荡频率。
 2. f_{XT} : 副系统时钟振荡频率。
 3. 括号内的值适用于 $f_x = 5.0 \text{ MHz}$ 或 $f_{XT} = 32.768 \text{ kHz}$ 。

(4) 端口模式寄存器 2 (PM2)

此寄存器以 1 位为单位设置端口 2 的输入/输出模式。

当 P23/COMPTOUT0/T02 引脚用作定时器输出时，设置 PM23 和 P23 的输出锁存器为 0。

PM2 用 1 位或 8 位存储器操作指令设置。

$\overline{\text{RESET}}$ 输入后 PM2 为 00H。

图 7-7. 端口模式寄存器 2 的格式

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W

PM23	P23 引脚 I/O 模式选择
0	输出模式 (输出锁存器开启)
1	输入模式 (输出锁存器关闭)

7.4 8 位定时器/事件计数器 00 ~ 02 的操作

7.4.1 用于间隔定时器操作

间隔定时器以比较寄存器 00, 01 和 02 (CR00, CR01 和 CR02) 中预先设置的计数值所指定的时间间隔重复产生中断。

按照如下顺序进行设置, 使 8 位定时器/事件计数器为间隔定时器操作。

- <1> 设置 8 位定时器计数器 0n (TM0n) 操作禁止 (TCE0n (8 位定时器模式控制寄存器 0n 的第 7 位 (TMC0n)) = 0)
- <2> 选择 8 位定时器/事件计数器的计数时钟 (参见表 7-6 ~ 7-8)
- <3> 设置 CR0n 计数值
- <4> 设置 TM0n 操作允许 (TCE0n = 1)

当 8 位定时器计数器 0n (TM0n) 的计数值等于 CR0n 的设置值时, TM0n 的值被清零然后继续开始计数, 同时产生中断请求信号 (INTTM0n)。

表 7-6 到 7-8 所示为间隔时间, 图 7-8 和 7-9 所示为间隔定时器操作的时序。

注意事项 当使用 8 位存储操作指令同时设置 TMC0n 的计数时钟和 TM0n 的操作启动时, 在定时器启动后的第一个周期里可能产生一个或多个时钟的误差。因此, 要使用 8 位定时器/事件计数器作为间隔定时器使用, 必须按上述顺序进行设置。

备注 n = 0 ~ 2

表 7-6. 8 位定时器/事件计数器 00 的间隔时间

TCL001	TCL000	最小间隔时间	最大间隔时间	分辨率
0	0	$2^6/fX$ (12.8 μ s)	$2^{14}/fX$ (3.28 ms)	$2^6/fX$ (12.8 μ s)
0	1	$2^9/fX$ (102.4 μ s)	$2^{17}/fX$ (26.2 ms)	$2^9/fX$ (102.4 μ s)
1	0	TI0 输入周期	$2^8 \times$ TI0 输入周期	TI0 输入周期
1	1	TI0 输入周期	$2^8 \times$ TI0 输入周期	TI0 输入周期

- 备注**
1. f_x: 主系统时钟振荡频率。
 2. 括号里的值适用于 f_x = 5.0 MHz。

表 7-7. 8 位定时器/事件计数器 01 的间隔时间

TCL011	TCL010	最小间隔时间	最大间隔时间	分辨率
0	0	$2^4/fX$ (3.2 μ s)	$2^{12}/fX$ (819.2 μ s)	$2^4/fX$ (3.2 μ s)
0	1	$2^8/fX$ (51.2 μ s)	$2^{16}/fX$ (13.1 ms)	$2^8/fX$ (51.2 μ s)
1	0	TI1 输入周期	$2^8 \times$ TI1 输入周期	TI1 输入周期
1	1	TI1 输入周期	$2^8 \times$ TI1 输入周期	TI1 输入周期

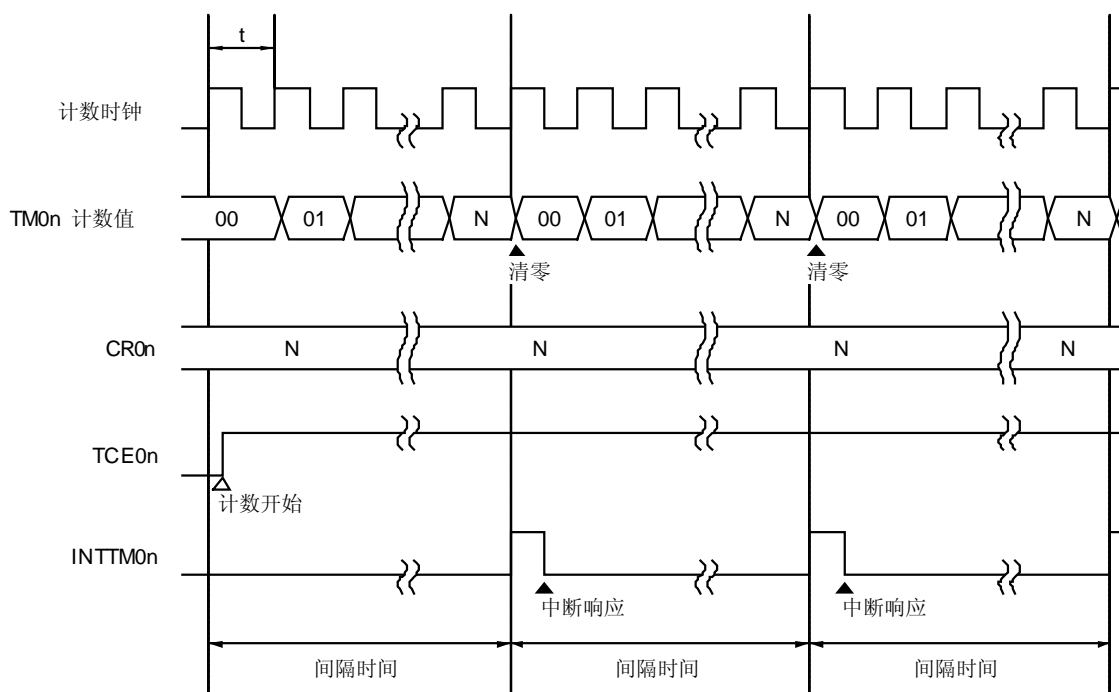
- 备注**
1. f_x: 主系统时钟振荡频率。
 2. 括号里的值适用于 f_x = 5.0 MHz。

表 7-8. 8位定时器/事件计数器 02 的间隔时间

TCL021	TCL020	最小间隔时间	最大间隔时间	分辨率
0	0	$2^3/f_X$ (1.6 μs)	$2^{11}/f_X$ (409.6 μs)	$2^3/f_X$ (1.6 μs)
0	1	$2^7/f_X$ (25.6 μs)	$2^{15}/f_X$ (6.55 ms)	$2^7/f_X$ (25.6 μs)
1	0	$1/f_{XT}$ (30.5 μs)	$2^8/f_{XT}$ (7.81 ms)	$1/f_{XT}$ (30.5 μs)
1	1	禁止设置		

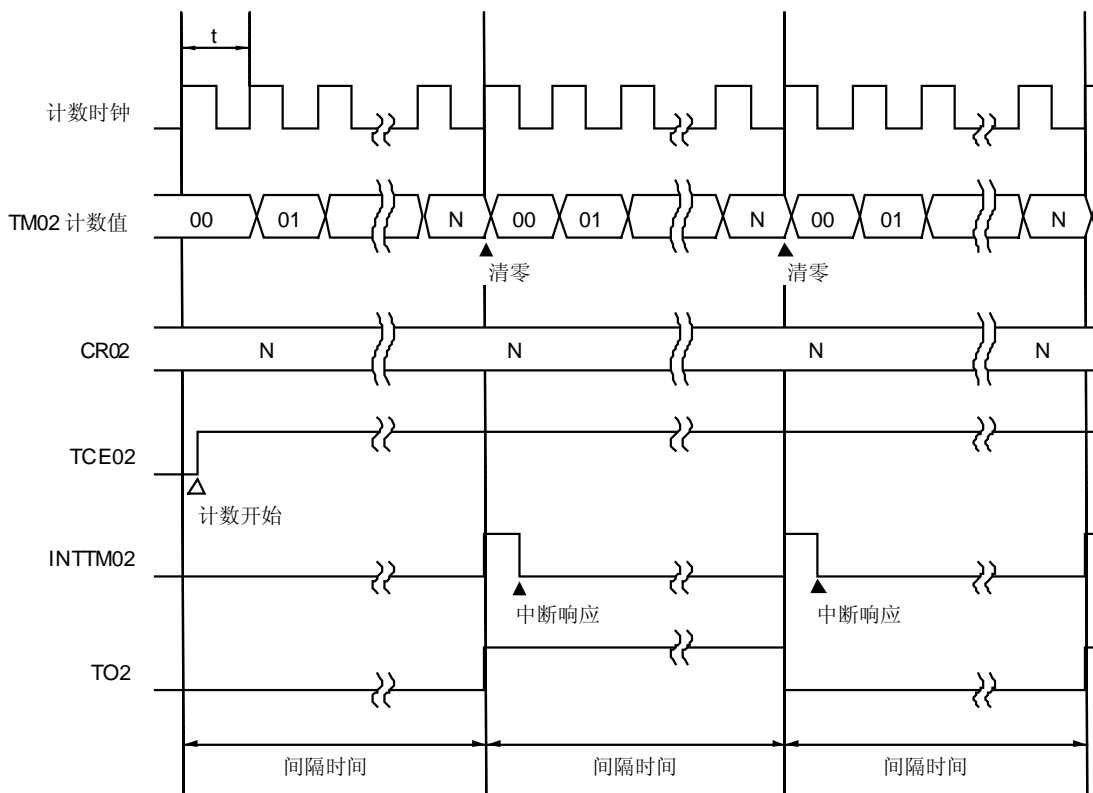
- 备注
1. f_X : 主系统时钟振荡频率。
 2. f_{XT} : 副系统时钟振荡频率。
 3. 括号内的值适用于 $f_X = 5.0 \text{ MHz}$ 或 $f_{XT} = 32.768 \text{ kHz}$ 。

图 7-8. 定时器 00 和定时器 01 的间隔定时器操作时序



- 备注
1. 间隔时间 = $(N + 1) \times t$, 其中 $N = 00H \sim FFH$
 2. $n = 0, 1$

图 7-9. 定时器 02 的间隔定时器操作时序



备注 间隔时间 = $(N + 1) \times t$, 其中 $N = 00H \sim FFH$

7.4.2 用于外部事件计数器(仅定时器 00 和 01)操作

外部事件计数器通过 8 位定时器计数器 00 和 01 (TM00 和 TM01)对输入到 TI0/P24/INTP0 和 TI1/P25/INTP1 引脚的外部时钟脉冲进行计数。

按照如下顺序进行设置，使 8 位定时器/事件计数器 00 和 01 作为外部事件计数器操作。

- <1> 设置 P24 和 P25 为输入模式 (PM24 = 1, PM25 = 1)
- <2> 设置 8 位定时器计数器 0n (TM0n)操作禁止 (TCE0n (8 位定时器模式控制寄存器 0n 的第 7 位 (TMC0n)) = 0)
- <3> 指定 TIn 的上升沿/下降沿 (参见表 7-6 和 7-7)
- <4> 设置 CR0n 的计数值
- <5> 设置 TM0n 操作允许 (TCE0n = 1)

每次由 TMC0n 的第 1 位(TCL0n0)指定的有效沿输入，8 位定时器计数器 0n (TM0n)的值递增。

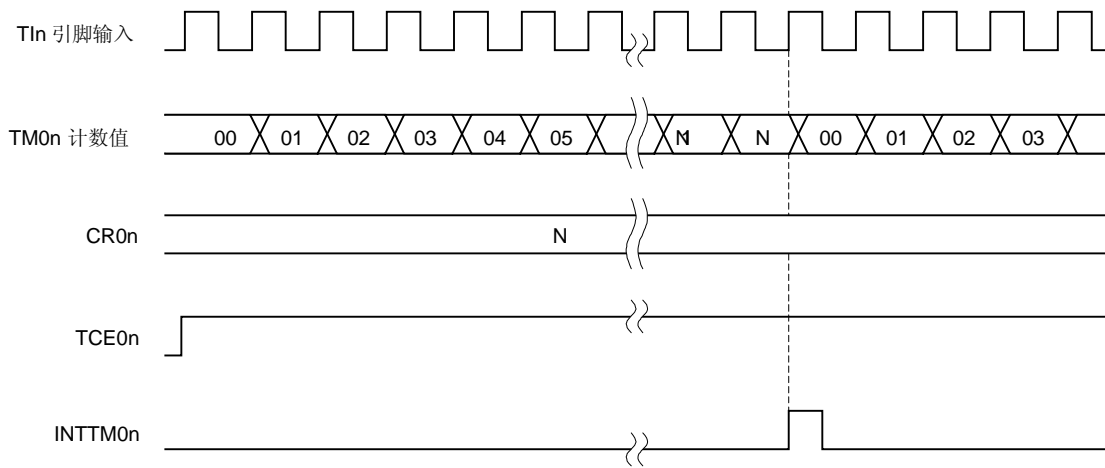
当 TM0n 的计数值等于 CR0n 中的设置值时，TM0n 的值清零并且继续计数。同时，产生一个中断请求信号 (INTTM0n)。

图 7-10 所示为外部事件计数器操作的时序(指定上升沿)。

注意事项 当使用 8 位存储操作指令同时设置 TMC0n 的计数时钟和 TM0n 的操作启动时，在定时器启动后的第一个周期里可能产生一个或多个时钟的误差。因此，要使用 8 位定时器/事件计数器作为间隔定时器使用，必须按上述顺序进行设置。

备注 n = 0, 1

图 7-10. 外部事件计数器操作的时序(指定上升沿)



- 1. N = 00H ~ FFH
- 2. n = 0, 1

7.4.3 用于方波输出操作 (仅定时器 02)

8 位定时器能以 8 位比较寄存器 02 (CR02) 中预置的指定间隔产生任意频率的方波输出。

按照如下顺序设置 8 位定时器 02 用作方波输出。

- <1> 设置 P23 输出模式 (PM23 = 0)，并设置 P23 的输出锁存器为 0
- <2> 禁止 8 位定时器计数器 02 (TM02) 操作 (TCE02 (8 位定时器模式控制寄存器 02 的第 0 位 (TMC02)) = 1)
- <3> 设置 8 位定时器 02 的计数时钟 (参见表 7-9)，并且允许 T02 输出 (TOE02 (TMC02 的第 0 位) = 1)
- <4> 设置 CR02 计数值
- <5> 允许 TM02 操作 (TCE02 = 1)

当 8 位定时器计数器 02 (TM02) 的计数值等于 CR02 的设置值时，T02/P23/CMPTOUT0 引脚输出反转。通过应用此功能，可以输出任意频率的方波。TM02 的值被清零然后继续开始计数，同时产生中断请求信号 (INTTM02)。

设置 TMC02 (TCE02) 的第 7 位为 0，方波输出为 0。

表 7-9 列举了方波输出范围，图 7-11 所示为方波输出时序。

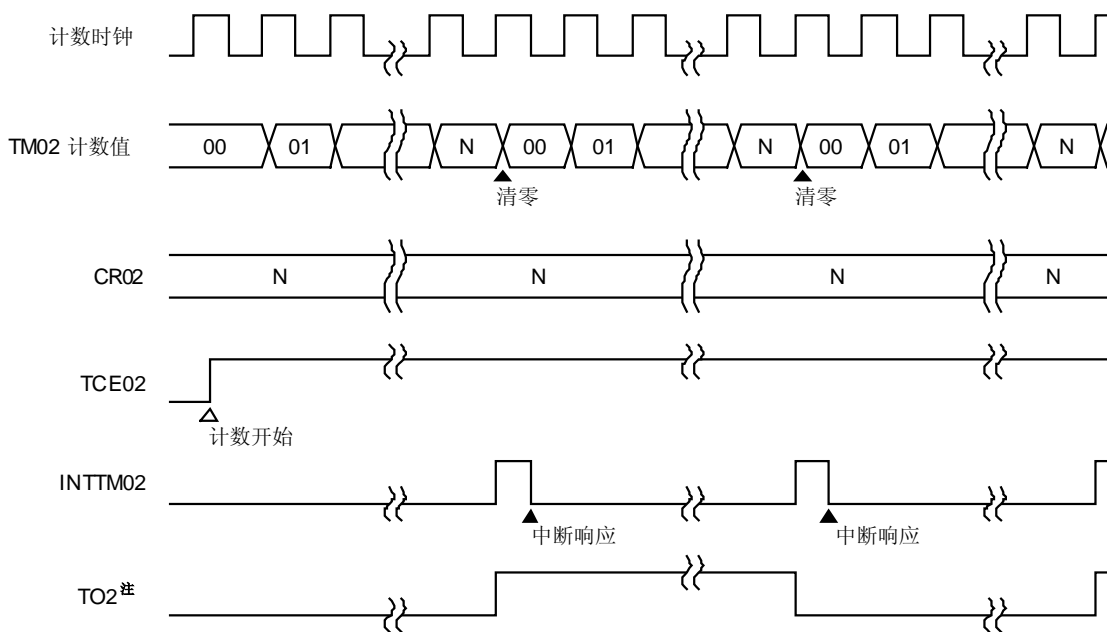
注意事项 当使用 8 位存储操作指令同时设置 TMC02 的计数时钟和 TM02 的操作启动时，在定时器启动后的第一个周期里可能产生一个或多个时钟的误差。因此，要使用 8 位定时器/事件计数器作为间隔定时器使用，必须按上述顺序进行设置。

表 7-9. 8 位定时器 02 的方波输出范围

TCL021	TCL020	最小脉冲宽度	最大脉冲宽度	分辨率
0	0	$2^3/f_X$ (1.6 μ s)	$2^{11}/f_X$ (409.6 μ s)	$2^3/f_X$ (1.6 μ s)
0	1	$2^7/f_X$ (25.6 μ s)	$2^{15}/f_X$ (6.55 ms)	$2^7/f_X$ (25.6 μ s)
1	0	$1/f_{XT}$ (30.5 μ s)	$2^8/f_{XT}$ (7.81 ms)	$1/f_{XT}$ (30.5 μ s)
1	1	设置禁止		

- 备注**
- 1. f_X : 主系统时钟振荡频率。
 - 2. f_{XT} : 副系统时钟振荡频率。
 - 3. 括号内的值适用于 $f_X = 5.0$ MHz 或 $f_{XT} = 32.768$ kHz。

图 7-11. 方波输出时序



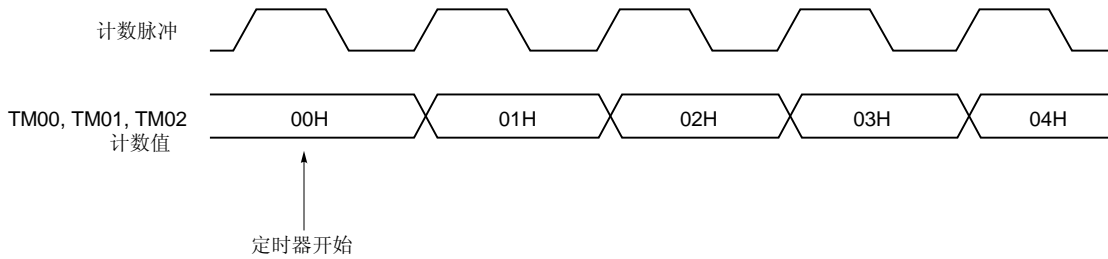
注 当输出允许 (TOE02 = 1) 时 TO2 的初始值为低电平。

7.5 使用 8 位定时器/事件计数器 00 ~02 的注意事项

(1) 定时启动后的误差

从定时器启动到产生中断信号之间的时间包含了一个时钟周期的时间误差。因为 8 位定时器计数器 00, 01, 和 02 (TM00, TM01, 和 TM02) 计数脉冲异步启动。

图 7-12. 8 位定时器计数器 00, 01, 和 02 的启动时序

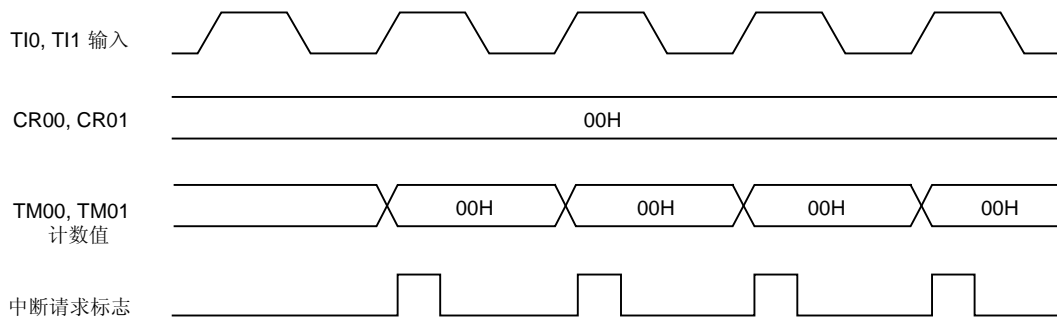


(2) 8 位比较寄存器的设置

8 位比较寄存器 00, 01, 和 02 (CR00, CR01, 和 CR02) 可设置为 00H。

而且, 当 8 位定时器/事件计数器作为事件计数器操作时, 可以计数单个脉冲。

图 7-13. 外部事件计数器操作时序



8.1 钟表定时器的功能

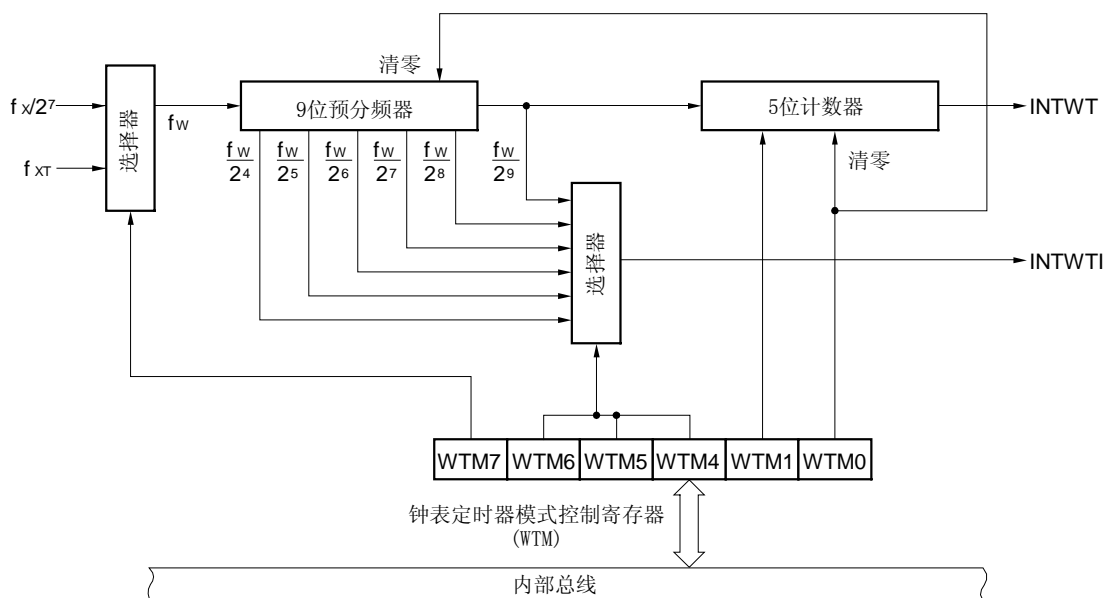
钟表定时器有以下功能。

- 钟表定时器
- 间隔定时器

钟表定时器和间隔定时器可以同时使用。

图 8-1 为钟表定时器框图。

图 8-1. 钟表定时器框图



(1) 钟表定时器

当使用 4.19 MHz 的主系统时钟或者 32.768 kHz 的副系统时钟时，可以以 0.5 秒的时间间隔产生中断请求 (INTWT)。

注意事项 如果主系统时钟工作在 5.0 MHz，则它不能被用来产生 0.5 秒的时间间隔。在这种情况下，用工作在 32.768 kHz 的副系统时钟代替。

(2) 间隔定时器

间隔定时器用来以指定的时间间隔产生中断请求 (INTWT)。

表 8-1. 间隔定时器的间隔时间

间隔时间	操作在 $f_X = 5.0$ MHz	操作在 $f_X = 4.19$ MHz	操作在 $f_{XT} = 32.768$ kHz
$2^4 \times 1/f_W$	409.6 μ s	489 μ s	488 μ s
$2^5 \times 1/f_W$	819.2 μ s	978 μ s	977 μ s
$2^6 \times 1/f_W$	1.64 ms	1.96 ms	1.95 ms
$2^7 \times 1/f_W$	3.28 ms	3.91 ms	3.91 ms
$2^8 \times 1/f_W$	6.55 ms	7.82 ms	7.81 ms
$2^9 \times 1/f_W$	13.1 ms	15.6 ms	15.6 ms

备注 f_W : 钟表定时器时钟频率 ($f_X/2^7$ 或 f_{XT})
 f_X : 主系统时钟振荡频率
 f_{XT} : 副系统时钟振荡频率

8.2 钟表定时器的配置

钟表定时器由以下硬件组成。

表 8-2. 钟表定时器的配置

项目	配置
计数器	5 bits \times 1
预分频器	9 bits \times 1
控制寄存器	钟表定时器模式控制寄存器 (WTM)

8.3 控制钟表定时器的寄存器

由钟表定时器模式控制寄存器(WTM)来控制钟表定时器。

- 钟表定时器模式控制寄存器(WTM)

WTM 选择钟表定时器的计数时钟，并指定是否允许定时器操作，设置预分频器间隔时间和 5 位计数器的控制方式。

WTM 可以由 1 位或 8 位的存储器操作指令设置。

$\overline{\text{RESET}}$ 输入后 WTM 为 00H。

图 8-2. 钟表定时器模式控制寄存器的格式

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
WTM	WTM7	WTM6	WTM5	WTM4	0	0	WTM1	WTM0	FF4AH	00H	R/W

WTM7	钟表定时计数器时钟选择		
0	$f_x/2^7$ (39.1 kHz)		
1	f_{XT} (32.768 kHz)		

WTM6	WTM5	WTM4	分频间隔选择
0	0	0	$2^4/f_w$ (488 μ s)
0	0	1	$2^5/f_w$ (977 μ s)
0	1	0	$2^6/f_w$ (1.95 ms)
0	1	1	$2^7/f_w$ (3.91 ms)
1	0	0	$2^8/f_w$ (7.81 ms)
1	0	1	$2^9/f_w$ (15.6 ms)
其它			禁止设置

WTM1	5位计数器操作控制
0	停止后清零
1	开始

WTM0	钟表定时器操作
0	操作停止(将分频器和定时器清零)
1	操作开启

- 备注**
1. f_w : 钟表定时器时钟频率($f_x/2^7$ 或 f_{XT})
 2. f_x : 主系统时钟振荡频率
 3. f_{XT} : 副系统时钟振荡频率
 4. 括号中的值适用于 $f_w = 32.768$ kHz

8.4 钟表定时器的操作

8.4.1 用于钟表定时器的操作

主系统时钟 (4.19 MHz) 或副系统时钟 (32.768 kHz) 被用来作为时钟定时器产生 0.5 秒时间间隔的中断。

当钟表定时器模式寄存器(WTM)的第 0 位和第 1 位 (WTM0 和 WTM1) 置 1 时, 开始计数操作。当这些位被清零时, 将 5 位计数器清零并且中止计数操作。

设置 WTM1 为 0 的同时启动间隔定时器操作, 只有钟表定时器从 0 秒被启动。但是, 因为没有把预分频器清零, 在零秒启动后钟表定时器 (INTWT) 的第一次溢出时会产生一个误差, 最多 $2^9 \times 1/f_w$ 秒。

8.4.2 用于间隔定时器的操作

间隔定时器用来以预设的时间间隔重复产生中断请求。

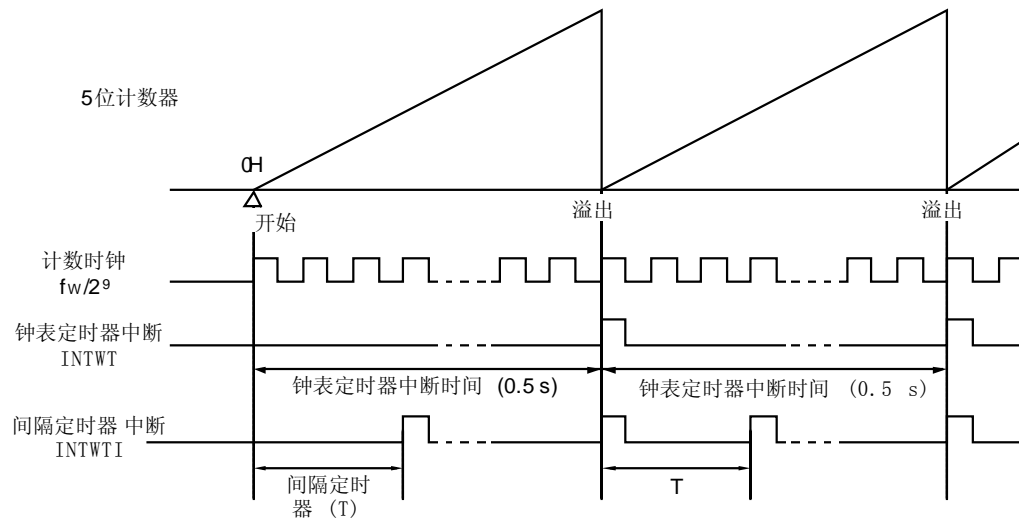
间隔时间可以通过设置钟表定时器模式控制寄存器(WTM)的 4~6 位 (WTM4~WTM6) 来选择。

表 8-3. 间隔定时器的间隔时间

WTM6	WTM5	WTM4	间隔时间	操作在 $f_X = 5.0 \text{ MHz}$	操作在 $f_X = 4.19 \text{ MHz}$	操作在 $f_{XT} = 32.768 \text{ kHz}$
0	0	0	$2^1 \times 1/f_W$	409.6 μs	489 μs	488 μs
0	0	1	$2^5 \times 1/f_W$	819.2 μs	978 μs	977 μs
0	1	0	$2^6 \times 1/f_W$	1.64 ms	1.96 ms	1.95 ms
0	1	1	$2^7 \times 1/f_W$	3.28 ms	3.91 ms	3.91 ms
1	0	0	$2^8 \times 1/f_W$	6.55 ms	7.82 ms	7.81 ms
1	0	1	$2^9 \times 1/f_W$	13.1 ms	15.6 ms	15.6 ms
其他			禁止设置			

备注 f_X : 主系统时钟振荡频率
 f_{XT} : 副系统时钟振荡频率
 f_W : 钟表定时器时钟频率

图 8-3. 钟表定时器/间隔定时器操作时序



备注 f_w : 钟表定时器时钟频率
 括号中的值适用于 $f_w = 32.768 \text{ kHz}$ 的操作

第九章 看门狗定时器

9.1 看门狗定时器的功能

看门狗定时器有以下功能：

- 看门狗定时器
- 间隔定时器

注意事项 通过设置看门狗定时器模式寄存器(WDTM)来选择看门狗定时器模式还是间隔定时器模式。

(1) 看门狗定时器

看门狗定时器用于检测不期望的程序循环。如果检测到一个程序循环，将产生一个不可屏蔽中断或内部复位信号。

表 9-1. 看门狗定时器的程序循环检测时间

程序循环检测时间	操作在 $fX = 5.0 \text{ MHz}$
$2^{11} \times 1/fX$	410 μs
$2^{13} \times 1/fX$	1.64 ms
$2^{15} \times 1/fX$	6.55 ms
$2^{17} \times 1/fX$	26.2 ms

fX : 主系统时钟振荡频率

(2) 间隔定时器

间隔定时器以预先设定的时间间隔产生中断。

表 9-2. 间隔时间

间隔时间	操作在 $fX = 5.0 \text{ MHz}$
$2^{11} \times 1/fX$	410 μs
$2^{13} \times 1/fX$	1.64 ms
$2^{15} \times 1/fX$	6.55 ms
$2^{17} \times 1/fX$	26.2 ms

fX : 主系统时钟振荡频率

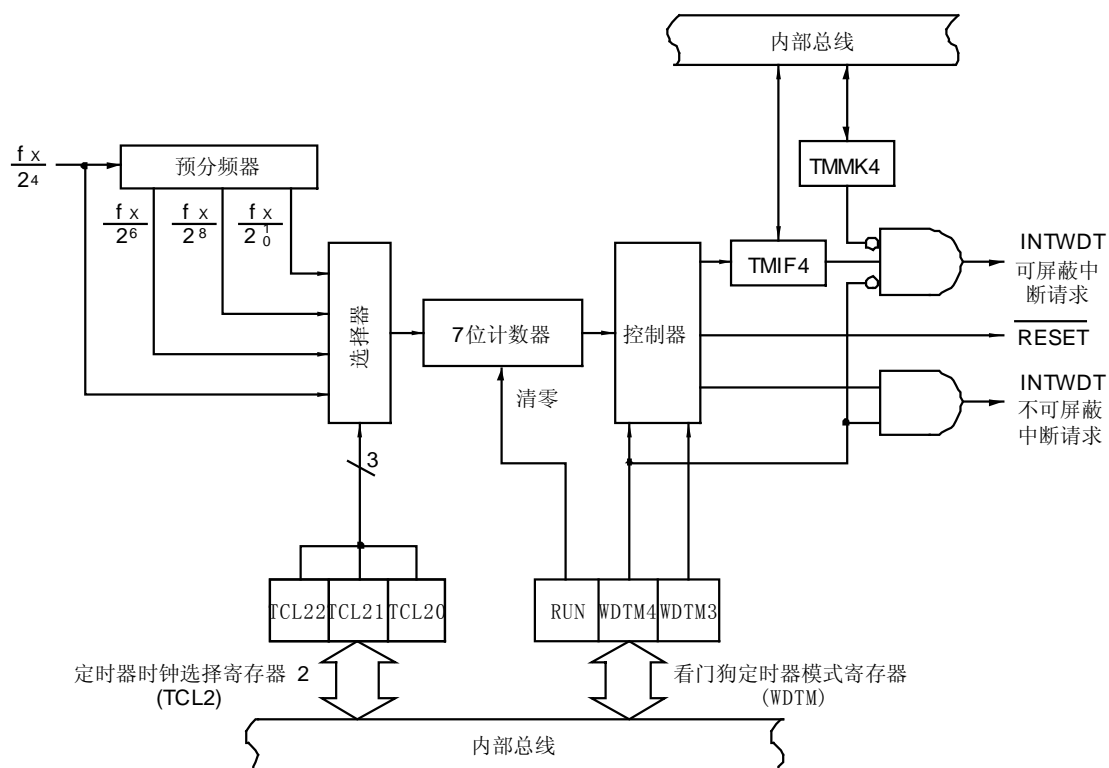
9.2 看门狗定时器的配置

看门狗定时器由以下硬件组成。

表 9-3. 看门狗定时器的配置

项目	配置
控制寄存器	定时器时钟选择寄存器 2 (TCL2) 看门狗定时器模式寄存器 (WDTM)

图 9-1. 看门狗定时器框图



9.3 控制看门狗定时器的寄存器

看门狗定时器由以下两种寄存器控制。

- 定时器时钟选择寄存器 2 (TCL2)
- 看门狗定时器模式寄存器 (WDTM)

(1) 定时器时钟选择寄存器 2 (TCL2)

这个寄存器设置看门狗定时器计数时钟。

TCL2 由 8 位存储器操作指令操作。

RESET 输入后 TCL2 为 00H。

图 9-2. 定时器时钟选择寄存器 2 的格式

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
TCL2	0	0	0	0	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

TCL22	TCL21	TCL20	看门狗定时器计数器时钟选择	间隔时间
0	0	0	$f_x/2^4$ (312.5 kHz)	$2^{11}/f_x$ (410 μ s)
0	1	0	$f_x/2^6$ (78.1 kHz)	$2^{13}/f_x$ (1.64 ms)
1	0	0	$f_x/2^8$ (19.5 kHz)	$2^{17}/f_x$ (6.55 ms)
1	1	0	$f_x/2^{10}$ (4.88 kHz)	$2^{17}/f_x$ (26.2 ms)
其它			禁止设置	

- 备注
1. f_x : 主系统时钟振荡频率
 2. 括号中的值适用于 $f_x = 5.0$ MHz

(2) 看门狗定时器模式寄存器(WDTM)

这个寄存器设置看门狗定时器的操作模式，并且允许/禁止看门狗定时器的计数操作。

WDTM 由 1 位或 8 位存储器操作指令操作。

RESET 输入后 WDTM 为 00H。

图 9-3. 看门狗定时器模式寄存器的格式

符号	<7>	6	5	4	3	2	1	0	地址	复位后	R/W
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0	FFF9H	00H	R/W

RUN	看门狗定时器操作选择 ^{注 1}
0	停止计数
1	清零计数器，开始计数

WDTM4	WDTM3	看门狗定时器操作模式选择 ^{注 2}
0	0	操作停止
0	1	间隔定时器模式（溢出或可屏蔽中断发生） ^{注 3}
1	0	看门狗定时器操作 1（溢出或不可屏蔽中断发生）
1	1	看门狗定时器操作 2（溢出或发生复位操作）

- 注**
- 一旦 RUN 被置成 1，它不能被软件清零。因此，当计数开始后，它只能被复位停止。
 - 一旦 WDTM3 和 WDTM4 被置成 1，它们不能被软件清零。
 - 当设置 RUN 为 1，看门狗定时器作为间隔定时器操作。

- 注意事项**
- 当通过置 RUN 为 1 把看门狗定时器清零时，实际的溢出时间比通过定时器时钟选择寄存器 2（TCL2）设置的时间短 0.8%。
 - 在看门狗定时器模式 1 或 2 中，应在确定 TMIF4（中断请求标志寄存器 0（IF0）的第 0 位）被设置成 0 后，设置 WDTM4 为 1。若选择看门狗定时器模式 1 或 2，TMIF4 为 1 时，那么写操作结束后会产生一个不可屏蔽中断。

9.4 看门狗定时器的操作

9.4.1 用于看门狗定时器的操作

当看门狗定时器模式寄存器(WDTM)的第4位(WDTM4)被置1后,看门狗定时器检测不期望的程序循环。

看门狗定时器的计数时钟(程序循环检测时间间隔)可以通过设置定时器时钟选择寄存器2(TCL2)的第0位到第2位(TCL20到TCL22)来选择。当设置WDTM的第7位(RUN)为1后,看门狗定时器启动。在已经启动看门狗定时器之后须在程序循环检测时间间隔内设置RUN为1。通过设置RUN为1,看门狗定时器被清零并开始计数。如果RUN没有被置1,并且超出了程序循环检测时间,则系统被复位或者由WDTM的第三位的值(WDTM3)决定而产生一个不可屏蔽中断。

看门狗定时器在HALT模式中仍然工作,但在STOP模式中停止工作。因此,应在进入STOP模式前先设置RUN为1以清零看门狗定时器,之后在再执行STOP操作。

- 注意事项**
1. 实际的程序循环检测时间比设定的值可能要短0.8%。
 2. 当选择子系统时钟作为CPU时钟,看门狗定时器停止计数。

表 9-4. 看门狗定时器的程序循环检测时间

TCL22	TCL21	TCL20	循环检测时间	操作在 $f_X = 5.0 \text{ MHz}$
0	0	0	$2^{11} \times 1/f_X$	410 μs
0	1	0	$2^{13} \times 1/f_X$	1.64 ms
1	0	0	$2^{15} \times 1/f_X$	6.55 ms
1	1	0	$2^{17} \times 1/f_X$	26.2 ms

f_X : 主系统时钟振荡频率

9.4.2 用于间隔定时器的操作

当看门狗定时器模式寄存器(WDTM)的第4位(WDTM4)和第3位(WDTM3)分别被置0和1时,看门狗定时器作为间隔定时器,以预先设定好的时间间隔不断产生中断。

通过设指定时器时钟选择寄存器2(TCL2)的第0位到第2位(TCL20到TCL22)来选择计数时钟(或者间隔时间)。当设置RUN(WDTM的第7位)为1,看门狗定时器开始作为间隔定时器进行操作。

在间隔定时器模式下,中断屏蔽标志(TMMK4)是有效的并且能产生一个可屏蔽中断(INTWDT)。INTWDT的优先级是所有可屏蔽中断中最高的。

间隔定时器在HALT模式下继续工作,但在STOP模式下停止工作。因此,在进入STOP模式前设置RUN为1以清零间隔定时器,之后在执行STOP指令。

- 注意事项**
- 一旦WDTM的第4位(WDTM4)被置1(当选择了看门狗定时器模式时),除非输入复位信号,否则不能再设置为间隔定时器模式。
 - 在设置WDTM后,间隔时间可能会比设定的时间最多短0.8%。

表 9-5. 间隔定时器的间隔时间

TCL22	TCL21	TCL20	间隔时间	操作在 X = 5.0 MHz
0	0	0	$2^{11} \times 1/fX$	410 μ s
0	1	0	$2^{13} \times 1/fX$	1.64 ms
1	0	0	$2^{15} \times 1/fX$	6.55 ms
1	1	0	$2^{17} \times 1/fX$	26.2 ms

fX: 主系统时钟振荡频率

第十章 8位A/D转换器 (μPD789407A子系列)

10.1 8位 A/D 转换器的功能

8 位 A/D 转换器将输入的模拟电压转换为数字信号，具有 8 位分辨率。它可以控制 7 个模拟输入通道 (ANI0 ~ ANI6)。

A/D 转换只能通过软件开始。

从模拟输入引脚 ANI0~ANI6 中选择一个通道进行 A/D 转换。重复执行 A/D 转换，每个 A/D 转换结束，都会产生一个中断请求 (INTAD0)。

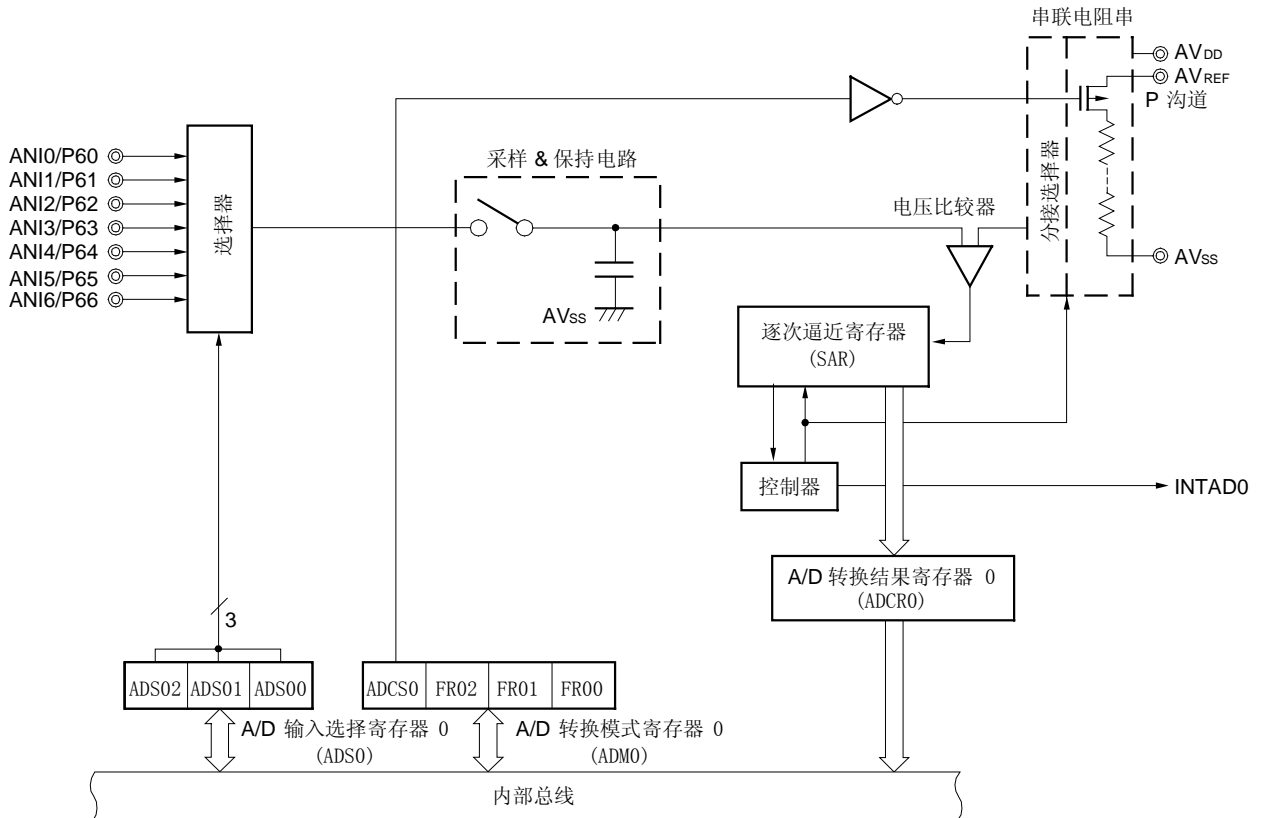
10.2 8位 A/D 转换器的配置

8 位 A/D 转换器由以下硬件组成。

表 10-1. 8 位 A/D 转换器的配置

项目	配置
模拟输入	7 通道 (ANI0 ~ ANI6)
寄存器	逐次逼近寄存器 (SAR) A/D 转换结果寄存器 0 (ADCRO)
控制寄存器	A/D 转换器模式寄存器 0 (ADM0) A/D 输入选择寄存器 0 (ADS0)

图 10-1. A/D 转换器的框图

**(1) 逐次逼近寄存器 (SAR)**

SAR 保存模拟输入电压和串联电阻串的分接电压 (参考电压) 的比较结果, 从最高有效位 (MSB) 开始。

A/D 转换结束, 写入最低有效位 (LSB), 将 SAR 内容传送给 A/D 转换结果寄存器 0 (ADCR0)。

(2) A/D 转换结果寄存器 0 (ADCR0)

ADCR0 用来保存 A/D 转换结果。每次 A/D 转换结束, 转换结果从逐次逼近寄存器传送到 8 位 A/D 转换结果寄存器 ADCR0 中。

ADCR0 可用 8 位存储器操作指令读取。

$\overline{\text{RESET}}$ 输入后, ADCR0 值不确定。

(3) 采样 & 保持电路

采样 & 保持电路用来对输入电路的模拟输入进行连续采样, 将采样值传送给电压比较器。在 A/D 转换期间保持采样到的模拟输入电压。

(4) 电压比较器

电压比较器用来比较模拟输入与串联电阻串的电压。

(5) 串联电阻串

串联电阻串用来连接 AV_{REF} 和 AV_{SS} 。产生一个参考电压，与模拟输入进行比较。

(6) ANI0 ~ANI6 引脚

ANI0 ~ANI6 是 7 通道 A/D 转换的模拟输入引脚。接收 A/D 转换的模拟信号。

注意事项 不要对 ANI0 ~ ANI6 输入超出额定范围的电压。如果任一通道的输入电压高于 AV_{REF} 或低于 AV_{SS} (即使在绝对最大额定范围内)，则相应通道的转换值不确定。而且，其他通道的转换值也会受到影响。

(7) AV_{REF} 引脚

该引脚为 A/D 转换器的参考电压。

根据 AV_{REF} 和 AV_{SS} 引脚的电压，将输入到 ANI0 ~ ANI6 引脚的信号转换为数字信号。

(8) AV_{SS} 引脚

该引脚是 A/D 转换的地引脚。即使没有使用 A/D 转换器，该引脚的电压也要与 V_{SS0} 电压保持一致。

(9) AV_{DD} 引脚

该引脚是 A/D 转换的模拟电源引脚。即使没有使用 A/D 转换器，该引脚的电压也要与 V_{DD0} 电压保持一致。

10.3 控制 8 位 A/D 转换器的寄存器

使用以下两种寄存器来控制 8 位 A/D 转换器。

- A/D 转换器模式寄存器 0 (ADM0)
- A/D 输入选择寄存器 0 (ADSC0)

(1) A/D 转换器模式寄存器 0 (ADM0)

ADM0 用来选择模拟输入的转换时间，并指定是否允许启动转换。

由 1 位或 8 位存储器操作指令设置 ADM0。

$\overline{\text{RESET}}$ 输入后，ADM0 为 00H。

图 10-2. A/D 转换器模式寄存器 0 的格式

符号	<7>	6	5	4	3	2	1	0	地址	复位后	R/W
ADM0	ADCS0	0	FR02	FR01	FR00	0	0	0	FF80H	00H	R/W

ADCS0	A/D 转换控制
0	转换停止
1	转换开启

FR02	FR01	FR00	A/D 转换时间选择
0	0	0	144/fx (28.8 μs)
0	0	1	120/fx (24 μs)
0	1	0	96/fx (19.2 μs)
1	0	0	72/fx (14.4 μs)
1	0	1	60/fx (禁止设定) ^{注 2}
1	1	0	48/fx (禁止设定) ^{注 2}
其它			禁止设置

- 注
1. FR02, FR01 和 FR00 确定的 A/D 转换时间至少为 14μs。
 2. 不能这样设置这些位，因为 A/D 转换时间将小于 14μs。

- 注意事项
1. 设置第 7 位 (ADCS0) 之后，立即进行转换的结果不确定。
 2. ADCS0 清零后，转换结果也可能是不确定的（详见 10.5 (5) 使 A/D 转换结果不确定的时序）。

- 备注
1. fx: 主系统时钟振荡频率。
 2. 括号中的值适用于 fx = 5.0 MHz。

(2) A/D 输入选择寄存器 0 (ADS0)

ADS0 用来选择用于将输入的模拟电压转换为数字信号的端口。

由 1 位或 8 位存储器操作指令设置 ADS0。

RESET 输入后, ADS0 为 00H。

图 10-3. A/D 输入选择寄存器 0 的格式

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
ADS0	0	0	0	0	0	ADS02	ADS01	ADS00	FF84H	00H	R/W

ADS02	ADS01	ADS00	模拟输入通道选择
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
1	1	0	ANI6
1	1	1	禁止设置

注 第 3 ~ 7 位 必须固定为 0。

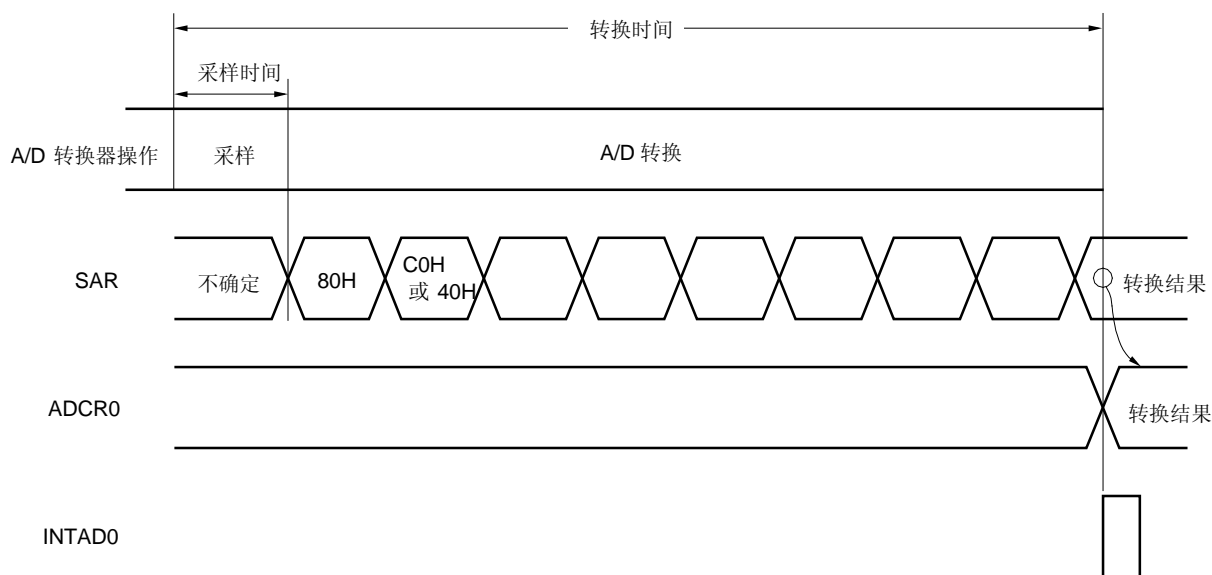
10.4 8位 A/D 转换器的操作

10.4.1 8位 A/D 转换器的基本操作

- <1> 使用 A/D 输入选择寄存器 0 (ADSO) 选择一个通道进行 A/D 转换。
- <2> 由采样&保持电路对选择的模拟输入通道的电压进行采样。
- <3> 经过一段时间的采样后, 采样&保持电路处于保持状态, 在 A/D 转换结束前一直保持输入模拟电压。
- <4> 设置逐次逼近寄存器 (SAR) 的第 7 位。通过分接选择器将串联电阻串的分接电压置为 $(1/2) AV_{REF}$ 。
- <5> 由电压比较器比较串联电阻串的分接电压和模拟输入电压。如果模拟输入电压高于 $(1/2) AV_{REF}$, 则 SAR 的 MSB 保持设置。如果模拟输入电压低于 $(1/2) AV_{REF}$, 则 SAR 的 MSB 将重新设置。
- <6> SAR 的第 6 位自动设置, 并进入下一个比较过程。根据第 7 位反映先前的比较结果选择串联电阻串的下一个分接电压, 如下所示:
 - 第 7 位= 1: $3/4 AV_{REF}$
 - 第 7 位= 0: $1/4 AV_{REF}$比较分接电压和模拟输入电压, 根据比较结果对第 6 位进行设置或复位。
 - 模拟输入电压 \geq 分接电压: 第 6 位= 1
 - 模拟输入电压 $<$ 分接电压: 第 6 位= 0
- <7> 按此方式继续进行比较, 直到 SAR 的第 0 位。
- <8> 全部 8 位数据比较完后, 在 SAR 中保留一个有效的数字结果。将此值传送给 A/D 转换结果寄存器 0 (ADCRO) 并锁存。同时, 可能产生一个 A/D 转换结束中断请求 (INTADO)。

- 注意事项**
1. A/D 转换开始时的第一个转换数值可能不确定。
 2. 在待机模式中, A/D 转换器停止操作。

图 10-4. 8 位 A/D 转换器的基本操作



通过软件将 A/D 转换器模式寄存器 0 (ADM0) 的第 7 位 (ADCS0) 复位 (0) 之前, 连续执行 A/D 转换。

在 A/D 转换期间, 如果对 ADM0 或 A/D 输入选择寄存器 0 (ADS0) 进行写操作, 当前的 A/D 转换将被取消。若 ADCS0 置为 1, 则 A/D 转换重新开始。

RESET 后, A/D 转换结果寄存器 0 (ADCR0) 不确定。

10.4.2 输入电压和转换结果

模拟输入引脚 (ANI0 ~ ANI6) 的模拟输入电压与 A/D 转换结果 (A/D 转换结果寄存器 0 (ADCR0)) 的关系表示如下:

$$\text{ADCR0} = \text{INT} \left(\frac{V_{\text{IN}}}{A_{\text{VREF}}} \times 256 + 0.5 \right)$$

或

$$(\text{ADCR0} - 0.5) \times \frac{A_{\text{VREF}}}{256} \leq V_{\text{IN}} < (\text{ADCR0} + 0.5) \times \frac{A_{\text{VREF}}}{256}$$

INT(): 返回括号中值的整数部分

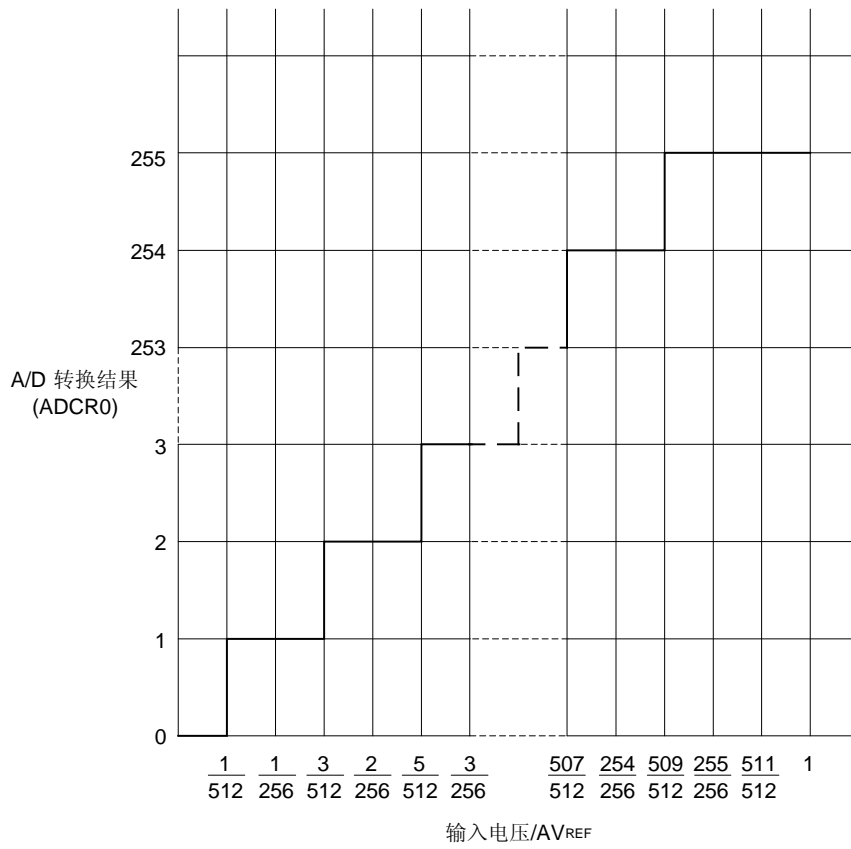
V_{IN} : 模拟输入电压

A_{VREF} : A_{VREF} 引脚电压

ADCR0: A/D 转换结果寄存器 0 (ADCR0) 的值

图 10-5 显示模拟输入电压与 A/D 转换结果之间的关系。

图 10-5. 模拟输入电压与 A/D 转换结果之间的关系



10.4.3 8 位 A/D 转换器的操作模式

8 位 A/D 转换器在选择模式时被初始化。由 A/D 选择寄存器 0 (ADS0) 从 ANI0~ANI6 中选择模拟输入通道进行 A/D 转换。

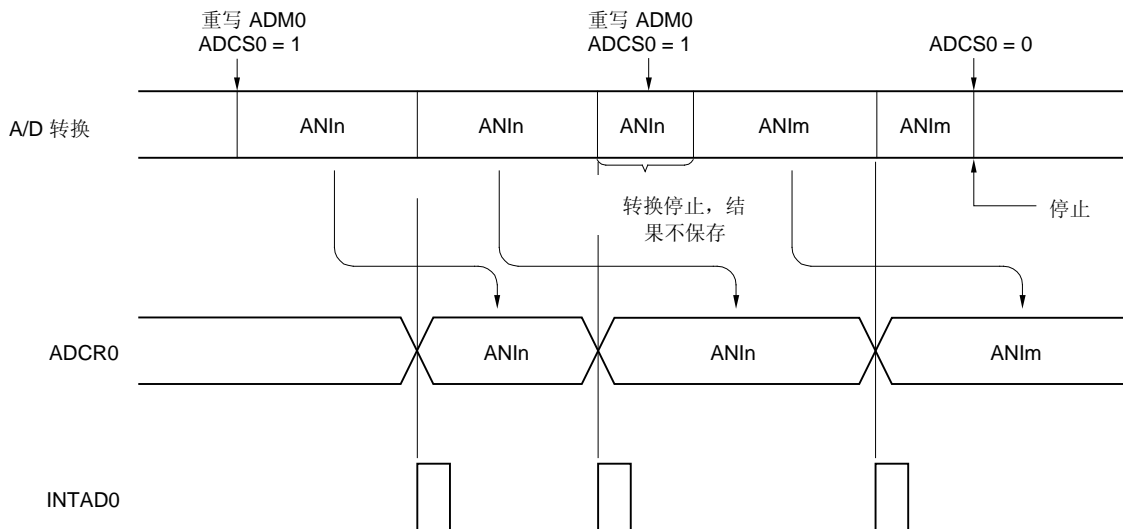
只能通过设置 A/D 转换器模式寄存器 0 (ADM0) 由软件启动 A/D 转换。

A/D 转换的结果保存在 A/D 转换结果寄存器 0 (ADCR0) 中。同时，产生一个中断请求信号 (INTAD0)。

- 软件启动 A/D 转换

设置 A/D 转换器模式寄存器 0 (ADM0) 的第 7 位 (ADCS0) 启动 A/D 转换，电压由 A/D 输入选择寄存器 0 (ADS0) 选择的模拟输入引脚输入。A/D 转换完成后，将转换结果保存在 A/D 转换结果寄存器 0 (ADCR0) 中。同时，产生一个中断请求信号 (INTAD0)。一旦 A/D 转换被激活并完成，下一个 A/D 转换开始。A/D 转换一直持续直到有新的数据写入 ADM0 中。如果在 A/D 转换期间，ADM0 的 ADCS0 位被重写为 1，则要停止当前的 A/D 转换，重新开始。如果在 A/D 转换期间，ADM0 的 ADCS0 位被重写为 0，则立即停止当前的 A/D 转换。

图 10-6. 软件启动 A/D 转换



- 备注
1. $n = 0, 1, \dots, 6$
 2. $m = 0, 1, \dots, 6$

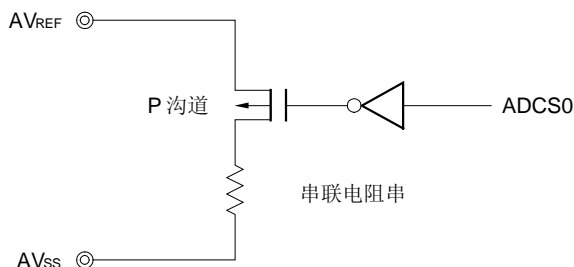
10.5 使用 8 位 A/D 转换器的注意事项

(1) 待机模式中的功耗

在待机模式中 A/D 转换器停止操作。此时停止转换可以减小功耗 (A/D 转换器模式寄存器 0 (ADMO) 的第 7 (ADCS0) 清 0)。

图 10-7 显示在待机模式中如何减小功耗。

图 10-7. 在待机模式中如何减小功耗



(2) ANI0 ~ ANI6 引脚的输入范围

确保 ANI0 ~ ANI6 引脚的输入电压在额定范围内。如果转换通道的输入电压大于 AV_{REF} 或小于 AV_{SS} (即使在最大额定值内)，则该通道的转换输出不确定。其他通道的转换输出也可能受到影响。

(3) 冲突

- <1> 转换结束时，同时对 A/D 转换结果寄存器 0 (ADCR0) 进行写操作和对 ADCR0 进行读操作，就产生冲突。ADCR0 读操作优先。在执行完读操作后，才将新的转换结果写到 ADCR0 中。
- <2> 转换结束时，同时对 ADCR0 进行写操作和对 A/D 转换器模式寄存器 (ADMO) 进行写操作或对 A/D 输入选择寄存器 0 (ADS0) 进行写操作，就产生冲突。ADMO 或 ADS0 写操作优先。ADCR0 的写操作忽略。不产生 A/D 转换结束中断请求信号 (INTAD0)。

(4) A/D 转换启动时的转换结果

A/D 转换启动时的最初转换结果是不确定的。查询 A/D 转换结束中断请求 (INTAD0)，并丢弃第一个转换结果。

(5) 使 A/D 转换结果不确定的时序

如果 A/D 转换结束的时序和 A/D 转换器停止操作的时序冲突，则 A/D 转换的值可能不确定。因此，要在 A/D 转换器操作时读取 A/D 转换结果。A/D 转换停止后读取 A/D 转换结果，必须保证在下一转换结果完成之前。转换结果读取时序如图 10-8 和 10-9。

图 10-8. 转换结果读取时序 (当转换结果为不确定值时)

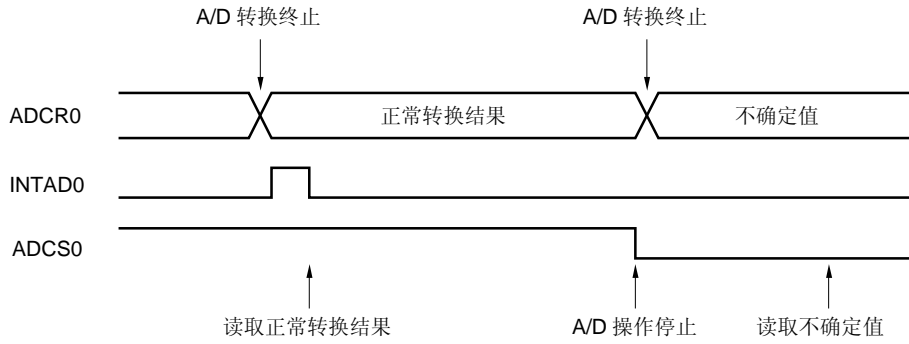
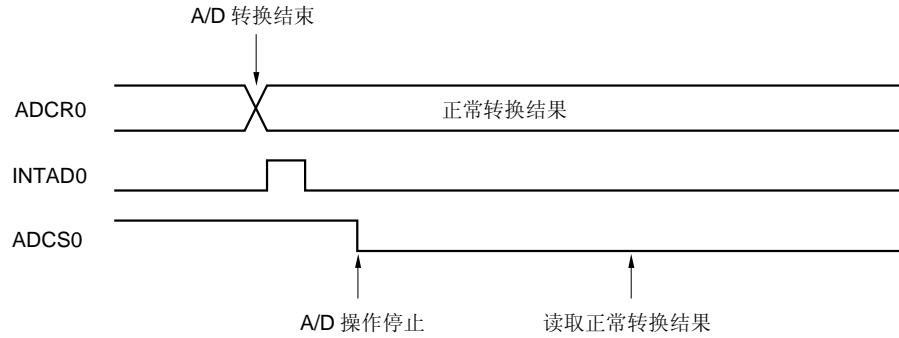


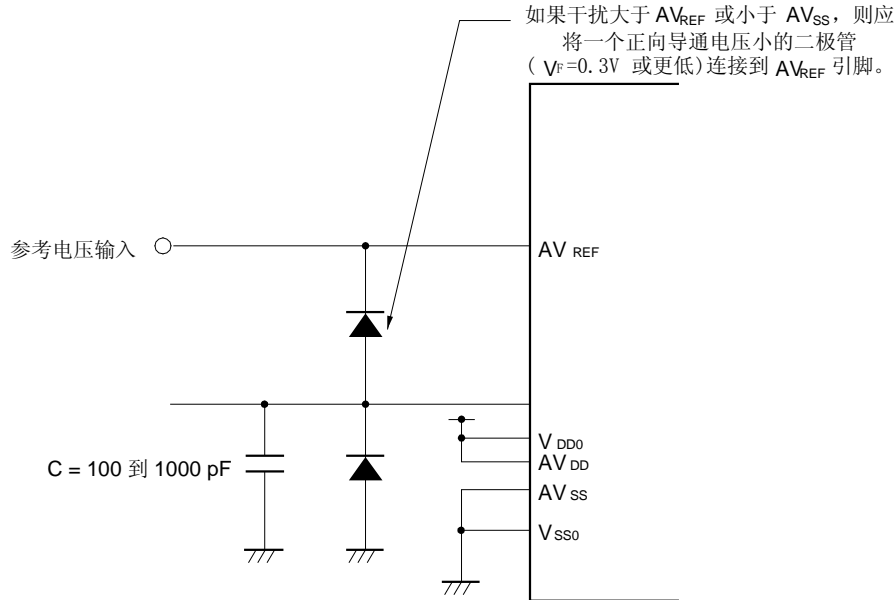
图 10-9. 转换结果读取时序 (当转换结果为正常值时)



(6) 消除噪声

为了保持 8 位分辨率, 必须消除 AV_{REF} 引脚和 $AN10 \sim AN16$ 引脚的噪声。模拟输入源有高输出阻抗, 受噪声的影响大。为了消除噪声, 相关引脚外接一个电容如图 10-10。

图 10-10. 模拟输入引脚的处理

**(7) ANI0 ~ ANI6**

模拟输入引脚(ANI0 ~ ANI6)是复用功能引脚，也可作普通端口引脚(P60 ~ P66)。

如果将任一 ANI0 ~ ANI6 选为 A/D 转换，此端口不可进行输入指令操作，否则转换分辨率降低。

如果正在 A/D 转换的引脚的邻近引脚有数字脉冲，则由于耦合噪声，有可能得不到预期的 A/D 转换结果。因此，在 A/D 转换期间要避免数字脉冲输入到邻近引脚。

★

(8) ANI0 ~ ANI6 引脚的阻抗

在 A/D 转换器中，内部采样电容充电占 1/10 的转换时间，并执行采样。

由于除采样期间外只有漏电流。在采样期间，还有充电电流，因此输入阻抗是波动的并且无意义。

为了确保采样，推荐模拟输入源的输出阻抗低于 10 k Ω 或在 ANI0 ~ ANI6 引脚上连接一个 100 pF 的电容(参见图 10-10)。

(9) AV_{REF} 引脚的输入阻抗

在 AV_{REF} 和 AV_{SS} 引脚间连接几十千欧的串联电阻串。

如果参考电压源的输出阻抗高，最终可能会并联到 AV_{REF} 和 AV_{SS} 引脚间的串联电阻串，从而导致较大的参考电压误差。

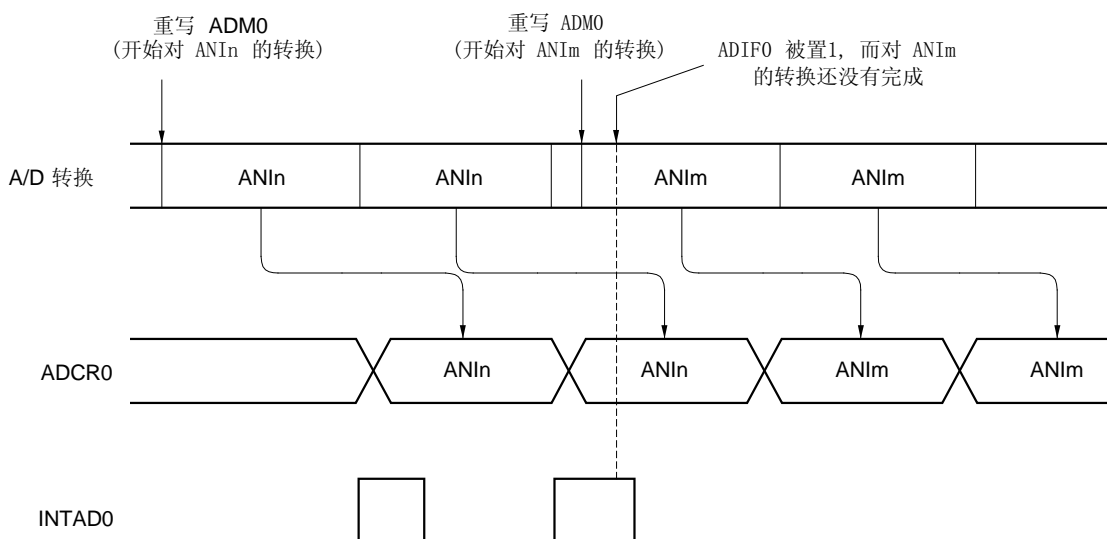
(10) 中断请求标志 (ADIF0)

修改 A/D 转换器模式寄存器 0 (ADMO) 的内容, 不会使中断请求标志 (ADIF0) 清零。

如果在 A/D 转换期间模拟输入引脚的电压值改变, 在 ADM0 写操作前, 可能已经产生先前的模拟输入的 A/D 转换结果和转换结束时的中断请求标志。在 ADM0 写操作后再对 ADIF0 进行读取, 新的模拟输入的 A/D 转换没有完成前, 而 ADIF0 已经被置 1 了。

在 A/D 转换重新开始前必须对 ADIF0 进行清零。

图 10-11. A/D 转换结束中断请求产生时序

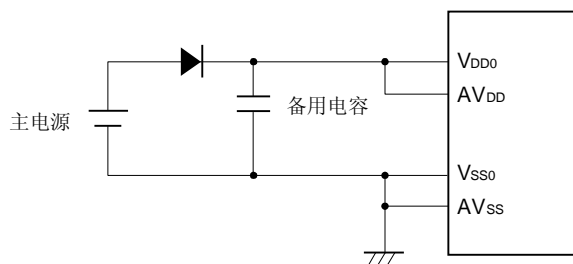


- 备注
1. $n = 0, 1, \dots, 6$
 2. $m = 0, 1, \dots, 6$

(11) AV_{DD} 引脚

AV_{DD} 引脚是模拟电路的电源引脚。也可作为 ANI0 ~ ANI6 输入电路的电源引脚。

若要切换后备电源, AV_{DD} 引脚必须和 V_{DD0} 引脚保持同样的电压, 如图 10-12 所示。

图 10-12. AV_{DD} 引脚处理

第十一章 10位 A/D 转换器 (μPD789417A 子系列)

11.1 10 位 A/D 转换器的功能

10 位 A/D 转换器将输入的模拟电压转换为数字信号，具有 10 位分辨率。它可以控制 7 个模拟输入通道 (ANI0 ~ ANI6)。

A/D 转换只能通过软件开始。

从模拟输入引脚 ANI0~ANI6 中选择一个通道进行 A/D 转换。重复执行 A/D 转换，每个 A/D 转换结束，都会产生一个中断请求 (INTAD0)。

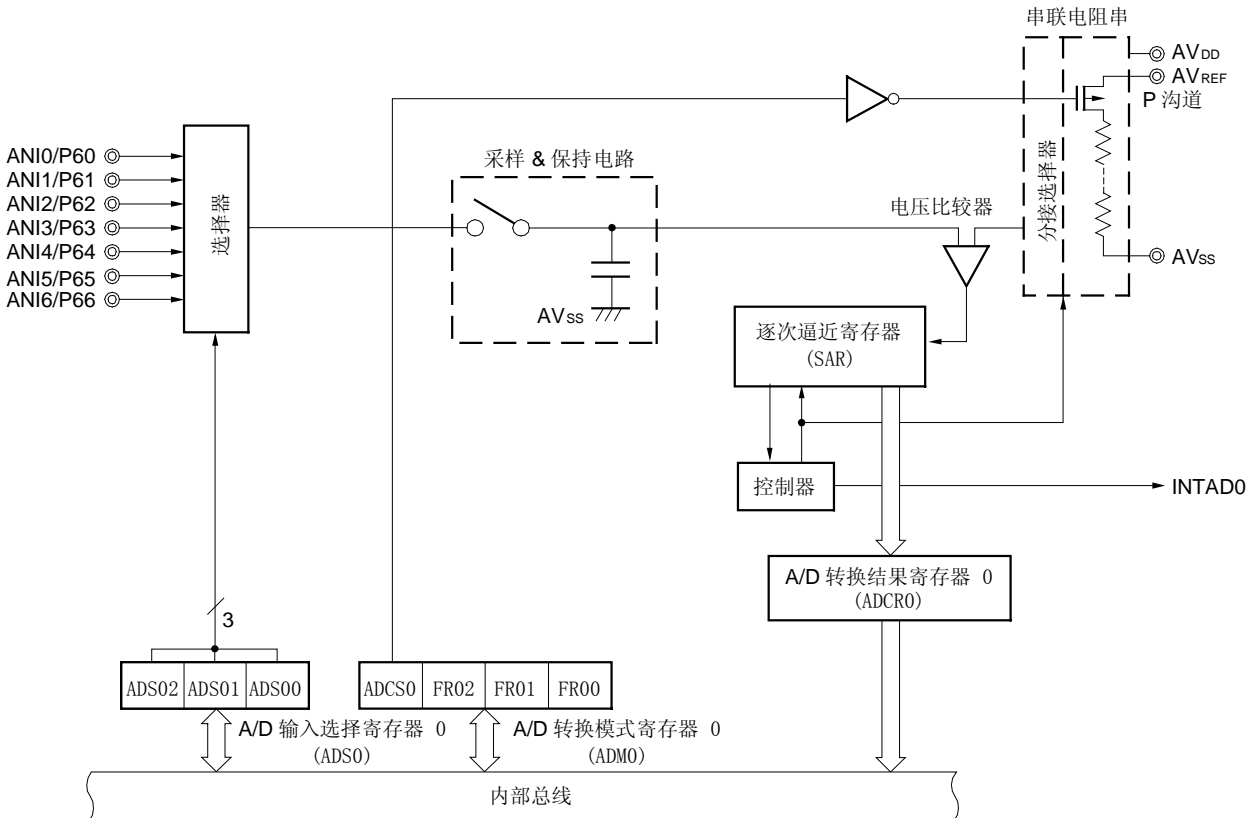
11.2 10 位 A/D 转换器的配置

10 位 A/D 转换器由以下硬件组成。

表 11-1. 10 位 A/D 转换器的配置

项目	配置
模拟输入	7 通道 (ANI0 ~ ANI6)
寄存器	逐次逼近寄存器 (SAR) A/D 转换结果寄存器 0 (ADCRO)
控制寄存器	A/D 转换器模式寄存器 0 (ADM0) A/D 输入选择寄存器 0 (ADS0)

图 11-1. 10 位 A/D 转换器的框图



(1) 逐次逼近寄存器 (SAR)

SAR 保存模拟输入电压和串联电阻串的分接电压 (参考电压) 的比较结果, 从最高有效位 (MSB) 开始。A/D 转换结束, 写入最低有效位 (LSB), 将 SAR 内容传送给 A/D 转换结果寄存器 0 (ADCRO)。

(2) A/D 转换结果寄存器 0 (ADCRO)

ADCRO 是一个 16 位的寄存器, 用来存放 A/D 转换结果。其低 6 位固定为 0。每次 A/D 转换结束, A/D 转换结果由逐次逼近比较寄存器传送给 ADCRO。从最高有效位 (MSB) 开始存储。转换结果的高 8 位存放在 FF15H, 低 2 位存放在 FF14H。

ADCRO 可通过 16 位存储器操作指令进行读取。

RESET 输入后, ADCRO 值不确定。

符号	FF15H	FF14H	地址	复位后	R/W	
ADCRO						

注意事项 当 μPD78F9418A 被当作 μPD789405A, 789406A, 和 789407A 的 flash 存储器版本使用时, 提供使用 μPD789405A, 789406A 和 789407A 的器件文件汇编过的目标文件, 允许 8 位指令访问。

(3) 采样 & 保持电路

采样 & 保持电路用来对输入电路的模拟输入进行连续采样，将采样值传送给电压比较器。在 A/D 转换期间保持采样到的模拟输入电压。

(4) 电压比较器

电压比较器用来比较模拟输入与串联电阻串的电压。

(5) 串联电阻串

串联电阻串用来连接 AV_{REF} 和 AV_{SS} 。产生一个参考电压，与模拟输入进行比较。

(6) ANI0 ~ ANI6 引脚

ANI0 ~ ANI6 是 7 通道 A/D 转换模拟输入引脚。接收 A/D 转换的模拟信号。

备注 不要对 ANI0 ~ ANI6 输入超出额定范围的电压。如果任一通道的输入电压高于 AV_{REF} 或低于 AV_{SS} (即使在绝对最大额定范围内)，则相应通道的转换值不确定。而且，其他通道的转换值也会受到影响。

(7) AV_{REF} 引脚

该引脚为 A/D 转换器的参考电压。

根据 AV_{REF} 和 AV_{SS} 引脚的电压，将输入到 ANI0 ~ ANI6 引脚的信号转换为数字信号。

(8) AV_{SS} 引脚

该引脚是 A/D 转换的地引脚。即使没有使用 A/D 转换器，该引脚的电压也要与 V_{SS0} 电压保持一致。

(9) AV_{DD} 引脚

该引脚是 A/D 转换的模拟电源引脚。即使没有使用 A/D 转换器，该引脚的电压也要与 V_{DD0} 电压保持一致。

11.3 控制 10 位 A/D 转换器的寄存器

使用以下两种寄存器来控制 10 位 A/D 转换器。

- A/D 转换器模式寄存器 0 (ADM0)
- A/D 输入选择寄存器 0 (ADS0)

(1) A/D 转换器模式寄存器 0 (ADM0)

ADM0 用来选择模拟输入的转换时间, 并指定是否允许启动转换。

由 1 位或 8 位存储器操作指令设置 ADM0。

$\overline{\text{RESET}}$ 输入后, ADM0 为 00H。

图 11-2. A/D 转换器模式寄存器 0 的格式

符号	<7>	6	5	4	3	2	1	0	地址	复位后	R/W
ADM0	ADCS0	0	FR02	FR01	FR00	0	0	0	FF80H	00H	R/W

ADCS0	A/D 转换控制
0	转换停止
1	转换开启

FR02	FR01	FR00	A/D 转换时间选择
0	0	0	144/f _x (28.8 μs)
0	0	1	120/f _x (24 μs)
0	1	0	96/f _x (19.2 μs)
1	0	0	72/f _x (14.4 μs)
1	0	1	60/f _x (禁止设定) ^{注 2}
1	1	0	48/f _x (禁止设定) ^{注 2}
其它			禁止设置

- 注
1. FR02, FR01 和 FR00 确定的 A/D 转换时间至少为 14μs。
 2. 不能这样设置这些位, 因为 A/D 转换时间将小于 14μs。

- 注意事项
1. 设置第 7 位 (ADCS0) 之后, 立即进行转换的结果不确定。
 2. ADCS0 清零后, 转换结果也可能是不确定的 (详见 11.5 (5) 使 A/D 转换结果不确定的时序)。

- 备注
1. f_x: 主系统时钟振荡频率
 2. 括号中的值适用于 f_x = 5.0 MHz。

(2) A/D 输入选择寄存器 0 (ADS0)

ADS0 用来选择用于将输入的模拟电压转换为数字信号的端口。

由 1 位或 8 位存储器操作指令设置 ADS0。

RESET 输入后, ADS0 为 00H。

图 11-3. A/D 输入选择寄存器 0 的格式

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
ADS0	0	0	0	0	0	ADS02	ADS01	ADS00	FF84H	00H	R/W

ADS02	ADS01	ADS00	模拟输入通道选择
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
1	1	0	ANI6
1	1	1	禁止设置

注 第 3 ~ 7 位 必须固定为 0。

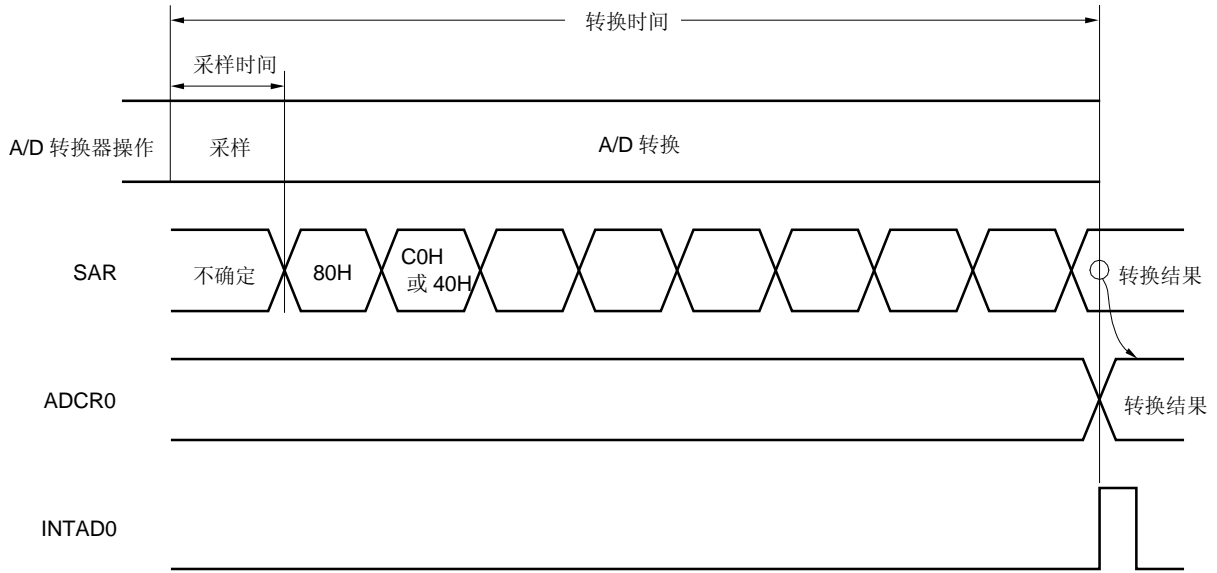
11.4 10 位 A/D 转换器的操作

11.4.1 10 位 A/D 转换器的基本操作

- <1> 使用 A/D 输入选择寄存器 0 (ADSO) 选择一个通道进行 A/D 转换。
- <2> 由采样&保持电路对选择的模拟输入通道的电压进行采样。
- <3> 经过一段时间的采样后, 采样&保持电路处于保持状态, 在 A/D 转换结束前一直保持输入模拟电压。
- <4> 设置逐次逼近寄存器(SAR)的第 9 位。通过分接选择器将串联电阻串的分接电压置为 $(1/2) AV_{REF}$ 。
- <5> 由电压比较器比较串联电阻串的分接电压和模拟输入电压。如果模拟输入电压高于 $(1/2) AV_{REF}$, 则 SAR 的 MSB 保持设置。如果模拟输入电压低于 $(1/2) AV_{REF}$, 则 SAR 的 MSB 将重新设置。
- <6> SAR 的第 8 位自动设置, 并进入下一个比较过程。根据第 9 位反映先前的比较结果选择串联电阻串的下一个分接电压, 如下所示:
 - 第 9 位= 1: $3/4 AV_{REF}$
 - 第 9 位= 0: $1/4 AV_{REF}$比较分接电压和模拟输入电压, 根据比较结果对第 8 位进行设置或复位。
 - 模拟输入电压 \geq 分接电压: 第 8 位= 1
 - 模拟输入电压 $<$ 分接电压: 第 8 位= 0
- <7> 按此方式继续进行比较, 直到 SAR 的第 0 位。
- <8> 全部 10 位数据比较完后, 在 SAR 中保留一个有效的数字结果。将此值传送给 A/D 转换结果寄存器 0 (ADCRO) 并锁存。同时, 可能产生一个 A/D 转换结束中断请求 (INTAD0)。

- 注意事项**
1. A/D 转换开始时的第一个转换数值可能不确定。
 2. 在待机模式中, A/D 转换器停止操作。

图 11-4. 10 位 A/D 转换器的基本操作



通过软件将 A/D 转换器模式寄存器 0 (ADMO) 的第 7 位 (ADCS0) 复位 (0) 之前, 连续执行 A/D 转换。

在 A/D 转换期间, 如果对 ADM0 或 A/D 输入选择寄存器 0 (ADS0) 进行写操作, 当前的 A/D 转换将被取消。若 ADCS0 置为 1, 则 A/D 转换重新开始。

RESET 输入后, A/D 转换结果寄存器 0 (ADCR0) 不确定。

11.4.2 输入电压和转换结果

模拟输入引脚 (ANI0 ~ ANI6) 的模拟输入电压与 A/D 转换结果 (A/D 转换结果寄存器 0 (ADCRO)) 的关系表示如下:

$$ADCRO = \text{INT} \left(\frac{V_{IN}}{AV_{REF}} \times 1024 + 0.5 \right)$$

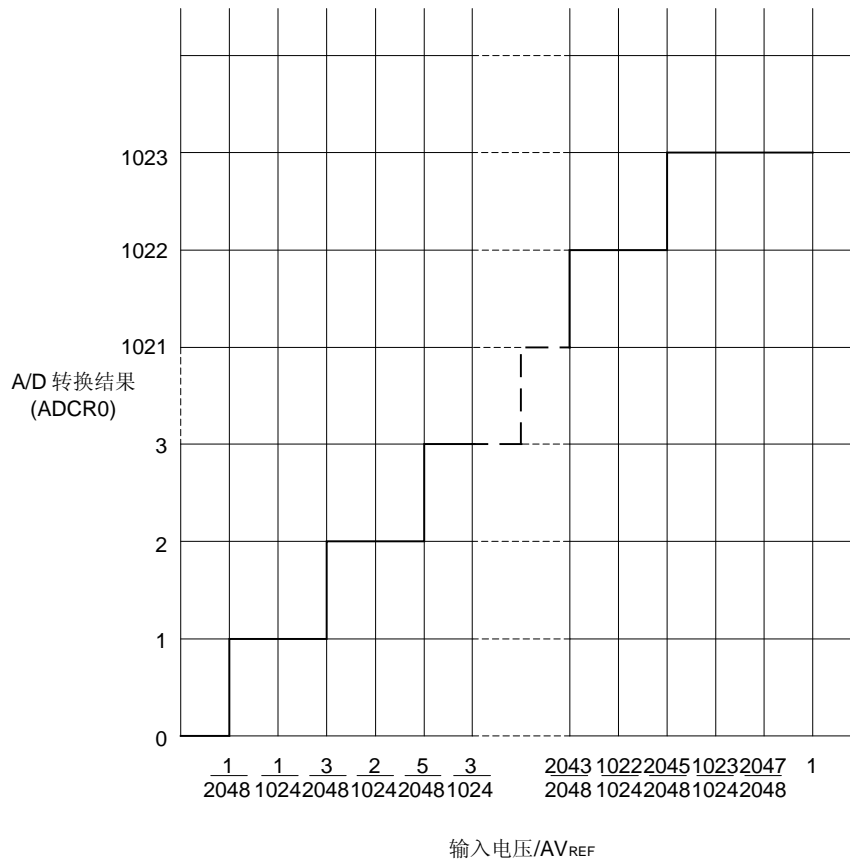
或

$$(\text{ADCRO} - 0.5) \times \frac{AV_{REF}}{1024} \leq V_{IN} < (\text{ADCRO} + 0.5) \times \frac{AV_{REF}}{1024}$$

- INT(): 返回括号中值的整数部分
- V_{IN} : 模拟输入电压
- AV_{REF} : AV_{REF} 引脚电压
- ADCRO: A/D 转换结果寄存器 0 (ADCRO) 的值

图 11-5 显示模拟输入电压与 A/D 转换结果之间的关系

图 11-5. 模拟输入电压与 A/D 转换结果之间的关系



11.4.3 10 位 A/D 转换器的操作模式

10 位 A/D 转换器在选择模式时被初始化。由 A/D 选择寄存器 0 (ADS0) 从 ANI0~ANI6 中选择模拟输入通道进行 A/D 转换。

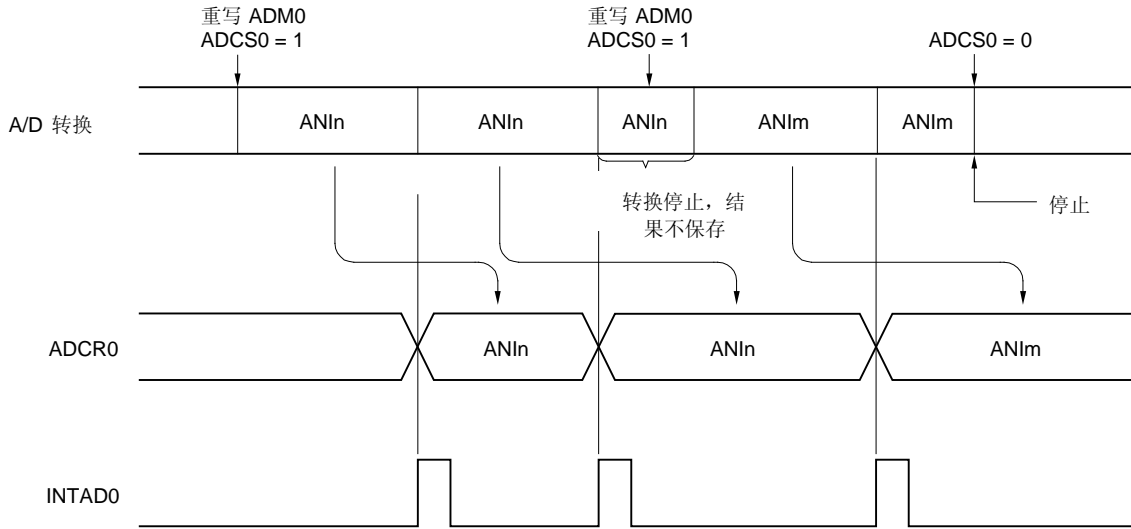
只能通过设置 A/D 转换器模式寄存器 0 (ADM0) 由软件启动 A/D 转换。

A/D 转换的结果保存在 A/D 转换结果寄存器 0 (ADCR0) 中。同时, 产生一个中断请求信号 (INTAD0)。

• 软件启动 A/D 转换

设置 A/D 转换器模式寄存器 0 (ADM0) 的第 7 位 (ADCS0) 启动 A/D 转换, 电压由 A/D 输入选择寄存器 0 (ADS0) 选择的模拟输入引脚输入。A/D 转换完成后, 将转换结果保存在 A/D 转换结果寄存器 0 (ADCR0) 中。同时, 产生一个中断请求信号 (INTAD0)。一旦 A/D 转换被激活并完成, 下一个 A/D 转换开始。A/D 转换一直持续直到有新的数据写入 ADM0 中。如果在 A/D 转换期间, ADM0 的 ADCS0 位被重写为 1, 则要停止当前的 A/D 转换, 重新开始。如果在 A/D 转换期间, ADM0 的 ADCS0 位被重写为 0, 则立即停止当前的 A/D 转换。

图 11-6. 软件启动 A/D 转换



- 备注
1. n = 0, 1, ..., 6
 2. m = 0, 1, ..., 6

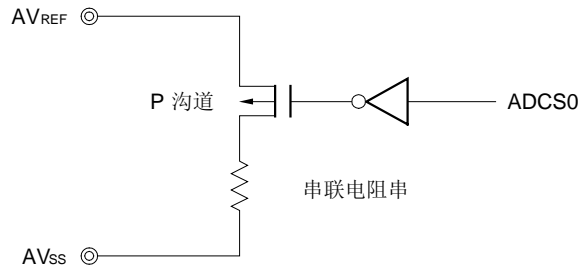
11.5 使用 10 位 A/D 转换器的注意事项

(1) 待机模式中的功耗

在待机模式中 A/D 转换器停止操作。此时停止转换可以减小功耗 (A/D 转换器模式寄存器 0 (ADM0) 的第 7 (ADCS0) 清 0)。

图 11-7 显示在待机模式中如何减小功耗。

图 11-7. 在待机模式中如何减小功耗



(2) ANI0 ~ ANI6 引脚的输入范围

确保 ANI0 ~ ANI6 引脚的输入电压在额定范围内。如果转换通道的输入电压大于 AV_{REF} 或小于 AV_{SS} (即使在最大额定值内)，则该通道的转换输出不确定。其他通道的转换输出也可能受到影响。

(3) 冲突

- <1> 转换结束时，同时对 A/D 转换结果寄存器 0 (ADCRO) 进行写操作和对 ADCRO 进行读操作，就产生冲突。ADCRO 读操作优先。在执行完读操作后，才将新的转换结果写到 ADCRO 中。
- <2> 转换结束时，同时对 ADCRO 进行写操作和对 A/D 转换器模式寄存器 (ADM0) 进行写操作或对 A/D 输入选择寄存器 0 (ADS0) 进行写操作，就产生冲突。ADM0 或 ADS0 写操作优先。ADCRO 的写操作忽略。不产生 A/D 转换结束中断请求信号 (INTAD0)。

(4) A/D 转换启动时的转换结果

A/D 转换启动时的最初转换结果是不确定的。查询 A/D 转换结束中断请求 (INTAD0)，并丢弃第一个转换结果。

(5) 使 A/D 转换结果不确定的时序

如果 A/D 转换结束的时序和 A/D 转换器停止操作的时序冲突，则 A/D 转换的值可能不确定。因此，要在 A/D 转换器操作时读取 A/D 转换结果。A/D 转换停止后读取 A/D 转换结果，必须保证在下一转换结果完成之前。转换结果读取时序如图 11-8 和 11-9。

图 11-8. 转换结果读取时序 (当转换结果是不确定值时)

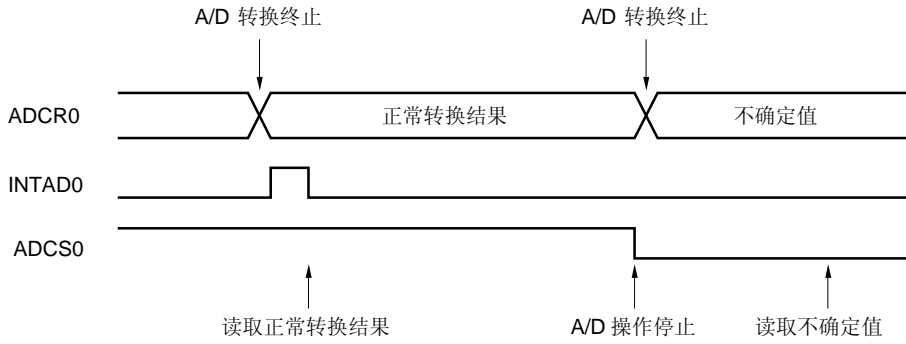
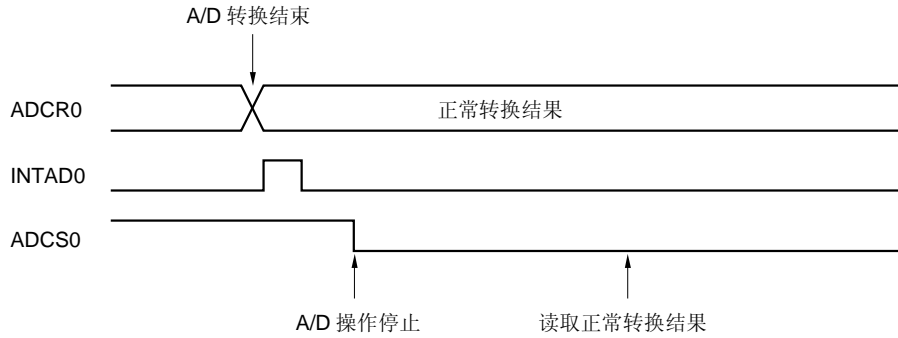


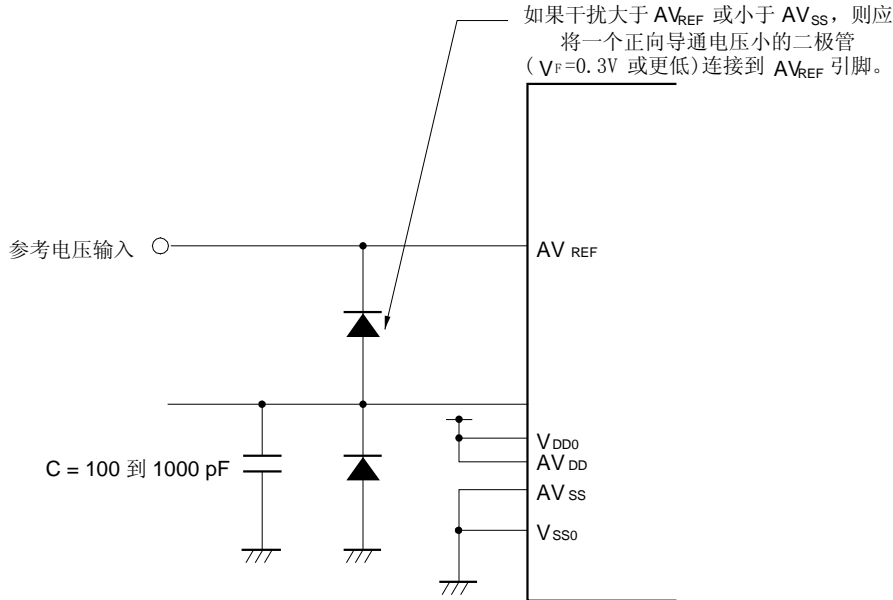
图 11-9. 转换结果读取时序 (当转换结果是正常值时)



(6) 消除噪声

为了保持 10 位分辨率, 必须消除 AVREF 引脚和 ANI0 ~ ANI6 引脚的噪声。模拟输入源有高输出阻抗, 受噪声的影响大。为了消除噪声, 相关引脚外接一个电容如图 11-10。

图 11-10. 模拟输入引脚的处理



(7) ANI0 到 ANI6

模拟输入引脚 (ANI0 ~ ANI6) 是复用功能引脚, 也可作普通端口引脚 (P60 ~ P66)。

如果将任一 ANI0 ~ ANI6 选为 A/D 转换, 此端口不可进行输入指令操作, 否则转换分辨率低。

如果正在 A/D 转换的引脚的邻近引脚有数字脉冲, 则由于耦合噪声, 有可能得不到预期的 A/D 转换结果。因此, 在 A/D 转换期间要避免数字脉冲输入到邻近引脚。

★ (8) ANI0 ~ ANI6 引脚的阻抗

在 A/D 转换器中, 内部采样电容充电占 1/10 的转换时间, 并执行采样。

由于除采样期间外只有漏电流。在采样期间, 还有充电电流, 因此输入阻抗是波动的并且无意义。

为了确保采样, 推荐模拟输入源的输出阻抗低于 $10 \text{ k}\Omega$ 或在 ANI0 ~ ANI6 引脚上连接一个 100 pF 的电容 (参见图 11-10)。

(9) AV_{REF} 引脚的输入阻抗

在 AV_{REF} 和 AV_{SS} 引脚间连接几十千欧的串联电阻串。

如果参考电压源的输出阻抗高, 最终可能会并联到 AV_{REF} 和 AV_{SS} 引脚间的串联电阻串, 从而导致较大的参考电压误差。

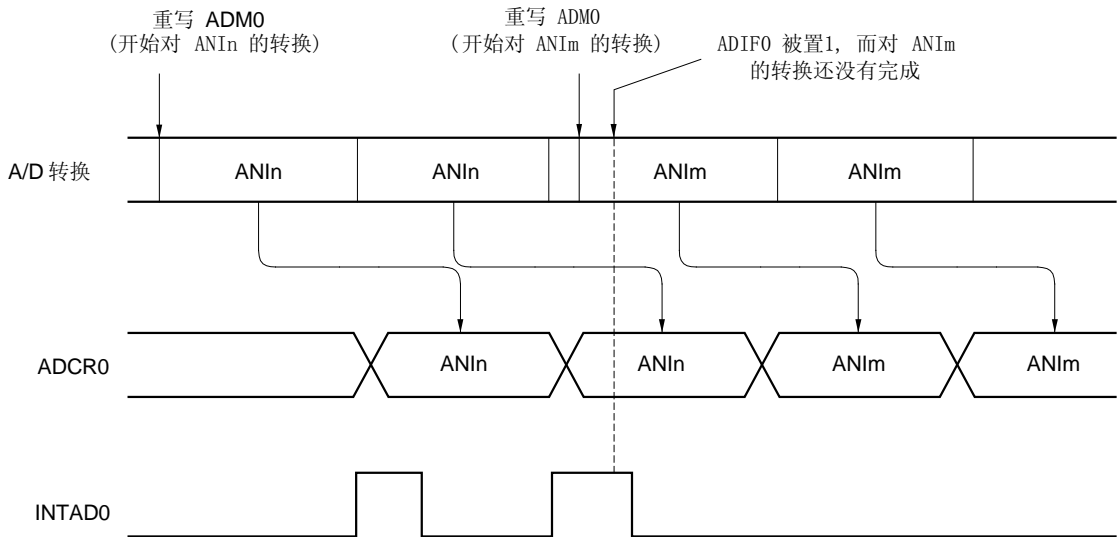
(10) 中断请求标志 (ADIF0)

修改 A/D 转换器模式寄存器 0 (ADM0) 的内容, 不会使中断请求标志 (ADIF0) 清零。

如果在 A/D 转换期间模拟输入引脚的电压值改变, 在 ADM0 写操作前, 可能已经产生先前的模拟输入的 A/D 转换结果和转换结束时的中断请求标志。在 ADM0 写操作后再对 ADIF0 进行读取, 新的模拟输入的 A/D 转换没有完成前, 而 ADIF0 已经被置 1 了。

在 A/D 转换重新开始前必须对 ADIF0 进行清零。

图 11-11. A/D 转换结束中断请求产生时序



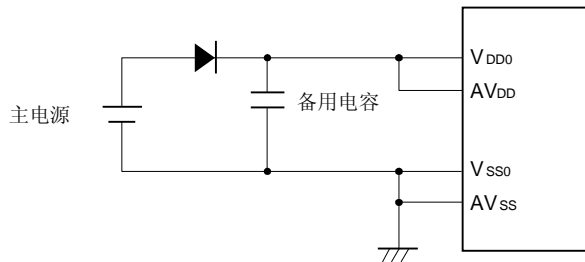
- 备注
1. $n = 0, 1, \dots, 6$
 2. $m = 0, 1, \dots, 6$

(11) AVDD 引脚

AVDD 引脚是模拟电路的电源引脚。也可作为 ANI0 ~ ANI6 输入电路的电源引脚。

若要切换后备电源, AVDD 引脚必须和 VDD0 引脚保持同样的电压, 如图 11-12 所示。

图 11-12. AVDD 引脚处理



第十二章 比较器

12.1 比较器的功能

比较器有以下功能。

(1) 比较输入电压

比较参考电压输入引脚 (CMPREF0) 的输入电压和比较器输入引脚 (CMPIN0) 的输入电压。可以使用存储器操作指令读取比较结果。

(2) 产生中断

可用比较器输出产生一个中断请求信号^注 (INTCMP0)。

注 通过外部中断模式寄存器 1 (INTM1) 设置上升沿, 下降沿或上升沿和下降沿同时允许。

(3) 时钟输出

当 $CMPREF0 > CMPIN0$ 时, 8 位定时器计数器 02 (TM02) 的输出由 CMP0TOUT0 引脚输出。

(4) 选择开漏输出

比较器模式寄存器 0 (CMPRM0) 可用来指定某一端口作为 N 沟开漏输出。

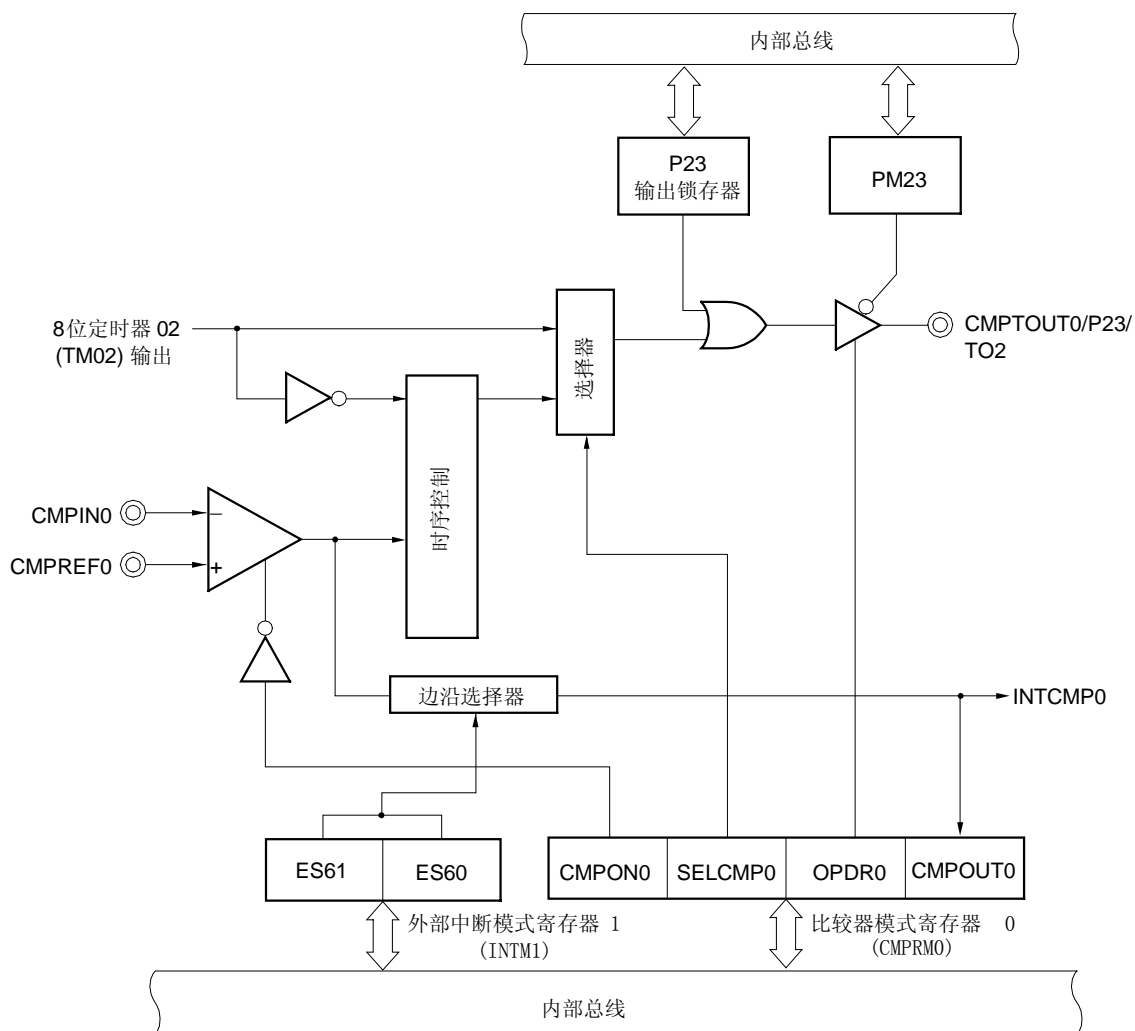
12.2 比较器的配置

比较器由以下硬件组成。

- (1) **CMPIN0**
比较器的输入引脚。
- (2) **CMPTOUT0**
比较器的输出引脚。
- (3) **COMPREF0**
比较器参考电压输入引脚。

图 12-1 为比较器框图。

图 12-1. 比较器框图



12.3 控制比较器的寄存器

比较器由以下寄存器控制。

(1) 比较器模式寄存器 0 (CMPRM0)

CMPRM0 控制比较器的电源和时钟输出。还可为比较器选择开漏输出。

由 1 位或 8 位存储器操作指令设置 CMPRM0。

RESET 输入后, CMPRM0 为 00H。

图 12-2. 比较器模式寄存器 0 的格式

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
CMPRM0	0	0	0	0	CMPON0	SELCMP0	OPDR0	CMPOUT0	FF4EH	00H	R/W ^注

CMPON0	比较器上电/下电控制
0	比较器断电
1	比较器上电

SELCMP0	时钟输出控制
0	8位定时器 02 (TM02) 输出
1	8位定时计数器 02 (TM02) 输出, 如果 CMPREF0 > CMPIN0 时

OPDR0	开漏输出选择
0	CMOS 输出
1	N 沟开漏输出

CMPOUT0	读取比较器输出

注 第 0 位只读。

注意事项 1. 第 4 位到第 7 位必须固定为 0。

2. 如果启动比较器 (CMPON0 = 1), 可能会产生噪声。若必需由比较器的输出产生一个中断请求信号 (INTCMP0), 则在允许中断前, 先启动比较器 (CMPON0 = 1), 并将中断请求标志 (CMPIF0) 清零。
3. 同样, 若将比较器的输出由端口输出, 要预先启用比较器 (CMPON0 = 1)。

12.4 比较器的操作

比较器可以控制 8 位定时器 02 (TM02) 的输出，并可输出到 CMPTOUT0/P23/T02 引脚。

若要运行比较器，设置如下：

- 设置 P23 为输出模式 (PM23 = 0)。
- 设置比较器模式寄存器 0 (CMPRMO) 如图 12-3 所示。
- 设置外部中断模式寄存器 1 (INTM1) 如图 12-4 所示，并选择 INTCMP0 的有效沿。

图 12-3. 设置比较器模式寄存器 0 (CMPRMO) 用于比较操作

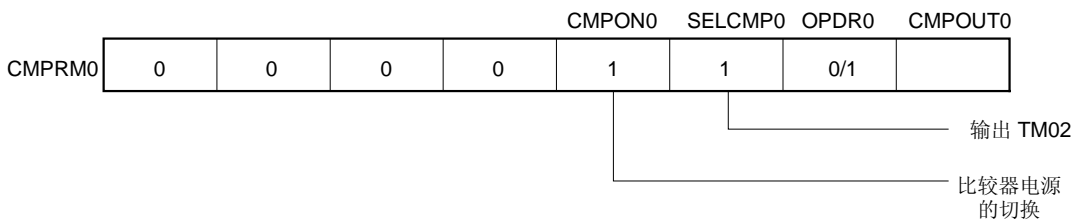


图 12-4. 在 INTCMP0 产生时外部中断模式寄存器 1 的设置

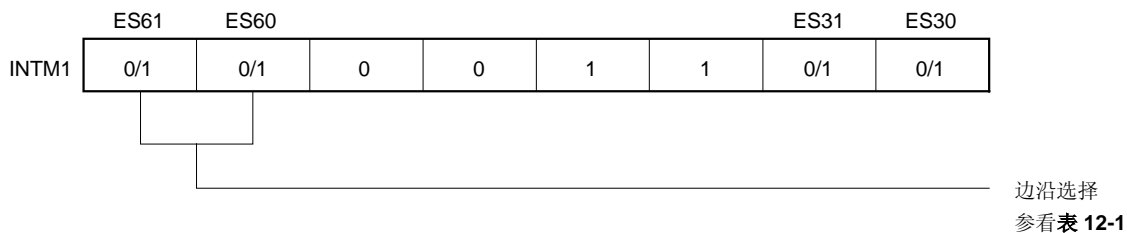
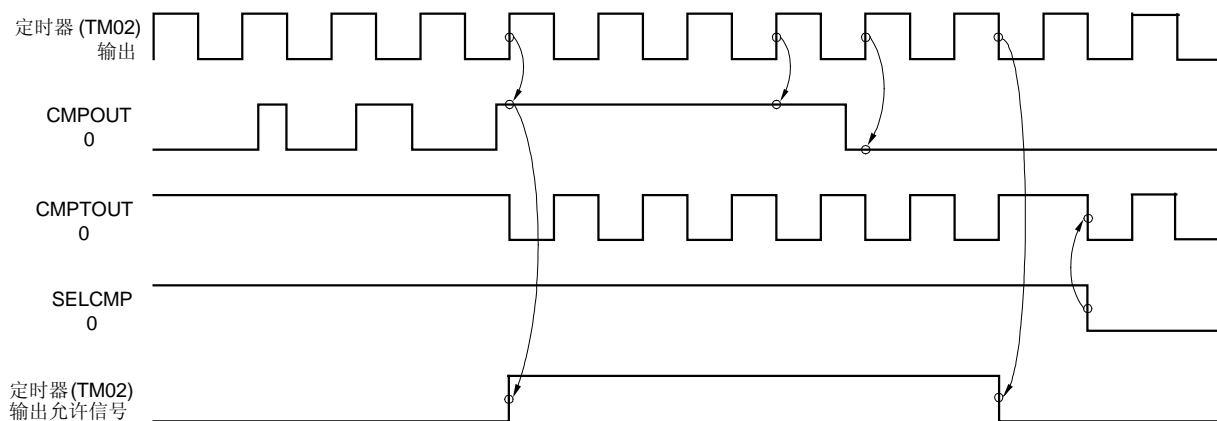


表 12-1 列出了 INTCMP0 有效沿的选择，图 12-5 显示比较器的时序图。

表 12-1. INTCMP0 有效沿

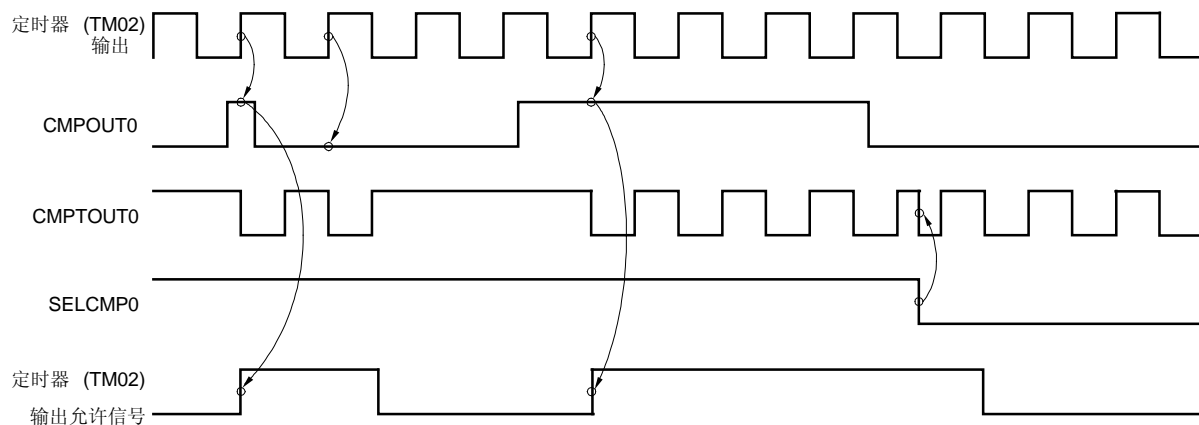
ES61	ES60	INTCMP0 有效沿选择
0	0	下降沿
0	1	上升沿
1	0	禁止设置
1	1	上升沿和下降沿

图 12-5. 比较器操作时序 (1/2)



- <1> CMPOUT0 在 TM02 的上升沿被锁存输出, 并产生一个信号允许 CMPTOUT0/P23/T02 引脚输出。如果 CMPOUT0 为高, TM02 的输出波形是在 TM02 输出的上升沿输出到 CMPTOUT0/P23/T02 引脚。如果 CMPOUT0 为低, CMPTOUT0 不输出。
- <2> 如果 SELCMP0 为低, TM02 输出到 CMPTOUT0/P23/T02 引脚与 CMPOUT0 的电平无关。

图 12-5. 比较器操作时序 (2/2)



- <3> 如果 CMPOUT0 高电平在 TM02 输出的上升沿锁存, 即使它立即变低, CMPTOUT0/P23/T02 引脚输出的 CMPTOUT0 信号还会保持至少 2 个时钟周期。
- <4> CMPTOUT0 输出期间, SELCMP0 从高到低变化, 可能会干扰 CMPTOUT0 的输出波形。

13.1 串行接口 00 的功能

串行接口 00 有如下三种模式。

- 操作停止模式
- 异步串行接口 (UART) 模式
- 3 线串行 I/O 模式

(1) 操作停止模式

在不进行串行通信时可采用此模式，以降低功率消耗。

(2) 异步串行接口 (UART) 模式

在这种模式中，一个字节的的数据在起始位之后发送/接收，可以全双工操作。

内置一个专用的 UART 波特率发生器，通信选择的波特率范围较大。而且，波特率可由对 ASCK 引脚输入的时钟分频来确定。

(3) 3 线串行 I/O 模式 (可切换 MSB/LSB 起始位)

在这种模式中，使用三条线传输 8 位数据，一条串行时钟线 (SCK) 和两条串行数据线 (SI, SO)。

3 线串行 I/O 模式支持同步发送和接收操作，缩短数据传输处理时间。

8 位数据传输可从高位 (MSB) 开始也可从低位 (LSB) 开始，因此在和设备连接时可以适应不同起始位的情况。

3 线串行 I/O 模式可有效连接显示控制器和外部 I/Os 如 75XL 系列，78K 系列和 17K 系列等具有时钟同步串行接口的器件。

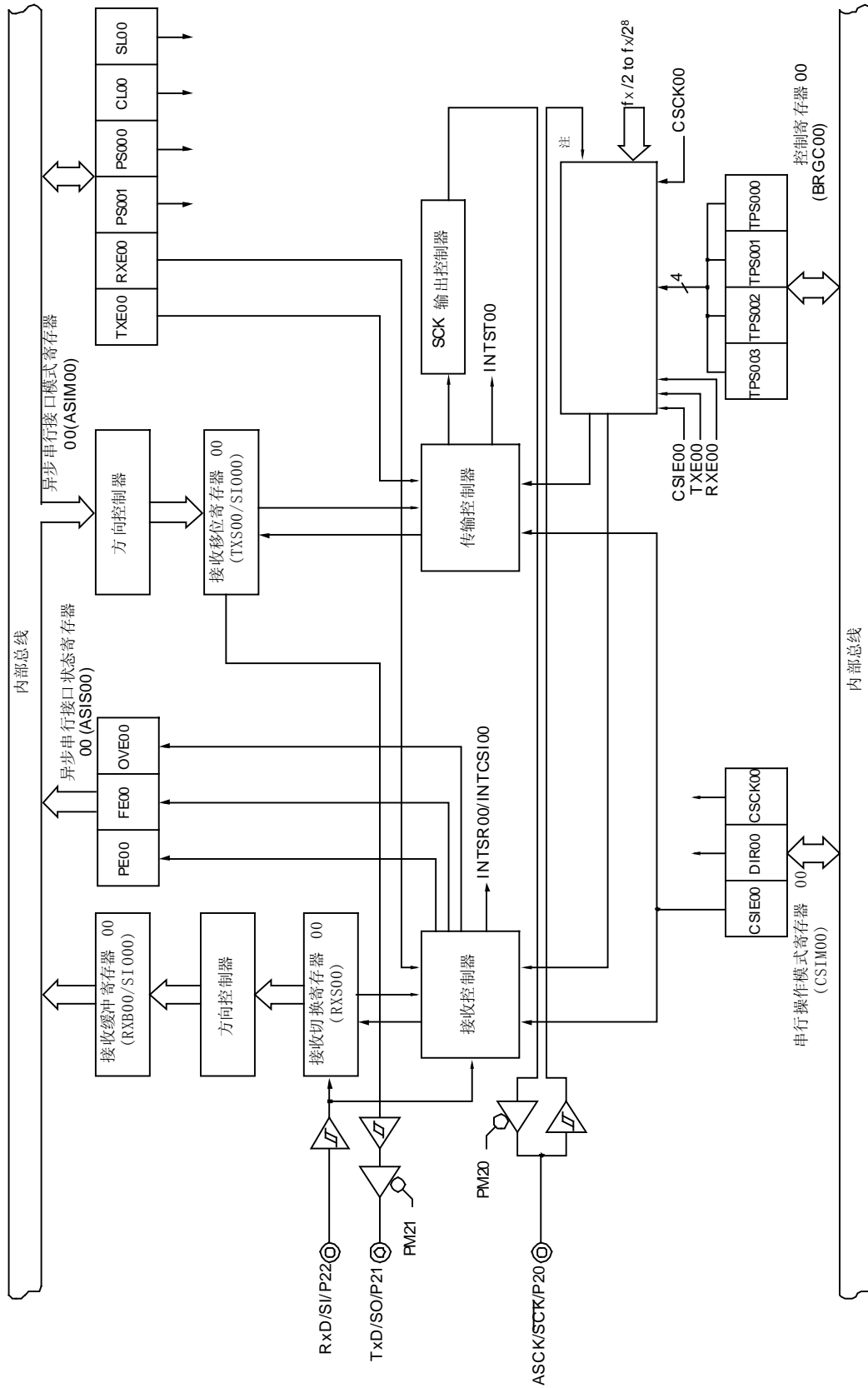
13.2 串行接口 00 的配置

串行接口 00 由以下硬件组成。

表 13-1. 串行接口 00 的配置

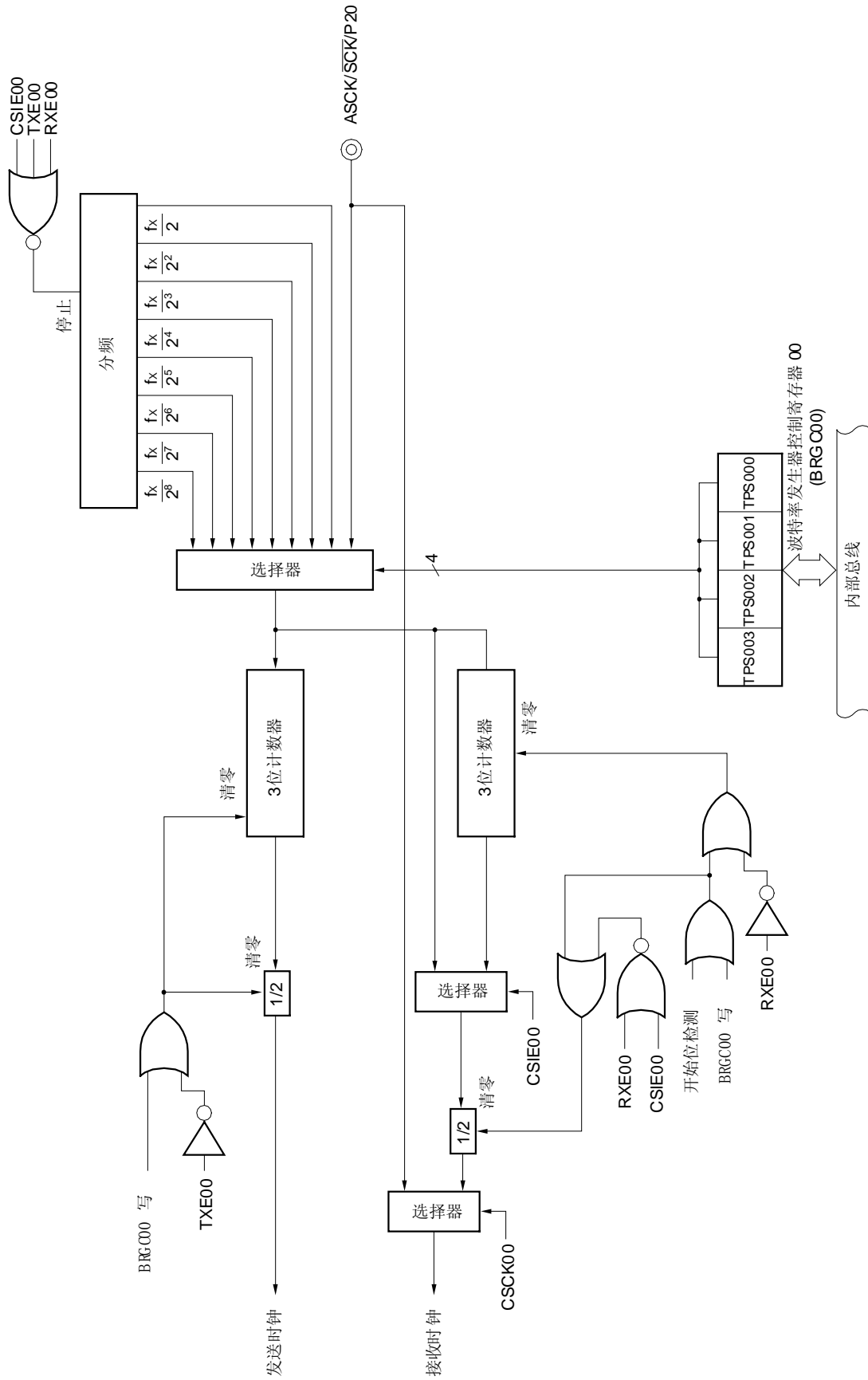
项目	配置
寄存器	发送移位寄存器 00 (TXS00) 接收移位寄存器 00 (RXS00) 接收缓冲寄存器 00 (RXB00)
控制寄存器	串行操作模式寄存器 00 (CSIM00) 异步串行接口模式寄存器 00 (ASIM00) 异步串行接口状态寄存器 00 (ASIS00) 波特率发生器控制寄存器 00 (BRGC00)

图 13-1. 串行接口 00 框图



注 波特率发生器的配置, 详见图 13-2.

图 13-2. 波特率发生器的框图



(1) 发送移位寄存器 00 (TXS00)

此寄存器用来指定要发送的数据。写入到 TXS00 中的数据作为串行数据被发送。

如果数据宽度被设定为 7 位，写入到 TXS00 中数据的第 0 至 6 位作为发送数据被传输。通过向 TXS00 写入数据启动发送操作。

可用 8 位存储器操作指令写 TXS00，但不可以读。

RESET 输入后 TXS00 为 FFH。

注意事项 在发送操作期间不要写 TXS00。

TXS00 和接收缓冲寄存器 00 (RXB00) 分配在相同的地址，当执行读操作时，读取的为 RXB00 的值。

(2) 接收移位寄存器 00 (RXS00)

此寄存器用来将输入到 RxD 引脚的串行数据转换为并行数据。每接收一字节数据，便传送到接收缓冲寄存器 00 (RXB00)。

RXS00 不能由程序直接操作。

(3) 接收缓冲寄存器 00 (RXB00)

此寄存器用于存储接收到的数据。新接收到的数据就从接收移位寄存器 00 (RXS00) 传送到该寄存器中。

如果数据宽度被设定为 7 位，将接收到的数据传送到 RXB00 的第 0 位至第 6 位，而 MSB 位始终为 0。

可由 8 位存储器操作指令读取 RXB00 的内容。不能将数据写入该寄存器中。

RESET 输入后 RXB00 的值不确定。

注意事项 RXB00 和发送移位寄存器 00 (TXS00) 分配在相同的地址，当执行写操作时，值被写入到 TXS00。

(4) 发送控制器

此电路对写入到发送移位寄存器 00 (TXS00) 中的数据加入起始位，校验位，和停止位控制发送操作，加入的格式依据异步串行接口模式寄存器 00 (ASIM00) 中设置的值。

(5) 接收控制器

此电路依据异步串行接口模式寄存器 00 (ASIM00) 中设置的值控制接收操作。它也执行校验错误检查等，在接收操作期间，当检测到错误时，它设置异步串行接口状态寄存器 00 (ASIS00) 以表示错误的种类。

13.3 控制串行接口 00 的寄存器

串行接口 00 由以下 4 个寄存器控制。

- 串行操作模式寄存器 00 (CSIM00)
- 异步串行接口模式寄存器 00 (ASIM00)
- 异步串行接口状态寄存器 00 (ASIS00)
- 波特率发生器控制寄存器 00 (BRGC00)

(1) 串行操作模式寄存器 00 (CSIM00)

当在 3 线串行 I/O 模式下使用串行接口 00 时设置该寄存器。

可由 1 位或 8 位存储器操作指令设置该寄存器。

RESET 输入后该寄存器为 00H。

图 13-3. 串行操作模式寄存器 00 的格式

符号	<7>	6	5	4	3	2	1	0	地址	复位后	R/W
CSIM00	CSIE00	0	0	0	0	DIR00	CCK00	0	FF72H	00H	R/W

CSIE00	3线串行I/O模式下的操作控制
0	停止操作
1	使能操作

DIR00	开始位规格
0	MSB
1	LSB

CCK00	3线串行I/O模式下的时钟选择
0	从外部输入时钟信号给 $\overline{\text{SCK}}$ 引脚
1	波特率发生器输出

- 注意事项**
1. 第 0 位和第 3 到 6 位必须固定为 0。
 2. 在 UART 模式中设置 CSIM00 为 00H。

(2) 异步串行接口模式寄存器 00 (ASIM00)

当在异步串行接口模式下使用串行接口 00 时设置该寄存器。

可由 1 位或 8 位存储器操作指令设置该寄存器。

RESET 输入后 ASIM00 为 00H。

图 13-4. 异步串行接口模式寄存器 00 的格式

符号	<7>	<6>	5	4	3	2	1	0	地址	复位后	R/W
ASIM00	TXE00	RXE00	PS001	PS000	CL00	SL00	0	0	FF70H	00H	R/W

TXE00	发送操作控制	
0	发送操作停止	
1	发送操作开启	

RXE00	接收操作控制	
0	接收操作停止	
1	接收操作开启	

PS001	PS000	奇偶校验位规格
0	0	无奇偶校验
0	1	在发送时此位总是 0 在接收时并不执行奇偶校验 (无奇偶错误发生)
1	0	奇校验
1	1	偶校验

CL00	字符长度规格	
0	7 位	
1	8 位	

SL00	发送数据停止位规格	
0	1 位	
1	2 位	

- 注意事项**
1. 第 0 位和第 1 位必须固定为 0。
 2. 在 3 线串行 I/O 模式中设置 ASIM00 为 00H。
 3. 切换操作模式必须在串行发送/接收操作停止之后执行。

表 13-2. 串行接口 00 的操作模式设置

(1) 操作停止模式

ASIM00		CSIM00			PM22	P22	PM21	P21	PM20	P20	开始位	移位时钟	P22/SI/RxD 引脚功能	P21/SO/TxD 引脚功能	P20/ $\overline{\text{SCK}}$ /ASCK 引脚功能
TXE00	RXE00	CSIE00	DIR00	CCK00											
0	0	0	x	x	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}			P22	P21	P20
其它											禁止设置				

(2) 异步串行接口模式

ASIM00		CSIM00			PM22	P22	PM21	P21	PM20	P20	开始位	移位时钟	P22/SI/RxD 引脚功能	P21/SO/TxD 引脚功能	P20/ $\overline{\text{SCK}}$ /ASCK 引脚功能
TXE00	RXE00	CSIE00	DIR00	CCK00											
1	0	0	0	0	x ^{注1}	x ^{注1}	0	1	1	x	LSB	外部时钟	P22	TxD (CMOS 输出)	ASCK 输入
									x ^{注1}	x ^{注1}		内部时钟			P20
0	1	0	0	0	1	x	x ^{注1}	x ^{注1}	1	x	RxD	外部时钟	P21	ASCK 输入	P20
									x ^{注1}	x ^{注1}		内部时钟			P20
1	1	0	0	0	1	x	0	1	1	x	LSB	外部时钟	TxD (CMOS 输出)	ASCK 输入	P20
									x ^{注1}	x ^{注1}		内部时钟			P20
其它											禁止设置				

(3) 3 线串行 I/O 模式

ASIM00		CSIM00			PM22	P22	PM21	P21	PM20	P20	开始位	移位时钟	P22/SI/RxD 引脚功能	P21/SO/TxD 引脚功能	P20/ $\overline{\text{SCK}}$ /ASCK 引脚功能			
TXE00	RXE00	CSIE00	DIR00	CCK00														
0	0	1	0	0	1 ^{注2}	x ^{注2}	0	1	1	x	MSB	外部时钟	SI ^{注2}	SO (CMOS 输出)	$\overline{\text{SCK}}$ 输入			
									1	0		1			内部时钟	$\overline{\text{SCK}}$ 输出		
				1					1	0		1			x	LSB	外部时钟	SCK 输入
									1			0			1		内部时钟	SCK 输出
其它											设置禁止							

- 注 1. 可被用作端口功能。
 2. 如果仅用来发送, 可被用作 P22 (CMOS I/O)。

备注 x: 不必考虑

(3) 异步串行接口状态寄存器 00 (ASIS00)

此寄存器用于指示在异步串行接口模式中当出现接收错误时的错误类型。

可由 1 位或 8 位存储器操作指令读取该寄存器。

在 3 线串行 I/O 模式中 ASIS00 中的内容不确定。

RESET 输入后 ASIS00 为 00H。

图 13-5. 异步串行接口状态寄存器 00 的格式

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
ASIS00	0	0	0	0	0	PE00	FE00	OVE00	FF71H	00H	R

PE00	奇偶错误标志
0	奇偶错误未发生
1	奇偶错误发生 (当发送和接收奇偶部分不匹配)

FE00	帧错误标志
0	帧错误未发生
1	帧错误发生 (当停止位不检测时) ^{注 1}

OVE00	溢出错误标志
0	溢出错误未发生
1	溢出错误发生 ^{注 2} (下一个接收操作完成且在数据从接收缓冲器 00 读取之前)

- 注**
- 即使设置了异步串行接口模式寄存器 00 (ASIM00) 第 2 位 (SL00) 使得停止位宽度为 2 位，在接收期间也仅检测一位停止位。
 - 当出现溢出错误时一定要读取接收缓冲寄存器 00 (RXB00)。如果不这样，溢出错误将会在每次接收数据时出现。

(4) 波特率发生器控制寄存器 00 (BRGC00)

此寄存器用来设置串行接口 00 的串行时钟。

可由 8 位存储器操作指令设置该寄存器。

RESET 输入后 BRGC00 为 00H。

图 13-6. 波特率发生器控制寄存器 00 的格式

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
BRGC00	TPS003	TPS002	TPS001	TPS000	0	0	0	0	FF73H	00H	R/W

TPS003	TPS002	TPS001	TPS000	3位计数器时钟源选择	
0	0	0	0	$f_x/2$ (2.5 MHz)	1
0	0	0	1	$f_x/2^2$ (1.25 MHz)	2
0	0	1	0	$f_x/2^3$ (625 kHz)	3
0	0	1	1	$f_x/2^4$ (313 kHz)	4
0	1	0	0	$f_x/2^5$ (156 kHz)	5
0	1	0	1	$f_x/2^6$ (78.1 kHz)	6
0	1	1	0	$f_x/2^7$ (39.1 kHz)	7
0	1	1	1	$f_x/2^8$ (19.5 kHz)	8
1	0	0	0	外部时钟从 ASCK 引脚输入 ^注	
其它			禁止设置		

注 仅用于 UART 模式中。

注意事项 1. 在通讯操作期间当写入 BRGC00 的时候,波特率发生器的输出被破坏并且不能实现正常通信。在通信操作期间一定不要对 BRGC00 进行写操作。

2. 在 $f_x = 5.0$ MHz 操作期间不要选择 $n = 1$, 因为波特率的值超出范围。

备注

1. f_x : 主系统时钟振荡频率
2. n : 值由 TPS000 到 TPS003 的设置确定 ($1 \leq n \leq 8$)
3. 括号里的值适用于 $f_x = 5.0$ MHz。

波特率发送/接收时钟由主系统时钟或由 ASCK 引脚输入的时钟分频而产生。

(a) 波特率发送/接收时钟由主系统时钟产生

发送/接收时钟由主系统时钟分频而产生。用以下公式计算波特率。

$$[\text{波特率}] = \frac{f_x}{2^{n+1} \times 8} [\text{Hz}]$$

f_x : 主系统时钟振荡频率

n : 图 13-6 中的值由 TPS000 到 TPS003 中设置的值确定 ($2 \leq n \leq 8$)

表 13-3. 主系统时钟与波特率之间的关系示例

波特率 (bps)	BRGC00 的值	误差 (%)	
		$f_X = 5.0 \text{ MHz}$	$f_X = 4.9152 \text{ MHz}$
1200	70H	1.73	0
2400	60H		
4800	50H		
9600	40H		
19200	30H		
38400	20H		
76800	10H		

(b) 波特率发送/接收时钟由 ASCK 引脚输入的外部时钟产生

发送/接收时钟由 ASCK 引脚输入的时钟分频产生。用以下公式计算波特率。

$$[\text{波特率}] = \frac{f_{\text{ASCK}}}{16} \text{ [Hz]}$$

f_{ASCK} : ASCK 引脚输入时钟的频率

表 13-4. ASCK 引脚输入时钟的频率与波特率之间的关系 (BRGC00 设置为 80H)

波特率 (bps)	ASCK 引脚输入频率 (kHz)
75	1.2
150	2.4
300	4.8
600	9.6
1200	19.2
2400	38.4
4800	76.8
9600	153.6
19200	307.2
31250	500.0
38400	614.4

13.4 串行接口 00 的操作

串行接口 00 有以下三种模式。

- 操作停止模式
- 异步串行接口 (UART) 模式
- 3 线串行 I/O 模式

13.4.1 操作停止模式

在操作停止模式中不进行串行传输，因此可以减少功率消耗。

P20/SCK/ASCK, P21/S0/TxD, 和 P22/SI/RxD 引脚可被用作普通 I/O 端口引脚。

(1) 寄存器设置

由串行操作模式寄存器 00 (CSIM00) 和异步串行接口模式寄存器 00 (ASIM00) 设置操作停止模式。

(a) 串行操作模式寄存器 00 (CSIM00)

可由 1 位或 8 位存储器操作指令设置该寄存器。

RESET 输入后 CSIM00 为 00H。

符号	<7>	6	5	4	3	2	1	0	地址	复位后	R/W
CSIM00	CSIE00	0	0	0	0	DIR00	CSCK00	0	FF72H	00H	R/W

CSIE00	3线串行I/O模式下的操作控制
0	停止操作
1	允许操作

注意事项 第 0 位和第 3 到 6 位必须固定为 0。

(b) 异步串行接口模式寄存器 00 (ASIM00)

可由 1 位或 8 位存储器操作指令设置该寄存器。

RESET 输入后 ASIM00 为 00H。

符号	<7>	<6>	5	4	3	2	1	0	地址	复位后	R/W
ASIM00	TXE00	RXE00	PS001	PS000	CL00	SL00	0	0	FF70H	00H	R/W

TXE00	发送操作控制
0	停止发送操作
1	允许发送操作

RXE00	接收操作控制
0	停止接收操作
1	允许接收操作

注意事项 第 0 位和第 1 位必须固定为 0。

13.4.2 异步串行接口 (UART) 模式

在此模式中，一字节的数据在起始位之后发送/接收并可以全双工通信。

此器件有一个 UART 专用波特率发生器，可产生所需要的波特率进行通信。而且，波特率也可由 ASCK 引脚输入的时钟分频来确定。

UART 专用波特率发生器也可输出符合 MIDI 标准的 31.25 kbps 波特率。

(1) 寄存器设置

由串行操作模式寄存器 00 (CSIM00)，异步串行接口模式寄存器 00 (ASIM00)，异步串行接口状态寄存器 00 (ASIS00) 和波特率发生器控制寄存器 00 (BRGC00) 设置 UART 模式。

(a) 串行操作模式寄存器 00 (CSIM00)

可由 1 位或 8 位存储器操作指令设置该寄存器。

RESET 输入后 CSIM00 为 00H。

在 UART 模式下设置 CSIM00 为 00H。

符号	<7>	6	5	4	3	2	1	0	地址	复位后	R/W
CSIM00	CSIE00	0	0	0	0	DIR00	CSCK00	0	FF72H	00H	R/W

CSIE00	3线串行I/O模式下的操作控制	
0	停止操作	
1	使能操作	

DIR00	开始位规格	
0	MSB	
1	LSB	

CSCK00	3线串行I/O模式下的时钟选择	
0	从外部输入时钟信号给SCK引脚	
1	波特率发生器输出	

注意事项 第 0 位和第 3 到 6 位必须固定为 0。

(b) 异步串行接口模式寄存器 00 (ASIM00)

可由 1 位或 8 位存储器操作指令设置该寄存器。

RESET 输入后 ASIM00 为 00H。

符号	<7>	<6>	5	4	3	2	1	0	地址	复位后	R/W
ASIM00	TXE00	RXE00	PS001	PS000	CL00	SL00	0	0	FF70H	00H	R/W

TXE00	发送操作控制	
0	发送操作停止	
1	发送操作开启	

RXE00	接收操作控制	
0	接收操作停止	
1	接收操作开启	

PS001	PS000	奇偶校验位规格
0	0	无奇偶校验
0	1	在发送时此位总是 0 在接收时并不执行奇偶校验 (无奇偶错误发生)
1	0	奇校验
1	1	偶校验

CL00	字符长度规格	
0	7 位	
1	8 位	

SL00	发送数据停止位规格	
0	1 位	
1	2 位	

- 注意事项
1. 第 0 位和第 1 位必须固定为 0。
 2. 切换操作模式必须在串行发送/接收操作停止以后执行。

(c) 异步串行接口状态寄存器 00 (ASIS00)

可由 1 位或 8 位存储器操作指令读取该寄存器。

$\overline{\text{RESET}}$ 输入后 ASIS00 为 00H。

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
ASIS00	0	0	0	0	0	PE00	FE00	OVE00	FF71H	00H	R

PE00	奇偶错误标志
0	奇偶错误未发生
1	奇偶错误发生 (当发送和接收奇偶部分不匹配)

FE00	帧错误标志
0	帧错误未发生
1	帧错误发生 (当停止位不检测时) ^{注 1}

OVE00	溢出错误标志
0	溢出错误未发生
1	溢出错误发生 ^{注 2} (下一个接收操作完成且在数据从接收缓冲器 00 读取之前)

- 注**
- 即使设置异步串行接口模式寄存器 00 (ASIM00) 第 2 位 (SL00) 使得停止位宽度为 2 位，在接收期间也仅检测一位停止位。
 - 当出现溢出错误时一定要读取接收缓冲寄存器 00 (RXB00)。如果不这样，溢出错误将会在每次接收数据时出现。

(d) 波特率发生器控制寄存器 00 (BRGC00)

可由 8 位存储器操作指令设置该寄存器。

$\overline{\text{RESET}}$ 输入后 BRGC00 为 00H。

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
BRGC00	TPS003	TPS002	TPS001	TPS000	0	0	0	0	FF73H	00H	R/W

TPS003	TPS002	TPS001	TPS000	3位计数器时钟源选择		n	
0	0	0	0	$f_x/2$ (2.5 MHz)		1	
0	0	0	1	$f_x/2^2$ (1.25 MHz)		2	
0	0	1	0	$f_x/2^3$ (625 kHz)		3	
0	0	1	1	$f_x/2^4$ (313 kHz)		4	
0	1	0	0	$f_x/2^5$ (156 kHz)		5	
0	1	0	1	$f_x/2^6$ (78.1 kHz)		6	
0	1	1	0	$f_x/2^7$ (39.1 kHz)		7	
0	1	1	1	$f_x/2^8$ (19.5 kHz)		8	
1	0	0	0	外部时钟从 ASCK 引脚输入 ^注			
其它			禁止设置				

- 注意事项**
1. 在通讯操作期间当写入 BRGC00 的时候, 波特率发生器的输出被破坏并且不能实现正常通信。在通信操作期间一定不要写入 BRGC00。
 2. 在 $f_x = 5.0 \text{ MHz}$ 操作期间不要选择 $n = 1$, 因为波特率的值超出范围。

- 备注**
1. f_x : 主系统时钟振荡频率
 2. n : 值由 TPS000 到 TPS003 的设置确定 ($1 \leq n \leq 8$)
 3. 括号里的值适用于 $f_x = 5.0 \text{ MHz}$ 。

波特率发送/接收时钟由主系统时钟或 ASCK 引脚输入的时钟分频而产生。

(i) 波特率发送/接收时钟由主系统时钟产生

发送/接收时钟由主系统时钟分频而产生。用以下公式计算波特率。

$$[\text{波特率}] = \frac{f_x}{2^{n+1} \times 8} [\text{Hz}]$$

f_x : 主系统时钟振荡频率

n : 表中的值由 TPS000 到 TPS003 中设置的值确定 ($2 \leq n \leq 8$)

表 13-5. 主系统时钟与波特率之间的关系示例

波特率 (bps)	BRGC00 的值	误差 (%)	
		$f_X = 5.0 \text{ MHz}$	$f_X = 4.9152 \text{ MHz}$
1200	70H	1.73	0
2400	60H		
4800	50H		
9600	40H		
19200	30H		
38400	20H		
76800	10H		

(ii) 波特率发送/接收时钟由 ASCK 引脚输入的外部时钟产生

发送/接收时钟由 ASCK 引脚输入的时钟分频产生。用以下公式计算波特率。

$$[\text{波特率}] = \frac{f_{\text{ASCK}}}{16} \text{ [Hz]}$$

f_{ASCK} : ASCK 引脚输入时钟的频率

表 13-6. ASCK 引脚输入时钟的频率与波特率之间的关系 (BRGC00 设置为 80H)

波特率 (bps)	ASCK 引脚输入频率 (kHz)
75	1.2
150	2.4
300	4.8
600	9.6
1200	19.2
2400	38.4
4800	76.8
9600	153.6
19200	307.2
31250	500.0
38400	614.4

(2) 通信操作

(a) 数据格式

发送/接收数据格式如图 13-7 所示。一帧数据由起始位，字符位，校验位和停止位组成。

由异步串行接口模式寄存器 00 (ASIM00) 规定一个数据帧中字符位的宽度、校验方式和停止位的宽度。

图 13-7. 异步串行接口发送/接收数据的格式



- 起始位..... 1 位
- 字符位..... 7 位/8 位
- 校验位..... 偶校验/奇校验/0 校验/无校验
- 停止位..... 1 位/2 位

当选择字符位宽度为 7 位时，只有低 7 位(第 0 到 6 位)有效;在发送中最高有效位(第 7 位)被忽略，在接收中最高有效位(第 7 位)恒为 0。

由 ASIM00 和波特率发生器控制寄存器 00 (BRGC00) 选择串行传输速率。

如果出现串行数据接收错误，通过读取异步串行接口状态寄存器 00 (ASIS00) 的状态可确定接收错误内容。

(b) 校验方式与操作

校验位用于检测通信数据中的位错误。通常在发送和接收两端可采用相同的校验方式。当采用偶校验和奇校验时，可检测到 1 位（奇数）错误。而采用零校验和无校验时，则不能检测到错误。

(i) 偶校验**• 发送**

控制发送数据，包括校验位，使得数据中“1”的个数为偶数。校验位的取值如下。

若发送数据有奇数个“1”：1

若发送数据有偶数个“1”：0

• 接收

计算接收数据（包括校验位）中“1”的个数。若“1”的个数为奇数，则产生校验错误。

(ii) 奇校验**• 发送**

控制发送数据，包括校验位，使得数据中“1”的个数为奇数。校验位取值如下。

若发送数据有奇数个“1”：0

若发送数据有偶数个“1”：1

• 接收

计算接收数据（包括校验位）中“1”的个数。若“1”的个数为偶数，则产生校验错误。

(iii) 零校验

无论发送数据为何值，发送时校验位清零。

接收数据时不检测校验位。因此无论校验位为何值，都不会产生校验错误。

(iv) 无校验

发送数据中没有校验位。

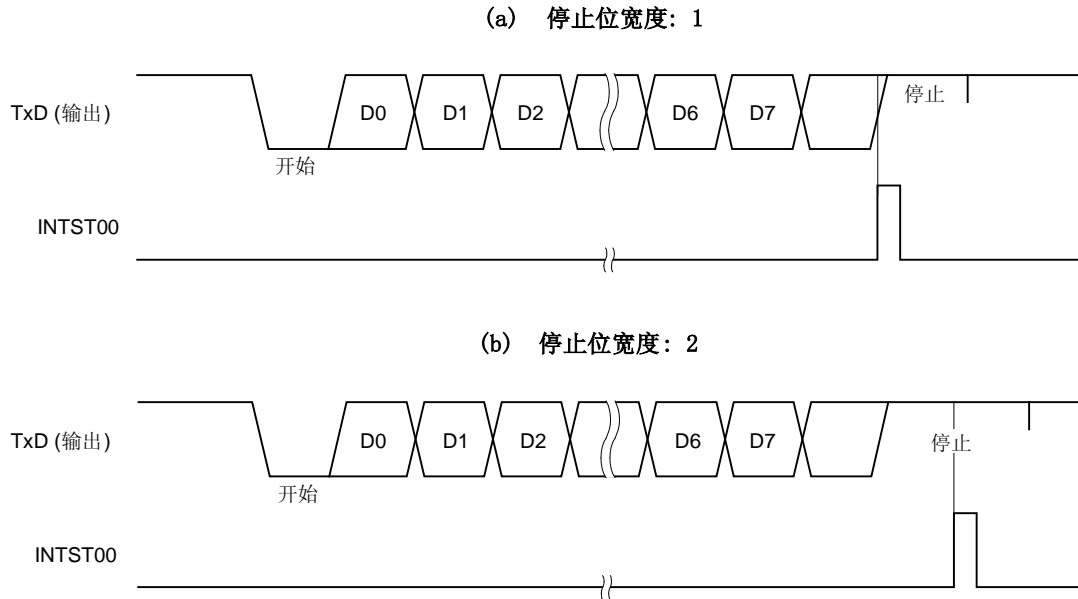
进行接收操作时认为接收数据中没有校验位。因此也不会产生校验错误。

(c) 发送

将发送数据写入发送移位寄存器 00 (TXS00) 中时，可启动发送操作。起始位、校验位和停止位会自动添加到数据中。

当启动发送操作时，TXS00 中的数据被移位传出，当 TXS00 为空时，产生发送完成中断 (INTST00)。

图 13-8. 异步串行接口发送完成中断时序



注意事项 不要在发送操作期间重写异步串行接口模式寄存器 00 (ASIM00)。如果在发送期间 **ASIM00** 被重写，后续的发送操作可能不会正确执行 (可由复位输入恢复正常状态)。

可在软件中用发送完成中断 (INTST00) 或由 INTST00 设置的中断请求标志 (STIF00) 判断是否正在处于发送过程中。

(d) 接收

当异步串行接口模式寄存器 00 (ASIM00) 的第 6 位 (RXE00) 为 1 时，允许接收并对 RxD 引脚输入进行采样。

使用由 ASIM00 指定的串行时钟对 RxD 引脚输入进行采样。

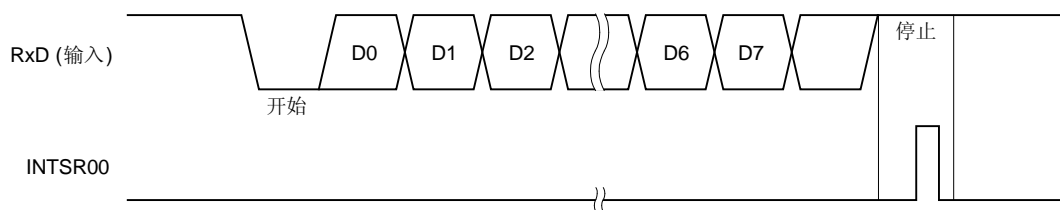
当 RxD 引脚输入变低时，3 位计数器开始计数，当经过由特定波特率确定的时间的一半，输出数据采样启动时序信号。如果 RxD 引脚输入再次采样的结果为低，它被确定为起始位，3 位计数器初始化并开始计数，并且进行数据采样。当在起始位后检测到字符数据，校验位与停止位，一帧数据的接收结束。

当接收到一帧数据时，在移位寄存器中的接收数据被传送到接收缓冲寄存器 00 (RXB00)，并且产生接收完成中断 (INTSR00)。

如果出现错误，出错的接收数据仍然被传送到 RXB00 中并产生 INTSR00。

在接收操作期间如果 RXE00 位置为 0，接收操作立即停止。在这种情况下，RXB00 与异步串行接口状态寄存器 00 (ASIS00) 中的内容不变，并且不产生 INTSR00。

图 13-9. 异步串行接口接收完成中断时序



注意事项 即使出现接收错误也一定要读取接收缓冲寄存器 00 (RXB00)。如果不读取 RXB00，当接收下一个数据时将会出现溢出错误，并且接收错误状态将会一直保持。

(e) 接收错误

在接收期间可能会产生三种错误：校验错误，帧错误，或溢出错误。在异步串行接口状态寄存器 00 (ASIS00) 中设置数据接收结果错误标志。接收错误原因如表 13-7 所示。

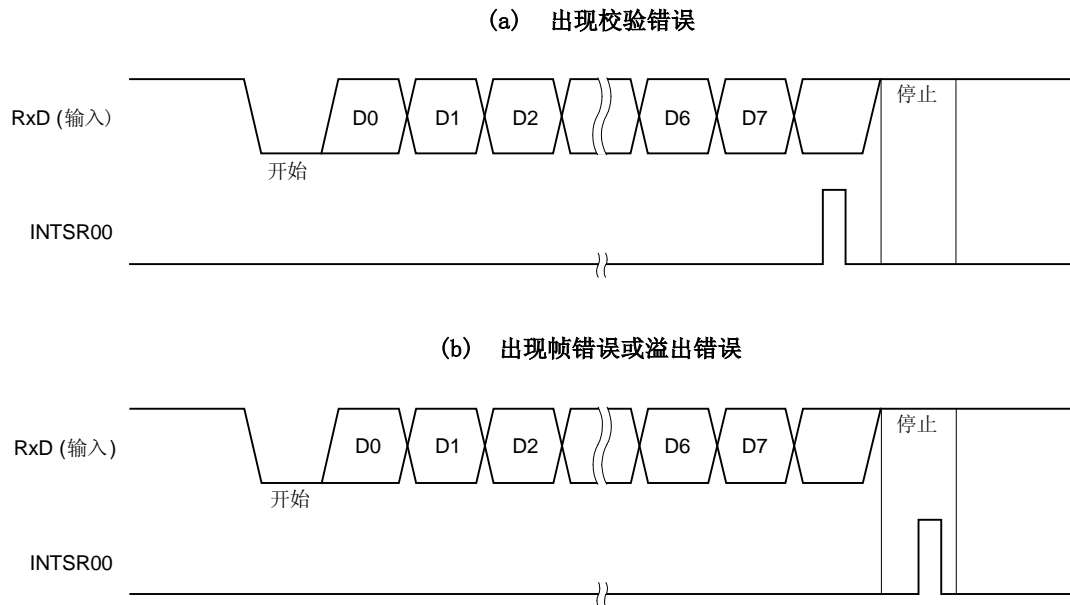
可以通过在接收错误中断服务程序中读 ASIS00 的内容来识别在接收期间发生了哪一个错误(参见图 13-9 与 13-10)。

当读取接收缓冲寄存器 00 (RXB00) 或接收下一个数据 (如果在下一个数据中有错误，相应的错误标志被置位) 时，ASIS00 中的值重置为 0。

表 13-7. 接收错误原因

接收错误	原因
校验错误	发送与接收数据的校验不匹配。
帧错误	未检测到停止位。
溢出错误	在从接收缓冲寄存器读数据之前下一个数据已接收。

图 13-10. 接收错误时序



- 注意事项**
1. 通过读取接收缓冲寄存器 00 (RXB00) 或接收下一个数据会将 ASIS00 寄存器中的内容重置为 0。在读取 RXB00 之前读取 ASIS00 可以确定错误内容。
 2. 即使出现接收错误也一定要读取接收缓冲寄存器 00 (RXB00)。如果不读取 RXB00，当接收下一个数据时将会出现溢出错误，并且接收错误状态将会一直保持。

★ (f) 读取接收数据

当产生接收完成中断 (INTSR00) 时, 可通过读取接收缓冲寄存器 00 (RXB00) 中的值得到接收数据。
当允许接收 (RXE00 = 1) 时, 可读取存储在接收缓冲寄存器 00 (RXB00) 中的接收数据。

备注 但是, 如果需要在接收停止之后 (RXE00 = 0) 读取接收数据, 可用以下两种方法之一。

- (a) 在等待由 BRGC00 选择的时钟源的一个或更多周期之后, 然后设置 RXE00 = 0, 读取数据。
- (b) 在串行操作模式寄存器 00 (CSIM00) 的第 2 位 (DIR00) 置 1 之后读取数据。

(a) 程序示例 (BRGC00 = 00H (时钟源 = $f_x/2$))

INTRXE: ; <接收完成中断服务程序>

```

NOP                ;2 个时钟周期
CLR1 RXE00        ;接收停止
MOV A, RXB00      ;读取接收数据

```

(b) 程序示例

INTRXE: ; <接收完成中断服务程序>

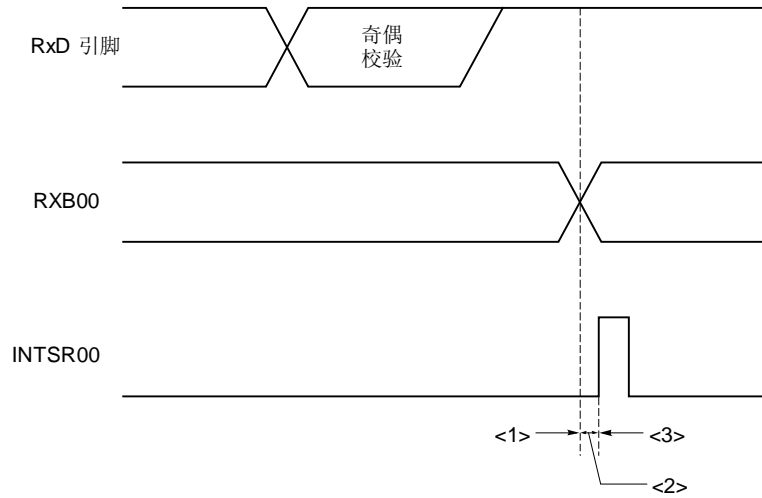
```

SET1 CSIM00.2     ;设置 DIR00 标志为 LSB
CLR1 RXE00        ;接收停止
MOV A, RXB00      ;读取接收数据

```

(3) UART 模式的注意事项

- (a) 在发送期间当异步串行接口模式寄存器 00 (ASIM00) 的第 7 位 (TXE00) 清零时，一定要设置发送移位寄存器 00 (TXS00) 为 FFH，然后在执行下一次发送之前设置 TXE00 位为 1。
- (b) 在接收期间当异步串行接口模式寄存器 00 (ASIM00) 的第 6 位 (RXE00) 清零时，接收缓冲寄存器 00 (RXB00) 与接收完成中断 (INTSR00) 如下所示。



当以<1>中所示的时序设置 RXE00 为 0 时，RXB00 保持以前的数据并且不产生 INTSR00。

当以<2>中所示的时序设置 RXE00 为 0 时，RXB00 更新数据并且不产生 INTSR00。

当以<3>中所示的时序设置 RXE00 为 0 时，RXB00 更新数据并产生 INTSR00。

13.4.3 3 线串行 I/O 模式

3 线串行 I/O 模式可用于连接具有时钟同步串行接口的显示控制器和外部 I/Os 等器件，如 75XL 系列，78K 系列和 17K 系列。

使用三条线实现通信： 串行时钟 ($\overline{\text{SCK}}$)，串行输出 (SO)，与串行输入 (SI)。

(1) 寄存器设置

由串行操作模式寄存器 00 (CSIM00)，异步串行接口模式寄存器 00 (ASIM00)，和波特率发生器控制寄存器 00 (BRGC00) 设置 3 线串行 I/O 模式。

(a) 串行操作模式寄存器 00 (CSIM00)

可由 1 位或 8 位存储器操作指令设置该寄存器。

RESET 输入后 CSIM00 为 00H。

符号	<7>	6	5	4	3	2	1	0	地址	复位后	R/W
CSIM00	CSIE00	0	0	0	0	DIR00	CSCK00	0	FF72H	00H	R/W

CSIE00	3线串行I/O模式下的操作控制
0	停止操作
1	使能操作

DIR00	开始位规格
0	MSB
1	LSB

CSCK00	3线串行I/O模式下的时钟选择
0	从外部输入时钟信号给 $\overline{\text{SCK}}$ 引脚
1	波特率发生器输出

注意事项 第 0 位和第 3 到 6 位必须固定为 0。

(b) 异步串行接口模式寄存器 00 (ASIM00)

可由 1 位或 8 位存储器操作指令设置该寄存器。

$\overline{\text{RESET}}$ 输入后 ASIM00 为 00H。

在 3 线串行 I/O 模式下必须设置 ASIM00 为 00H。

符号	<7>	<6>	5	4	3	2	1	0	地址	复位后	R/W
ASIM00	TXE00	RXE00	PS001	PS000	CL00	SL00	0	0	FF70H	00H	R/W

TXE00	发送操作控制
0	发送操作停止
1	发送操作开启

RXE00	接收操作控制
0	接收操作停止
1	接收操作开启

PS001	PS000	奇偶校验位规格
0	0	无奇偶校验
0	1	在发送时此位总是 0 在接收时并不执行奇偶校验 (无奇偶错误发生)
1	0	奇校验
1	1	偶校验

CL00	字符长度规格
0	7 位
1	8 位

SL00	发送数据停止位规格
0	1 位
1	2 位

- 注意事项
1. 第 0 位和第 1 位必须固定为 0。
 2. 切换操作模式必须在串行发送/接收操作停止之后执行。

(c) 波特率发生器控制寄存器 00 (BRGC00)

可由 8 位存储器操作指令设置该寄存器。

RESET 输入后 BRGC00 为 00H。

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
BRGC00	TPS003	TPS002	TPS001	TPS000	0	0	0	0	FF73H	00H	R/W

TPS003	TPS002	TPS001	TPS000	3位计数器时钟源选择	n
0	0	0	0	$f_x/2$ (2.5 MHz)	1
0	0	0	1	$f_x/2^2$ (1.25 MHz)	2
0	0	1	0	$f_x/2^3$ (625 kHz)	3
0	0	1	1	$f_x/2^4$ (313 kHz)	4
0	1	0	0	$f_x/2^5$ (156 kHz)	5
0	1	0	1	$f_x/2^6$ (78.1 kHz)	6
0	1	1	0	$f_x/2^7$ (39.1 kHz)	7
0	1	1	1	$f_x/2^8$ (19.5 kHz)	8
其他			禁止设置		

注意事项 1. 在通讯操作期间当写入 BRGC00 的时候, 波特率发生器的输出被破坏并且不能实现正常通信。在通信操作期间一定不要写入 BRGC00。

2. 在 $f_x = 5.0$ MHz 操作期间不要选择 $n = 1$, 因为波特率的值超出范围。

备注

1. f_x : 主系统时钟振荡频率

2. n : 上表中的值由 TPS000 到 TPS003 的设置确定 ($1 \leq n \leq 8$)

3. 括号里的值适用于 $f_x = 5.0$ MHz。

如果使用内部时钟作为 3 线串行 I/O 模式的串行时钟, 可设置 TPS000 到 TPS003 位以确定串行时钟的频率。使用以下公式可得到该频率的值。当从片外输入获得串行时钟时, 不必设置 BRGC00。

$$\text{串行时钟频率} = \frac{f_x}{2^{n+1}} \text{ [Hz]}$$

f_x : 主系统时钟振荡频率

n : 上表中的值由 TPS000 到 TPS003 的设置确定 ($1 \leq n \leq 8$)

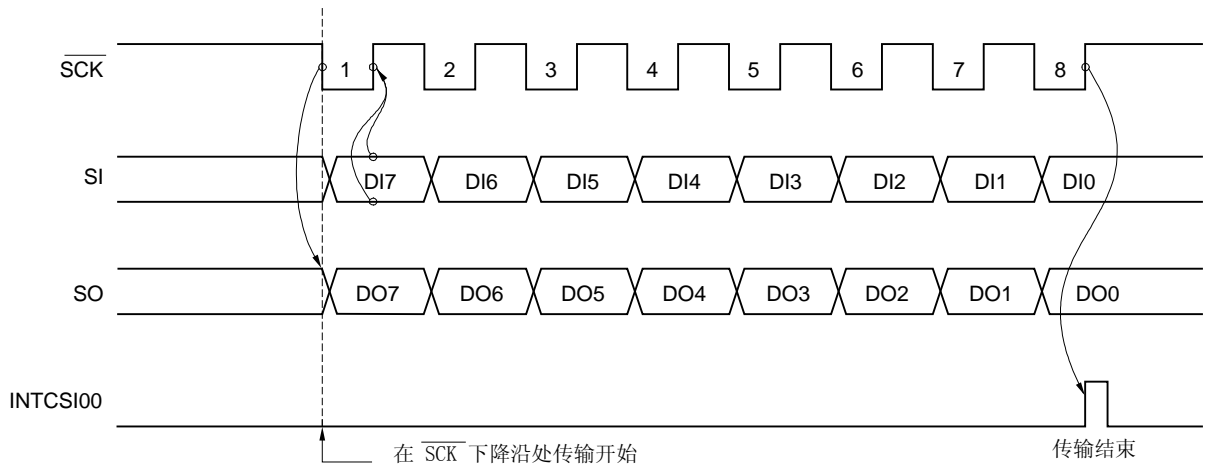
(2) 通讯操作

在 3 线串行 I/O 模式下，以 8 位为单元发送/接收数据。数据由串行时钟同步，一位一位的发送/接收。

发送移位寄存器 00 (TXS00/SI000)与接收移位寄存器 00 (RXS00)与串行时钟 (\overline{SCK}) 的下降沿同步执行移位操作。发送数据由 S0 锁存保持并从 S0 引脚输出。并且，输入到 SI 引脚的接收数据在 \overline{SCK} 的上升沿锁存在接收缓冲寄存器 00 (RXB00/SI000) 中。

在 8 位传输结束时，TXS00/SI000 或 RXS00 的操作自动停止，并产生中断请求信号 (INTCSI00)。

图 13-11. 3 线串行 I/O 模式时序

**(3) 传输启动**

当满足以下两个条件时，在发送移位寄存器 00 (TXS00/SI000) 中设置传输数据启动串行传输。

- 串行操作模式寄存器 00 (CSIM00) 的第 7 位 (CSIE00) = 1
- 内部串行时钟停止或在 8 位串行传输之后 \overline{SCK} 为高电平。

注意事项 如果在数据写入到 TXS00/SI000 之后 CSIE00 设置为 1，将不启动传输。

8 位传输结束将自动终止串行传输并产生中断请求信号 (INTCSI00)。

第十四章 LCD 控制器/驱动器

14.1 LCD 控制器/驱动器的功能





μ PD789407A 和 μ PD789417A 子系列的 LCD 控制器/驱动器的功能如下。

- (1) 由显示数据存储内容直接显示驱动。
- (2) 5 种显示模式：
 - 静态
 - 1/2 偏压 2 分时
 - 1/2 偏压 3 分时
 - 1/3 偏压 3 分时
 - 1/3 偏压 4 分时
- (3) 各种模式都有四种不同的帧频率可选。
- (4) 最多 28 个 SEG 信号(S0 ~ S27)和 4 个 COM 信号(COM0~COM3) 输出。
SEG 信号中有两个单元(P80/S27 ~ P87/S20 和 P90/S19 ~ P93/S16)共 12 个 SEG 信号也可以切换为普通 I/O 端口。
- (5) 可由掩膜选项来指定是否内置提供 LCD 驱动电压的分压电阻。
- (6) 在副系统时钟下也可工作。

表 14-1 列出了各个显示模式下可显示的最多码段数。

表 14-1. 最多码段数

偏压模式	分时数	使用的 COM 信号	最多码段数
-	静态	COM0 (COM1 ~ COM3)	28 (28 SEG 信号, 1 COM 信号) ^{注 1}
1/2	2	COM0, COM1	56 (28 SEG 信号, 2 COM 信号) ^{注 2}
	3	COM0 ~ COM2	84 (28 SEG 信号, 3 COM 信号) ^{注 3}
1/3	3	COM0 ~ COM2	
	4	COM0 ~ COM3	112 (28 SEG 信号, 4 COM 信号) ^{注 4}

- 注**
1. 3 个数字的 LCD 面板, 每个数字由 8 段  形的 LCD 构成。
 2. 7 个数字的 LCD 面板, 每个数字由 4 段  形的 LCD 构成。
 3. 9 个数字的 LCD 面板, 每个数字由 3 段  形的 LCD 构成。
 4. 14 个数字的 LCD 面板, 每个数字由 2 段  形的 LCD 构成。

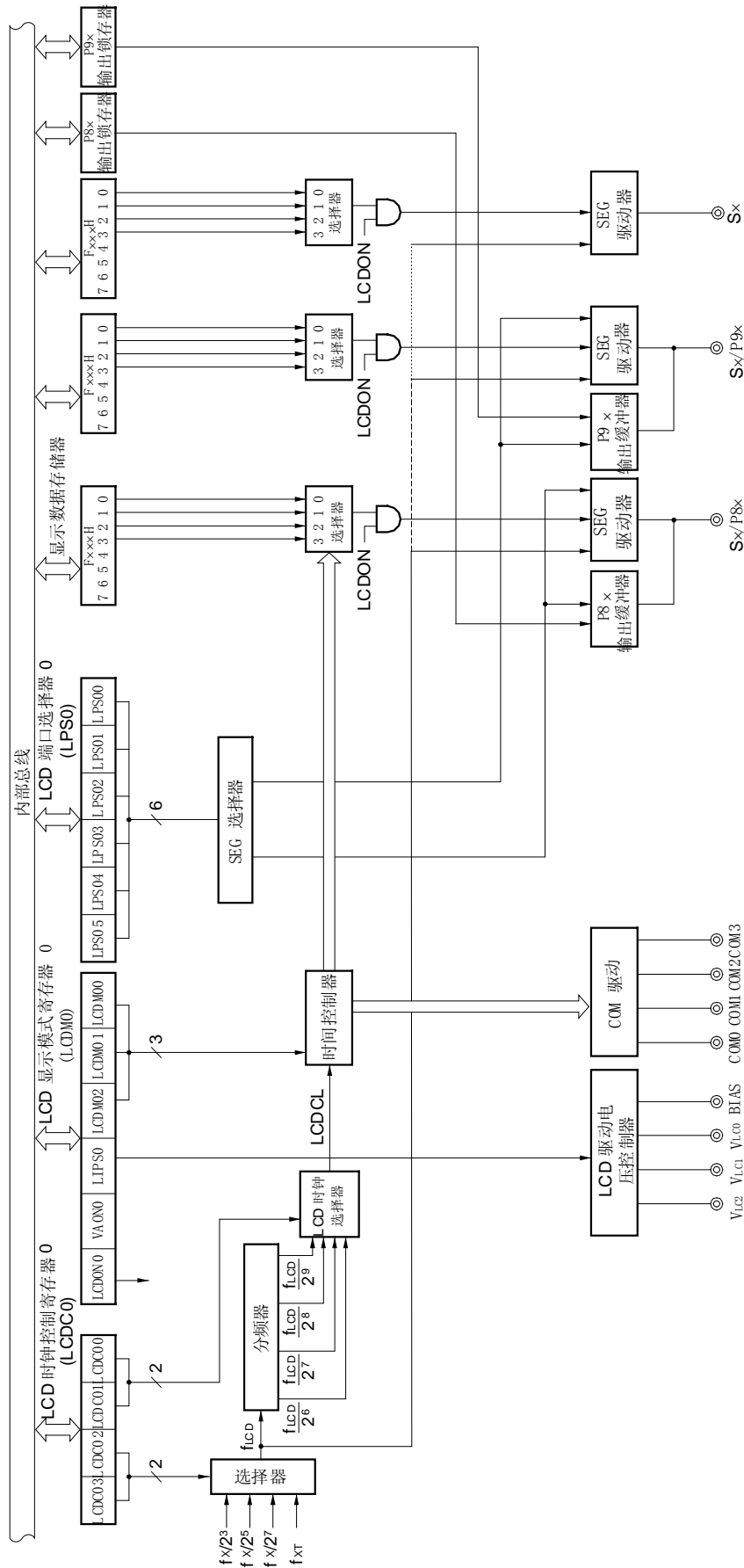
14.2 LCD 控制器/驱动器的配置

LCD 控制器/驱动器包括如下硬件。

表 14-2. LCD 控制器/驱动器硬件配置

项目	配置
显示输出	28 个 SEG 信号 (16 个专用 SEG 信号, 12 个 SEG 信号或 I/O 端口信号) 4 个 COM 信号 (COM0~ COM3)
控制寄存器	LCD 显示模式寄存器 0 (LCDM0) LCD 端口选择器 0 (LPS0) LCD 时钟控制寄存器 0 (LCDC0)

图 14-1. LCD 控制器/驱动器框图



14.3 控制LCD 控制器/驱动器的寄存器

如下三个寄存器用来控制LCD 控制器/驱动器。

- LCD 显示模式寄存器 0 (LCDM0)
- LCD 端口选择器 0 (LPS0)
- LCD 时钟控制寄存器 0 (LCDC0)

(1) LCD 显示模式寄存器 0 (LCDM0)

LCDM0 指定是否允许显示操作、操作模式、LCD 驱动电源和显示模式。

可由 1 位或 8 位存储器操作指令设置 LCDM0。

RESET 输入后该寄存器为 00H。

图 14-2. LCD 显示模式寄存器 0 的格式

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
LCDM0	LCDON0	VAON0	0	LIPS0	0	LCDM02	LCDM01	LCDM00	FFB0H	00H	R/W

LCDON0	LCD 显示控制
0	显示关闭 (取消所有 SEG 输出)
1	显示打开

VAON0	LCD 控制器/驱动器操作模式 ^注
0	普通操作
1	低电压操作

LIPS0	LCD 驱动电源选择
0	不提供LCD 驱动电源
1	由 BIAS 引脚提供 LCD 驱动电源

LCDM02	LCDM01	LCDM00	LCD 控制器/驱动器显示模式选择	
			时间段数	偏压模式
0	0	0	4	1/3
0	0	1	3	1/3
0	1	0	2	1/2
0	1	1	3	1/2
1	0	0	静态	
其它			禁止设置	

注 当不使用 LCD 显示面板时，为了省电，VAON0 和 LIPS0 必须固定为 0。

注意事项 在试图操作 VAON0 之前，要把 LIPS0 和 LCDON0 设置为 0 来关掉 LCD。

(2) LCD 端口选择器 0 (LPS0)

LPS0 是用来控制端口复用功能的寄存器。

可由 1 位或 8 位存储器操作指令设置 LPS0。

RESET 输入后该寄存器为 00H。

图 14-3. LCD 端口选择器 0 的格式

符号	7	6	5	4	3	2	1	0	地址	复位后	读/写
LPS0	0	0	LPS05	LPS04	LPS03	LPS02	LPS01	LPS00	FFB1H	00H	读/写

	LPS05	LPS04	LPS03	LPS02	LPS01	LPS00
	P93/S16, P92/S17	P91/S18, P90/S19	P87/S20, P86/S21	P85/S22, P84/S23	P83/S24, P82/S25	P81/S26, P80/S27
0	作为端口使用 (Pmn)					
1	作为segments使用 (S)					

注意事项 1. 第 6 位和第 7 位必须固定为 0。

2. SEG 的使用顺序一定要从最小段号开始 (LPS05 → LPS04 → ... → LPS00)。

备注
 m = 8 n = 0 ~ 7
 m = 9 n = 0 ~ 3
 x = 16 ~ 27

(3) LCD 时钟控制寄存器 0 (LCDC0)

LCDC0 是选择 LCD 源时钟和 LCD 时钟寄存器。

帧频率通过 LCD 时钟和分位数确定。

可由 1 位或 8 位存储器操作指令设置 LCDC0。

RESET 输入后该寄存器清零。

图 14-4. LCD 时钟控制寄存器 0 的格式

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
LCDC0	0	0	0	0	LCDC03	LCDC02	LCDC01	LCDC00	FFB2H	00H	R/W

LCDC03	LCDC02	LCD 时钟源频率 (f _{LC}) 选择 ^注
0	0	f _X /2 ⁷ (39.1 kHz)
0	1	f _{XT} (32.768 kHz)
1	0	f _X /2 ⁵ (156.3 kHz)
1	1	f _X /2 ³ (625 kHz)

LCDC01	LCDC00	LCD 时钟 (LCDCL) 频率选择
0	0	f _{LC} /2 ⁶
0	1	f _{LC} /2 ⁷
1	0	f _{LC} /2 ⁸
1	1	f _{LC} /2 ⁹

注 指定 LCD 源时钟频率 (f_{LC}) 最小 32 kHz。

- 备注
1. f_X: 主系统时钟频率
 2. f_{XT}: 副系统时钟频率
 3. 括号内的值适用于 f_X = 5.0 MHz 或 f_{XT} = 32.768 kHz。

例如, 表 14-3 列出当 f_{XT} (32.768 kHz) 作为 LCD 时钟源 (f_{LC}) 时所用的帧频率。

表 14-3. 帧频率 (Hz)

LCD 时钟 (LCDCL) 频率	f _{XT} /2 ⁹ (64 Hz)	f _{XT} /2 ⁸ (128 Hz)	f _{XT} /2 ⁷ (256 Hz)	f _{XT} /2 ⁶ (512 Hz)
静态	64	128	256	512
2	32	64	128	256
3	21	43	85	171
4	16	32	64	128

14.4 设置 LCD 控制器/驱动器

设置 LCD 控制器/驱动器的过步骤如下。

- <1> 设置 LCD 显示数据存储器的(地址 FA00H~FA1BH)的初始值。
- <2> 由 LCD 端口选择器 0 (LPS0)设置哪些引脚用作 SEG 输出。
- <3> 由 LCD 显示模式寄存器 0(LCDM0)设置显示和操作模式。
- <4> 由 LCD 时钟控制寄存器 0(LCDC0)设置 LCD 时钟。

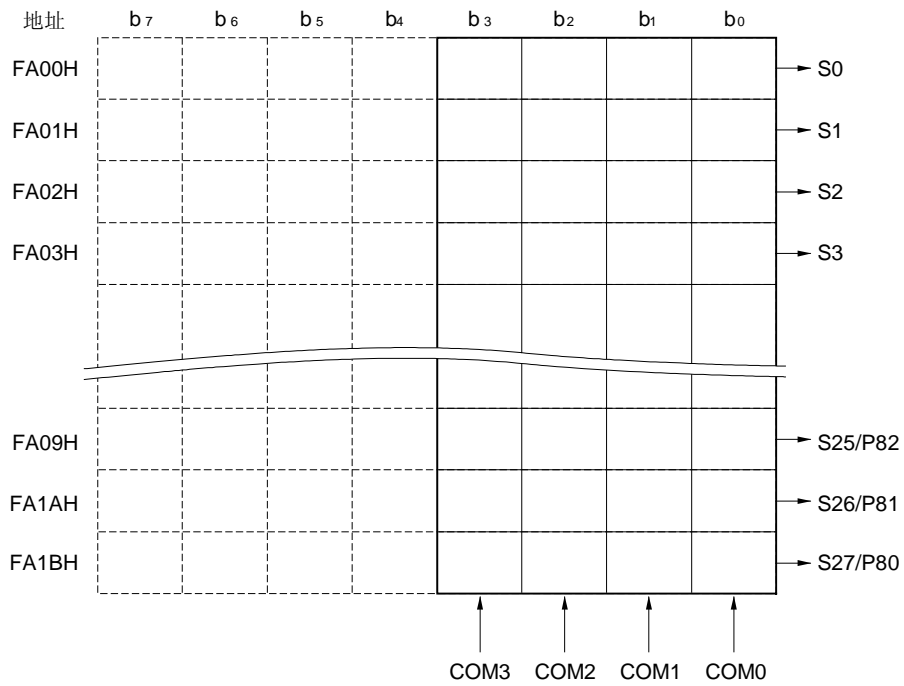
以上步骤之后，在显示数据存储器的中设置要显示的数据。

14.5 LCD 显示数据存储器

LCD 显示数据存储器的地址范围是 FA00H ~ FA1BH。使用 LCD 控制器/驱动器可以将 LCD 显示数据存储器的数据显
示在 LCD 面板上。

图 14-5 为 LCD 显示数据存储器的内容和 SEG/COM 输出之间的关系。
未用的显示数据存储器可当普通 RAM 使用。

图 14-5. LCD 显示数据存储器的内容和 SEG/COM 输出之间的关系



注意事项 LCD 显示数据存储器的高 4 位没有分配存储空间。这些位一定要固定为 0。

14.6 COM 和 SEG 信号

LCD 显示板上的各码段，只要对应的 COM 和 SEG 信号的电位差大于指定电压(LCD 驱动电压， V_{LCD})时，才能被点亮。电位差小于 V_{LCD} 时，不能点亮。

在 COM 信号和 SEG 信号加直流电压驱动时，易使 LCD 功能劣化。为避免出现这种问题，LCD 面板要用交流电压驱动。

(1) COM 信号

根据表 14-4 所列出的特定分时数，COM 信号以设定频率循环输出。静态显示模式中，COM0 ~ COM3 的输出信号相同。在 2 分时模式中，COM2 和 COM3 引脚开路。在 3 分时模式中，COM3 端子开路。

表 14-4. COM 信号

分时数 \ COM 信号	COM0	COM1	COM2	COM3
静态显示模式	→	→	→	→
2分时模式	→	→	开路	开路
3分时模式	→	→	→	开路
4分时模式	→	→	→	→

(2) SEG 信号

SEG 信号对应 LCD 显示数据存储器的 28 个字节(FA00H ~ FA1BH)。每个字节的第 0, 1, 2 和 3 位分别对应 COM0, COM1, COM2 和 COM3。如果该位是 1，对应的 SEG 引脚(S0 ~ S27)输出选择信号电平，如果该位是 0，对应的 SEG 引脚(S0 ~ S27)输出非选择信号电平。值得注意的是，S16 ~ S27 也可以用作普通 I/O 端口。因此，SEG 引脚和 COM 引脚的组合不同，LCD 显示数据存储器中的有效位也不同，并且根据预期方式以不同偏压方式写每一位数据。

在静态显示模式下，LCD 显示数据存储器第 1/2/3 位，2 分时模式下的第 2/3 位，3 分时模式下的第 3 位，均不作为 LCD 显示数据使用。在实际程序中这些位可以用作别的用途。

LCD 显示数据存储器的第 4 ~ 7 位固定为 0。

(3) COM 信号和 SEG 信号的输出波形

COM 信号和 SEG 信号的输出电平如表 14-5 所示。

当 COM 信号和 SEG 信号均为选择信号电平时，COM 信号与 SEG 信号的电压差为 $+V_{LCD}$ 或 $-V_{LCD}$ ，方可点亮 LCD。其他组合方式不足以驱动显示。

表 14-5. LCD 驱动电压

(a) 静态显示模式

COM 信号 \ SEG 信号		选择信号电平	非选择信号电平
		VSS0/VLC0	VLC0/VSS0
VLC0/VSS0		$-V_{LCD}/+V_{LCD}$	0 V/0 V

(b) 1/2 偏压模式

COM 信号 \ SEG 信号		选择信号电平	非选择信号电平
		VSS0/VLC0	VLC0/VSS0
选择信号电平	VLC0/VSS0	$-V_{LCD}/+V_{LCD}$	0 V/0 V
非选择信号电平	VLC1= VLC2	$-1/2V_{LCD}/+1/2V_{LCD}$	$+1/2 V_{LCD}/-1/2V_{LCD}$

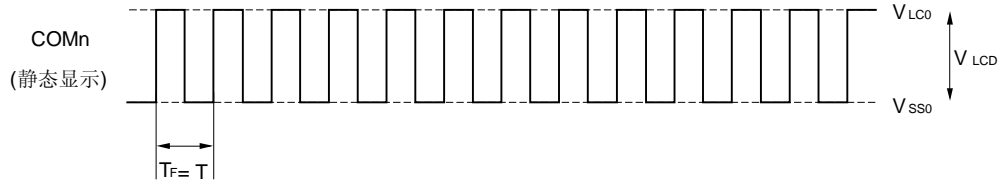
(c) 1/3 偏压模式

COM 信号 \ SEG 信号		选择信号电平	非选择信号电平
		VSS0/VLC0	VLC1/VLC2
选择信号电平	VLC0/VSS0	$-V_{LCD}/+V_{LCD}$	$-1/3V_{LCD}/+1/3V_{LCD}$
非选择信号电平	VLC2/VLC1	$-1/3V_{LCD}/+1/3V_{LCD}$	$-1/3V_{LCD}/+1/3V_{LCD}$

图 14-6 是 COM 信号波形，图 14-7 是 COM 信号和 SEG 信号的电压和相位。

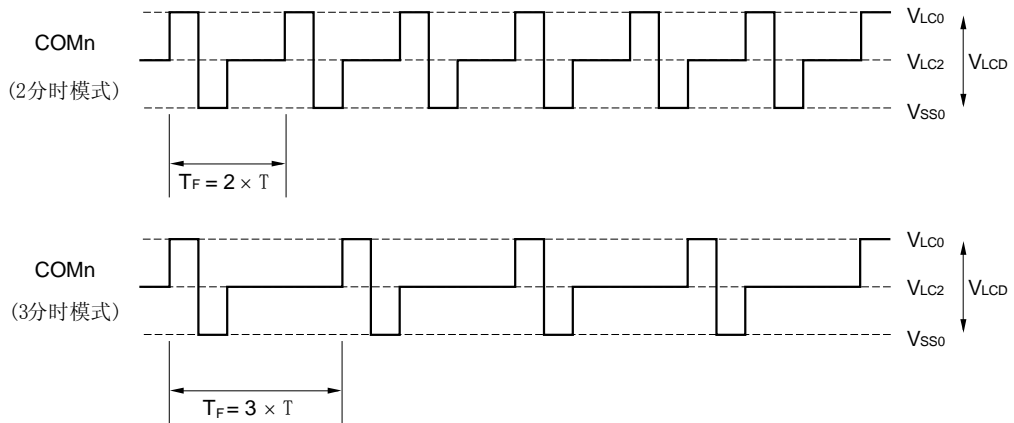
图 14-6. COM 信号波形

(a) 静态显示模式



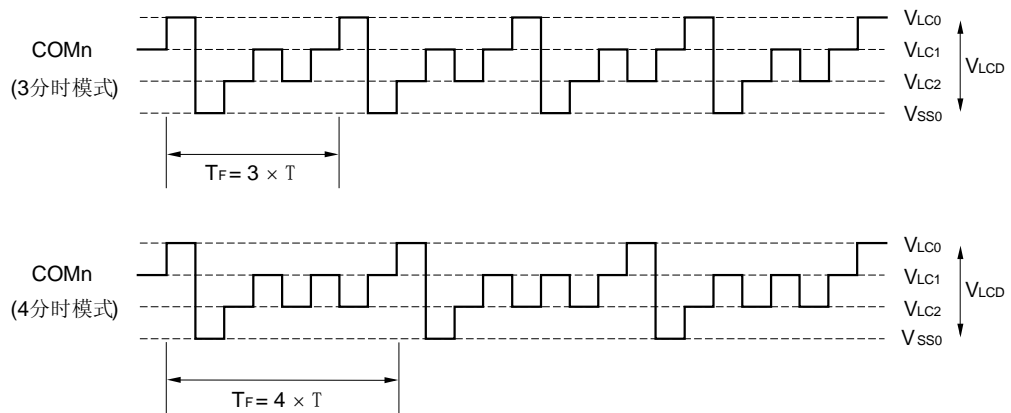
T: 一个 LCD 时钟周期 T_F : 帧频率

(b) 1/2 偏压模式



T: 一个 LCD 时钟周期 T_F : 帧频率

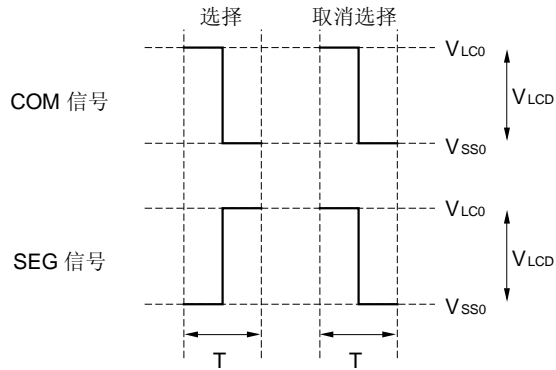
(c) 1/3 偏压模式



T: 一个 LCD 时钟周期 T_F : 帧频率

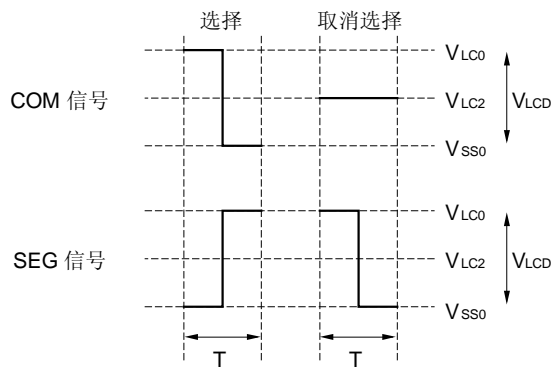
图 14-7. COM 信号和 SEG 信号的电压和相位

(a) 静态显示模式



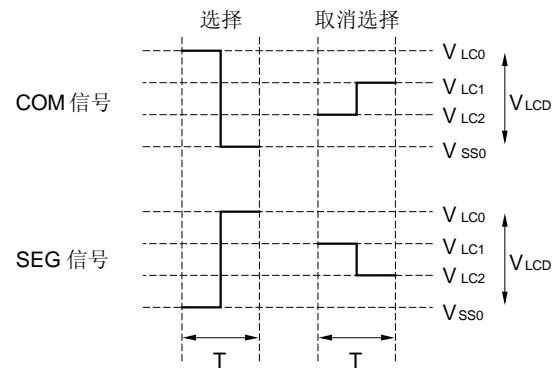
T: 一个 LCD 时钟周期

(b) 1/2 偏压模式



T: 一个 LCD 时钟周期

(c) 1/3 偏压模式



T: 一个 LCD 时钟周期

14.7 提供LCD 驱动电压 V_{LC0} , V_{LC1} , 和 V_{LC2}

LCD 显示的掩膜 ROM 版本 (除 μ PD78F9418A 之外) 可内置分压电阻, 用来产生 LCD 驱动电压, 对应表 14-6 中列出的各种偏压方式, 可不外接电阻。

LCD 驱动电压可供给 BIAS 引脚从而支持不同的 LCD 驱动电平。

表 14-6. LCD 驱动电压 (片上分压电阻)

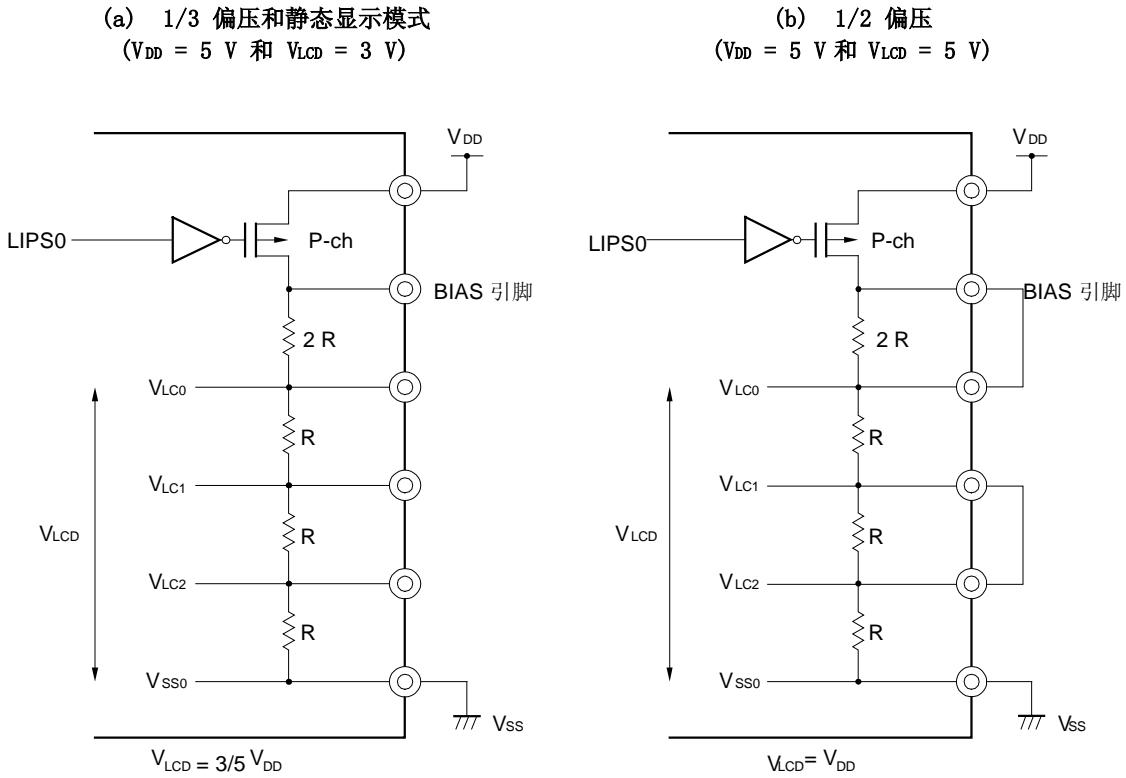
LCD 驱动电压引脚 \ 偏压	无偏压 (静态)	1/2 偏压	1/3 偏压
V_{LC0}	VLCD	VLCD	VLCD
V_{LC1}	$\frac{2}{3}$ VLC	$\frac{1}{2}$ VLC ^注	$\frac{2}{3}$ VLC
V_{LC2}	$\frac{1}{3}$ VLC		$\frac{1}{3}$ VLC

注 对于 1/2 偏压, 有必要从外部把引脚 V_{LC1} 和 V_{LC2} 连接。

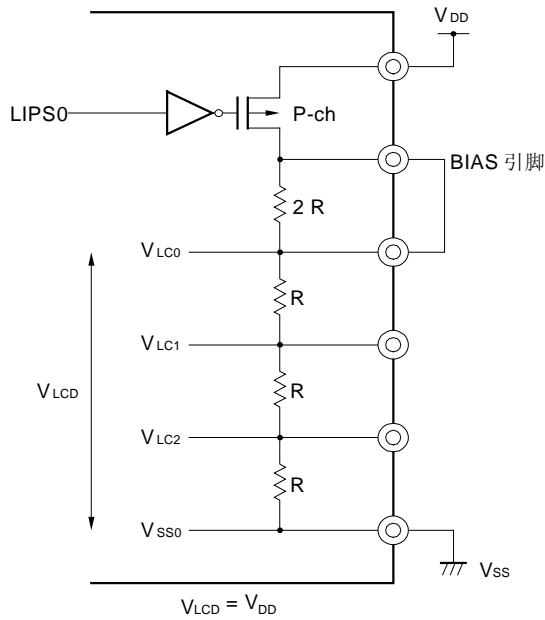
- 备注**
1. 如 BIAS 和 V_{LC0} 引脚无连接, $V_{LCD} = \frac{3}{5}V_{DD}$ (如果包括分压电阻)。
 2. 如 BIAS 和 V_{LC0} 引脚有外部连接, $V_{LCD} = V_{DD}$ 。

图 14-8 是根据表 14-6 由内部产生 LCD 驱动电压的示例。

图 14-8. LCD 驱动电压连接示例 (使用片内分压电阻)



(c) 1/3 偏压和静态显示模式
($V_{DD} = 5\text{ V}$ 和 $V_{LCD} = 5\text{ V}$)



LIPS0: LCD 显示模式寄存器 0 (LCDM0) 的第 4 位

14.8 显示模式

14.8.1 静态显示示例

按照图 14-9 μ PD789407A 或者 789417A 子系列的芯片的 SEG 信号(S0 ~ S23)和 COM 信号(COM0)的连接方式, 图 14-10 是 3 个数字的 LCD 面板显示模式的原理。该例子是在 LCD 面板显示数据“12.3”。显示数据存储器的内容(地址 FA00H ~ FA17H)符合此显示。

以第二个字码“2.”(□)为例。为了在 LCD 面板上显示“2.”, 以 COM0 的时序, 按照如表 14-7 所示从 S8~S15 引脚输出选择/非选择信号电平; SEG 信号和 LCD 段的连接关系如图 14-9。

表 14-7. 选择和非选择信号电平 (COM0)

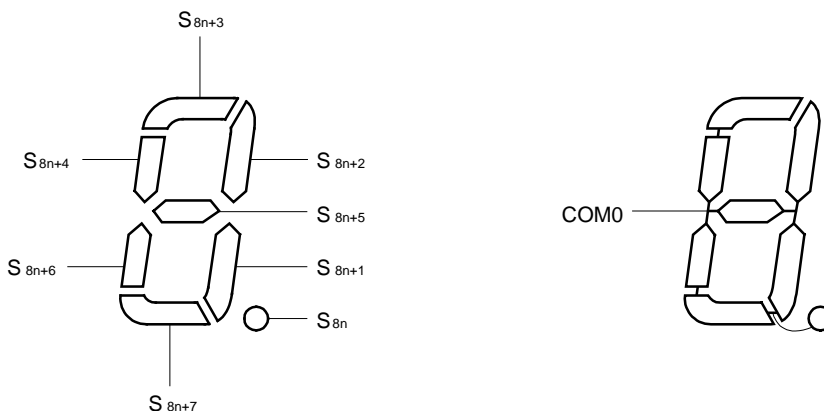
COM	SEG	S8	S9	S10	S11	S12	S13	S14	S15
COM0		选择	非选择	选择	选择	非选择	选择	选择	选择

根据表 14-7, S8~S15 对应的显示数据区(FA08H ~ FA0FH)的第 0 位依次为 1, 0, 1, 1, 0, 1, 1, 1。

图 14-11 是 S11, S12 和 COM0 的 LCD 驱动波形。以 COM0 的时序, S11 输出选择信号电平, 两者的电压差为点亮电压 $+V_{LCD}/-V_{LCD}$ 的交流方波。

COM1 ~ COM3 和 COM0 输出相同的波形。所以, 可把 COM0~COM3 连在一起以提高驱动能力。

图 14-9. 静态 LCD 显示模式和电极连接



备注 n = 0 ~ 2

图 14-10. 静态 LCD 面板的连接示例

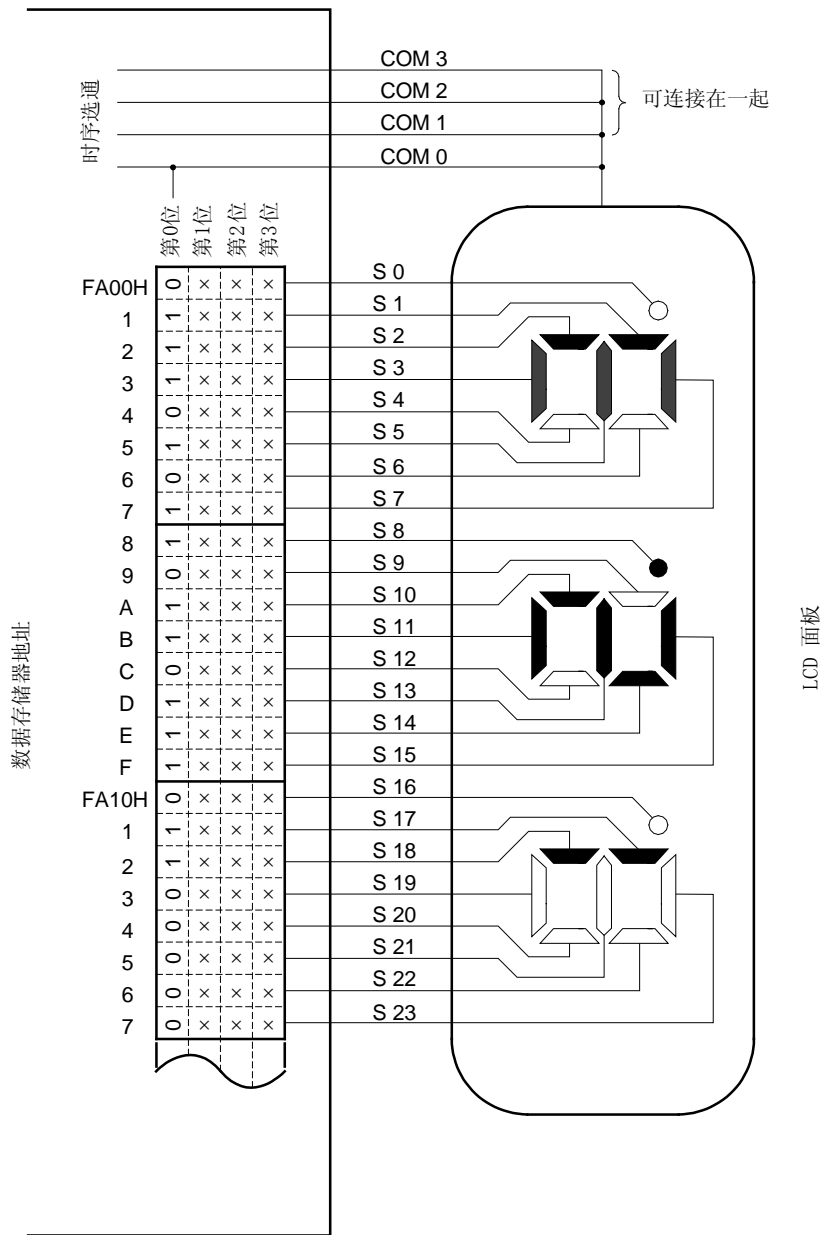
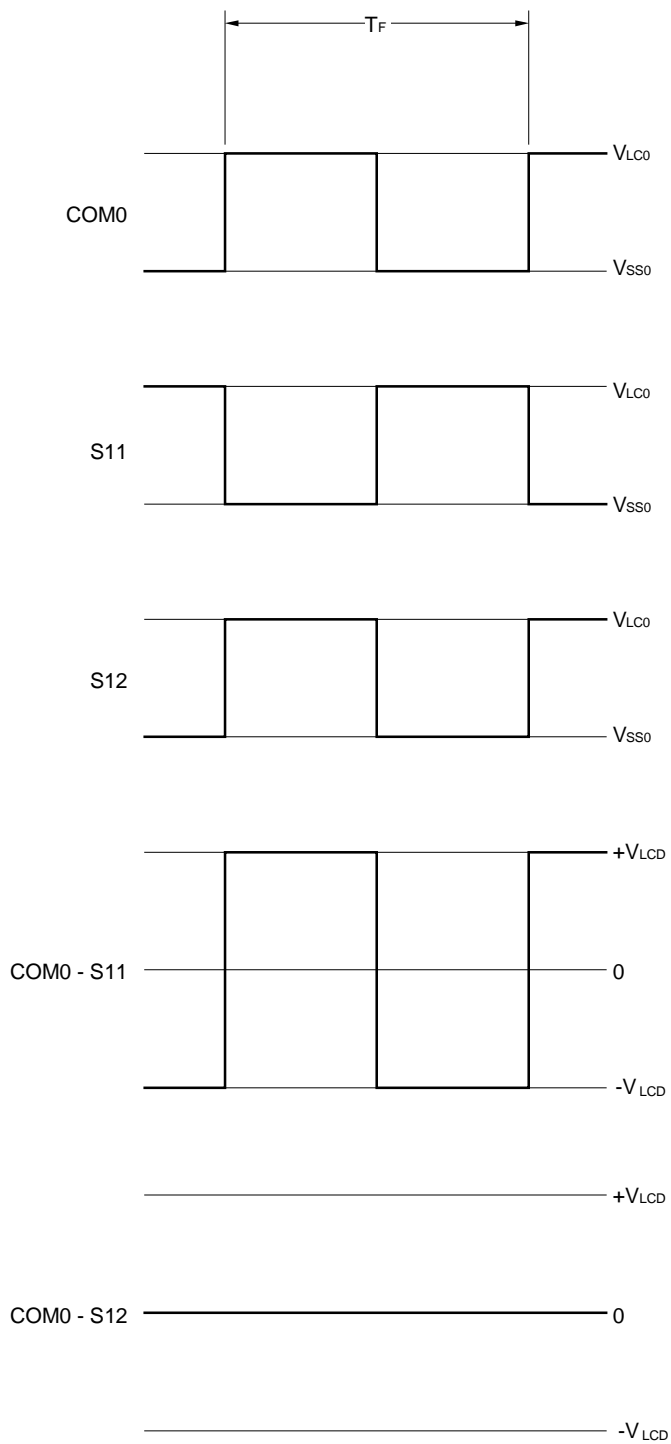


图 14-11. 静态 LCD 驱动波形示例



14.8.2 2 分时显示示例

按照图 14-12 μ PD789407A 或者 789417A 子系列的芯片的 SEG 信号(S0 ~ S23)和 COM 信号(COM0 和 COM1)的连接, 图 14-13 是七个数字的 LCD 面板显示模式的原理。该例子是在 LCD 面板显示数据“123456.7”。显示数据存储器的内容(地址 FA00H ~ FA1BH)符合此显示。

以第五个字码“3.”(□)为例。为了在 LCD 面板上显示“3.”, 以 COM0 和 COM1 的时序, 按照如表 14-8 所示从 S16~S19 引脚输出选择/非选择信号电平; SEG 信号和 LCD 段的连接关系见图 14-12。

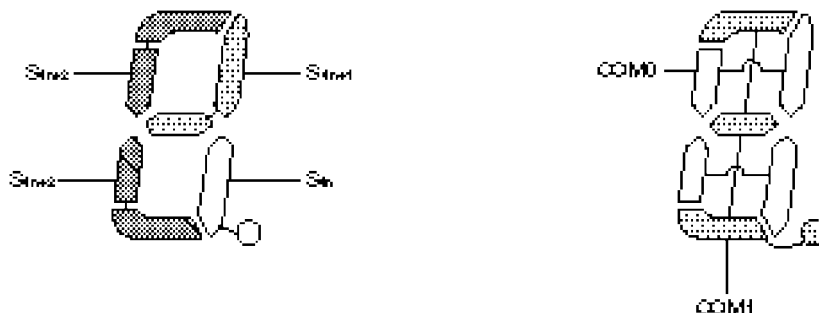
表 14-8. 选择和非选择信号电平(COM0 和 COM1)

COM \ SEG	S16	S17	S18	S19
COM0	选择	选择	非选择	非选择
COM1	非选择	选择	选择	选择

根据表 14-8, 确定 S19 对应的显示数据存储器地址 FA13H 处的内容是 xx10。

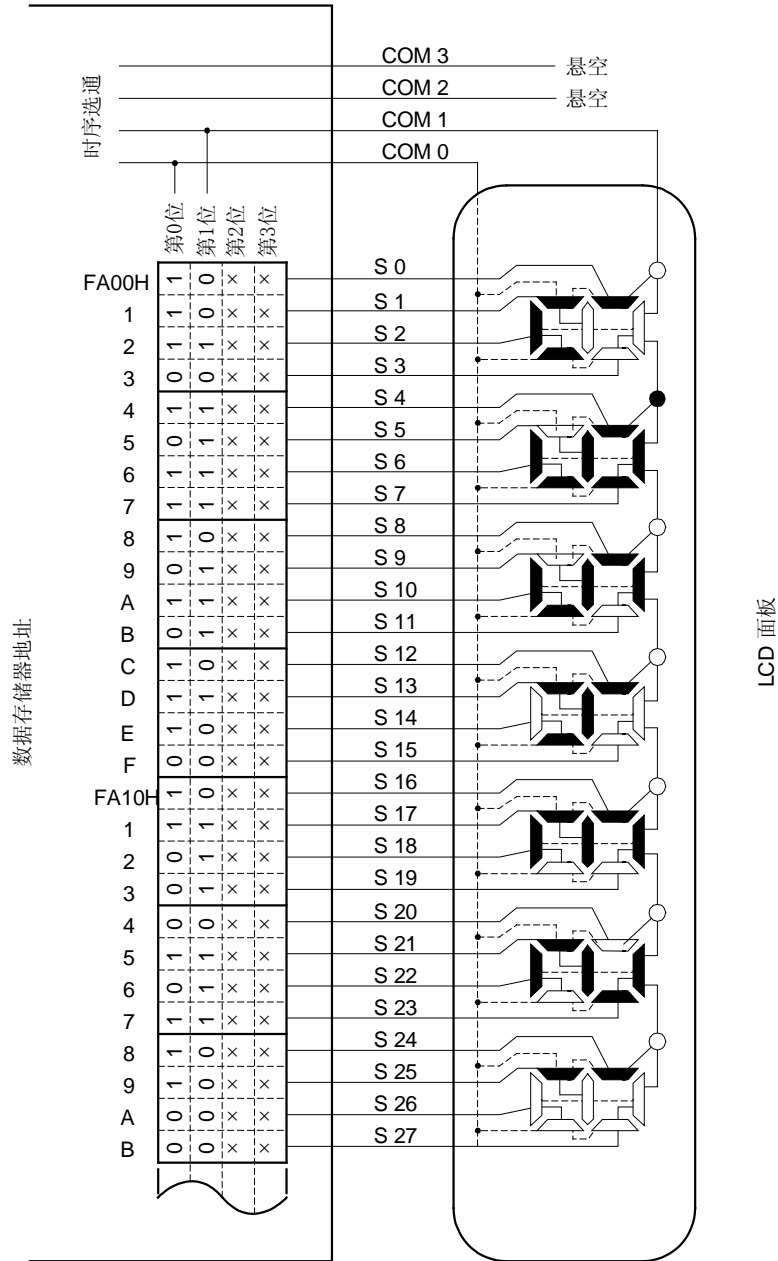
图 14-14 是由 S19 和每个 COM 信号共同作用产生的 LCD 驱动波形。在 COM1 的一个周期内, S19 被赋予选择信号电平, 两者的电压差为点亮电压 $+V_{LCD}/-V_{LCD}$ 的交流方波。

图 14-12. 2 分时 LCD 显示模式和电极连接



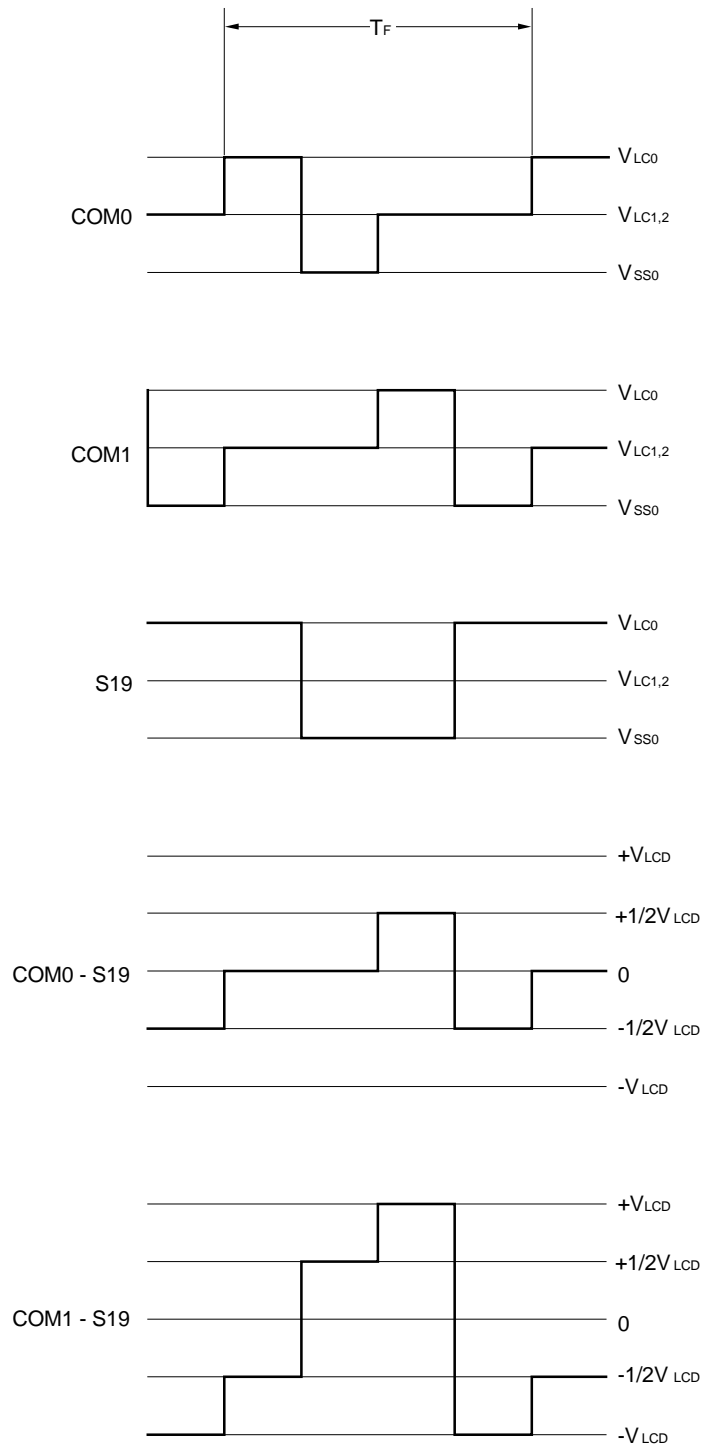
备注 n = 0 ~ 6

图 14-13. 2 分时 LCD 面板的连接示例



x: 在 2 分时显示模式下, 可以来存放任意数据。

图 14-14. 二分频 LCD 驱动波形示例 (1/2 偏压方式)



14.8.3 3 分时显示示例

按照图 14-15 μ PD789407A 或者 789417A 子系列的芯片的 SEG 信号(S0 ~ S23)和 COM 信号(COM0 和 COM1)的连接方法, 图 14-16 是 9 个数字的 LCD 面板显示模式的原理。该例子是在 LCD 面板显示数据“123456.789”。显示数据存储器的内容(地址 FA00H ~ FA1AH)符合此显示。

以第四个字码“6.”(□)为例。为了在 LCD 面板上显示“6.”, 以 COM0~COM2 的时序, 按照如表 14-9 所示从 S9~S11 引脚输出选择/非选择信号电平; SEG 信号和 LCD 段的连接方法见图 14-15。

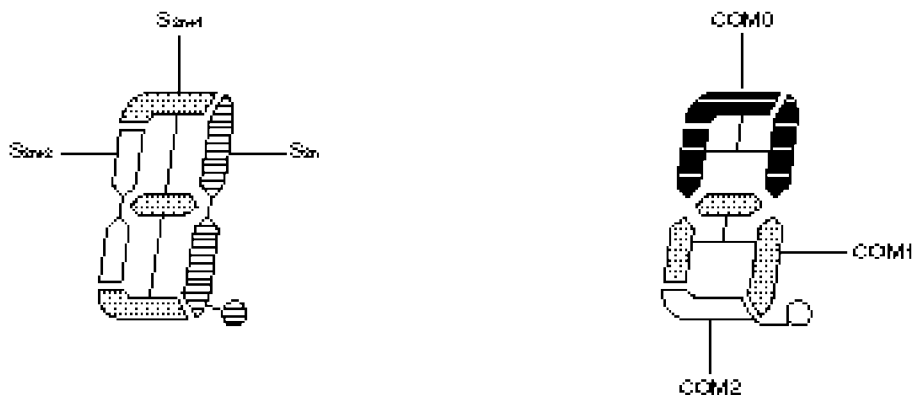
表 14-9. 选择和非选择信号电平 (COM0 ~ COM2)

COM \ SEG	S9	S10	S11
COM0	非选择	选择	选择
COM1	选择	选择	选择
COM2	选择	选择	-

根据表 14-9, 确定 S9 对应的显示数据存储器地址 FA09H 处的内容是 x110。

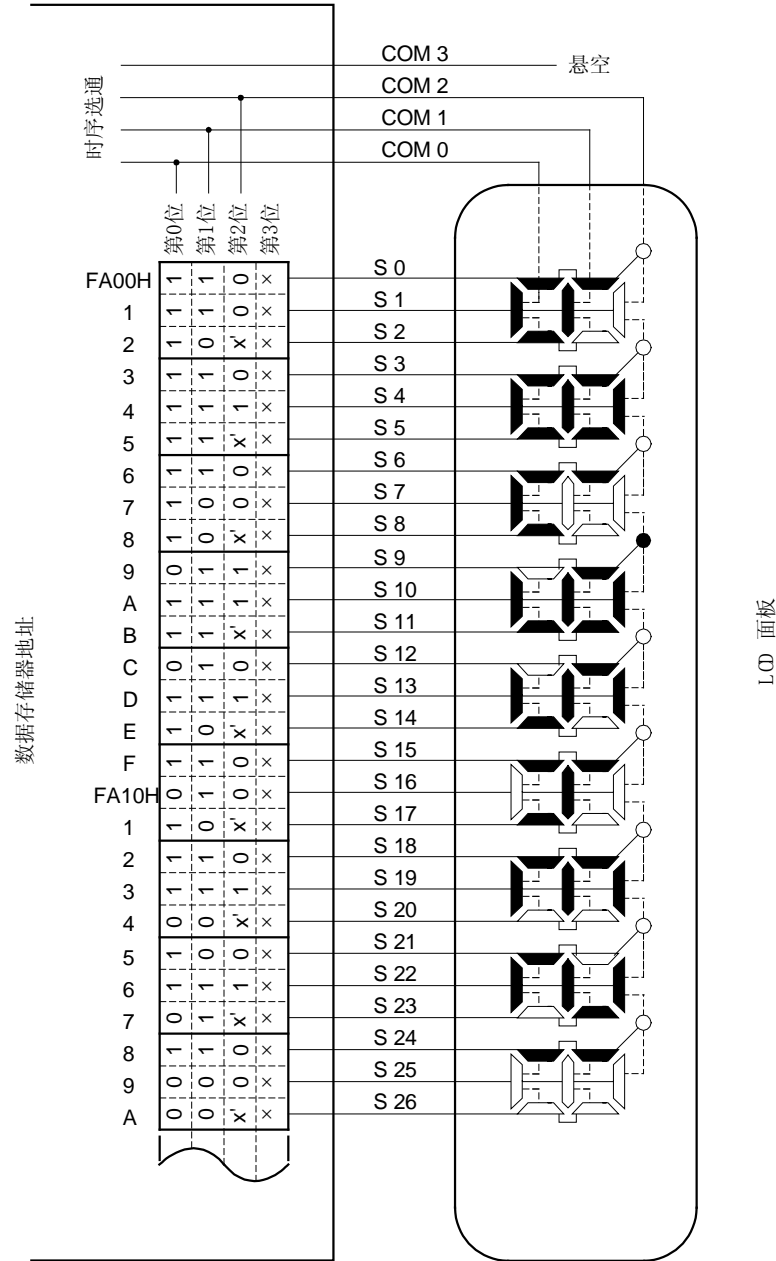
图 14-17 和图 14-18 是在 1/2 和 1/3 偏压方式下, 由 S9 和每个 COM 信号共同作用分别产生的 LCD 驱动波形。以 COM1 或 COM2 的时序, S9 输出选择信号电平时, 两者的电压差为点亮电压 $+V_{LCD}/-V_{LCD}$ 的交流方波。

图 14-15. 三分时 LCD 显示模式和电极连接



备注 n = 0 ~ 8

图 14-16. 三分时 LCD 面板的连接示例



x' : LCD 面板没有相关段，所以它可用来存储任何数据。

x: 在 3 分时模式下，它可用来存储任何数据。

图 14-17. 3 分时 LCD 驱动波形示例 (1/2 偏压方式)

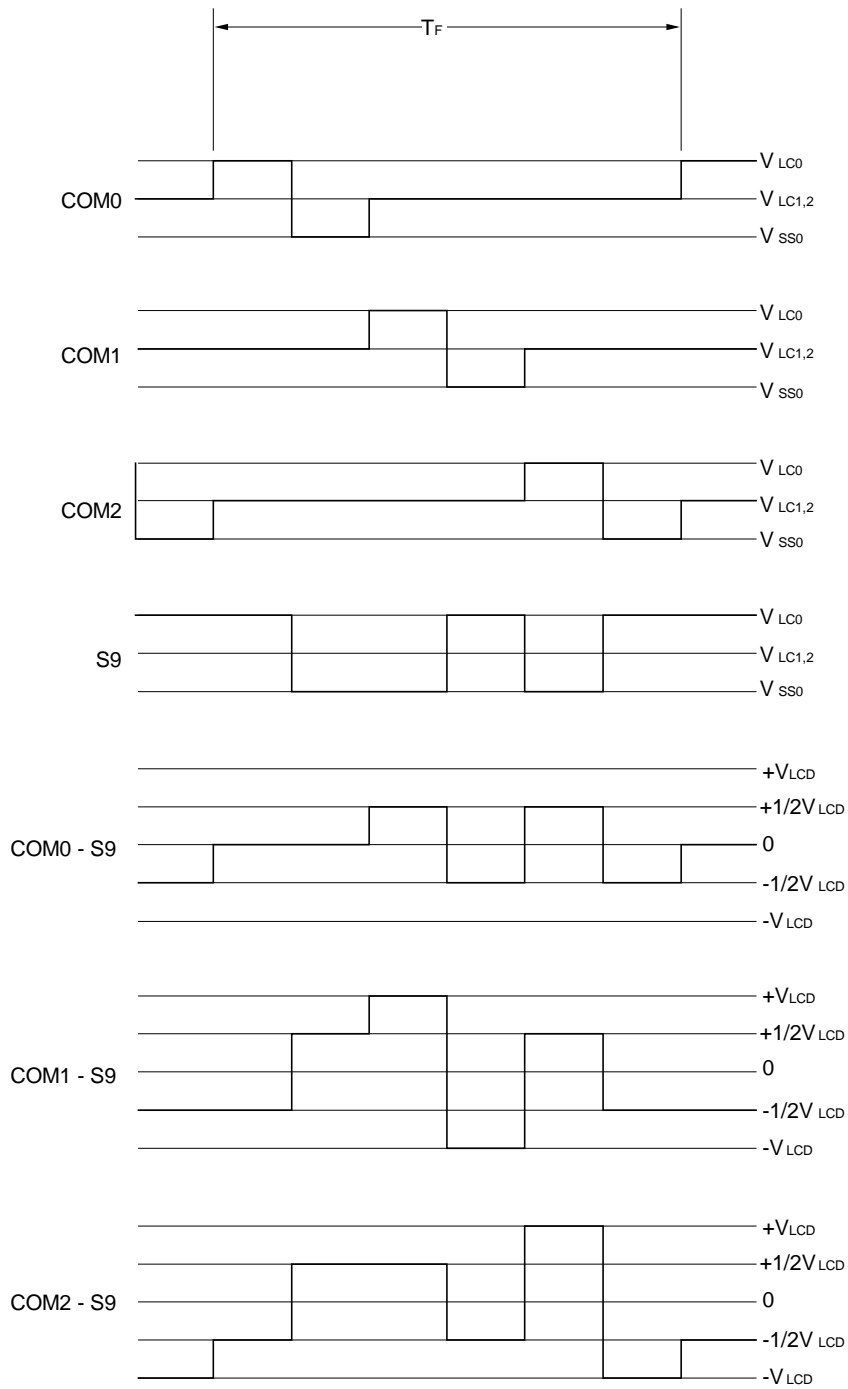
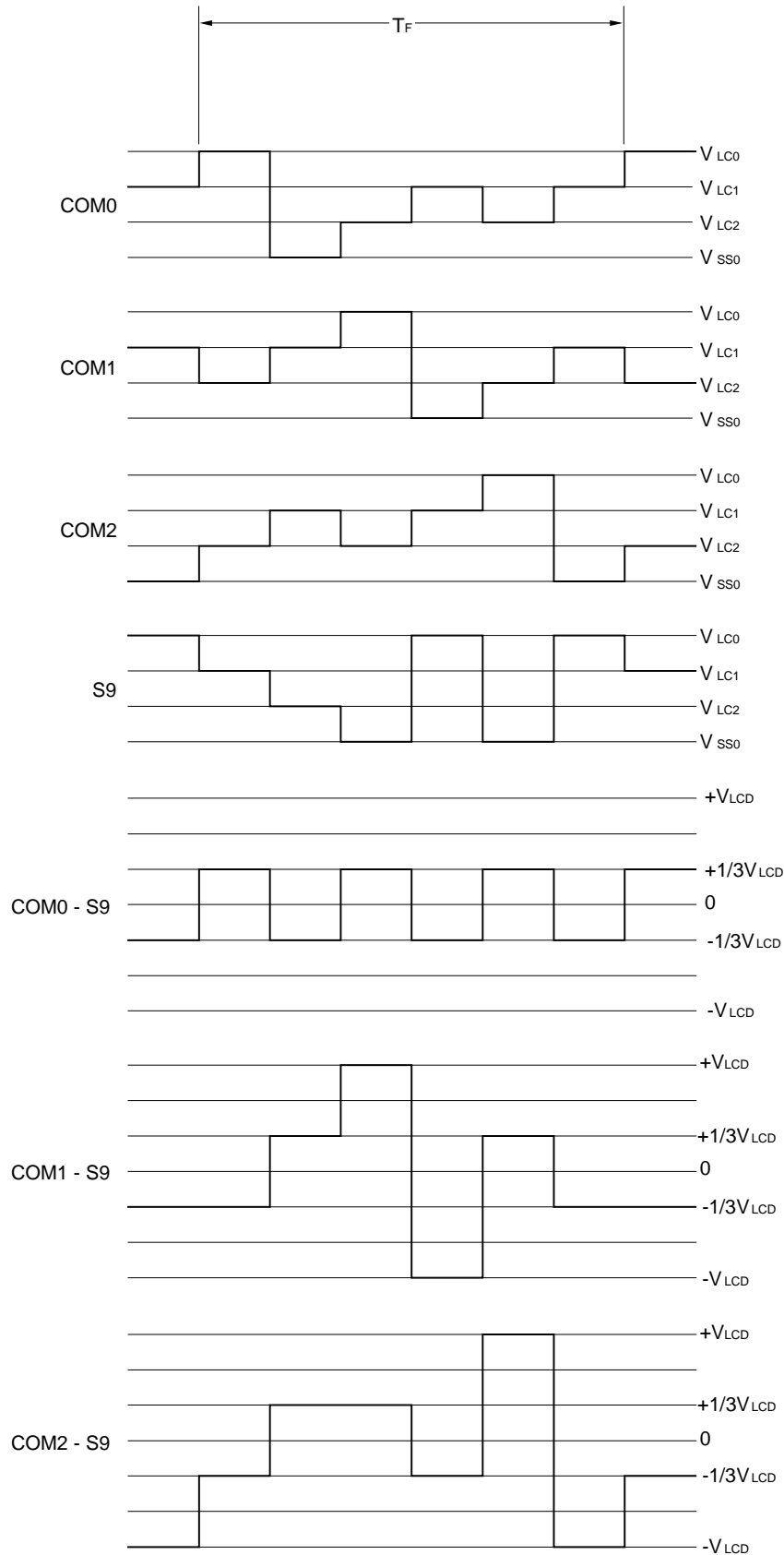


图 14-18. 3 分时 LCD 驱动波形示例 (1/3 偏压方式)



14.8.4 4 分时显示示例

按照图 14-19 μ PD789407A 或者 789417A 子系列的芯片的 SEG 信号(S0 ~ S23)和 COM 信号(COM0 和 COM1)的连接方法, 图 14-20 是 14 个数字的 LCD 面板显示模式的原理。该例子是在 LCD 面板显示数据“123456.78901234”。显示数据存储器的内容(地址 FA00H ~ FA1BH)符合此显示。

以第九个数码“6.”(□)为例。为了在 LCD 面板上显示“6.”, 以 COM0~COM3 的时序, 按照如表 14-10 所示从 S16 和 S17 引脚输出选择/非选择信号电平; SEG 信号和 LCD 段的连接方法见图 14-19。

表 14-10. 选择和非选择信号电平 (COM0 ~ COM3)

COM \ SEG	S16	S17
COM0	选择	选择
COM1	非选择	选择
COM2	选择	选择
COM3	选择	选择

根据表 14-10, 确定 S16 对应的显示数据存储地址 FA16H 处的内容是 1101。

图 14-21 是 S16 和每个 COM 信号共同作用分别产生的 LCD 驱动波形。以 COM0 的时序, S16 输出选择信号电平时, 两者的电压差为点亮电压 $+V_{LCD}/-V_{LCD}$ 的交流方波。

图 14-19. 4 分时显示模式和电极连接

备注 n = 0 ~ 13

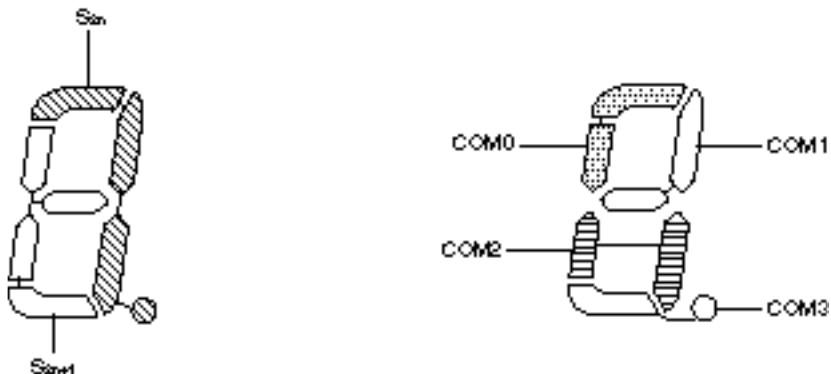


图 14-20. 4 分时 LCD 面板连接示例

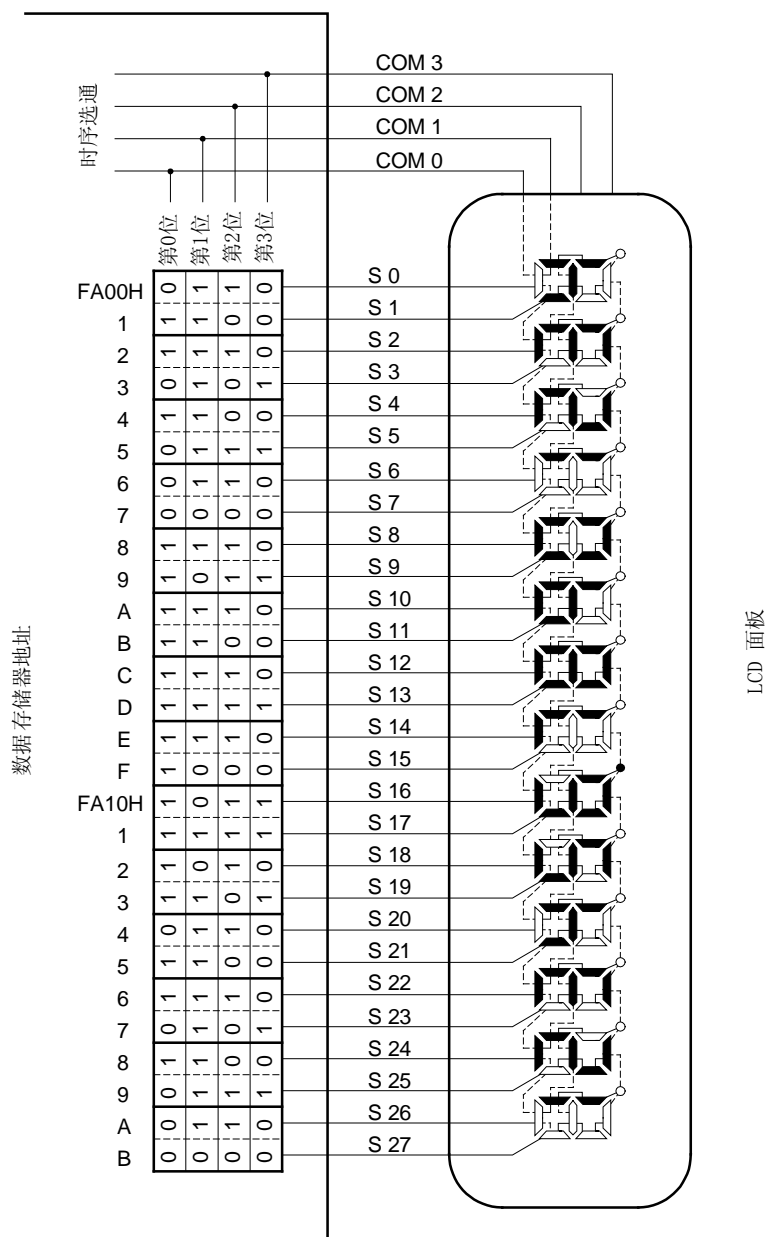
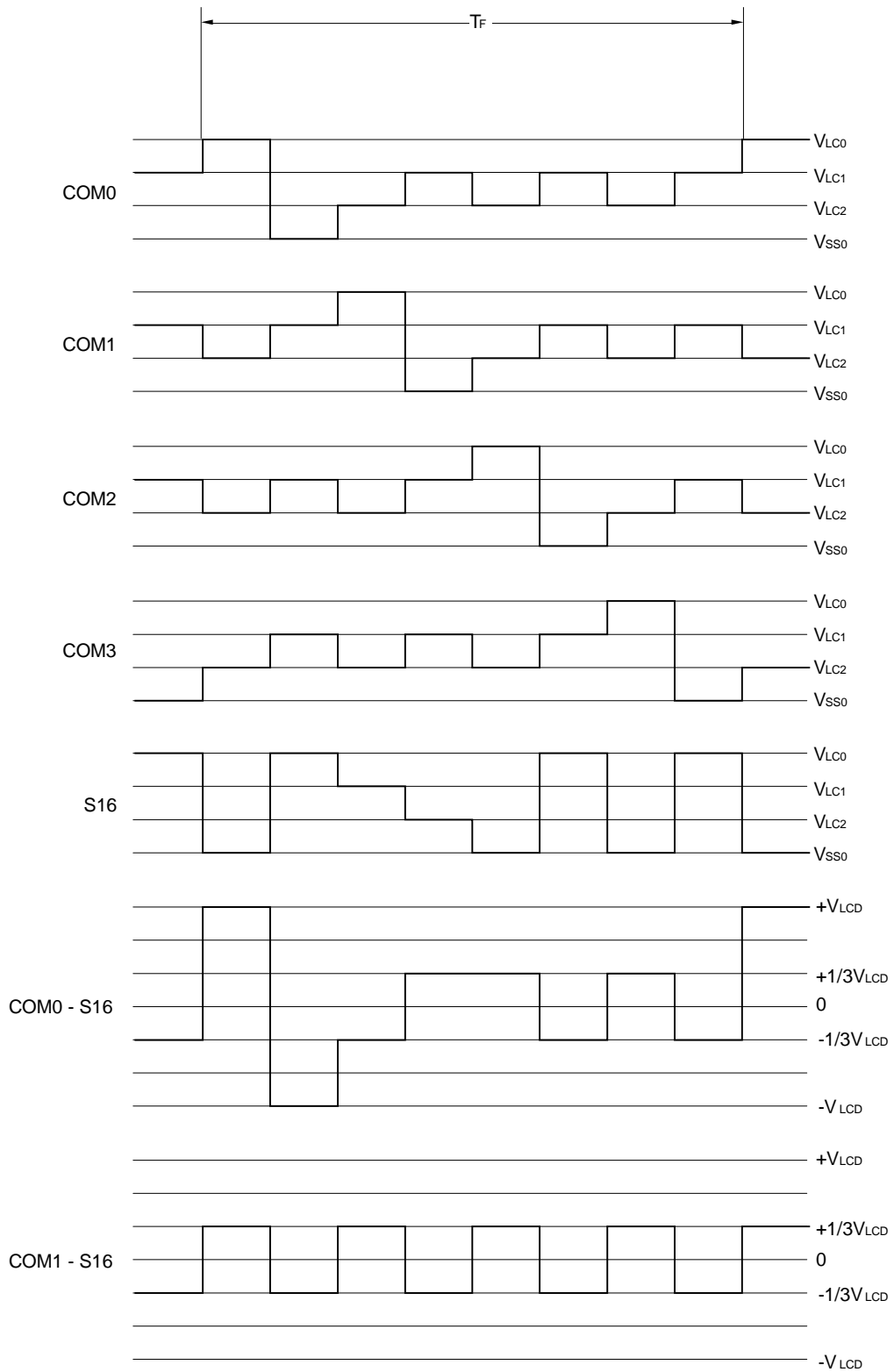


图 14-21. 4 分时 LCD 驱动波形示例 (1/3 偏压方式)



备注 该图不包括 COM2 到 S16 和 COM3 到 S16 的波形。

15.1 中断功能类型

可分为以下两种类型：

(1) 不可屏蔽中断

这类中断被无条件响应。不受中断优先级控制，拥有比其他任何中断都高的优先级。
产生一个待机释放信号。
由看门狗定时器产生的中断是不可屏蔽中断。

(2) 可屏蔽中断

这类中断可进行屏蔽控制。如果有两个或更多的相同优先级中断同时产生，则根据默认优先级进行中断处理。
(如表 15-1 所示)
产生一个待机释放信号。
可屏蔽中断包括 5 个外部中断源和 11 个内部中断源。

15.2 中断源和配置

总共有 17 个中断源。包括可屏蔽中断和不可屏蔽中断（参见 表 15-1）。

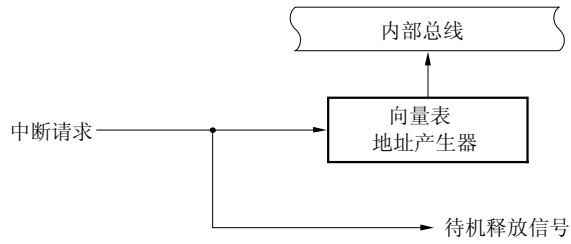
表 15-1. 中断源列表

中断类型	优先级 ^{注1}	中断源		内部/ 外部	向量表 地址	基本配置类型 ^{注2}
		名称	触发			
不可屏蔽	-	INTWDT	看门狗定时器溢出 (看门狗定时器选择模式 1)	内部	0004H	(A)
可屏蔽	0	INTWDT	看门狗定时器溢出 (选择间隔定时器模式)			
	1	INTP0	引脚输入边沿检测	外部	0006H	(C)
	2	INTP1			0008H	
	3	INTP2			000AH	
	4	INTP3			000CH	
	5	INTSR00	串行接口 00 的 UART 接收结束	内部	000EH	(B)
		INTCSIO0	串行接口 00 的 3 线 SIO 传输接收结束			
	6	INTST00	串行接口 00 的 UART 传送结束			
	7	INTWT	钟表定时器中断			
	8	INTWTI	间隔定时器中断			
	9	INTTM00	8 位定时器/事件计数器 00 产生相等信号			
	10	INTTM01	8 位定时器/事件计数器 01 产生相等信号			
	11	INTTM02	8 位定时器 02 产生相等信号			
	12	INTTM50	16 位定时器 50 产生相等信号			
	13	INTKR00	检测到键返回信号			
14	INTADO	A/D 转换完成信号	内部	0020H	(B)	
15	INTCMP0	比较器信号		0022H		

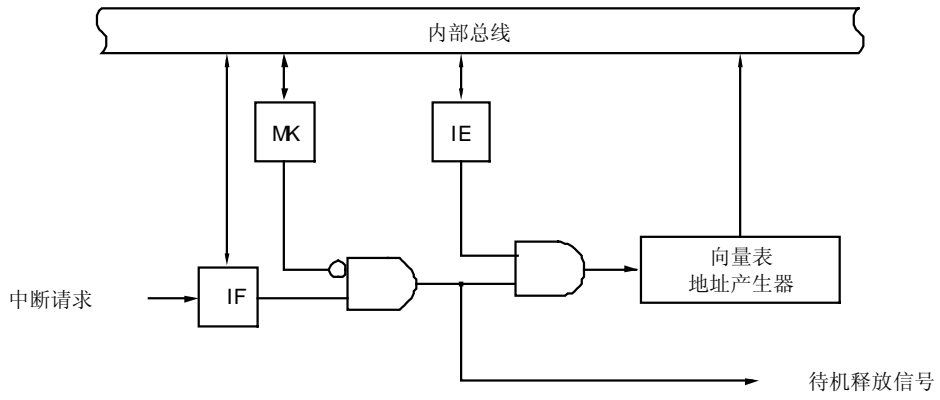
- 注 1. “优先级” 是同时产生多个可屏蔽中断时响应的优先顺序。0 最高，15 最低。
 2. 基本配置类型(A) ~ (C) 参照图 15-1 的(A) ~ (C)。

图 15-1. 中断功能的基本配置

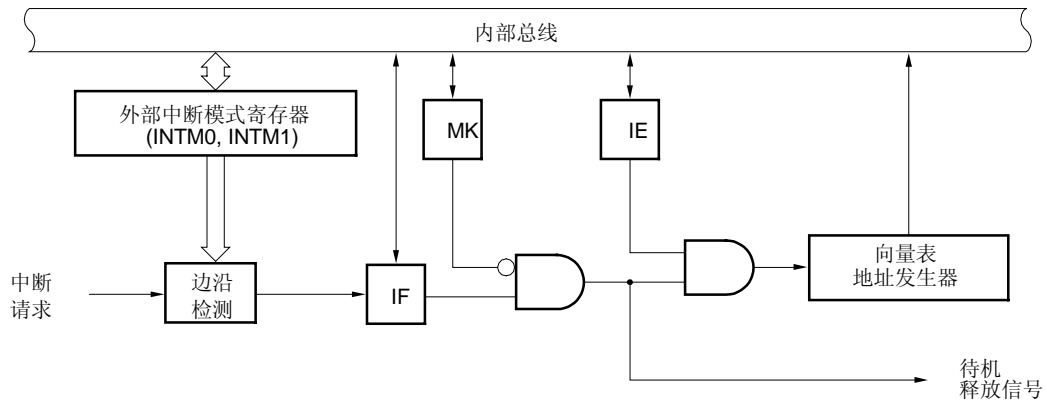
(A) 内部不可屏蔽中断



(B) 内部可屏蔽中断



(C) 外部可屏蔽中断



IF: 中断请求标志
 IE: 中断允许标志
 MK: 中断屏蔽标志

15.3 控制中断功能的寄存器

以下 5 种寄存器用来控制中断功能

- 中断请求标志寄存器 0, 1 (IF0 和 IF1)
- 中断屏蔽标志寄存器 0, 1 (MK0 和 MK1)
- 外部中断模式寄存器 0, 1 (INTM0 和 INTM1)
- 程序状态字 (PSW)
- 键返回模式寄存器 00 (KRM00)

表15-2显示了对应于各个中断请求的中断请求标志名称和中断屏蔽标志名称。

表 15-2. 与中断请求信号相对应的标志

中断请求信号	中断请求标志	中断屏蔽标志
INTWDT	TMIF4	TMMK4
INTP0	PIF0	PMK0
INTP1	PIF1	PMK1
INTP2	PIF2	PMK2
INTP3	PIF3	PMK3
INTSR00/INTCSI00	SRIF00	SRMK00
INTST00	STIF00	STMK00
INTWT	WTIF	WTMK
INTWTI	WTIIF	WTIMK
INTTM00	TMIF00	TMMK00
INTTM01	TMIF01	TMMK01
INTTM02	TMIF02	TMMK02
INTTM50	TMIF50	TMMK50
INTKR00	KRIF00	KRMK00
INTAD0	ADIF0	ADMK0
INTCMP0	CMPIF0	CMPMK0

(1) 中断请求标志寄存器 0, 1 (IF0 和 IF1)

当产生相关的中断请求或执行指令时，这些中断请求标志被置 1。当执行的指令是响应中断请求或 $\overline{\text{RESET}}$ 输入时，这些标志被清零。

由 1 位或 8 位存储器操作指令设置 IF0 和 IF1。

$\overline{\text{RESET}}$ 输入后 IF0 和 IF1 清零 (00H)。

图 15-2. 中断请求标志寄存器的格式

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>	地址	复位后	R/W
IF0	WTIF	STIF0	SRIF0	PIF3	PIF2	PIF1	PIF0	TMIF4	FFE0H	00H	R/W
IF1	CMPIF0	ADIF0	KRIF0	TMIF5	TMIF2	TMIF01	TMIF00	WTIIF	FFE1H	00H	R/W

XXIFX	中断请求标志
0	没有产生中断请求信号
1	产生中断请求，中断请求状态

- 注意事项
1. 只有当看门狗定时器用作间隔定时器时 TMIF4 标志才是可读写的。如果看门狗定时器被设置成模式 1 或 2，设置 TMIF4 标志为 0。
 2. 因为端口 2 复用为外部中断输入，如果由于设置端口的输出模式而改变了输出电平，则会置中断请求标志为 1。因此，在使用输出模式前一定要把中断屏蔽标志置 1。
 3. 如果一个中断被响应，在进入中断服务程序之前中断请求标志会被自动清零。

★

(2) 中断屏蔽标志寄存器 0, 1 (MK0 和 MK1)

这些中断屏蔽标志用于允许/禁止相关的可屏蔽中断服务。

可有 1 位或 8 位存储器操作指令设置 MK0 和 MK1。

RESET 输入设置 MK0 和 MK1 为 FFH。

图 15-3. 中断屏蔽标志寄存器的格式

符号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>	地址	复位后	R/W
MK0	WTMK	STMK00	SRMK00	PMK3	PMK2	PMK1	PMK0	TMMK4	FFE4H	FFH	R/W
MK1	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>	FFE5H	FFH	R/W
	CMPMK0	ADMK0	KRMK00	TMMK50	TMMK02	TMMK01	TMMK00	WTIMK			

XXMKX	中
0	允许中断服务
1	禁止中断服务

- 注意事项
1. 如果当看门狗定时器被设置在模式 1 或 2 时读取 TMMK4 标志的值，它的值不确定。
 2. 因为端口 2 复用为外部中断输入，如果由于设置端口的输出模式而改变了输出电平，则会置中断请求标志为 1。因此，在使用输出模式前一定要把中断屏蔽标志置 1。

(3) 外部中断模式寄存器 0 (INTM0)

这个寄存器用来确定 INTP0 ~ INTP2 的有效沿。

可由 8 位的存储器操作指令来设置 INTM0。

RESET 输入后 INTM0 为 00H。

图 15-4. 外部中断模式寄存器 0 的格式

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
INTM0	ES21	ES20	ES11	ES10	ES01	ES00	0	0	FFECH	00H	R/W

ES21	ES20	INTP2 有效沿选择
0	0	下降沿
0	1	上升沿
1	0	设置禁止
1	1	上升沿和下降沿

ES11	ES10	INTP1 有效沿选择
0	0	下降沿
0	1	上升沿
1	0	设置禁止
1	1	上升沿和下降沿

ES01	ES00	INTP0 有效沿选择
0	0	下降沿
0	1	上升沿
1	0	设置禁止
1	1	上升沿和下降沿

注意事项 1. 第 0 位和第 1 位必须置 0。

2. 在设置 INTM0 寄存器前，一定要设置相应的中断屏蔽标志 xxMKx 为 1 以禁止中断。设置 INTM0 之后，清零相应中断请求标志 (xxIFx = 0)，然后清零中断屏蔽标志 (xxMKx = 0) 以允许中断。

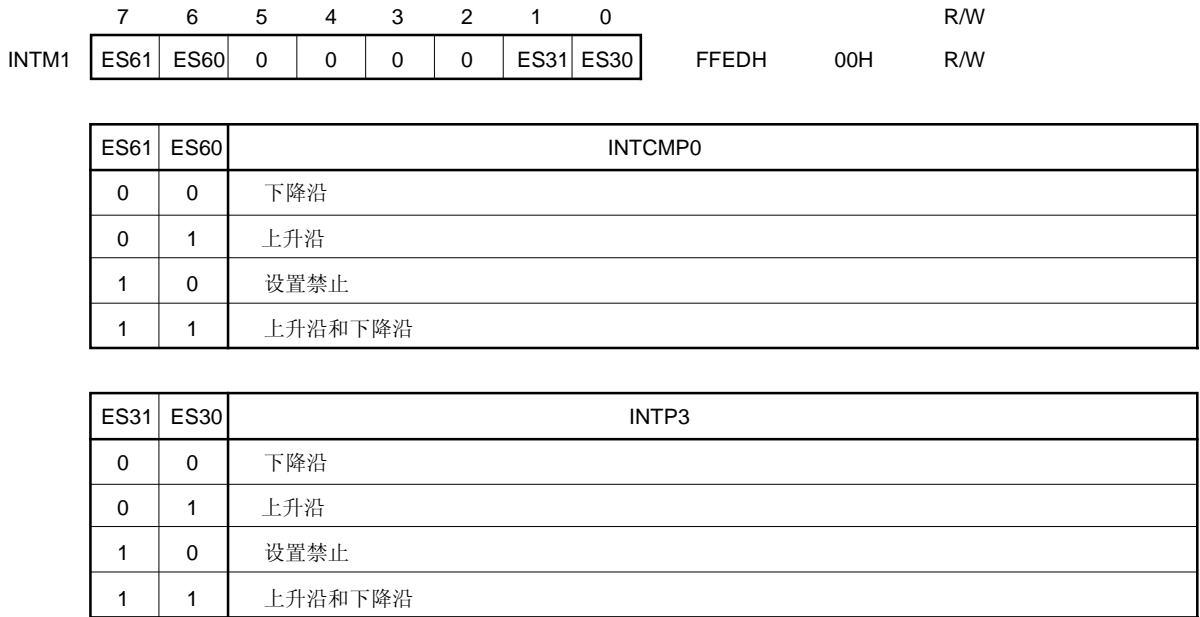
(4) 外部中断模式寄存器 1 (INTM1)

这个寄存器用来确定 INTP3 和 INTCMP0 的有效沿。

可由 8 位的存储器操作指令来设置 INTM1 。

RESET 输入后 INTM1 为 00H。

图 15-5. 外部中断模式寄存器 1 的格式



注意事项 1. 第 2 位到第 5 位必须置 0。

2. 在设置 INTM1 寄存器前，一定要设置相应的中断屏蔽标志为 1 以禁止中断。设置 INTM1 之后，清零相应的中断请求标志，然后清零相应的中断屏蔽标志以许中断。

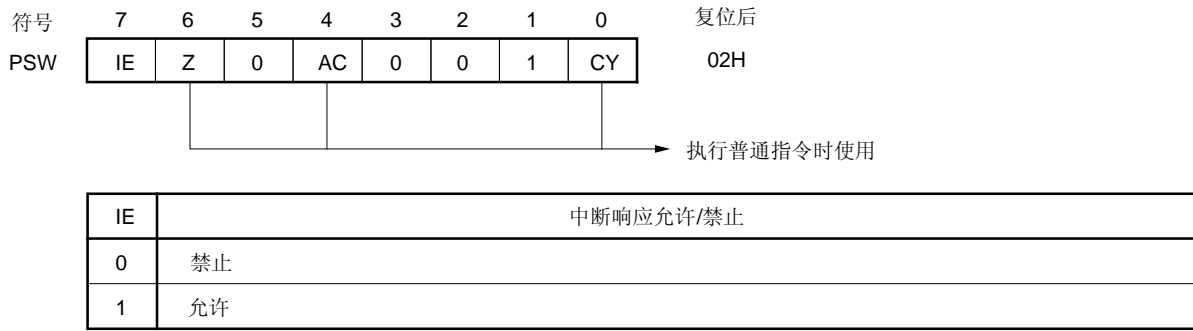
(5) 程序状态字 (PSW)

PSW 用于保存指令执行结果和中断请求的当前状态。在 PSW 中包含 IE 标志（允许/禁止可屏蔽中断）。

除了 8 位读/写操作指令，还可以通过位操作指令和专用指令 (EI, DI) 对该寄存器进行操作。当响应向量中断请求时，PSW 被自动保存到堆栈中，并且将 IE 标志复位为 0。

RESET 输入后 PSW 为 02H。

图 15-6. 程序状态字的格式



(6) 键返回模式寄存器 00 (KRM00)

这个寄存器用来设置检测键返回信号的引脚（端口 4 的下降沿）。

用 1 位或 8 位的存储器操作指令来设置 KRM00。

KR0/P40~KR3/P43 引脚由第 0 位（KRM000）控制。KR4/P44~KR5/P45 引脚由第 4 位和第 5 位（KRM004~KRM005）控制。

RESET 输入设置 KRM00 为 00H。

图 15-7 和 15-8 分别显示了键返回模式寄存器 00 的格式和下降沿检测器的框图。

图 15-7. 键返回模式寄存器 00 的格式

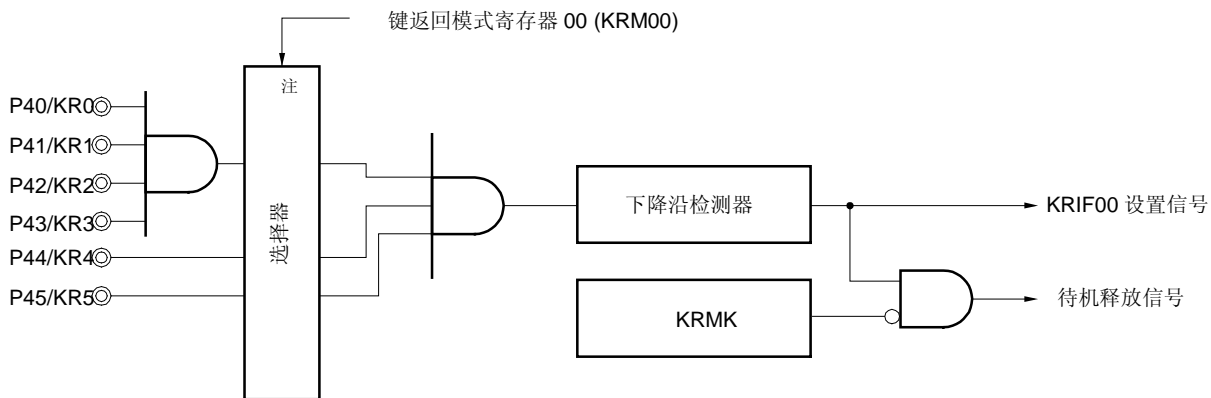
符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
KRM00	0	0	KRM005	KRM004	0	0	0	KRM000	FFF5H	00H	R/W

KRM00n	键返回信号检测的选择
0	不检测
1	检测(检测端口 4 的下降沿)

- 注意事项
1. 第 1, 2, 3, 6, 7 位都必须设置成 0。
 2. 如果 KRM00 寄存器被设置成 1, 会自动连接一个上拉电阻。但是, 当引脚处于输出状态时上拉电阻被切断。
 3. 在设置 KRM00 之前, 一般都预先置位 MK1 的第 5 位 (KRMK00 = 1) 以禁止中断。在设置了 KRM00 后先清零 IF1 的第 5 位 (KRIF00 = 0) 然后清零 MK1 的第 5 位 (KRMK00 = 0) 以允许中断。
 4. 只要有一个键返回信号检测引脚是低, 即使别的键返回引脚产生下降沿也不会检测到键返回信号。

备注 n = 0, 4, 5

图 15-8. 下降沿检测器框图



注 选择作为下降沿输入引脚的选择器

15.4 中断服务操作

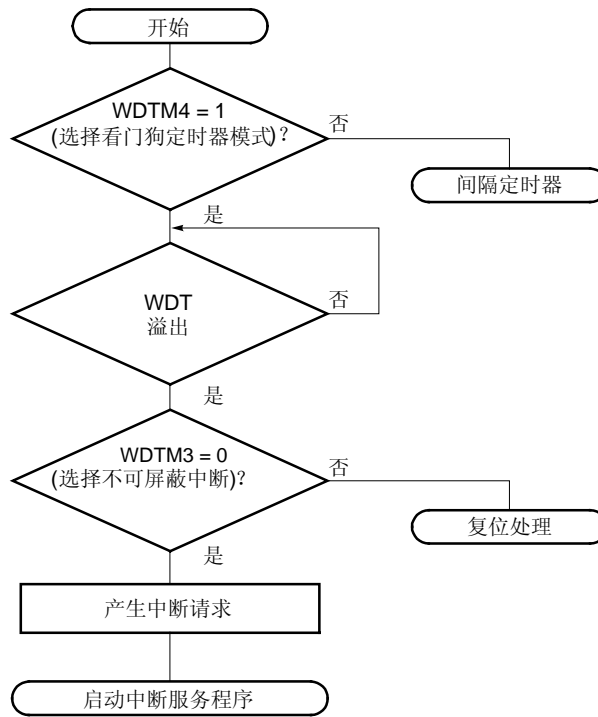
15.4.1 不可屏蔽中断响应操作

不可屏蔽中断即使在中断禁止的情况下也会被无条件响应。它不受中断优先级控制，并且有高于任何其他中断的优先级。

当不可屏蔽中断请求被响应后，PSW 和 PC 被按照顺序存入堆栈，IE 标志被清零，并将向量表的内容传送到 PC 中，并执行程序转移。

注意事项 在执行不可屏蔽中断服务程序时，不要输入另一个不可屏蔽中断请求；如果输入了，则会停止正在进行的服务程序并响应新的不可屏蔽中断请求。

图 15-9. 不可屏蔽中断请求响应流程图



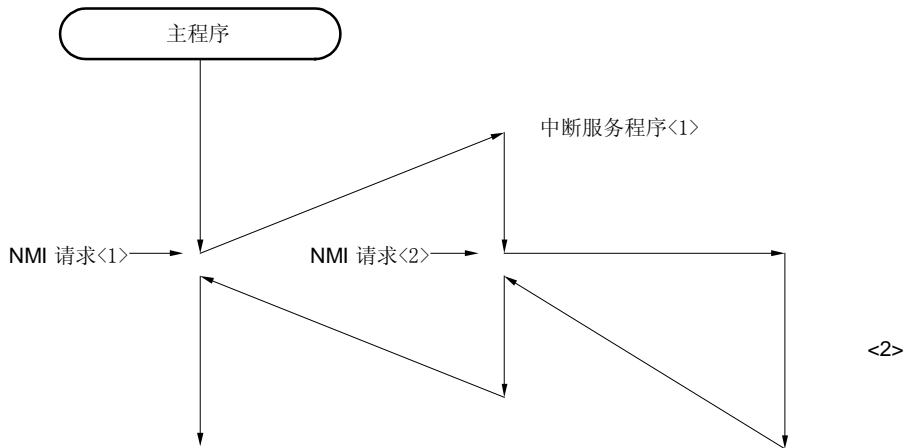
WDTM: 看门狗定时器模式寄存器

WDT: 看门狗定时器

图 15-10. 不可屏蔽中断请求响应时序



图 15-11. 不可屏蔽中断请求响应



15.4.2 可屏蔽中断响应操作

在中断请求标志被置 1 且相应的中断屏蔽标志被清零时，可以响应这个可屏蔽中断请求。如果处于中断允许状态 (IE=1)，则可以响应向量中断请求。

在产生一个可屏蔽中断请求后开始中断服务需要的时间如下图所示：

表 15-3. 从可屏蔽中断请求产生到执行中断服务所需要的时间

最短时间	最长时间 ^注
9 个时钟周期	19 个时钟周期

注 在 BT 或 BF 指令前立即产生中断请求则等待时间最长。

备注 1 个时钟周期： $\frac{1}{f_{CPU}}$ (f_{CPU} : CPU 时钟周期)

如果同时产生两个或两个以上的可屏蔽中断请求，则先响应由优先级指定标志确定的最高优先级的中断。

当允许响应中断请求时，处于等待状态的中断请求被响应。

图 15-12 显示了中断请求响应算法。

如果响应了一个可屏蔽中断请求，把 PSW 和 PC 的内容保存到堆栈中，将 IE 标志复位为 0，将用于中断请求的向量表数据传送到 PC 中，并转移。

通过执行 RETI 指令从中断返回。

图 15-12. 中断请求响应处理算法

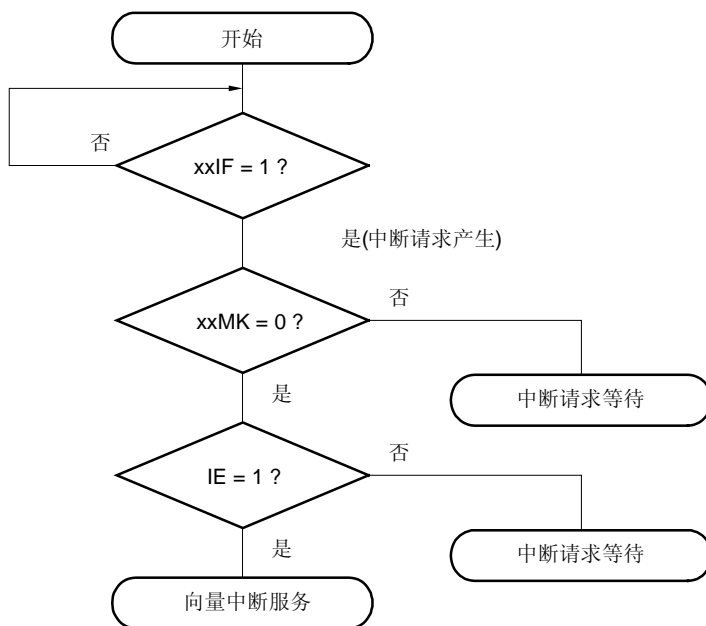
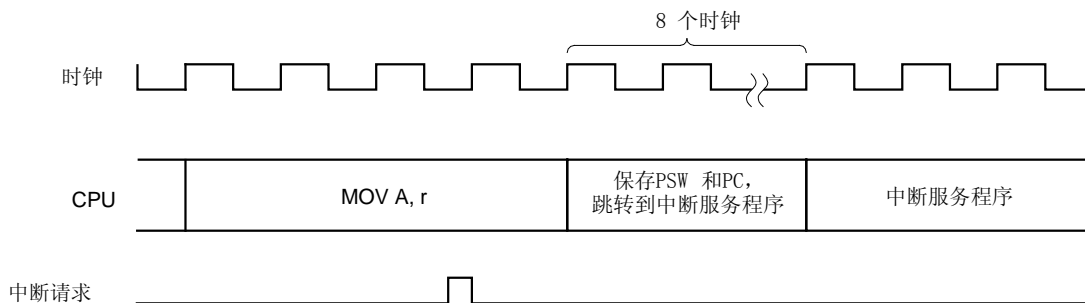
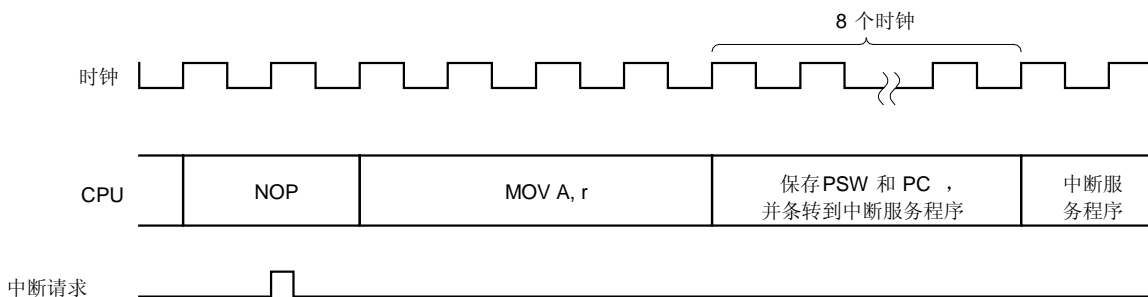


图 15-13. 中断请求响应时序(例: MOV A, r)



如果正在执行指令的时候产生了一个中断请求 (XXIF 置 1)，中断请求响应将会在正在执行的指令结束以后开始。图 15-13 显示了一个 8 位数据传输指令 MOV A, r 的例子。因为这条指令需要 4 个时钟周期才能完成，如果在指令开始执行到执行后的第三个时钟周期结束之间产生一个中断请求的话，则会在 MOV A, r 结束后响应中断请求。

图 15-14. 中断请求响应时序(当中断请求标志在指令执行的最后一个时钟周期时产生)



当中断请求在指令执行的最后一个时钟周期产生时，中断请求响应程序将会在下一条指令执行完毕后开始。

图 15-14 显示了在 NOP (需 2 个时钟周期) 指令运行后的第 2 个时钟周期内产生一个中断信号的例子。在这个例子里，NOP 指令后的 MOV A, r 指令被执行完以后才响应中断请求。

注意事项 当中断响应标志寄存器 0 和 1 (IF0 和 IF1) 或者中断屏蔽标志寄存器 0 和 1 (MK0 和 MK1) 被访问时，中断请求处于等待状态。

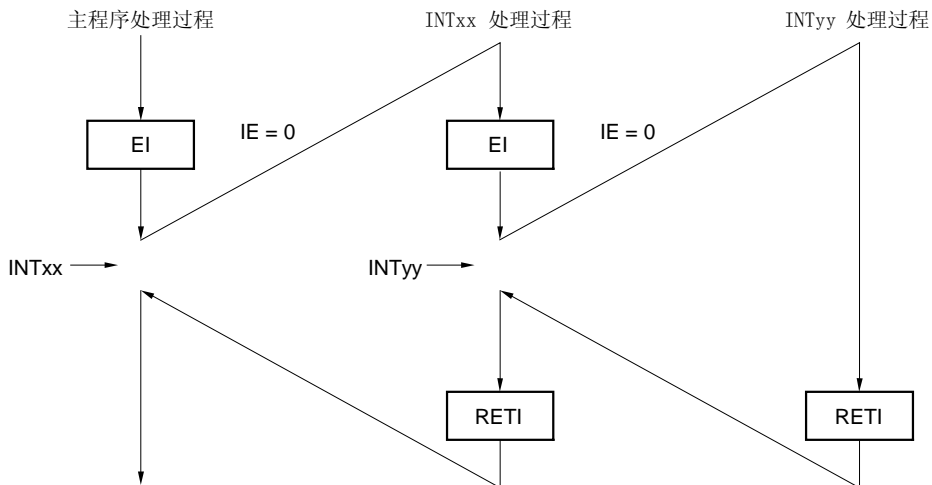
15.4.3 中断嵌套

在执行一个中断服务程序时，又响应了其他中断的情况被叫做中断嵌套。

除非选择允许中断请求响应状态 (IE = 1)，否则不会产生中断嵌套服务 (除非是不可屏蔽中断请求)。当有一个中断请求被响应时，其他的中断请求被禁止 (IE = 0)。因此，在中断请求服务时为了能够实现嵌套服务有必要使用 EI 指令把 IE 标志设置为 1 以允许中断。

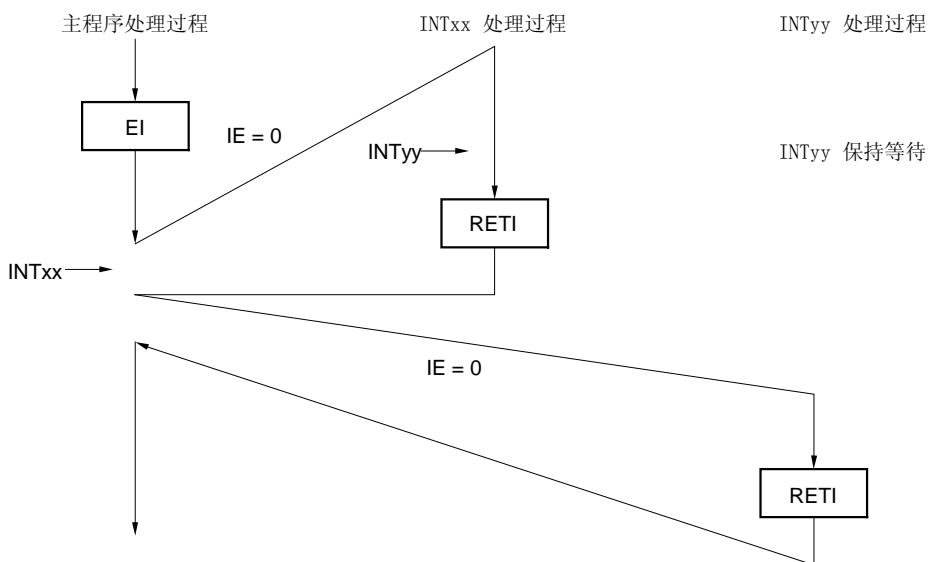
图 15-15. 中断嵌套

例 1. 响应中断嵌套



当中断 INTxx 的执行过程中，中断请求 INTyy 被响应，产生中断嵌套。在每个中断被响应之前，使用 EI 指令允许中断。

例 2. 因为禁止中断所以不产生中断嵌套



在中断 INTxx 执行时中断请求被禁止（没有使用 EI 指令）。不响应中断请求 INTyy 并且不产生中断嵌套。中断 INTyy 等待，直到 INTxx 中断服务结束后才被响应。

IE = 0: 禁止中断请求

15.4.4 保持中断请求

当某一类型指令正在被执行时，如果产生一个中断请求（例如可屏蔽，不可屏蔽，或外部中断），这个中断请求只有在这条指令被执行完毕后才能被响应。这种指令包括：

- 操作中断请求标志寄存器 0, 1 (IF0 和 IF1) 的指令
- 操作中断屏蔽标志寄存器 0, 1 (MK0 和 MK1) 的指令

16.1 待机功能及配置

16.1.1 待机功能

待机功能用于减少系统的工作电流，有以下两种模式。

(1) HALT 模式

通过执行 HALT 指令设置 HALT 模式。在 HALT 模式中，CPU 操作时钟停止。系统时钟振荡器继续振荡。在此模式中，工作电流不如 STOP 模式下降得多，但在 HALT 模式中如果产生中断请求，CPU 可以立即被唤醒，继续执行中断的程序。

(2) STOP 模式

通过执行 STOP 指令设置 STOP 模式。在 STOP 模式中，系统时钟振荡器停止操作，整个系统的操作终止，这样 CPU 的功耗将会大幅下降。

数据存储器可在低电压下保持数据 ($V_{DD} = 1.8\text{ V}$)。因此，STOP 模式可用来以极低的电流保持数据存储器中的内容。

可通过中断请求释放该模式，这样，中断的操作可以继续执行。由于在释放 STOP 模式后需要一段等待时间以确保振荡器振荡稳定，因此如果需要响应中断请求后程序立即运行，则应采用 HALT 模式。

在这两种模式中，寄存器、标志和数据存储器的内容将会保持进入待机模式前的内容。I/O 端口输出锁存器和输出缓冲器状态也将保持。

注意事项 当改变到 STOP 模式时，一定要在执行 STOP 指令之前停止外部硬件操作。

16.1.2 待机功能控制寄存器

在中断请求释放 STOP 模式之后直到振荡稳定的等待时间，由振荡稳定时间选择寄存器 (OSTS) 控制。

可由 8 位存储器操作指令设置 OSTS。

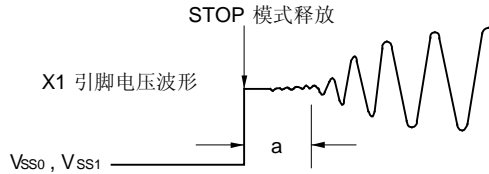
RESET 输入后 OSTS 为 04H。但是，由 RESET 输入引起的释放 STOP 模式需要的时间为 $2^{15}/f_x$ ，而不是 $2^{17}/f_x$ 。

图 16-1. 振荡稳定时间选择寄存器的格式

符号	7	6	5	4	3	2	1	0	地址	复位后	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFAH	04H	R/W

OSTS2	OSTS1	OSTS0	振荡稳定时间选择
0	0	0	$2^{12}/f_x$ (819 μ s)
0	1	0	$2^{15}/f_x$ (6.55 ms)
1	0	0	$2^{17}/f_x$ (26.2 ms)
除以上之外			禁止设置

注意事项 无论是由 RESET 输入还是由中断的产生释放 STOP 模式，释放 STOP 模式后的等待时间不包括从释放 STOP 模式到时钟振荡启动这段时间（即下图“a”所示的部分）。



- 备注**
1. f_x : 主系统时钟振荡频率。
 2. 括号里的值适用于 $f_x = 5.0$ MHz。

16.2 待机功能的操作

16.2.1 HALT 模式

(1) HALT 模式

执行 HALT 指令设置 HALT 模式。

HALT 模式中的工作状态如下表所示。

表 16-1. HALT 模式中的工作状态

项目	当使用主系统时钟时 HALT 模式工作状态		当使用副系统时钟时 HALT 模式工作状态	
	使用副系统时钟	不使用副系统时钟	使用主系统时钟	不使用主系统时钟
主系统时钟发生器	允许振荡			不使用
CPU	终止操作			
端口 (输出锁存器)	保持设置 HALT 模式前的状态			
16 位定时器 (TM50)	可操作			终止操作
8 位定时器/事件计数器 (TM00 和 TM01)	可操作			可操作 ^{注1}
8 位定时器 (TM02)	可操作	可操作 ^{注2}	可操作	可操作 ^{注3}
钟表定时器	可操作	可操作 ^{注2}	可操作	可操作 ^{注3}
看门狗定时器	可操作			终止操作
串行接口	可操作			可操作 ^{注4}
A/D 转换器	终止操作			
LCD 控制器/驱动器	可操作	可操作 ^{注2}	可操作	可操作 ^{注3}
比较器	可操作 ^{注5}			
外部中断	可操作 ^{注6}			

- 注
1. 仅当选择 TIO 或 TI1 作为计数时钟时才可操作。
 2. 当选择主系统时钟时可操作。
 3. 当选择副系统时钟时可操作。
 4. 当使用外部时钟时在 3 线串行 I/O 和 UART 模式中都可操作。
 5. 当 TM02 在工作或作为一个外部中断时可操作。
 6. 未屏蔽的可屏蔽中断。

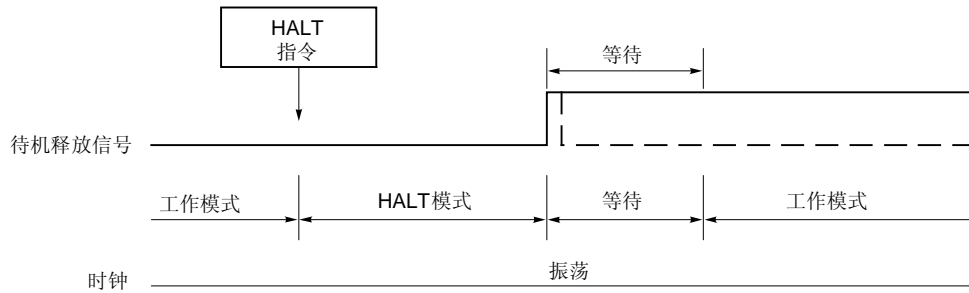
(2) 释放 HALT 模式

可由以下三种中断源释放 HALT 模式。

(a) 由未屏蔽中断请求释放

当产生一个未屏蔽中断时，释放 HALT 模式。如果允许响应中断，则执行向量中断服务程序。如果禁止响应中断，则执行下一个地址的指令。

图 16-2. 由中断释放 HALT 模式



备注

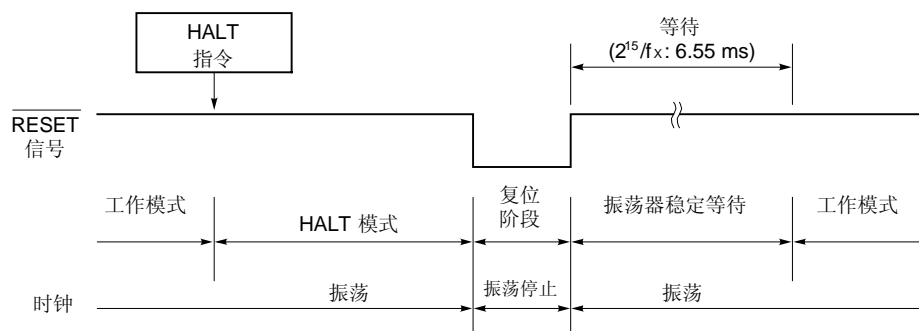
1. 虚线表示释放待机模式的中断请求被响应的情况。
2. 等待时间如下所示：
 - 执行向量中断服务程序时： 9 ~ 10 个时钟周期
 - 不执行向量中断服务程序时： 1 ~ 2 个时钟周期

(b) 由不可屏蔽中断请求释放

不管中断是否允许，释放 HALT 模式并执行向量中断服务程序。

(c) 由 $\overline{\text{RESET}}$ 输入释放

当由 $\overline{\text{RESET}}$ 信号释放 HALT 模式时，指令以普通复位操作相同的方式跳转到复位向量地址，开始执行程序。

图 16-3. 由 $\overline{\text{RESET}}$ 输入释放 HALT 模式

- 备注**
1. f_x : 主系统时钟振荡频率。
 2. 括号里的值适用于 $f_x = 5.0 \text{ MHz}$ 。

表 16-2. 释放 HALT 模式后的操作

释放 HALT 模式中断源	MK _{xx}	IE	操作
可屏蔽中断请求	0	0	执行下一个地址的指令
	0	1	执行中断服务程序
	1	x	保持 HALT 模式
不可屏蔽中断请求	-	x	执行中断服务程序
$\overline{\text{RESET}}$ 输入	-	-	复位处理

x: 不必考虑

16.2.2 STOP 模式

(1) STOP 模式设置及操作状态

执行 STOP 指令设置 STOP 模式。

注意事项 中断请求信号用于释放待机模式，如果存在一个有效的中断请求标志，而其对应中断屏蔽标志为无效，则设置待机模式后程序会立即释放待机模式。当 STOP 模式设置后立即设置 HALT 模式时，经过振荡稳定时间选择寄存器(OSTS)控制设置等待时间，进入 HALT 模式。

STOP 模式中的操作状态如下表所示。

表 16-3. STOP 模式中的操作状态

项目	当使用主系统时钟时 STOP 模式中的操作状态	
	使用副系统时钟	不使用副系统时钟
主系统时钟发生器	停止振荡	
CPU	终止操作	
端口（输出锁存器）	保持设置 STOP 模式前的状态	
16 位定时器（TM50）	终止操作	
8 位定时器/事件计数器（TM00 和 TM01）	可操作 ^{注 1}	
8 位定时器（TM02）	可操作 ^{注 2}	终止操作
钟表定时器	可操作 ^{注 2}	终止操作
看门狗定时器	终止操作	
串行接口	可操作 ^{注 3}	
A/D 转换器	终止操作	
LCD 控制器/驱动器	可操作 ^{注 2}	终止操作
比较器	可操作 ^{注 5, 6}	可操作 ^{注 6}
外部中断	可操作 ^{注 4}	

- 注：**
1. 仅当选择 TI0 或 TI1 作为计数时钟时才可操作。
 2. 当选择副系统时钟时可操作。
 3. 当使用外部时钟时在 3 线串行 I/O 和 UART 模式中都可操作。
 4. 未屏蔽的可屏蔽中断。
 5. 当 TM02 在工作时可操作。
 6. 作为一个外部中断可操作。

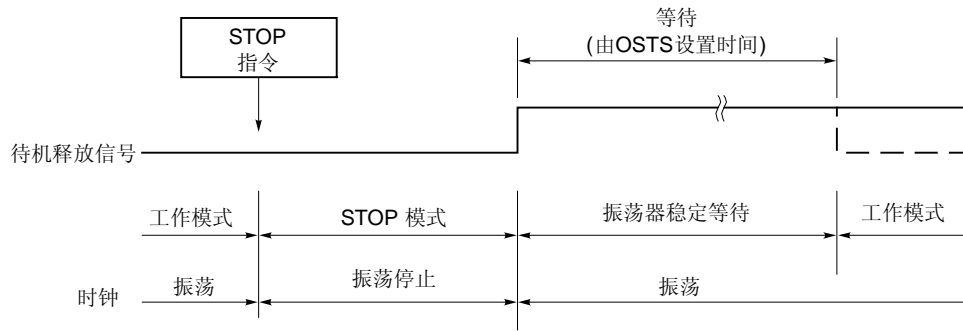
(2) 释放 STOP 模式

可由以下两种中断源释放 STOP 模式：

(a) 由未屏蔽的中断请求释放

当产生一个未屏蔽中断时，释放 STOP 模式。如果允许响应中断，则在经过振荡稳定时间后执行向量中断服务程序。如果禁止响应中断，则执行下一个地址的指令。

图 16-4. 由中断释放 STOP 模式

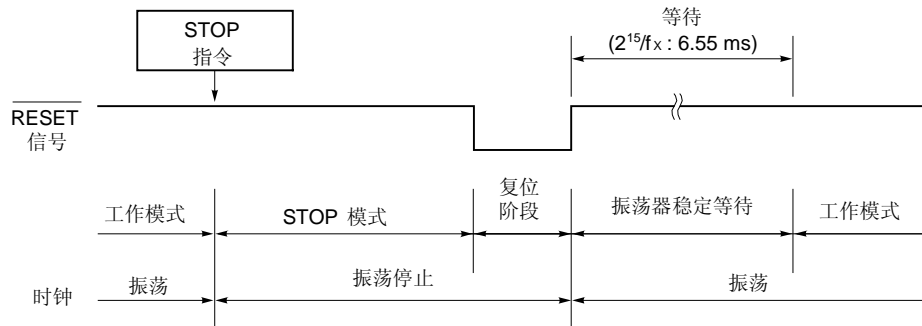


备注 虚线表示释放待机模式的中断请求被响应的情况。

(b) 由 $\overline{\text{RESET}}$ 输入释放

当产生 $\overline{\text{RESET}}$ 信号时，释放 STOP 模式，并在经过振荡稳定时间后执行复位操作。

图 16-5. 由 $\overline{\text{RESET}}$ 输入释放 STOP 模式



- 备注**
1. f_x : 主系统时钟振荡频率
 2. 括号里的值适用于 $f_x = 5.0 \text{ MHz}$ 。

表 16-4. 释放 STOP 模式后的操作

释放中断源	MK _{xx}	IE	操作
可屏蔽的中断请求	0	0	执行下一个地址的指令
	0	1	执行中断服务程序
	1	x	保持 STOP 模式
$\overline{\text{RESET}}$ 输入	-	-	进行复位

x: 不必考虑

第十七章 复位功能

以下两种操作用于产生复位信号。

- (1) 由 $\overline{\text{RESET}}$ 引脚输入的外部复位信号
- (2) 由看门狗定时器的程序循环时间检测引起的内部复位

外部复位与内部复位在功能上没有什么区别。在这两种情况中，当 $\overline{\text{RESET}}$ 输入时，程序都是从地址 0000H 和 0001H 处开始执行。

当 $\overline{\text{RESET}}$ 引脚输入为低电平或看门狗定时器溢出都可以引起复位，硬件的每项设置状态如表 17-1 所示。在复位输入期间或在复位释放后振荡稳定时间内，每个引脚均为高阻抗。

当 $\overline{\text{RESET}}$ 引脚输入高电平时，释放复位操作，并且在经过振荡稳定时间 ($2^{15}/f_x$) 后开始执行程序。由看门狗定时器溢出引起的复位在复位后自动释放，并且在经过振荡稳定时间 ($2^{15}/f_x$) 后开始执行程序 (参见图 17-2 至 17-4)。

- 注意事项**
1. 对于外部复位，输入 $\overline{\text{RESET}}$ 引脚的低电平的时间应为 $10\mu\text{s}$ 或更长。
 2. 当由复位释放 STOP 模式时，在复位输入期间 STOP 模式中的寄存器内容保持不变。然而端口引脚变为高阻抗。

图 17-1. 复位功能的框图

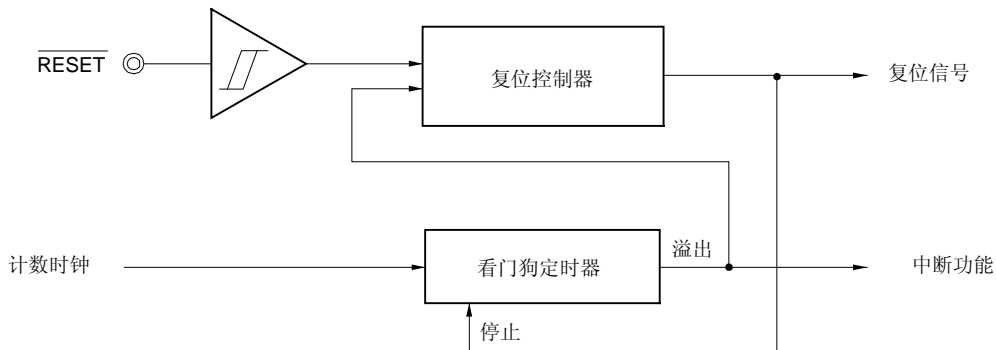


图 17-2. 由 $\overline{\text{RESET}}$ 输入引起的复位时序

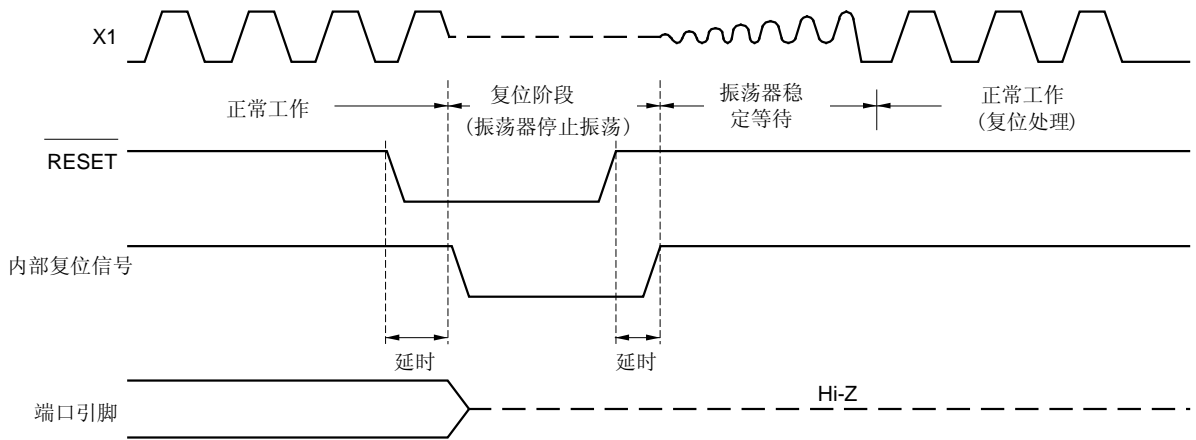


图 17-3. 由看门狗定时器溢出引起的复位时序

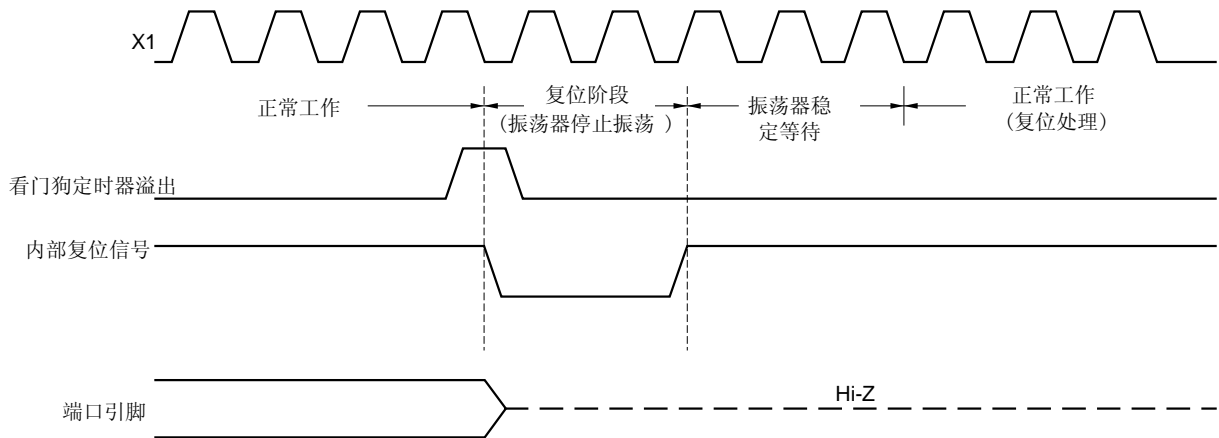


图 17-4. 在 STOP 模式中由 $\overline{\text{RESET}}$ 输入引起的复位时序

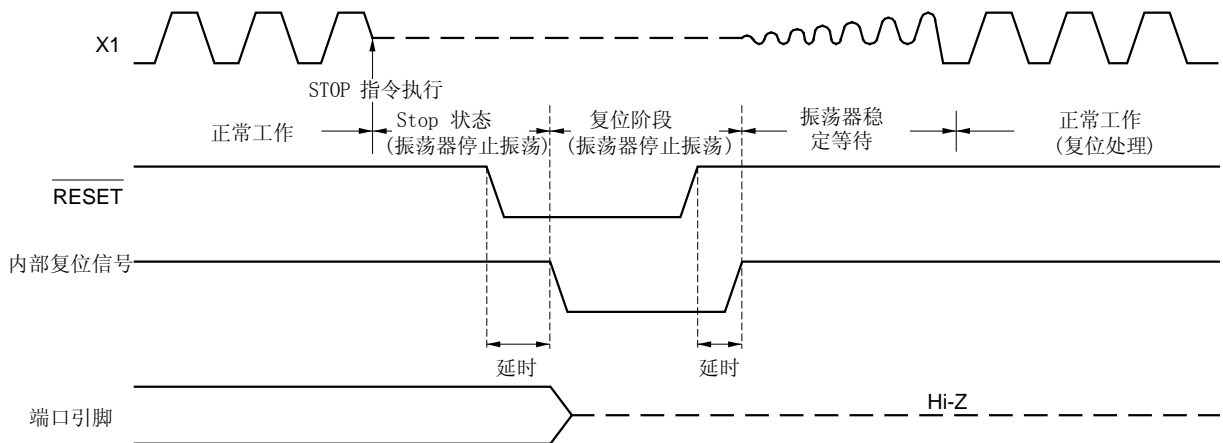


表 17-1. 复位后的硬件状态(1/2)

硬件		复位后的状态
程序计数器(PC) ^{注 1}		设置复位向量的内容 (0000H 和 0001H)
堆栈指针(SP)		不确定
程序状态字(PSW)		02H
RAM	数据存储器	不确定 ^{注 2}
	通用寄存器	不确定 ^{注 2}
端口 (P0, P2, P4, P5, P8, 和 P9) (输出锁存器)		00H
端口模式寄存器(PM0, PM2, PM4, PM5, PM8, 和 PM9)		FFH
上拉电阻选择寄存器(PU0 ~ PU2)		00H
处理器时钟控制寄存器(PCC)		02H
副振荡器模式寄存器(SCKM)		00H
副时钟控制寄存器(CSS)		00H
振荡稳定时间选择寄存器(OSTS)		04H
16 位定时器	定时器计数器(TM50)	0000H
	比较寄存器(CR50)	FFFFH
	捕捉寄存器(TCP50)	不确定
	模式控制寄存器(TMC50)	00H
8 位定时器/事件计数器	定时器计数器(TM00, TM01, 和 TM02)	00H
	比较寄存器(CR00, CR01, 和 CR02)	不确定
	模式控制寄存器(TMC00, TMC01, 和 TMC02)	00H
钟表定时器	模式控制寄存器(WTM)	00H
看门狗定时器	定时器时钟选择寄存器(TCL2)	00H
	模式寄存器(WDTM)	00H
A/D 转换器	模式寄存器(ADM0)	00H
	A/D 输入选择寄存器(ADS0)	00H
	A/D 转换结果寄存器(ADCRO)	不确定
比较器	模式寄存器(CMPRM0)	00H

- 注
1. 在复位输入和振荡稳定时间等待期间，只有 PC 的内容为不确定的。所有其他硬件单元复位后保持不变。
 2. 在待机模式中，保持复位后的状态。

表 17-1. 复位后的硬件状态 (2/2)

	硬件	复位后的状态
串行接口	模式寄存器 (CSIM00)	00H
	异步串行接口模式寄存器 (ASIM00)	00H
	异步串行接口状态寄存器 (ASIS00)	00H
	波特率发生器控制寄存器 (BRGC00)	00H
	发送移位寄存器 (TXS00)	FFH
	接收缓冲寄存器 (RXB00)	不确定
LCD 控制器/驱动器	LCD 显示模式寄存器 (LCDM0)	00H
	LCD 端口选择器 (LPS0)	00H
	LCD 时钟控制寄存器 (LCDC0)	00H
中断	请求标志寄存器 (IF0 和 IF1)	00H
	屏蔽标志寄存器 (MK0 和 MK1)	FFH
	外部中断模式寄存器 (INTM0 和 INTM1)	00H
	键返回模式寄存器 (KRM00)	00H

第十八章 μ PD78F9418A

μ PD78F9418A 是内部 ROM 为 FLASH 存储器的芯片。

表 18-1 列出了 μ PD78F9418A 和掩膜 ROM 版本的不同之处。

表 18-1. μ PD78F9418A 和掩膜 ROM 版本的不同之处

项目		FLASH 存储器版本	掩膜 ROM 版本		
		μ PD78F9418A	μ PD789405A μ PD789415A	μ PD789406A μ PD789416A	μ PD789407A μ PD789417A
内部存储器	ROM	32 K 字节 (FLASH 存储器)	12 K 字节	16 K 字节	24 K 字节
	高速 RAM	512 字节			
	LCD 数据 RAM	28 字节			
★	上拉电阻	32 (仅软件控制)	36 (软件控制 : 32, 掩膜选项控制 : 4)		
★	LCD 驱动的分压电阻	没有	可以通过掩膜选项内部指定		
	IC 引脚	没有	有		
	VPP 引脚	有	没有		
	电气特性	参考 第二十一章 电气特性			

注意事项 1. FLASH 存储器与掩膜 ROM 版本的噪声抗扰和噪声辐射是存在差异的。如果预生产的应用设备使用的是 FLASH 存储器版本，之后大规模生产这种应用设备时使用掩膜 ROM 版本，此时必须对掩膜 ROM 版本的商业样品（不是工程样品）进行充分的评估。

2. 当 A/D 转换结果寄存器 0 (ADCRO) 被作为 8 位 A/D 转换器 (μ PD789407A 子系列) 使用时，ADCRO 能够通过 8 位存储器操作指令进行设置，当 ADCRO 被作为 10 位 A/D 转换器 (μ PD789417A 子系列) 使用时，ADCRO 能够通过 16 位的存储器操作指令进行设置。

然而，当 μ PD78F9418A 被作为 μ PD789405A、789406A 和 789407A 这几种的 FLASH 存储器版本使用时，ADCRO 能够通过 8 位存储器操作指令进行设置。在这种情况下，要使用 μ PD789405A、 μ 789406A 和 789407A 的器件文件汇编过的目标文件。

★ 18.1 FLASH 存储器特性

通过把专用的 FLASH 编程器 (Flashpro III (产品编号: FL-PR3、PG-FP3) 和 Flashpro IV (产品编号: FL-PR4、PG-FP4)) 和已经安装好 μ PD78F9418A 的目标系统 (on-board) 连接起来, 就可以对 FLASH 进行编程操作。提供一个目标板专用的 FLASH 编程适配器 (FA 适配器)。

备注 FL-PR3、FL-PR4 和编程适配器是 Naito Densei Machida Mfg. Co., Ltd. (TEL +81-45-475-4191) 的产品。

使用 FLASH 存储器进行编程设计有以下几点优点:

- 在微控制器被焊接在目标系统上以后还能对软件进行修正。
- 对小批量, 多模式产品有相应的软件工具。
- 当进行大批量生产时容易进行数据修正。

18.1.1 编程环境

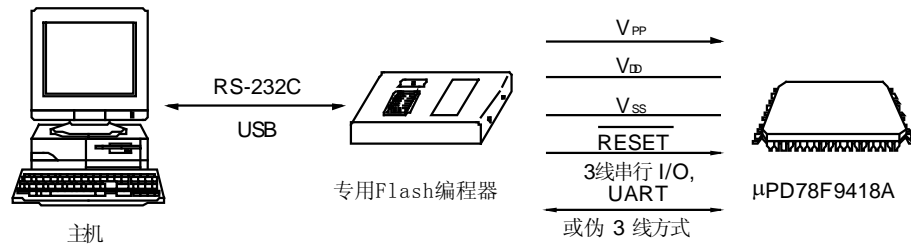
以下是 μ PD78F9418A FLASH 存储器编程所需的环境。

需要有一台控制专用编程器 (Flashpro III (产品编号: FL-PR3、PG-FP3) 或 Flashpro IV (产品编号: FL-PR4、PG-FP4)) 的主机, 主机和专用编程器之间通过 RS-232C 或 USB (Rev. 1.1) 进行通讯。

详细资料请参考 Flashpro III 和 Flashpro IV 的手册。

备注 仅仅 Flashpro IV 支持 USB 接口。

图 18-1. FLASH 存储器编程环境



18.1.2 通信模式

表 18-2 显示了专用 FLASH 编程器和 μ PD78F9418A 之间的通信模式。

表 18-2. 通信模式列表

通信模式	类型设置 ^{注1}				使用的引脚	VPP 脉冲的数量	
	通信端口	SIO 时钟	CPU 时钟				倍率
			Flashpro	目标板			
3 线串行 I/O	SIO ch-0 (3 线, 同步)	100 Hz ~ 1.25 MHz ^{注2}	1, 2, 4, 5MHz ^{注2, 3}	1~ 5 MHz ^{注2}	1.0	SI/RxD/P22 SO/TxD/P21 SCK/ASCK/P20	0
UART	UART ch-0 (异步)	4,800 ~ 76,800 bps ^{注2, 4}	5 MHz ^{注5}	4.91 或 5 MHz ^{注2}	1.0	RxD/SI/P22 TxD/SO/P21	8
伪 3 线	端口 A (伪 3 线)	100 Hz ~ 1 kHz	1, 2, 4, 5MHz ^{注2, 3}	1~ 5 MHz ^{注2}	1.0	P01 P02 P00	12
	端口 B (伪 3 线)					P40/KR0 P41/KR1 P42/KR2	13

- 注
1. 专用 FLASH 编程器 (Flashpro III (产品编号: FL-PR3, PG-FP3) 和 Flashpro IV (产品编号: FL-PR4, PG-FP4)) 的标准设置选项。
 2. 不同的电压决定不同的设置范围。如需了解详细内容, 请参考第二十一章 电气特性。
 3. Flashpro III 仅支持 2 MHz 或 4 MHz 的时钟。
 4. 除了波特率误差之外, 信号波形回转也会影响 UART 通信, 所以必须严格测量回转和波特率误差。
 5. 仅支持 Flashpro IV。当使用 Flashpro III 时, 必须选择目标板上振荡器的时钟。Flashpro III 提供时钟时不能进行 UART 通信。

图 18-2. 通信模式选择格式

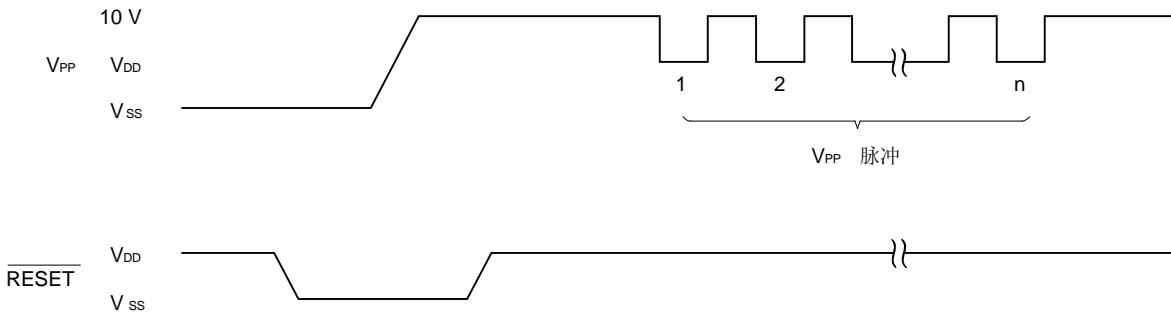
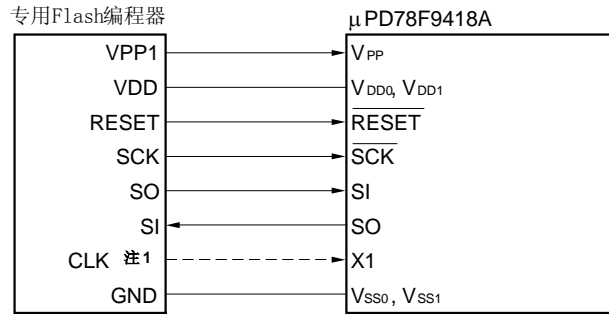
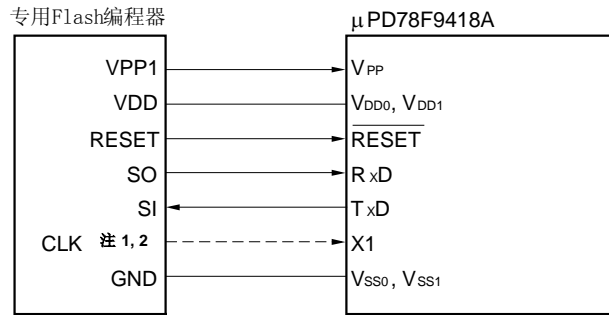


图 18-3. 专用 FLASH 编程器连接示例

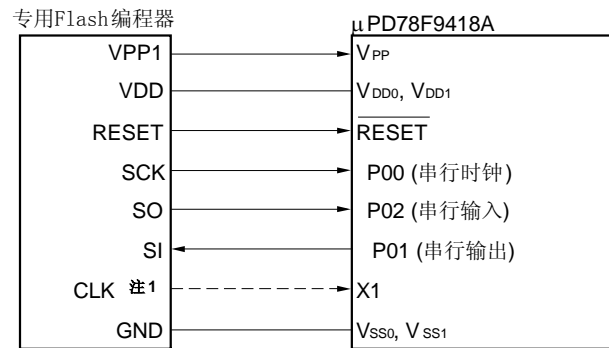
(a) 3 线串行 I/O



(b) UART



(c) 伪 3 线 (当 P0 被使用时)



- 注
1. 当系统时钟由专用 FLASH 编程器提供时连接这个引脚。如果振荡器已经和 X1 引脚连接，不要将其和 CLK 引脚连接。
 2. 当使用 Flashpro III 进行 UART 通信时，振荡器必须为 X1 引脚提供时钟，所以不要将振荡器与 CLK 引脚相连。

注意事项 如果 V_{DD} 引脚已经和电源连接，则其必须也和专用 FLASH 编程器的 VDD 引脚连接。当电源和 V_{DD} 连接时，必须在开始编程之前提供编程电压。

当 Flashpro III（产品编号：FL-PR3, PG-FP3）和 Flashpro IV（产品编号：FL-PR4, PG-FP4）被用作 μ PD78F9418A 的专用 FLASH 编程器时，将会产生以下的信号。如果了解具体信息，请参考 Flashpro III 和 Flashpro IV 的手册。

表 18-3. 引脚连接列表

信号名称	I/O	引脚功能	引脚名称	3 线串行 I/O	UART	伪 3 线
VPP1	输出	写电压	VPP	◎	◎	◎
VPP2	-	-	-	×	×	×
VDD	I/O	产生 VDD 电压/电压监视	VDD0, VDD1	◎ ^注	◎ ^注	◎ ^注
GND	-	信号地	VSS0, VSS1	◎	◎	◎
CLK	输出	时钟输出	X1	○	○	○
RESET	输出	复位信号	RESET	◎	◎	◎
SI	输入	接收信号	S0/TxD/P01/P41	◎	◎	◎
SO	输出	发送信号	SI/RxD/P02/P42	◎	◎	◎
SCK	输出	传送时钟	SCK/P00/P40	◎	×	◎
HS	输入	握手信号	-	×	×	×

注 V_{DD} 电压必须在编程开始之前提供。

备注

- ◎：引脚必须被连接。
- ：如果目标板上有这个信号，则引脚不需要被连接。
- ×：引脚不需要被连接。

18.1.3 On-board 引脚连接

当对目标系统进行在线编程时，专用 FLASH 编程器会通过目标系统上的一个连接器与目标系统连接。从正常操作模式到 FLASH 编程模式转换所需的 On-board 功能的示例如下。

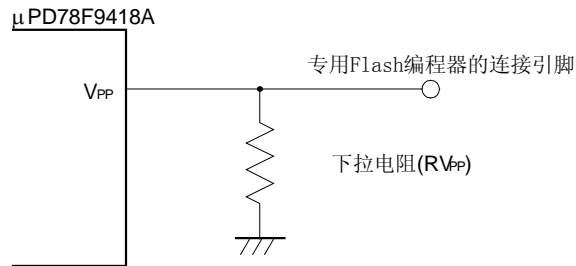
<V_{PP} 引脚>

在正常操作模式中 V_{PP} 引脚输入 0 V 的电压。在 FLASH 编程模式中 10.0 V（典型值）的写入电压被输入到 V_{PP} 引脚。对该引脚按如下的方式进行处理。

- (1) 连接一个 R_{VPP} = 10 k Ω 的上拉电阻到 V_{PP} 引脚。
- (2) 使用目标板上的跳线将 V_{PP} 切换到编程器这边，或直接连接到 GND。

以下是一个 V_{PP} 引脚连接的示例。

图 18-4. V_{PP} 引脚连接示例



<串行接口引脚>

以下是各个串行接口所使用的引脚。

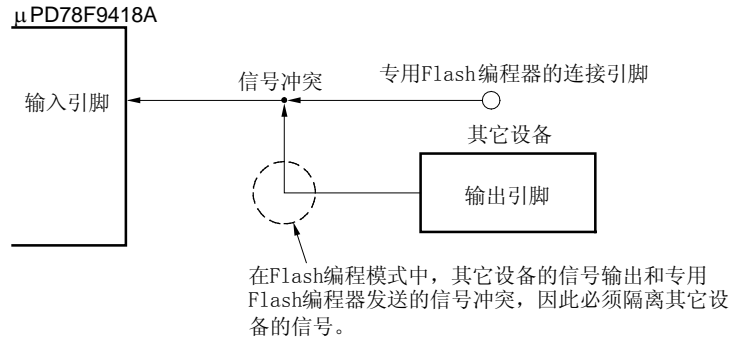
串行接口	使用的引脚
3线 串行 I/O	SI, SO, \overline{SCK}
UART	RxD, TxD
伪 3线	P00, P01, P02
	P40, P41, P42

注意，当连接着其它设备的 on-board 串行接口引脚连接到专用 FLASH 编程器时，可能会产生信号冲突或其它的设备故障。

(1) 信号冲突

如果专用 FLASH 编程器（输出端）与串行接口（已连接到另一个设备的输出端）的一个输入引脚相连，就会产生信号冲突。为了防止信号冲突的产生，切断和它的设备连接或使它的设备处在高阻抗状态。

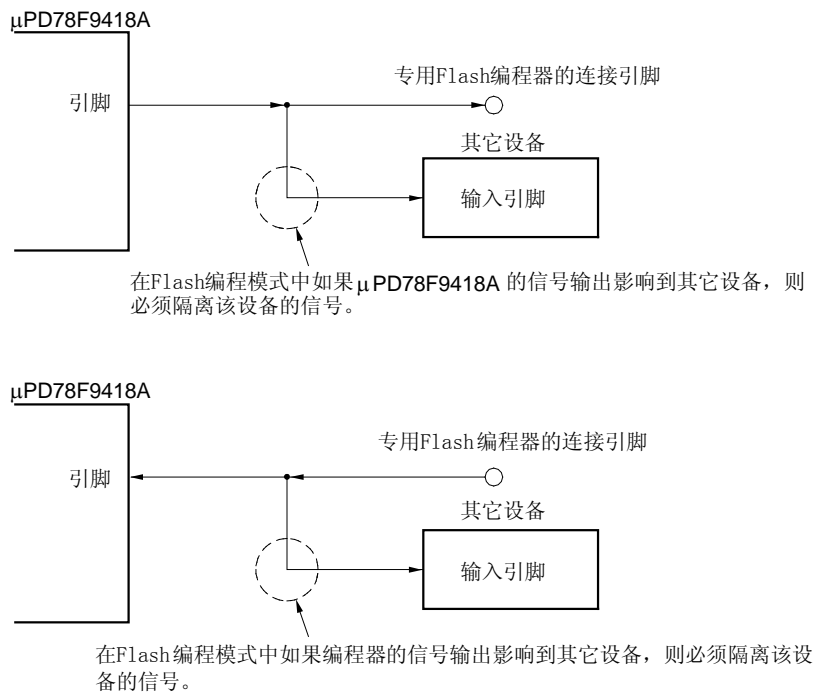
图 18-5. 信号冲突（串行接口输入引脚）



(2) 其它设备的故障

如果专用 FLASH 编程器（输入端或输出端）与串行接口（已连接到另一个设备的输入端）的一个输入或输出引脚相连，则信号可能会输出到另一个设备，从而引起该设备的故障。为了防止这样的故障，切断和这个设备的连接或者忽略这个设备的输入信号。

图 18-6. 其它设备的故障

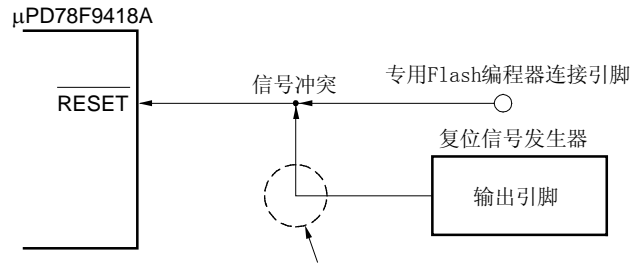


〈RESET 引脚〉

如果将专用 FLASH 编程器的复位信号连接到目标板上的复位引脚（已经和目标板上的复位信号发生器相连），就会产生信号冲突。为了避免这种信号冲突，应该切断和复位信号发生器的连接。

在 FLASH 编程模式中如果从用户系统输入复位信号，则一个正常的编程操作不会被执行。所以在编程操作期间除了专用 FLASH 编程器的复位信号外，不要输入其它信号。

图 18-7. 信号冲突 (RESET 引脚)



在Flash编程模式中，复位信号发生器的输出信号和专用Flash编程器发送的信号冲突，因此，必须隔离复位信号发生器的信号。

〈端口引脚〉

当设置 FLASH 编程模式时，那些不用于 FLASH 编程通信的引脚处于复位后的初始状态。

因此，如果外部设备不能识别出初始状态（例如输出高阻抗状态），则需要通过一个电阻把此外部设备与 V_{DD0} 、 V_{DD1} 、 V_{SS0} 、或 V_{SS1} 引脚相连。

〈振荡器引脚〉

当使用目标板上的时钟时，X1、X2、XT1 和 XT2 引脚的连接必须和正常操作模式时的连接相一致。

当使用 FLASH 编程器的时钟输出时，X1 引脚直接和它相连，并且断开目标板上的主振荡器。副时钟的连接和正常操作模式时的连接相一致。

〈电源供应〉

如果使用 FLASH 编程器的电源输出，则要将 V_{DD0} 和 V_{DD1} 引脚和 FLASH 编程器的 VDD 引脚相连，将 V_{SS0} 和 V_{SS1} 引脚和 FLASH 编程器的 GND 引脚相连。

如果使用目标板的电源输出，则按照正常操作模式中的连接方法进行连接。然而，因为电压被 FLASH 编程器监控，所以，FLASH 编程器的 VDD 引脚也应该和目标板的电源连接。

其它的电源供应引脚（ AV_{DD} 、 AV_{REF} 、 AV_{SS} ）的连接与正常操作模式中的相同。

〈其它的引脚〉

用在正常操作模式下相同的方法处理其他的引脚（S0 ~ S15、COM0 ~ COM3、 V_{LC0} ~ V_{LC2} 、BIAS）。

18.1.4 使用 FLASH 存储器写入适配器的连接方法

当使用 FLASH 存储器写入适配器时，建议使用以下示例中的连接方式。

图 18-8. 使用 3 线串行 I/O 模式时连接 FLASH 存储器写入适配器的示例

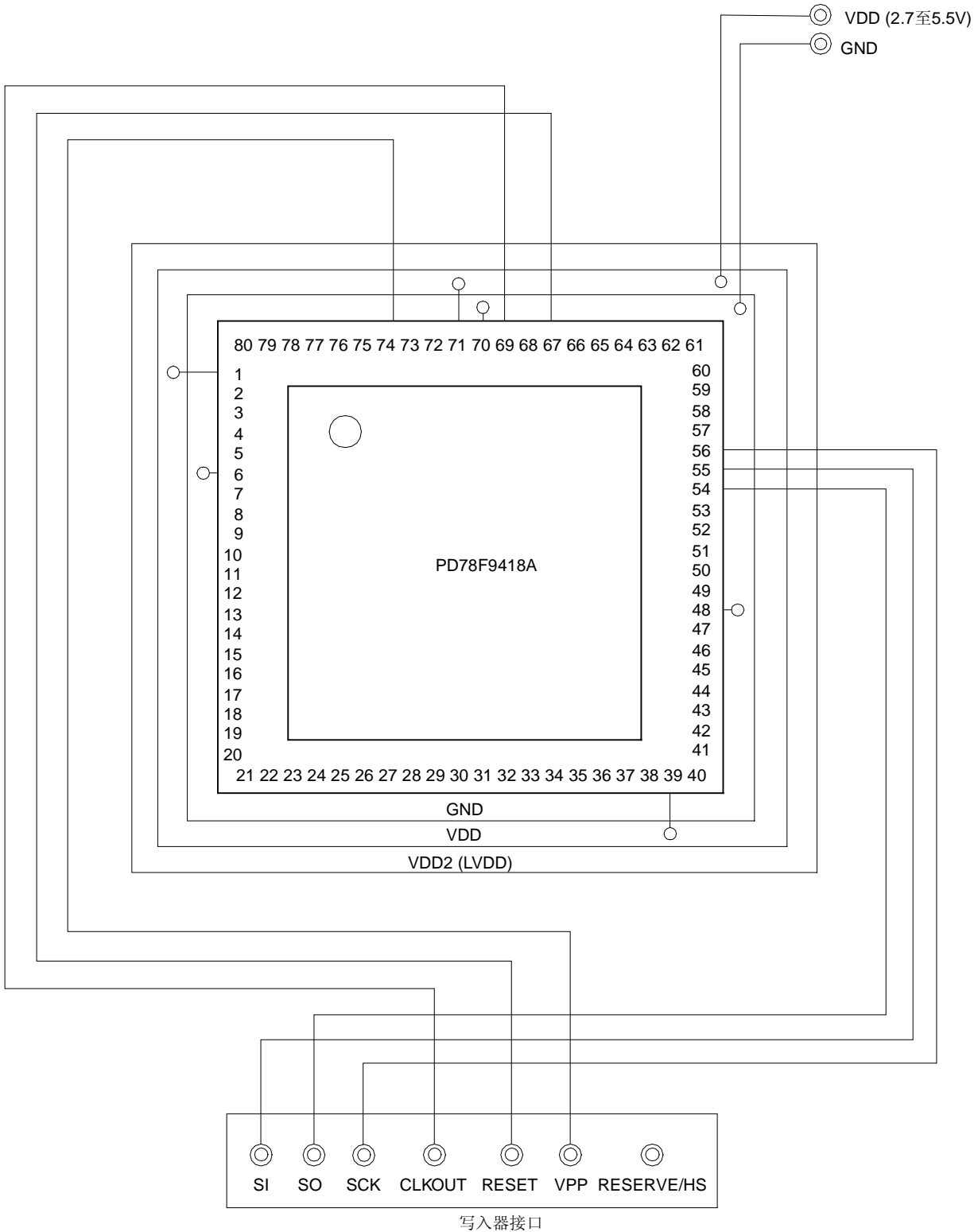


图 18-9. 使用 UART 模式时连接 FLASH 存储器写入适配器的示例

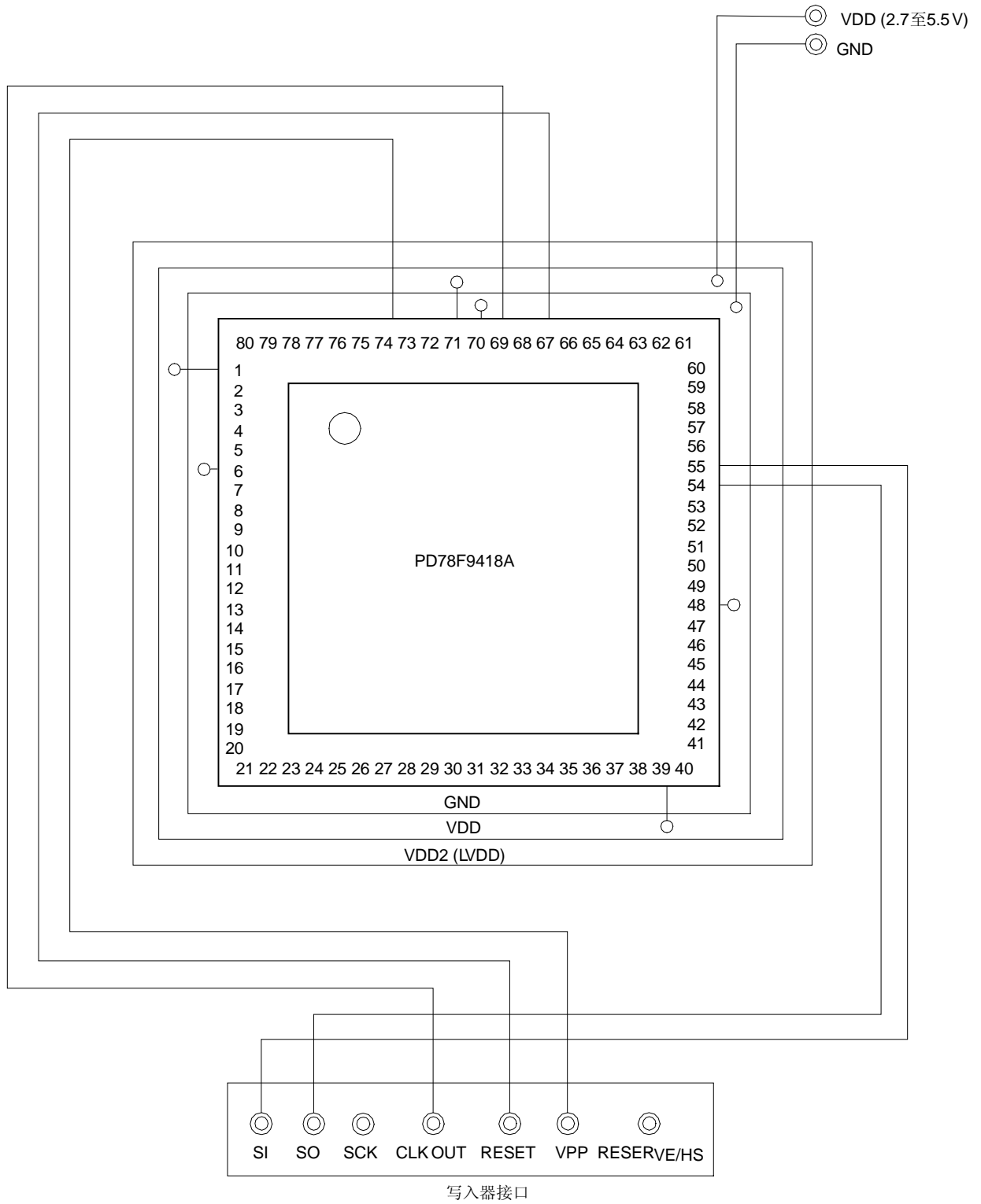
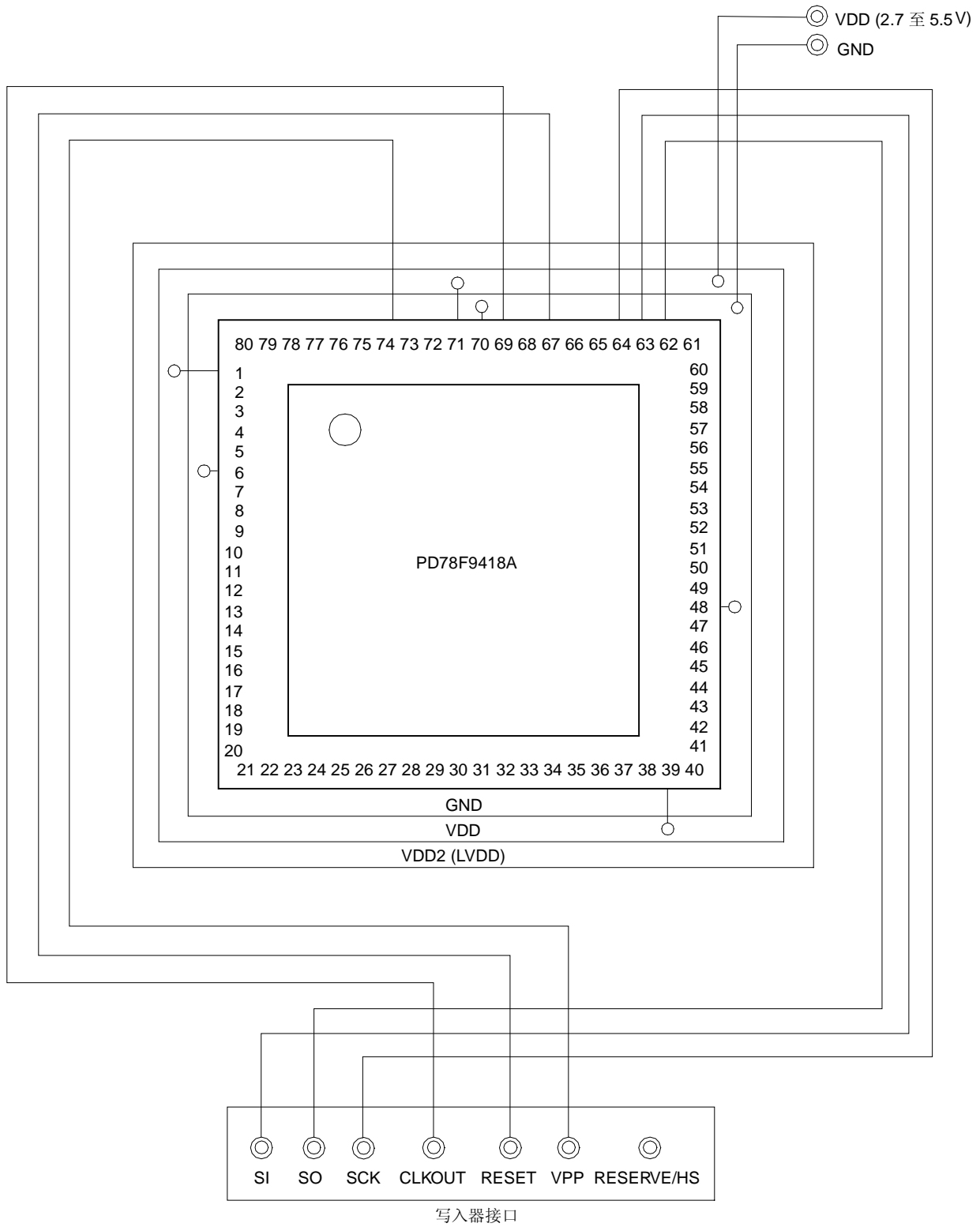


图 18-10. 使用伪 3 线模式时连接 FLASH 存储器写入适配器的示例（当 P0 被使用时）



第十九章 掩膜选项

μ PD789407A 和 μ PD789417A 子系列的掩膜 ROM 版本有以下的掩膜选项。

注意事项 FLASH 存储器版本没有掩膜选项。

19.1 引脚的掩膜选项

表 19-1. 引脚掩膜选项的选择

引脚	掩膜选项
P50 ~ P53	以 1 位为单位连接上拉电阻

对端口 5 (P50~P53) 来说, 可以以 1 位为单位来选择是否连接上拉电阻。

19.2 LCD 驱动器分压电阻的掩膜选项

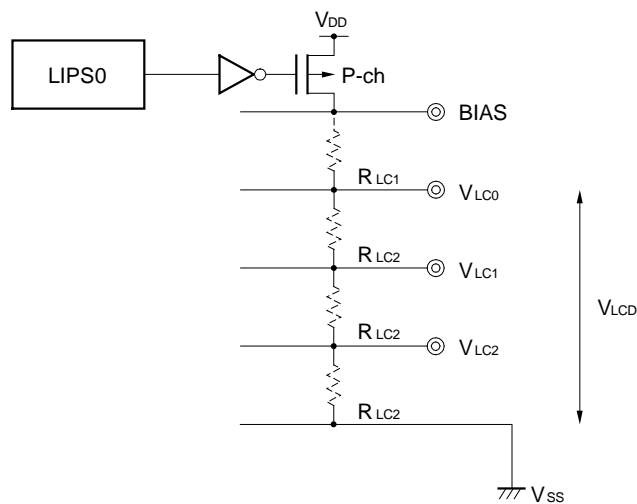
可以通过掩膜选项来选择是否连接 LCD 驱动器的分压电阻, 如下表所示:

表 19-2. 可选择的分压电阻的组合

		RLC1 (2 × RLC2)		
		无	20 k Ω	200 k Ω
RLC2	无	○	-	-
	10 k Ω	○	○	-
	100 k Ω	○	-	○

○: 可选择的

-: 不可选择的



LIPS0: LCD显示模式寄存器0 (LCDM0) 的第4位

第二十章 指令集

本章列出了 μ PD789407A 和 μ PD789417A 子系列的指令设置。如需了解每种指令的操作和机器语言(指令码),可参阅 **78K/0S 系列指令用户手册(U11047E)**。

20.1 操作

20.1.1 操作数标识符和描述方法

根据指令操作数描述方法(详情可参见汇编程序规范),在每种指令的“操作数”栏列出操作数。如果有两种或两种以上的表示方法,可任选其一。大写字母和符号 #, !, \$, 和 [] 是关键字,必须按其原样书写。每种符号的含义如下所示。

- #: 立即数标识
- !: 绝对地址标识
- \$: 相对地址标识
- []: 间接地址标志

立即数用来描述一个数值型数据或标号。当使用标志时,注意必须加上符号#, !, \$ 和 []。

对于操作数寄存器标识符 r 和 rp,功能名称(X, A, C等)或绝对名称(下表括号中的名称, R0, R1, R2等)都可用于标识。

表 20-1. 操作数标识符和标识方法

标识符	描述方法
r rp sfr	X (R0), A (R1), C (R2), B (R3), E (R4), D (R5), L (R6), H (R7) AX (RP0), BC (RP1), DE (RP2), HL (RP3) 专用寄存器符号
saddr saddrp	FE20H ~ FF1FH 立即数或标号 FE20H ~ FF1FH 立即数或标号(仅用于偶地址)
addr16 addr5	0000H ~ FFFFH 立即数或标号(仅用于16位数据传输指令的偶地址) 0040H ~ 007FH 立即数或标号(仅用于偶地址)
word byte bit	16位立即数或标号 8位立即数或标号 3位立即数或标号

备注 特殊功能寄存器符号参见 **表 3-3 特殊功能寄存器** 列表。

20.1.2 “操作” 栏描述

A:	A 寄存器; 8 位累加器
X:	X 寄存器
B:	B 寄存器
C:	C 寄存器
D:	D 寄存器
E:	E 寄存器
H:	H 寄存器
L:	L 寄存器
AX:	AX 寄存器对; 16 位累加器
BC:	BC 寄存器对
DE:	DE 寄存器对
HL:	HL 寄存器对
PC:	程序计数器
SP:	堆栈指针
PSW:	程序状态字
CY:	进位标志
AC:	半进位标志
Z:	零标志
IE:	中断请求允许标志
NMIS:	不可屏蔽中断服务标志
():	括号中的地址或寄存器所指的存储单元的内容
X _H , X _L :	16 位寄存器的高 8 位和低 8 位
∧:	逻辑乘 (AND)
∨:	逻辑和 (OR)
⊕:	逻辑异或 (异或)
—	: 取反的数据
addr16:	16 位立即数或标号
jdisp8:	带符号的 8 位数据 (偏移量)

20.1.3 “标志” 栏描述

(空):	不受影响
0:	清零
1:	设置为 1
x:	根据结果置位/清零
R:	恢复先前保存的值

20.2 操作列表

助记符	操作数	字节数	时钟数	操作	标志
					Z AC CY
MOV	r, #byte	3	6	r ← byte	
	saddr, #byte	3	6	(saddr) ← byte	
	sfr, #byte	3	6	sfr ← byte	
	A, r ^{#1}	2	4	A ← r	
	r, A ^{#1}	2	4	r ← A	
	A, saddr	2	4	A ← (saddr)	
	saddr, A	2	4	(saddr) ← A	
	A, sfr	2	4	A ← sfr	
	sfr, A	2	4	sfr ← A	
	A, !addr16	3	8	A ← (addr16)	
	!addr16, A	3	8	(addr16) ← A	
	PSW, #byte	3	6	PSW ← byte	x x x
	A, PSW	2	4	A ← PSW	
	PSW, A	2	4	PSW ← A	x x x
	A, [DE]	1	6	A ← (DE)	
	[DE], A	1	6	(DE) ← A	
	A, [HL]	1	6	A ← (HL)	
	[HL], A	1	6	(HL) ← A	
A, [HL+byte]	2	6	A ← (HL + byte)		
[HL+byte], A	2	6	(HL + byte) ← A		
XCH	A, X	1	4	A ↔ X	
	A, r ^{#2}	2	6	A ↔ r	
	A, saddr	2	6	A ↔ (saddr)	
	A, sfr	2	6	A ↔ sfr	
	A, [DE]	1	8	A ↔ (DE)	
	A, [HL]	1	8	A ↔ (HL)	
	A, [HL+byte]	2	8	A ↔ (HL + byte)	

- 注
1. r = A 除外。
 2. r = A, X 除外。

备注 一个指令周期是指由处理器时钟控制寄存器(PCC)选择的CPU时钟(f_{CPU})。

助记符	操作数	字节数	时钟数	操作	标志		
					Z	AC	CY
MOVW	rp, #word	3	6	rp ← word			
	AX, saddrp	2	6	AX ← (saddrp)			
	saddrp, AX	2	8	(saddrp) ← AX			
	AX, rp [#]	1	4	AX ← rp			
	rp, AX [#]	1	4	rp ← AX			
XCHW	AX, rp [#]	1	8	AX ↔ rp			
ADD	A, #byte	2	4	A, CY ← A + byte	x	x	x
	saddr, #byte	3	6	(saddr), CY ← (saddr) + byte	x	x	x
	A, r	2	4	A, CY ← A + r	x	x	x
	A, saddr	2	4	A, CY ← A + (saddr)	x	x	x
	A, !addr16	3	8	A, CY ← A + (addr16)	x	x	x
	A, [HL]	1	6	A, CY ← A + (HL)	x	x	x
	A, [HL+byte]	2	6	A, CY ← A + (HL + byte)	x	x	x
ADDC	A, #byte	2	4	A, CY ← A + byte + CY	x	x	x
	saddr, #byte	3	6	(saddr), CY ← (saddr) + byte + CY	x	x	x
	A, r	2	4	A, CY ← A + r + CY	x	x	x
	A, saddr	2	4	A, CY ← A + (saddr) + CY	x	x	x
	A, !addr16	3	8	A, CY ← A + (addr16) + CY	x	x	x
	A, [HL]	1	6	A, CY ← A + (HL) + CY	x	x	x
	A, [HL+byte]	2	6	A, CY ← A + (HL + byte) + CY	x	x	x
SUB	A, #byte	2	4	A, CY ← A - byte	x	x	x
	saddr, #byte	3	6	(saddr), CY ← (saddr) - byte	x	x	x
	A, r	2	4	A, CY ← A - r	x	x	x
	A, saddr	2	4	A, CY ← A - (saddr)	x	x	x
	A, !addr16	3	8	A, CY ← A - (addr16)	x	x	x
	A, [HL]	1	6	A, CY ← A - (HL)	x	x	x
	A, [HL+byte]	2	6	A, CY ← A - (HL + byte)	x	x	x

注 仅当 rp = BC, DE, 或 HL 时。

备注 一个指令周期是指由处理器时钟控制寄存器 (PCC) 选择的 CPU 时钟 (fcpu)。

助记符	操作数	字节数	时钟数	操作	标志		
					Z	AC	CY
SUBC	A, #byte	2	4	$A, CY \leftarrow A - \text{byte} - CY$	x	x	x
	saddr, #byte	3	6	$(\text{saddr}), CY \leftarrow (\text{saddr}) - \text{byte} - CY$	x	x	x
	A, r	2	4	$A, CY \leftarrow A - r - CY$	x	x	x
	A, saddr	2	4	$A, CY \leftarrow A - (\text{saddr}) - CY$	x	x	x
	A, !addr16	3	8	$A, CY \leftarrow A - (\text{addr16}) - CY$	x	x	x
	A, [HL]	1	6	$A, CY \leftarrow A - (\text{HL}) - CY$	x	x	x
	A, [HL+byte]	2	6	$A, CY \leftarrow A - (\text{HL} + \text{byte}) - CY$	x	x	x
AND	A, #byte	2	4	$A \leftarrow A \wedge \text{byte}$	x		
	saddr, #byte	3	6	$(\text{saddr}) \leftarrow (\text{saddr}) \wedge \text{byte}$	x		
	A, r	2	4	$A \leftarrow A \wedge r$	x		
	A, saddr	2	4	$A \leftarrow A \wedge (\text{saddr})$	x		
	A, !addr16	3	8	$A \leftarrow A \wedge (\text{addr16})$	x		
	A, [HL]	1	6	$A \leftarrow A \wedge (\text{HL})$	x		
	A, [HL+byte]	2	6	$A \leftarrow A \wedge (\text{HL} + \text{byte})$	x		
OR	A, #byte	2	4	$A \leftarrow A \vee \text{byte}$	x		
	saddr, #byte	3	6	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	x		
	A, r	2	4	$A \leftarrow A \vee r$	x		
	A, saddr	2	4	$A \leftarrow A \vee (\text{saddr})$	x		
	A, !addr16	3	8	$A \leftarrow A \vee (\text{addr16})$	x		
	A, [HL]	1	6	$A \leftarrow A \vee (\text{HL})$	x		
	A, [HL+byte]	2	6	$A \leftarrow A \vee (\text{HL} + \text{byte})$	x		
XOR	A, #byte	2	4	$A \leftarrow A \oplus \text{byte}$	x		
	saddr, #byte	3	6	$(\text{saddr}) \leftarrow (\text{saddr}) \oplus \text{byte}$	x		
	A, r	2	4	$A \leftarrow A \oplus r$	x		
	A, saddr	2	4	$A \leftarrow A \oplus (\text{saddr})$	x		
	A, !addr16	3	8	$A \leftarrow A \oplus (\text{addr16})$	x		
	A, [HL]	1	6	$A \leftarrow A \oplus (\text{HL})$	x		
	A, [HL+byte]	2	6	$A \leftarrow A \oplus (\text{HL} + \text{byte})$	x		

备注 一个指令周期是指由处理器时钟控制寄存器(PCC)选择的CPU时钟(f_{CPU})。

助记符	操作数	字节数	时钟数	操作	标志		
					Z	AC	CY
CMP	A, #byte	2	4	A - byte	x	x	x
	saddr, #byte	3	6	(saddr) - byte	x	x	x
	A, r	2	4	A - r	x	x	x
	A, saddr	2	4	A - (saddr)	x	x	x
	A, !addr16	3	8	A - (addr16)	x	x	x
	A, [HL]	1	6	A - (HL)	x	x	x
	A, [HL+byte]	2	6	A - (HL + byte)	x	x	x
ADDW	AX, #word	3	6	AX, CY ← AX + word	x	x	x
SUBW	AX, #word	3	6	AX, CY ← AX - word	x	x	x
CMPW	AX, #word	3	6	AX - word	x	x	x
INC	r	2	4	r ← r + 1	x	x	
	saddr	2	4	(saddr) ← (saddr) + 1	x	x	
DEC	r	2	4	r ← r - 1	x	x	
	saddr	2	4	(saddr) ← (saddr) - 1	x	x	
INCW	rp	1	4	rp ← rp + 1			
DECW	rp	1	4	rp ← rp - 1			
ROR	A, 1	1	2	(CY, A7 ← A0, Am-1 ← Am) × 1			x
ROL	A, 1	1	2	(CY, A0 ← A7, Am+1 ← Am) × 1			x
RORC	A, 1	1	2	(CY ← A0, A7 ← CY, Am-1 ← Am) × 1			x
ROLC	A, 1	1	2	(CY ← A7, A0 ← CY, Am+1 ← Am) × 1			x
SET1	saddr.bit	3	6	(saddr.bit) ← 1			
	sfr.bit	3	6	sfr.bit ← 1			
	A.bit	2	4	A.bit ← 1			
	PSW.bit	3	6	PSW.bit ← 1	x	x	x
	[HL].bit	2	10	(HL).bit ← 1			
CLR1	saddr.bit	3	6	(saddr.bit) ← 0			
	sfr.bit	3	6	sfr.bit ← 0			
	A.bit	2	4	A.bit ← 0			
	PSW.bit	3	6	PSW.bit ← 0	x	x	x
	[HL].bit	2	10	(HL).bit ← 0			
SET1	CY	1	2	CY ← 1			1
CLR1	CY	1	2	CY ← 0			0
NOT1	CY	1	2	CY ← \overline{CY}			x

备注 一个指令周期是指由处理器时钟控制寄存器(PCC)选择的CPU时钟(fcpu)。

助记符	操作数	字节数	时钟数	操作	标志
					Z AC CY
CALL	!addr16	3	6	$(SP - 1) \leftarrow (PC + 3)_H, (SP - 2) \leftarrow (PC +)_L,$ $PC \leftarrow \text{addr16}, SP \leftarrow SP - 2$	
CALLT	[addr5]	1	8	$(SP - 1) \leftarrow (PC + 1)_H, (SP - 2) \leftarrow (PC + 1)_L,$ $PC_H \leftarrow (00000000, \text{addr5} + 1),$ $PC_L \leftarrow (00000000, \text{addr5}), SP \leftarrow SP - 2$	
RET		1	6	$PC_H \leftarrow (SP + 1), PC_L \leftarrow (SP), SP \leftarrow SP + 2$	
RETI		1	8	$PC_H \leftarrow (SP + 1), PC_L \leftarrow (SP),$ $PSW \leftarrow (SP + 2), SP \leftarrow SP + 3, NMIS = 0$	R R R
PUSH	PSW	1	2	$(SP - 1) \leftarrow \text{PSW}, SP \leftarrow SP - 1$	
	rp	1	4	$(SP - 1) \leftarrow \text{rp}_H, (SP - 2) \leftarrow \text{rp}_L, SP \leftarrow SP - 2$	
POP	PSW	1	4	$PSW \leftarrow (SP), SP \leftarrow SP + 1$	R R R
	rp	1	6	$\text{rp}_H \leftarrow (SP + 1), \text{rp}_L \leftarrow (SP), SP \leftarrow SP + 2$	
MOVW	SP, AX	2	8	$SP \leftarrow AX$	
	AX, SP	2	6	$AX \leftarrow SP$	
BR	!addr16	3	6	$PC \leftarrow \text{addr16}$	
	\$addr16	2	6	$PC \leftarrow PC + 2 + \text{jdisp8}$	
	AX	1	6	$PC_H \leftarrow A, PC_L \leftarrow X$	
BC	\$saddr16	2	6	$PC \leftarrow PC + 2 + \text{jdisp8}$ if CY = 1	
BNC	\$saddr16	2	6	$PC \leftarrow PC + 2 + \text{jdisp8}$ if CY = 0	
BZ	\$saddr16	2	6	$PC \leftarrow PC + 2 + \text{jdisp8}$ if Z = 1	
BNZ	\$saddr16	2	6	$PC \leftarrow PC + 2 + \text{jdisp8}$ if Z = 0	
BT	saddr.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if (saddr.bit) = 1	
	sfr.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if sfr.bit = 1	
	A.bit, \$addr16	3	8	$PC \leftarrow PC + 3 + \text{jdisp8}$ if A.bit = 1	
	PSW.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if PSW.bit = 1	
BF	saddr.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if (saddr.bit) = 0	
	sfr.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if sfr.bit = 0	
	A.bit, \$addr16	3	8	$PC \leftarrow PC + 3 + \text{jdisp8}$ if A.bit = 0	
	PSW.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if PSW.bit = 0	
DBNZ	B, \$addr16	2	6	$B \leftarrow B - 1, \text{ then } PC \leftarrow PC + 2 + \text{jdisp8}$ if B \neq 0	
	C, \$addr16	2	6	$C \leftarrow C - 1, \text{ then } PC \leftarrow PC + 2 + \text{jdisp8}$ if C \neq 0	
	saddr, \$addr16	3	8	$(\text{saddr}) \leftarrow (\text{saddr}) - 1, \text{ then } PC \leftarrow PC + 3 + \text{jdisp8}$ if (saddr) \neq 0	
NOP		1	2	无操作	
EI		3	6	IE \leftarrow 1 (允许中断)	
DI		3	6	IE \leftarrow 0 (禁止中断)	
HALT		1	2	设置 HALT 模式	
STOP		1	2	设置 STOP 模式	

备注 一个指令周期是指由处理器时钟控制寄存器(PCC)选择的CPU时钟(f_{CPU})。

20.3 按寻址类型列出指令

(1) 8 位指令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, INC, DEC, ROR, ROL, RORC, ROLC, PUSH, POP, DBNZ。

第二操作数 第一操作数	#byte	A	r	sfr	saddr	!addr1 6	PSW	[DE]	[HL]	[HL+byte]	\$addr16	1	None
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV* XCH*	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											
[HL+byte]		MOV											

注 r = A 除外。

(2) 16 位指令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW。

第二操作数 第一操作数	#word	AX	rp ^註	saddrp	SP	None
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	
rp	MOVW	MOVW ^註				INCW DECW PUSH POP
saddrp		MOVW				
SP		MOVW				

注 仅当 rp = BC, DE, 或 HL 时。

(3) 位操作指令

SET1, CLR1, NOT1, BT, BF。

第二操作数 第一操作数	\$addr16	None
A.bit	BT BF	SET1 CLR1
Sfr.bit	BT BF	SET1 CLR1
Saddr.bit	BT BF	SET1 CLR1
PSW.bit	BT BF	SET1 CLR1
[HL].bit		SET1 CLR1
CY		SET1 CLR1 NOT1

(4) 调用指令/转移指令

CALL, CALLT, BR, BC, BNC, BZ, BNZ, DBNZ。

第二操作数 第一操作数	AX	!addr16	[addr5]	\$addr16
基本指令	BR	CALL BR	CALLT	BR BC BNC BZ BNZ
复合指令				DBNZ

(5) 其他指令

RET, RETI, NOP, EI, DI, HALT, STOP。

最大额定值 ($T_A = 25^\circ\text{C}$)

参数	符号	条件	范围	单位
电源电压	V_{DD}	$AV_{DD} - 0.3\text{ V} \leq V_{DD} \leq AV_{DD} + 0.3\text{ V}$	-0.3 ~ +6.5	V
	AV_{DD}	$AV_{REF} \leq V_{DD} + 0.3\text{ V}$		
	AV_{REF}	$AV_{REF} \leq AV_{DD} + 0.3\text{ V}$		
	V_{PP}	仅 $\mu\text{PD78F9418A}$ 注	-0.3 ~ +10.5	V
输入电压	V_{I1}	除 P50 ~ P53 之外的引脚	-0.3 ~ $V_{DD} + 0.3$	V
	V_{I2}	P50 ~ P53 N 沟开漏	-0.3 ~ +13	V
输出电压	V_O		-0.3 ~ $V_{DD} + 0.3$	V
输出电流, 高	I_{OH}	1 个引脚	-10	mA
		所有引脚总和	-30	mA
输出电流, 低	I_{OL}	1 个引脚	30	mA
		所有引脚总和	160	mA
工作环境温度	T_A	在通常操作模式下	-40 ~ +85	$^\circ\text{C}$
		在 Flash 存储器编程期间	10 ~ 40	$^\circ\text{C}$
存储温度	T_{stg}	掩膜 ROM 版本	-65 ~ +150	$^\circ\text{C}$
		$\mu\text{PD78F9418A}$	-40 ~ +125	$^\circ\text{C}$

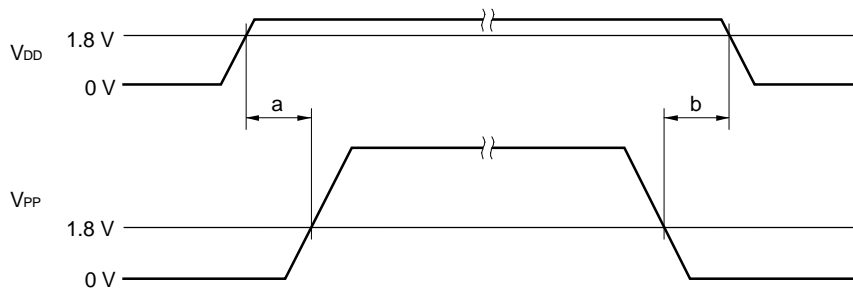
注 对 Flash 存储器进行写操作时, V_{PP} 电压应用时序必须满足以下条件。

- 电源电压上升时

在 V_{DD} 达到操作电压范围的下限 (1.8 V) 后, V_{PP} 必须滞后 V_{DD} 10 μs 或更多 (见下图中的 a)。

- 电源电压下降时

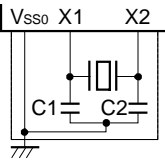
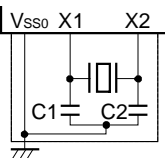
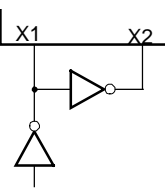
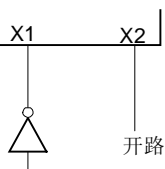
在 V_{PP} 低于操作电压范围的下限 (1.8 V) 后, V_{DD} 必须滞后于 V_{PP} 10 μs 或更多 (见下图中的 b)。



注意事项 任何一项参数哪怕是在瞬间超过最大额定值, 都会使产品质量受到影响。也就是说, 最大额定值是产品濒临物理损坏的临界值, 因此, 必须保证产品在不超过最大额定值的条件下使用。

备注 除了另外的规定, 复用功能引脚的特性和端口引脚的相同。

主系统时钟振荡器特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

振荡器	建议使用的电路	参数	条件	最小.	典型.	最大.	单位
陶瓷振荡器		振荡频率 (f_x) ^{注1}	$V_{DD} = \text{振荡电压范围}$	1.0		5.0	MHz
		振荡稳定时间 ^{注2}	在 V_{DD} 达到振荡开始电压的最小值之后			4	ms
晶体振荡器		振荡频率 (f_x) ^{注1}		1.0		5.0	MHz
		振荡稳定时间 ^{注2}	$V_{DD} = 4.5 \sim 5.5 \text{ V}$			10	ms
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$			30	ms
外部时钟		X1 输入频率 (f_x) ^{注1}		1.0		5.0	MHz
		X1 输入高/低电平宽度 (t_{XH} , t_{XL})		85		500	ns
		X1 输入频率 (f_x) ^{注1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	1.0		5.0	MHz
		X1 输入高/低电平宽度 (t_{XH} , t_{XL})	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	85		500	ns

- 注**
1. 仅表示振荡器特性。如需了解指令执行时间，可参见 **AC 特性**。
 2. 在复位或 STOP 模式释放后，振荡器稳定振荡需要时间。所以需使用在振荡等待时间内能稳定振荡的振荡器。

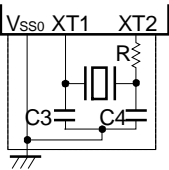
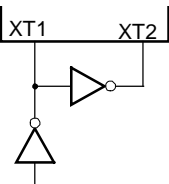
注意事项 1. 在使用 X1 振荡器时，上表中的虚线框内部分的连线应遵从如下的连接方式，以防止线间电容产生不良影响。

- 连接线越短越好。
- 连接线不与其他信号线交叉。
- 如果信号线流经的电流变化较大，则不要在其周围连线。
- 要保持振荡器电容器的接地点电压与 V_{SS} 相同。
- 避免大电流从电容到地的连线上流过。
- 不要从振荡器获取信号。

2. 当系统的主系统时钟停止，系统工作在副系统时钟时，通过程序保证系统返回主系统时钟时所需的振荡稳定时间。

备注 对于振荡器选择和振荡器常量，用户需要自己测试振荡器或要求制造商测试。

副系统时钟振荡器特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

振荡器	建议使用的电路	参数	条件	最小	典型	最大	单位
晶体振荡器		振荡频率 (f_{XT}) ^{注 1}		32	32.768	35	kHz
		振荡稳定时间 ^{注 2}	$V_{DD} = 4.5 \sim 5.5 \text{ V}$		1.2	2	s
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$			10	s
外部时钟		XT1 输入频率 (f_{XT}) ^{注 1}		32		35	kHz
		XT1 输入高/低电平宽度 (t_{XTH} , t_{XTL})		14.3		15.6	μs

- 注
1. 仅表示振荡器特性。如需了解指令执行时间，可参见 AC 特性。
 2. 在复位或 STOP 模式释放后，振荡器稳定振荡需要时间。所以需使用在振荡等待时间内能稳定振荡的振荡器。

注意事项 1. 当使用副系统时钟振荡器时，上表中的虚线框内部分的连线应遵从如下的接线方法以防止线间电容造成不利影响。

- 连接线越短越好。
- 连接线不与其他信号线交叉。
- 如果信号线流经的电流变化较大，则不要在其周围连线。
- 要保持振荡器电容器的接地点电压与 V_{SS} 相同。
- 避免大电流从电容到地的连线上流过。
- 不要从振荡器获取信号。

2. 为了减少电流消耗，副系统时钟振荡器设计为小振幅电路，它比主系统时钟振荡器更易因噪声干扰而产生故障。所以当使用副系统时钟时，特别注意布线方法。

备注 对于振荡器选择和振荡器常量，用户需要自己测试振荡器或要求制造商测试。

直流电特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$) (1/3)

参数	符号	条件		最小	典型	最大	单位
输出电流, 高	IOH	每个引脚				-1	mA
		所有引脚的总和				-15	mA
输出电流, 低	IOL	每个引脚				10	mA
		所有引脚的总和				80	mA
输入电压, 高	VIH1	P00 ~ P03, P46, P47, P60 ~ P66, P80 ~ P87, P90 ~ P93		VDD = 2.7 ~ 5.5 V	0.7VDD	VDD	V
				VDD = 1.8 ~ 5.5 V	0.9VDD	VDD	V
	VIH2	P50 ~ P53	N沟开漏	VDD = 2.7 ~ 5.5 V	0.7VDD	12	V
				VDD = 1.8 ~ 5.5 V	0.9VDD	12	V
		内无上拉电阻	VDD = 2.7 ~ 5.5 V	0.7VDD	VDD	V	
			VDD = 1.8 ~ 5.5 V	0.9VDD	VDD	V	
	VIH3	RESET, P20 ~ P27, P40 ~ P45		VDD = 2.7 ~ 5.5 V	0.8VDD	VDD	V
				VDD = 1.8 ~ 5.5 V	0.9VDD	VDD	V
VIH4	X1, X2, XT1, XT2		VDD = 1.8 ~ 5.5 V	VDD - 0.1	VDD	V	
输入电压, 低	VIL1	P00 ~ P03, P46, P47, P60 ~ P66, P80 ~ P87, P90 ~ P93		VDD = 2.7 ~ 5.5 V	0	0.3VDD	V
				VDD = 1.8 ~ 5.5 V	0	0.1VDD	V
	VIL2	P50 ~ P53		VDD = 2.7 ~ 5.5 V	0	0.3VDD	V
				VDD = 1.8 ~ 5.5 V	0	0.1VDD	V
	VIL3	RESET, P20 ~ P27, P40 ~ P45		VDD = 2.7 ~ 5.5 V	0	0.2VDD	V
				VDD = 1.8 ~ 5.5 V	0	0.1VDD	V
	VIL4	X1, X2, XT1, XT2		VDD = 1.8 ~ 5.5 V	0	0.1	V
	输出电压, 高	VOH	IOH = -1 mA		VDD = 4.5 ~ 5.5 V	VDD - 1.0	
IOH = -100 μA			VDD = 1.8 ~ 5.5 V	VDD - 0.5		V	
输出电压, 低	VOL1	除 P50 ~ P53 之外的引脚		VDD = 4.5 ~ 5.5 V		1.0	V
				IOL = 10 mA			
	VOL2	P50 ~ P53		VDD = 4.5 ~ 5.5 V		1.0	V
				IOL = 10 mA			
				VDD = 1.8 ~ 5.5 V		0.4	V
				IOL = 1.6 mA			
输入漏电流, 高	ILIH1	VIN = VDD		除 P50 ~ P53 (N沟开漏), X1, X2, XT1, 和 XT2 之外的引脚		3	μA
	ILIH2			X1, X2, XT1, XT2		20	μA
	ILIH3	VIN = 12 V		P50 ~ P53 (N沟开漏)		20	μA
输入漏电流, 低	ILIL1	VIN = 0 V		除 P50 ~ P53 (N沟开漏), X1, X2, XT1, 和 XT2 之外的引脚		-3	μA
	ILIL2			X1, X2, XT1, XT2		-20	μA
	ILIL3			P50 ~ P53 (N沟开漏)		-3 [※]	μA

注 如果 P50~P53 没有使用内置上拉电阻(由掩膜选项选择), 且在读操作指令读取 P50~53 信息前已经被设置为输入模式, 则仅在一个周期内有低电平输入漏电流(可达-30 μA)经过。其它时间最大漏电流为-3 μA 。

备注 除了另外的规定, 复用引脚和其它引脚有相同的特性。

DC 特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$) (2/3)

参数	符号	条件	最小	典型	最大	单位	
输出漏电流, 高	I_{LOH}	$V_{OUT} = V_{DD}$			3	μA	
输出漏电流, 低	I_{LOL}	$V_{OUT} = 0 \text{ V}$			-3	μA	
软件上拉电阻	R_1	$V_{IN} = 0 \text{ V}$, 除 P50 ~ P53 之外的引脚	50	100	200	$\text{k}\Omega$	
掩膜选项上拉电阻 ^{注1}	R_2	$V_{IN} = 0 \text{ V}$, P50 ~ P53	15	30	60	$\text{k}\Omega$	
供电电流 (掩膜 ROM 版本)	I_{DD1} ^{注2}	5.0 MHz 晶体振荡器运行模式 ($C1 = C2 = 22 \text{ pF}$)	$V_{DD} = 5.0 \text{ V} \pm 10\%$ ^{注5}		2.0	4.0	mA
			$V_{DD} = 3.0 \text{ V} \pm 10\%$ ^{注6}		0.6	1.2	mA
			$V_{DD} = 2.0 \text{ V} \pm 10\%$ ^{注6}		0.3	0.6	mA
	I_{DD2} ^{注2}	5.0 MHz 晶体振荡器 HALT 模式 ($C1 = C2 = 22 \text{ pF}$)	$V_{DD} = 5.0 \text{ V} \pm 10\%$ ^{注5}		1.1	2.2	mA
			$V_{DD} = 3.0 \text{ V} \pm 10\%$ ^{注6}		0.4	0.8	mA
			$V_{DD} = 2.0 \text{ V} \pm 10\%$ ^{注6}		0.2	0.4	mA
	I_{DD3} ^{注2}	晶体振荡器运行模式 ^{注4} ($C3 = C4 = 22 \text{ pF}$, $R1 = 220 \text{ k}\Omega$)	$V_{DD} = 5.0 \text{ V} \pm 10\%$		30	90	μA
			$V_{DD} = 3.0 \text{ V} \pm 10\%$		9	50	μA
			$V_{DD} = 2.0 \text{ V} \pm 10\%$		4	25	μA
	I_{DD4} ^{注2}	32.768 kHz 晶体振荡器 HALT 模式 ^{注4} ($C3 = C4 = 22 \text{ pF}$, $R1 = 220 \text{ k}\Omega$)	$V_{DD} = 5.0 \text{ V} \pm 10\%$		25	55	μA
			$V_{DD} = 3.0 \text{ V} \pm 10\%$		5	25	μA
			$V_{DD} = 2.0 \text{ V} \pm 10\%$		2.5	12.5	μA
	I_{DD5} ^{注2}	32.768 kHz 晶体振荡器 STOP 模式	$V_{DD} = 5.0 \text{ V} \pm 10\%$		0.1	10	μA
			$V_{DD} = 3.0 \text{ V} \pm 10\%$		0.05	5.0	μA
			$T_A = 25^\circ\text{C}$		0.05	3.0	μA
I_{DD6} ^{注3}	5.0 MHz 晶体振荡器 A/D 运行模式 ($C1 = C2 = 22 \text{ pF}$)	$V_{DD} = 5.0 \text{ V} \pm 10\%$		2.6	6.0	mA	
		$V_{DD} = 3.0 \text{ V} \pm 10\%$		1.2	3.6	mA	
		$V_{DD} = 2.0 \text{ V} \pm 10\%$		0.9	2.7	mA	

- 注
1. 只有掩膜 ROM 版本有此特性
 2. 不包括流经 AVREF (A/D 打开 ($\text{ADCS0} = 1$)), AVDD 的电流和端口电流 (包括流经内置上拉电阻的电流)。
 3. 不包括流经 AVREF (A/D 打开 ($\text{ADCS0} = 1$)) 的电流, 和端口电流 (包括流经内置上拉电阻的电流)。对于流经 AVREF 的电流, 参考 8 位 A/D 转换器特性和 10 位 A/D 转换器特性中的 AVREF 和 AVSS 电阻的参数。
 4. 当主系统时钟停止时
 5. 高速模式操作 (当 $\text{PCC} = 00\text{H}$)
 6. 低速模式操作 (当 $\text{PCC} = 02\text{H}$)

备注 除非特别说明, 复用引脚和其它引脚有相同的特性。

DC 特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$) (3/3)

参数	符号	条件	最小	典型	最大	单位	
电源电流 ($\mu\text{PD78F9418A}$)	I_{DD1} ^{注1}	5.0 MHz 晶振操作模式 ($C1 = C2 = 22 \text{ pF}$)	$V_{DD} = 5.0 \text{ V} \pm 10\%$ ^{注4}		5.0	14.0	mA
			$V_{DD} = 3.0 \text{ V} \pm 10\%$ ^{注5}		2.0	5.0	mA
			$V_{DD} = 2.0 \text{ V} \pm 10\%$ ^{注5}		1.5	3.0	mA
	I_{DD2} ^{注1}	5.0 MHz 晶振 HALT 模式 ($C1 = C2 = 22 \text{ pF}$)	$V_{DD} = 5.0 \text{ V} \pm 10\%$ ^{注4}		2.0	6.0	mA
			$V_{DD} = 3.0 \text{ V} \pm 10\%$ ^{注5}		1.0	3.0	mA
			$V_{DD} = 2.0 \text{ V} \pm 10\%$ ^{注5}		0.7	2.0	mA
	I_{DD3} ^{注1}	32.768 kHz 晶振操作模式 ^{注3} ($C3 = C4 = 22 \text{ pF}$, $R1 = 220 \text{ k}\Omega$)	$V_{DD} = 5.0 \text{ V} \pm 10\%$		200	600	μA
			$V_{DD} = 3.0 \text{ V} \pm 10\%$		150	450	μA
			$V_{DD} = 2.0 \text{ V} \pm 10\%$		100	300	μA
	I_{DD4} ^{注1}	32.768 kHz 晶振 HALT 模式 ^{注3} ($C3 = C4 = 22 \text{ pF}$, $R1 = 220 \text{ k}\Omega$)	$V_{DD} = 5.0 \text{ V} \pm 10\%$		50	150	μA
			$V_{DD} = 3.0 \text{ V} \pm 10\%$		30	90	μA
			$V_{DD} = 2.0 \text{ V} \pm 10\%$		20	60	μA
	I_{DD5} ^{注1}	32.768 kHz 晶振 STOP 模式	$V_{DD} = 5.0 \text{ V} \pm 10\%$		0.1	10	μA
			$V_{DD} = 3.0 \text{ V} \pm 10\%$		0.05	5.0	μA
			$T_A = 25^\circ\text{C}$		0.05	3.0	μA
			$V_{DD} = 2.0 \text{ V} \pm 10\%$		0.05	3.0	μA
	I_{DD6} ^{注2}	5.0 MHz 晶振 A/D 操作模式 ($C1 = C2 = 22 \text{ pF}$)	$V_{DD} = 5.0 \text{ V} \pm 10\%$ ^{注4}		6.0	16.0	mA
			$V_{DD} = 3.0 \text{ V} \pm 10\%$ ^{注5}		3.0	7.0	mA
$V_{DD} = 2.0 \text{ V} \pm 10\%$ ^{注5}				2.5	5.0	mA	

- 注
1. 不包括流经 AV_{REF} (A/D 打开 ($ADCS0 = 1$)), AV_{DD} 的电流和端口电流 (包括流经内置上拉电阻的电流)。
 2. 不包括流经 AV_{REF} (A/D 打开 ($ADCS0 = 1$)) 的电流, 和端口电流 (包括流经内置上拉电阻的电流)。对于流经 AV_{REF} 的电流, 参考 8 位模拟/数字转换器特性和 10 位模拟/数字转换器特性中的 AV_{REF} 和 AV_{SS} 电阻的参数。
 3. 当主系统时钟停止时
 4. 高速模式操作 (当 $PCC=00H$)
 5. 低速模式操作 (当 $PCC=02H$)

备注 除非特别说明, 复用引脚和其它引脚有相同的特性。

LCD 特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 2.2 \sim 5.5 \text{ V}$)

参数	符号	条件	最小	典型	最大	单位
LCD 驱动电压	V_{LCD}	$VAON0 = 1$	2.2		V_{DD}	V
		$VAON0 = 0$ ^{注1}	1/3 偏置	2.7	V_{DD}	V
			1/2 偏置	3.0	V_{DD}	V
LCD 分压电阻 ^{注2}	R_{LCD}	当掩膜选项选择 100 k Ω 时	100	200	400	k Ω
		当掩膜选项选择 10 k Ω 时	10	20	40	k Ω
LCD 驱动电压偏差 ^{注3} (COM)	V_{ODC}	$I_o = \pm 5 \mu\text{A}$ $V_{LCD0} = V_{LCD}$ $V_{LCD1} = V_{LCD} \times 2/3$	0		± 0.2	V
LCD 驱动电压偏差 ^{注3} (SEG)	V_{ODS}	$I_o = \pm 1 \mu\text{A}$ $2.2 \text{ V} \leq V_{LCD} \leq V_{DD}$ $V_{LCD2} = V_{LCD} \times 1/3$ ^{注1}	0		± 0.2	V

- 注
- $T_A = -10 \sim +85^\circ\text{C}$ 在正常模式下 ($VAON0 = 0$)
 - 对于 ROM 掩膜版本, 可以通过掩膜选项选择 10 k Ω , 100 k Ω , 或无分压电阻。 $\mu\text{PD78F9418A}$ 没有分压电阻。
 - LCD 驱动电压偏差指 SEG 信号或 COM 信号的输出电压与理想的驱动电压 (V_{LCDn} : $n = 0 \sim 2$) 的差值。

Flash 存储器写入/擦除特性 (只对 $\mu\text{PD78F9418A}$)($T_A = 10 \sim 40^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$, 5.0 MHz 晶体振荡器操作模式)

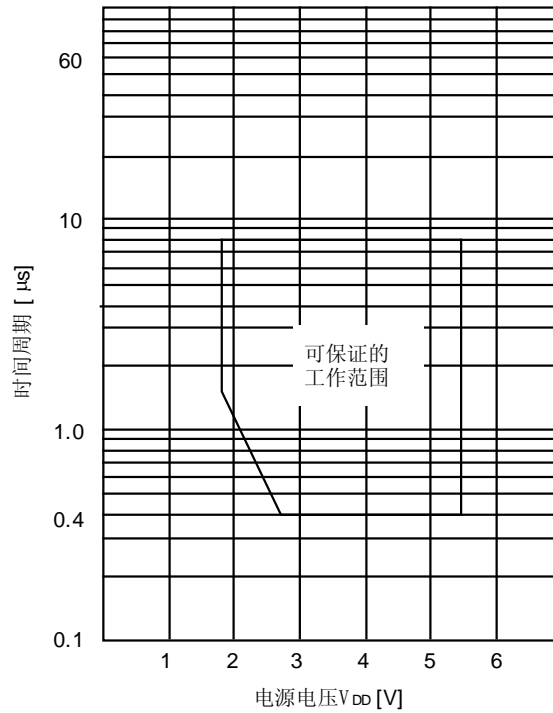
参数	符号	条件	最小	典型	最大	单位
写电流 ^注 (V_{DD} 引脚)	I_{DDW}	当 $V_{PP} = V_{PP1}$			18	mA
写电流 ^注 (V_{PP} 引脚)	I_{PPW}	当 $V_{PP} = V_{PP1}$			22.5	mA
擦除电流 ^注 (V_{DD} 引脚)	I_{DDE}	当 $V_{PP} = V_{PP1}$			18	mA
擦除电流 ^注 (V_{PP} 引脚)	I_{PPE}	当 $V_{PP} = V_{PP1}$			115	mA
单位擦除时间	t_{er}		0.5	1	1	s
全部擦除时间	t_{era}				20	s
写次数		擦除/写入被认为是一个周期			20	次数
V_{PP}	V_{PP0}	在通常操作模式下	0		$0.2V_{DD}$	V
	V_{PP1}	在 Flash 存储器编程期间	9.7	10.0	10.3	V

注 不包括流经引脚(包括流经内部上拉电阻的电流)的电流

AC 特性

(1) 基本操作 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

参数	符号	条件	最小	典型	最大	单位	
指令周期(最短指令执行时间)	T_{CY}	主系统时钟下的操作	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0.4		8	μs
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.6		8	μs
		副系统时钟下的操作		114	122	125	μs
TIO, TI1 输入频率	f_{TI}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0		4	MHz	
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0		275	kHz	
TIO, TI1 输入高/低电平宽度	t_{TIH}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0.1			μs	
	t_{TIL}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.8			μs	
中断输入高/低电平宽度	t_{INTH} , t_{INTL}	INTP0 \sim INTP3	10			μs	
复位信号输入低电平宽度	t_{RSL}		10			μs	

 T_{CY} 对 V_{DD} (主系统时钟)

(2) 串行接口 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)(a) 3 线串行 I/O 模式 ($\overline{\text{SCK}}$... 内部时钟输出)

参数	符号	条件	最小	典型	最大	单位	
$\overline{\text{SCK}}$ 周期	t_{KCY1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	800			ns	
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	3200			ns	
$\overline{\text{SCK}}$ 高/低电平宽度	t_{KH1} , t_{KL1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	$t_{\text{KCY1}}/2-50$			ns	
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	$t_{\text{KCY1}}/2-150$			ns	
SI 建立时间 (到 $\overline{\text{SCK}}\uparrow$)	t_{SIK1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	150			ns	
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	500			ns	
SI 保持时间 (从 $\overline{\text{SCK}}\uparrow$)	t_{KSI1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns	
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	600			ns	
从 $\overline{\text{SCK}}\downarrow$ 到 SO 的输出 延迟时间	t_{KS01}	$R = 1 \text{ k}\Omega$, $C = 100 \text{ pF}$ ^注	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0		250	ns
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0		1000	ns

注 R 和 C 是 SO 输出线的负载电阻和电容。

(b) 3 线串行 I/O 模式 ($\overline{\text{SCK}}$... 外部时钟输入)

参数	符号	条件	最小	典型	最大	单位	
$\overline{\text{SCK}}$ 指令周期	t_{KCY2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	900			ns	
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	3500			ns	
$\overline{\text{SCK}}$ 高/低电平宽度	t_{KH2} , t_{KL2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns	
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1600			ns	
SI 建立时间 (到 $\overline{\text{SCK}}\uparrow$)	t_{SIK2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	100			ns	
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	150			ns	
SI 保持时间 (从 $\overline{\text{SCK}}\uparrow$)	t_{KSI2}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns	
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	600			ns	
从 $\overline{\text{SCK}}\downarrow$ 到 SO 的输 出延迟时间	t_{KS02}	$R = 1 \text{ k}\Omega$, $C = 100 \text{ pF}$ ^注	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0		300	ns
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0		1000	ns

注 R 和 C 是 SO 输出线的负载电阻和电容。

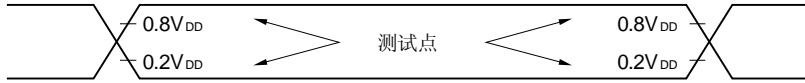
(c) UART 模式 (专用波特率发生器输出)

参数	符号	条件	最小	典型	最大	单位
传输速度		$V_{DD} = 2.7 \sim 5.5 \text{ V}$			78125	bps
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$			19531	bps

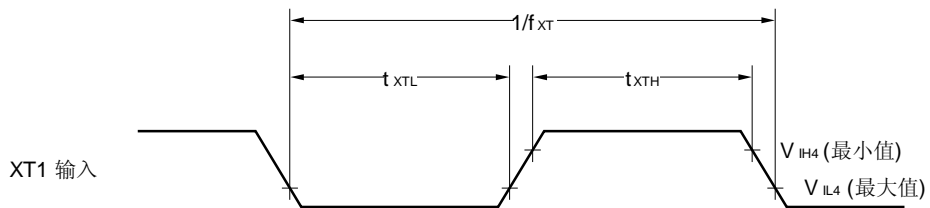
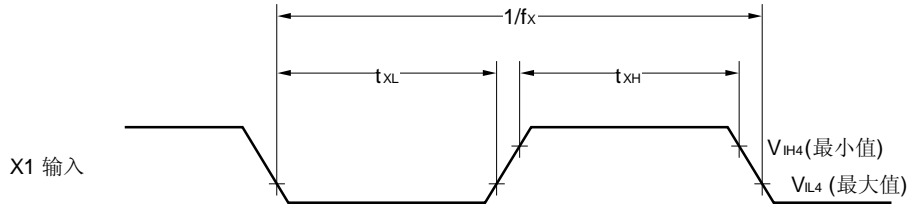
(d) UART 模式 (外部时钟输入)

参数	符号	条件	最小	典型	最大	单位
ASCK 周期	t_{KCY3}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	900			ns
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	3500			ns
ASCK 高/低电平宽度	t_{KH3} ,	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	400			ns
	t_{KL3}	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1600			ns
传输速度		$V_{DD} = 2.7 \sim 5.5 \text{ V}$			39063	bps
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$			9766	bps
ASCK 上升/下降时间	t_R, t_F				1	μs

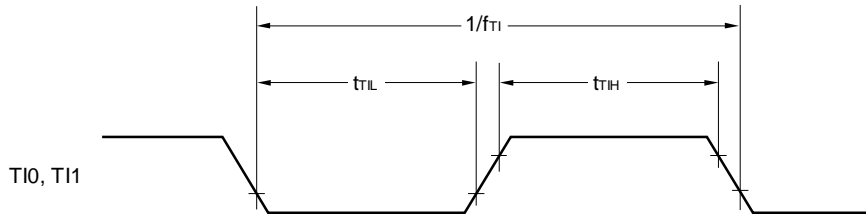
AC 时序测试点 (不包括 X1 和 XT1 输入):



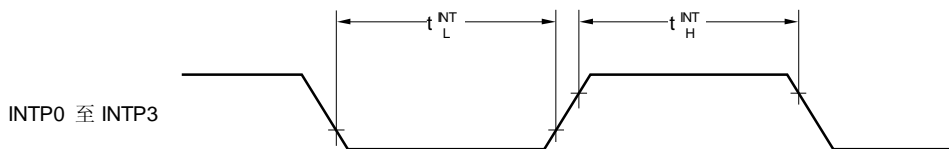
时钟时序:



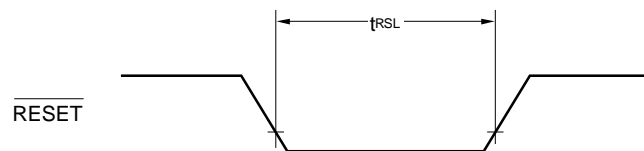
TI 时序:



中断输入时序:

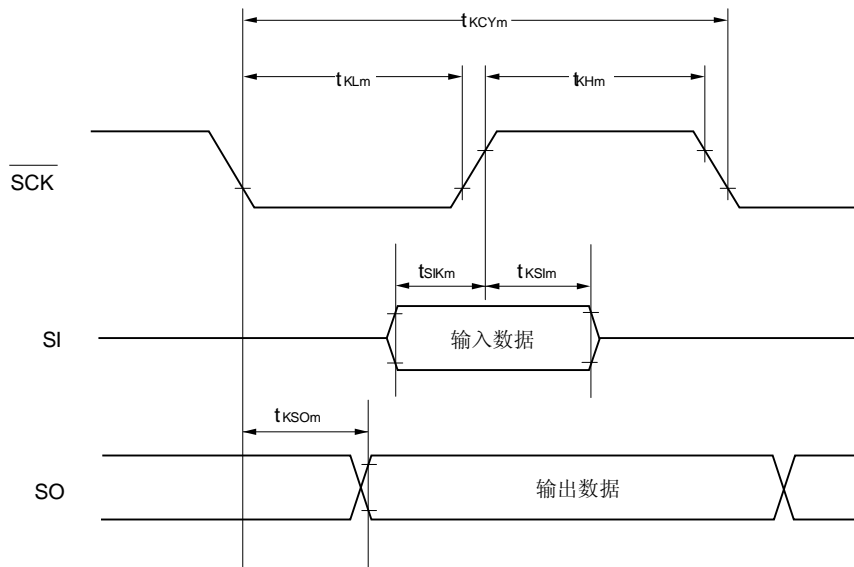


复位输入时序:



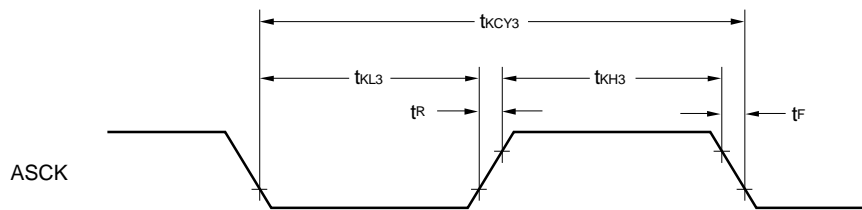
串口传输时序

3 线串行 I/O 模式:



备注 $m = 1$ 或者 2

UART 模式 (外部时钟输入):



8 位 A/D 转换器特性 (μ PD789405A, 789406A, 789407A)

(TA = -40 ~ +85°C, 1.8 V ≤ AVREF ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

参数	符号	条件	最小	典型	最大	单位
分辨率			8	8	8	位
总误差 ^注		2.7 V ≤ AVREF ≤ AVDD ≤ 5.5 V		±0.4	±0.6	%FSR
				±0.8	±1.2	%FSR
转换时间	tCONV	2.7 V ≤ AVREF ≤ AVDD ≤ 5.5 V	14		100	μs
			28		100	μs
模拟输入电压	VIAN		0		AVREF	V
参考电压	AVREF		1.8		AVDD	V
AVREF 与 AVSS 间的电阻	RADREF		20	40		kΩ

注 不包括量化误差 (±0.2%FSR)

备注 FSR: 满度范围

10 位 A/D 转换器特性 (μ PD789415A, 789416A, 789417A, 78F9418A)

(TA = -40 ~ +85°C, 1.8 V ≤ AVREF ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

参数	符号	条件	最小	典型	最大	单位
分辨率			10	10	10	bit
总误差 ^注		4.5 V ≤ AVREF ≤ AVDD ≤ 5.5 V		±0.2	±0.4	%FSR
		2.7 V ≤ AVREF ≤ AVDD ≤ 5.5 V		±0.4	±0.6	%FSR
		1.8 V ≤ AVREF ≤ AVDD ≤ 5.5 V		±0.8	±1.2	%FSR
转换时间	tCONV	4.5 V ≤ AVREF ≤ AVDD ≤ 5.5 V	14		100	μs
		2.7 V ≤ AVREF ≤ AVDD ≤ 5.5 V	14		100	μs
		1.8 V ≤ AVREF ≤ AVDD ≤ 5.5 V	28		100	μs
零度误差 ^注	AINL	4.5 V ≤ AVREF ≤ AVDD ≤ 5.5 V			±0.4	%FSR
		2.7 V ≤ AVREF ≤ AVDD ≤ 5.5 V			±0.6	%FSR
		1.8 V ≤ AVREF ≤ AVDD ≤ 5.5 V			±1.2	%FSR
满度误差 ^注	AINL	4.5 V ≤ AVREF ≤ AVDD ≤ 5.5 V			±0.4	%FSR
		2.7 V ≤ AVREF ≤ AVDD ≤ 5.5 V			±0.6	%FSR
		1.8 V ≤ AVREF ≤ AVDD ≤ 5.5 V			±1.2	%FSR
积分非线性误差 ^注	INL	4.5 V ≤ AVREF ≤ AVDD ≤ 5.5 V			±2.5	LSB
		2.7 V ≤ AVREF ≤ AVDD ≤ 5.5 V			±4.5	LSB
		1.8 V ≤ AVREF ≤ AVDD ≤ 5.5 V			±8.5	LSB
微分非线性误差 ^注	DNL	4.5 V ≤ AVREF ≤ AVDD ≤ 5.5 V			±1.5	LSB
		2.7 V ≤ AVREF ≤ AVDD ≤ 5.5 V			±2.0	LSB
		1.8 V ≤ AVREF ≤ AVDD ≤ 5.5 V			±3.5	LSB
模拟输入电压	VIAN		0		AVREF	V
参考电压	AVREF		1.8		AVDD	V
AVREF 与 AVSS 间的电阻	RADREF		20	40		kΩ

注 不包括量化误差 (±0.05%FSR)

备注 FSR 为满度范围

比较器特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

参数	符号	条件	最小	典型	最大	单位
模拟输入范围	V_{CIN}		0		V_{DD}	V
参考电压输入范围	V_{CREF}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	1.35	1.6	1.85	V
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.35	1.4	1.45	V
精度					± 100	mV

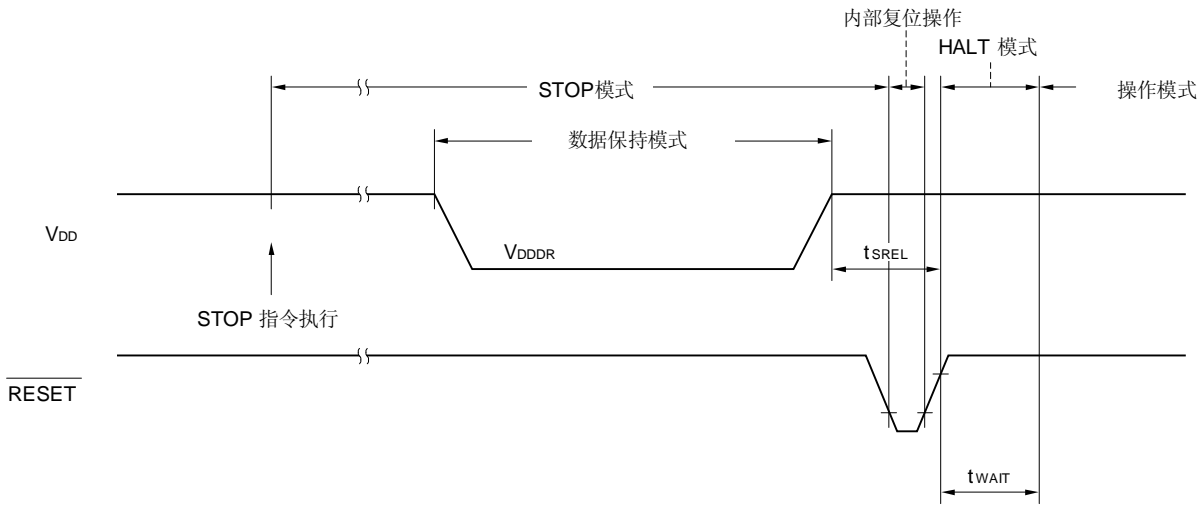
STOP 模式下的低电压数据保持特性 ($T_A = -40 \sim +85^\circ\text{C}$)

参数	符号	条件	最小	典型	最大	单位
数据保持电源电压	V_{DDDR}		1.8		5.5	V
释放信号设置时间	t_{SREL}		0			μs
振荡稳定等待时间 ^{注1}	t_{WAIT}	使用复位信号		$2^{15}/f_X$		ms
		使用中断信号		注 2		ms

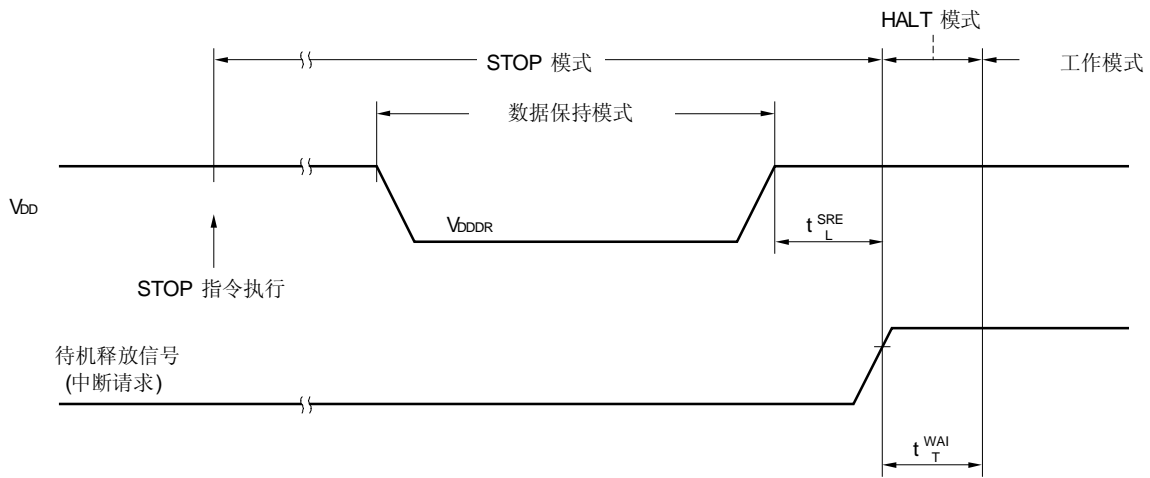
- 注**
1. 振荡稳定等待时间是指振荡开始后的一段时间，在这段时间内 CPU 为防止不稳定操作而停止工作
 2. 振荡稳定时间选择寄存器 (OSTS) 的第 0 位~第 2 位 (OSTS0 ~ OSTS2) 可选择 $2^{12}/f_X$, $2^{15}/f_X$, or $2^{17}/f_X$

备注 f_X : 主系统时钟振动频率

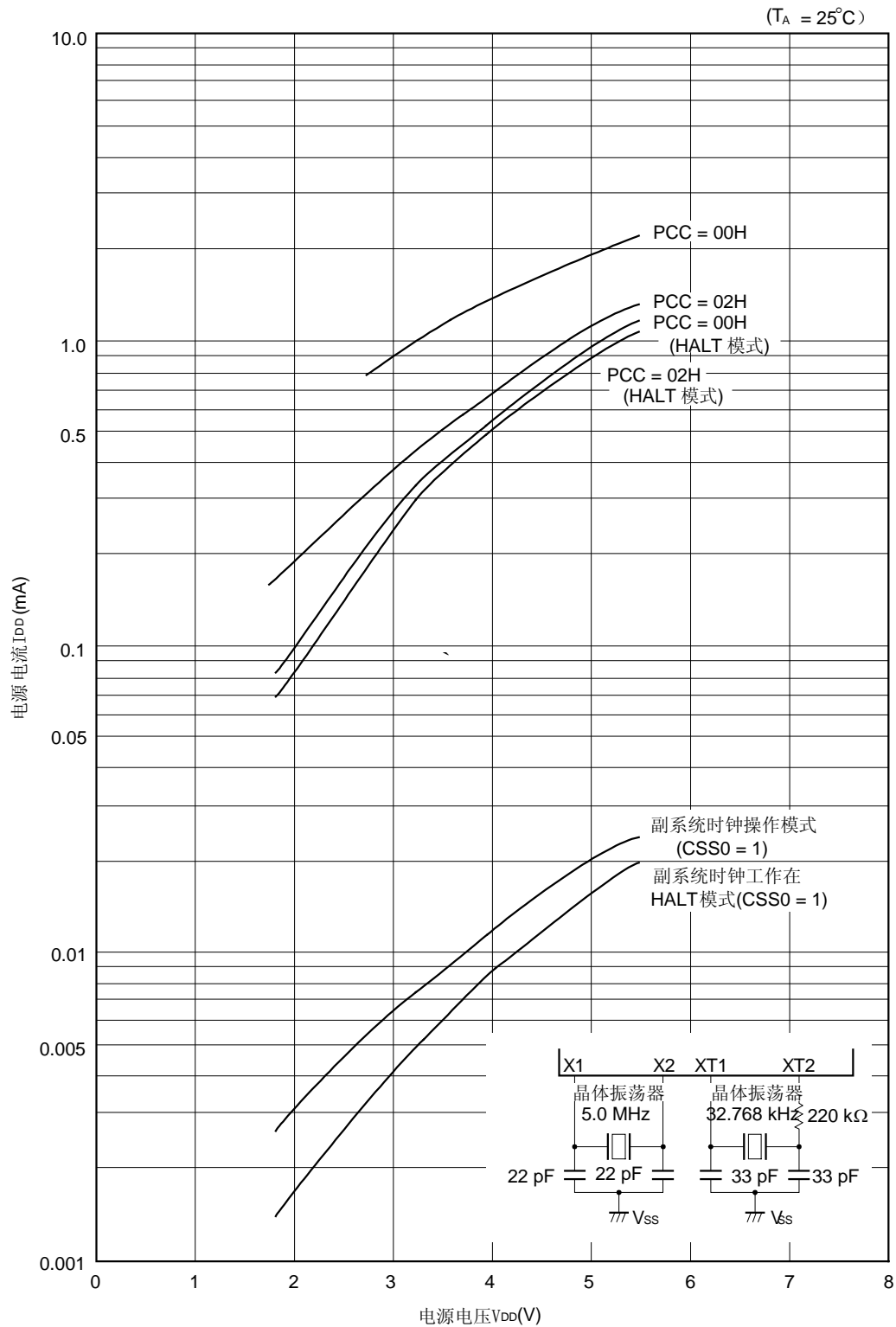
数据保持时序(通过复位信号释放 STOP 模式)

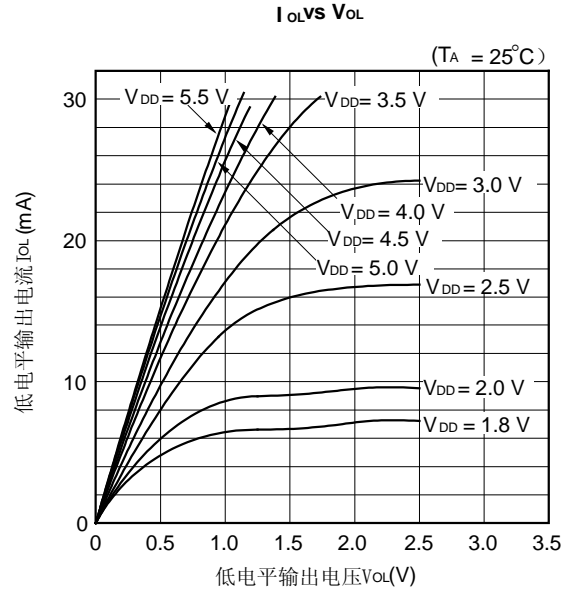
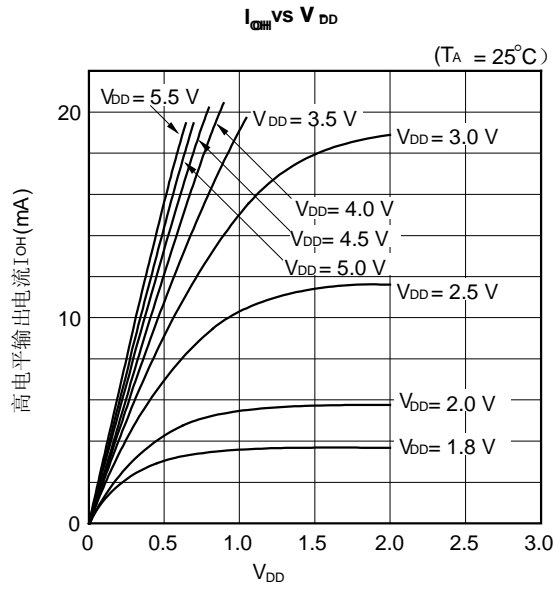


数据保持时间 (待机释放信号: 通过中断信号释放 STOP 模式)

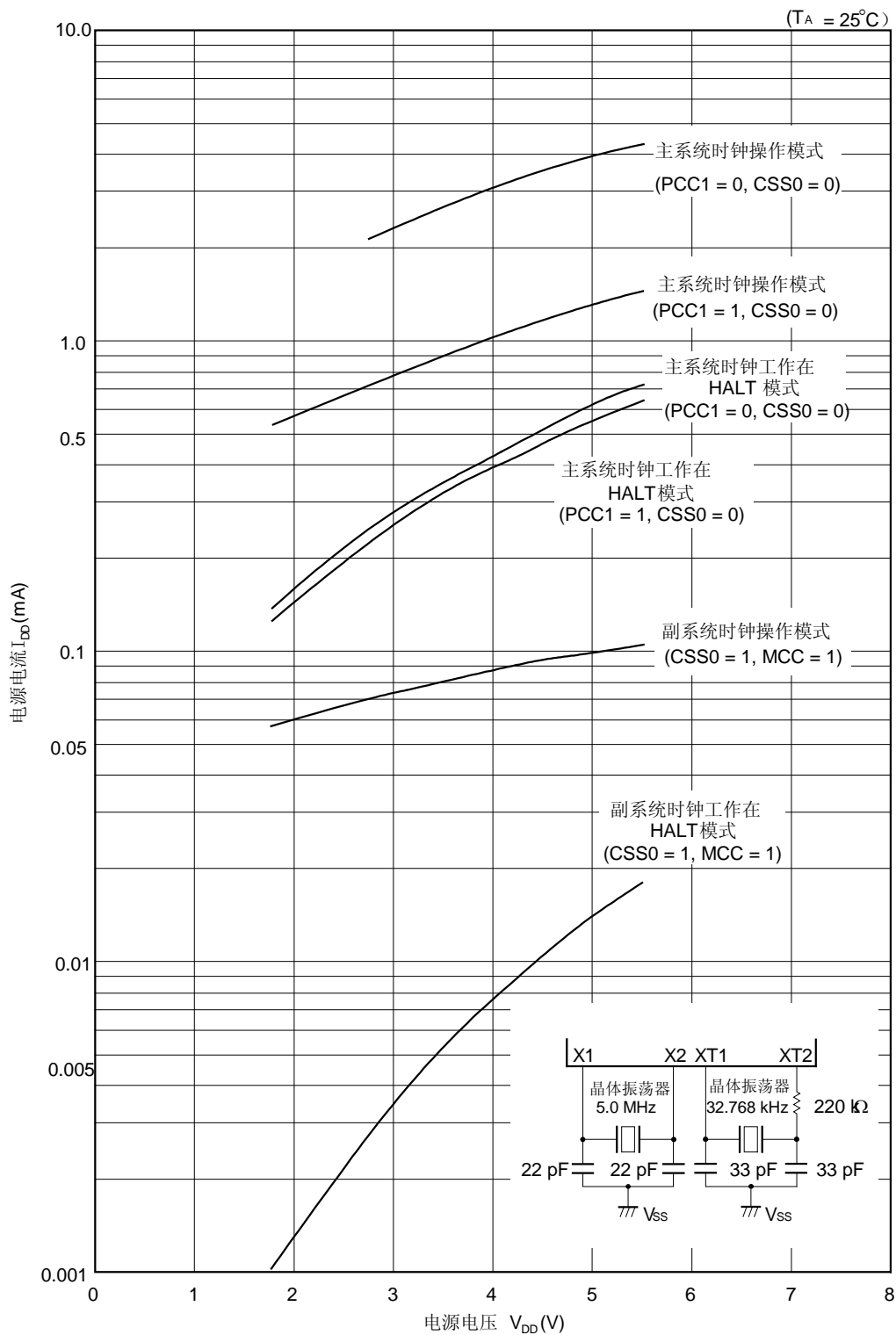


22.1 掩膜 ROM 版本的特性曲线

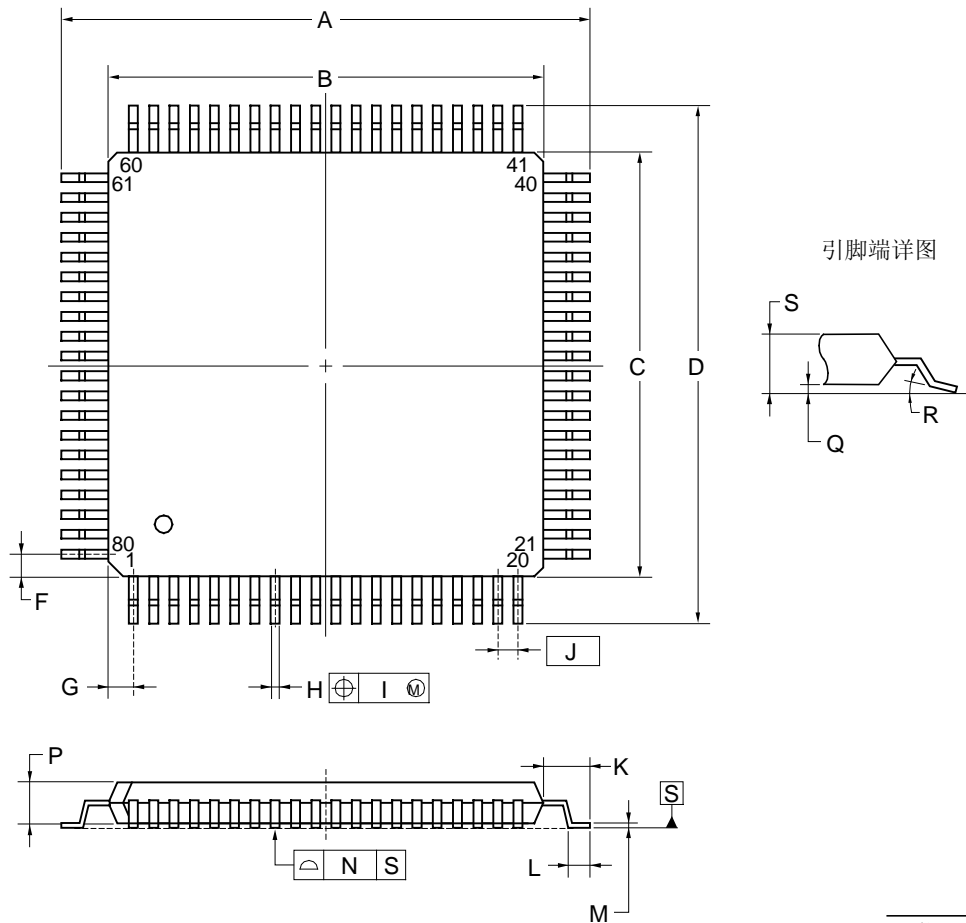




22.2 μ PD78F9418A 的特性曲线



80引脚塑封 QFP (14x14)



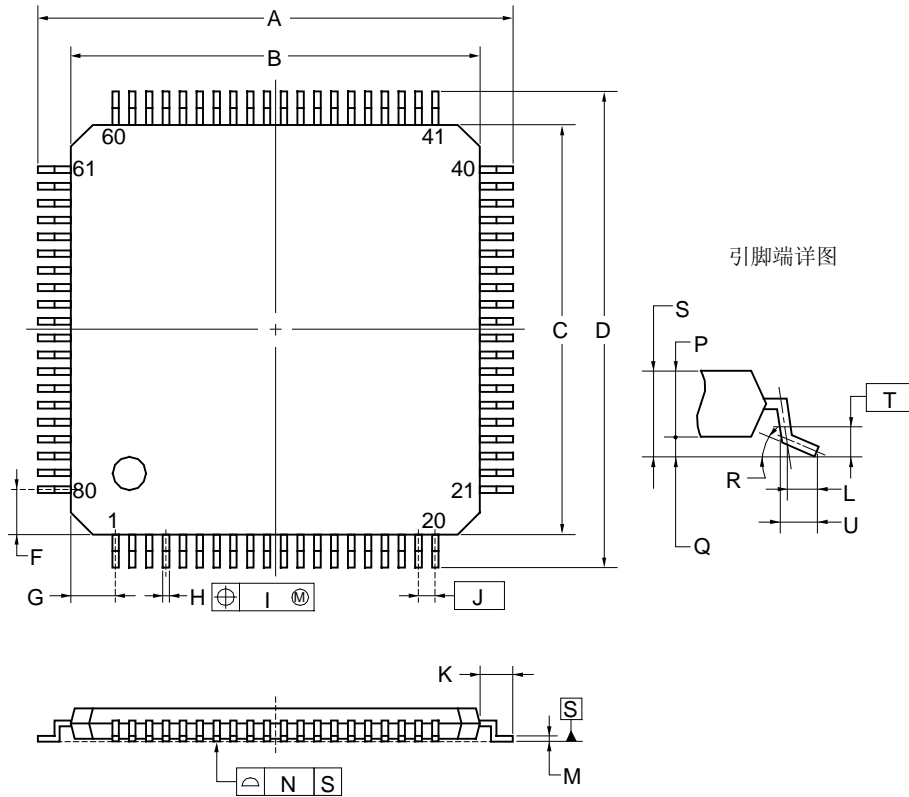
注

该结构在最大使用材料情况下，每条引脚的中心线位于其实际位置 (T. P.) 的0.08mm内

项目	英寸
A	17.20±0.20
B	14.00±0.20
C	14.00±0.20
D	17.20±0.20
F	0.825
G	0.825
H	0.32±0.05
I	0.13
J	0.65 (T.P.)
K	1.60±0.20
L	0.80±0.20
M	0.17 ^{+0.03} _{-0.07}
N	0.10
P	1.40±0.10
Q	0.125±0.075
R	3° ^{+7°} _{-3°}
S	1.70 MAX.

P80GC-65-8BT-1

80引脚塑封TQFP (密脚距) (12x12)



注

该结构在最大使用材料情况下，每条引脚的中心线位于其实际位置（T.P.）的0.08mm内

项目	英寸
A	14.0±0.2
B	12.0±0.2
C	12.0±0.2
D	14.0±0.2
F	1.25
G	1.25
H	0.22±0.05
I	0.08
J	0.5 (T.P.)
K	1.0±0.2
L	0.5
M	0.145±0.05
N	0.08
P	1.0
Q	0.1±0.05
R	3°+4° -3°
S	1.1±0.1
T	0.25
U	0.6±0.15

P80GK-50-9EU-1

μ PD789407A 和 μ PD789417A 子系列可以在下列条件下进行焊接和装贴。

如不使用以下的焊接和装贴方法的，请与 NECEL 公司销售代理联系。

相关技术信息，请浏览下面的网页：

半导体器件装贴手册 (<http://www.necel.com/pkg/en/mount/index.html>)

表 24-1. 表面贴装焊接条件 (1/2)

μ PD789405AGC-xxx-8BT: 80-pin 塑封 QFP (14 × 14)

μ PD789406AGC-xxx-8BT: 80-pin 塑封 QFP (14 × 14)

μ PD789407AGC-xxx-8BT: 80-pin 塑封 QFP (14 × 14)

μ PD789415AGC-xxx-8BT: 80-pin 塑封 QFP (14 × 14)

μ PD789416AGC-xxx-8BT: 80-pin 塑封 QFP (14 × 14)

μ PD789417AGC-xxx-8BT: 80-pin 塑封 QFP (14 × 14)

μ PD78F9418AGC-8BT: 80-pin 塑封 QFP (14 × 14)

焊接方法	焊接条件	推荐条件符号
红外回流	封装峰值温度: 235°C, 时间: 最大 30 秒 (大于等于 210°C), 次数: 少于等于 2 次	IR35-00-2
VPS	封装峰值温度: 215°C, 时间: 最大 40 秒 (大于等于 200°C), 次数: 少于等于 2 次	VP15-00-2
波峰焊	焊锡炉温度: 最大 260°, 时间: 最大 10 秒, 次数: 1 次, 预热温度: 最大 120°C (封装表面温度)	WS60-00-1
局部加热	引脚温度: 最大 300°C, 时间: 最大 3 秒, (每行引脚)	-

注意事项 不要将不同的焊接方法一起使用 (除了局部加热法)。

表 24-1. 表面贴装类(2/2)

μ PD789405AGK-xxx-9EU: 80-pin 塑封 TQFP (密脚距) (12 × 12)
 μ PD789406AGK-xxx-9EU: 80-pin 塑封 TQFP (密脚距) (12 × 12)
 μ PD789407AGK-xxx-9EU: 80-pin 塑封 TQFP (密脚距) (12 × 12)
 μ PD789415AGK-xxx-9EU: 80-pin 塑封 TQFP (密脚距) (12 × 12)
 μ PD789416AGK-xxx-9EU: 80-pin 塑封 TQFP (密脚距) (12 × 12)
 μ PD789417AGK-xxx-9EU: 80-pin 塑封 TQFP (密脚距) (12 × 12)
 μ PD78F9418GK-9EU: 80-pin 塑封 TQFP (密脚距) (12 × 12)

焊接方法	焊接条件	推荐条件标识
红外回流	封装峰值温度: 235°C, 时间: 最大 30 秒 (当温度大于等于 210°C), 次数: 少于等于 2 次, 暴露限制: 7 天 ^注 (之后, 要在 125°C 预烘 10 个小时)	IR35-107-2
VPS	封装峰值温度: 215°C, 时间: 最大 40 秒。(在 200°C 或更高), 次数: 两次或更少, 暴露限制: 7 天 ^注 (之后, 要在 125°C 预烘 10 个小时)	VP15-107-2
局部加热	引脚温度: 最大 300°C, 时间: 最大 3 秒, (每行引脚)	-

注 打开干燥包之后,有效存放期内将其存储在温度 25°C (或更低), 湿度 65% RH (或更低) 的环境中。

注意事项 不要将不同的焊接方法一起使用(除了局部加热法)。

附录 A 开发工具

以下开发工具可以用于 μ PD789407A 和 μ PD789417A 子系列单片机系统的开发。
开发工具如图 A-1 所示。

- PC98-NX 系列

除非特别说明, IBM PC/AT™ 支持的产品和 PC98-NX 系列兼容。当使用 PC98-NX 系列时可参考 IBM PC/AT 兼容机的使用说明。

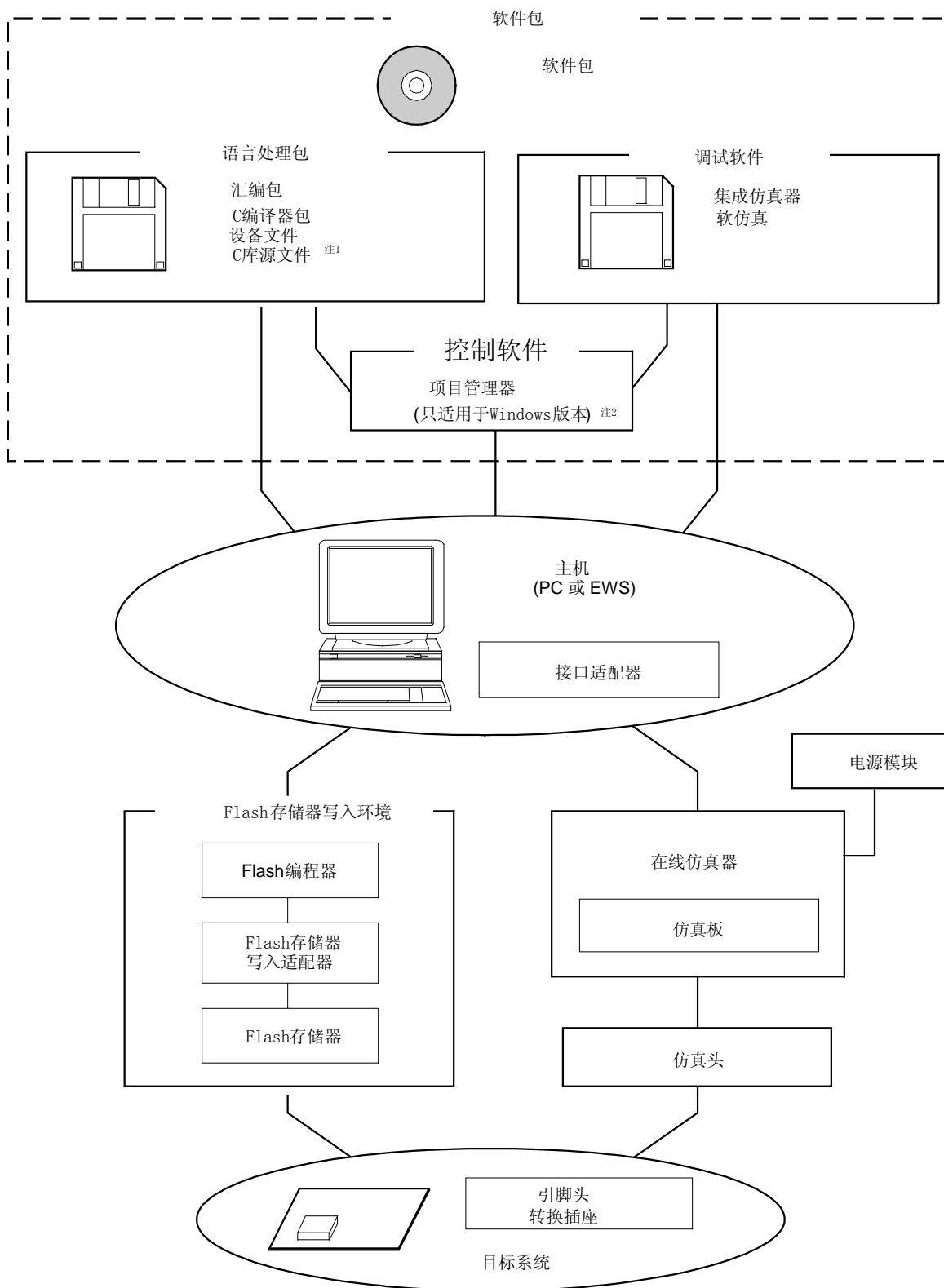
- Windows

除非特别说明, “Windows” 指以下操作系统

- Windows 3.1
- Windows 95, 98, 2000
- Windows NT™ Ver. 4.0



图 A-1. 开发工具



- 注
1. 软件包中不包括 C 库源文件。
 2. 汇编编译器中包括项目管理器。
项目管理器仅在 Windows 环境下使用。

★ A.1 软件包

SP78K0S 软件包	此软件包用于 78K/0S 系列的开发。 它包括如下工具。 RA78K0S, CC78K0S, ID78K0S-NS, SM78K0S, 和 器件文件。
	产品编号: μ SxxxxSP78K0S

备注 产品编号中的xxxx 随使用的操作系统而定。

μ SxxxxSP78K0S

xxxx	主机	OS	支持媒介
AB17	PC-9800 系列, IBM PC/AT 兼容机	日文 Windows	CD-ROM
BB17		英文 Windows	

A.2 语言处理软件

RA78K0S 汇编包	该程序将编写的助记符程序转换为可在微控制器中运行的目标代码。 可自动产生符号表和优化分支指令。 与设备文件 (DF789418) (单独销售) 联合使用。 < PC 环境使用的注意事项 > 该汇编包是基于 DOS 运行的, 但通过使用 PM (包含在汇编包中) 可在 windows 中使用。 产品编号: μ SxxxxRA78K0S
CC78K0S C 编译器	该程序将编写的 C 语言程序转换为可在微控制器中运行的目标代码。 与汇编包 (RA78K0S) 和设备文件 (DF789418) (二者均独立销售) 联合使用。 < PC 环境使用的注意事项 > C 编译包是基于 DOS 运行的, 但通过使用 PM (包含在汇编包中) 可在 windows 中使用。 产品编号: μ SxxxxCC78K0S
DF789418 ^{注 1} 器件文件	该文件包含该器件特有的信息。 与其他工具联合使用 (RA78K0S, CC78K0S, ID78K0S-NS, 和 SM78K0S)。 产品编号: μ SxxxxDF789418
CC78K0S-L ^{注 2} C 库源文件	函数库的源文件, 可根据用户的特殊需求去改变 C 编译库中的目标库。 由于是源文件, 它的使用不随操作系统改变。 产品编号: μ SxxxxCC78K0S-L

- 注**
1. DF789418 是一个通用文件, 可被 RA78K0S, CC78K0S, ID78K0S-NS, 和 SM78K0S 使用。
 2. SP78K0S 软件包不包括 CC78K0S-L。

备注 产品编号中的×××× 随使用的主机和操作系统而定。

μS××××RA78K0S

μS××××CC78K0S

××××	主机	OS	支持媒介
AB13	PC-9800 系列, IBM PC/AT 兼容机	Windows (日文版)	3.5 寸 2HD 软盘
BB13		Windows (英文版)	
AB17		Windows (日文版)	CD-ROM
BB17		Windows (英文版)	
3P17	HP9000 系列 700™	HP-UX™ (Rel. 10.10)	
3K17	SPARC 工作站™	SunOS™ (Rel. 4.1.4), Solaris™ (Rel. 2.5.1)	

μS××××DF789418

μS××××CC78K0S-L

××××	主机	OS	支持媒介
AB13	PC-9800 系列, IBM PC/AT 兼容机	Windows (日文版)	3.5 寸 2HD 软盘
BB13		Windows (英文版)	
3P16	HP9000 系列 700	HP-UX (Rel. 10.10)	DAT
3K13	SPARC 工作站	SunOS (Rel. 4.1.4), Solaris (Rel. 2.5.1)	3.5-inch 2HD FD
3K15			1/4-inch CGMT



A.3 控制软件

项目管理器 (PM)	这个控制软件可以使用户在 windows 下高效的开发。启动编辑器, 编译程序, 启动调试器, 都能够在 PM 下执行。 <注意事项> PM 包含在汇编包 (RA78K0S)中。只能在 windows 环境运行。
------------	--

A.4 Flash 存储器编程器

Flashpro III (FL-PR3, PG-FP3) Flashpro IV (FL-PR4, PG-FP4) Flash 编程器	只适用于 flash 型微控制器的专用 flash 编程器。
FA-80GC-8BT FA-80GK-9EU Flash 存储器写入适配器	Flash 存储器写入适配器。用于连接 Flashpro III 或 Flashpro IV。 <ul style="list-style-type: none"> FA-80GC-8BT: 适用于 80-pin 塑装 QFP (GC-8BT 型) FA-80GK-9EU: 适用于 80-pin 塑装 TQFP (GK-9EU 型)

备注 FL-PR3、FL-PR4、FA-80GC-8BT 和 FA-80GK-9EU 是 Naito Densai Machida Mfg. Co., Ltd. (电话 +81-45-475-4191)公司的产品。

A.5 调试工具 (硬件)

IE-78K0S-NS 在线仿真器	用于在线调试 78K/0S 系列的硬件和软件应用。支持集成调试器 (ID78K0S-NS)。与 AC 适配器, 仿真插头, 和用于连接主机的接口适配器联合使用。
IE-78K0S-NS-A 在线仿真器	覆盖 IE-78K0S-NS 的所有功能, 并且提高了调试功能, 如跟踪、定时器功能。
IE-70000-MC-PS-B 电源	支持从 100 到 240 VAC 的电源。
IE-70000-98-IF-C 接口适配器	当 PC-9800 系列计算机 (笔记本除外) 作为 IE-78K0S-NS 的主机 (支持 C 总线) 使用时, 需要此适配器。
IE-70000-CD-IF-A PC 卡接口	当使用笔记本电脑 (支持 PCMCIA 接口) 做主机时需要的接口卡和电缆。
IE-70000-PC-IF-C 接口适配器	IBM PC/AT 及其兼容机 (支持 ISA 总线) 做主机时 需要的接口适配器。
IE-70000-PCI-IF-A 接口适配器	有 PCI 总线的个人计算机做主机时需要的接口适配器。
IE-789418-NS-EM1 仿真板	仿真板用于仿真器件的外围硬件。 联合在线仿真器使用, 提供一根目标电缆。
NP-80GC 仿真插头	该仿真探头用于连接在线仿真器和目标系统, 应当和 EV-9200GC-80 联合使用。
EV-9200GC-80 转换连接器	该转换适配器用于连接 NP-80GC 和目标系统 (可以安装 80-pin 塑封 QFP (GC-8BT 型))。
NP-80GC-TQ NP-H80GC-TQ 仿真插头	该仿真探头用于连接在线仿真器和目标系统。应当和 TGC-080SBP 联合使用。
TGC-080SBP 转换连接器	转换适配器连接 NP-80GC-TQ 或 NP-H80GC-TQ 和目标系统 (可以安装一个 80-pin 塑封的 QFP (GC-8BT 型))。
NP-80GK NP-H80GK-TQ 仿真探头	该仿真探头连接在线仿真器和目标系统。应当和 TGC-080SDW 联合使用。
TGC-080SDW 转换连接器	该转换适配器连接 NP-80GK 或 NP-H80GK-TQ 和目标系统 (可以安装一个 80-pin 塑封的 TQFP (密脚距) (GK-9EU 型))。

- 备注:**
- NP-80GC、NP-80GC-TQ、NP-H80GC-TQ、NP-80GK 和 NP-H80GK-TQ 都是 Naito Densei Machida Mfg. Co., Ltd. (电话 +81-45-475-4191) 公司的产品。
 - TGC-080SBP 和 TGC-080SDW 是由东京电子技术公司制造。
详细信息请联系: Daimaru Kogyo, Ltd.
东京电子部 (电话 +81-3-3820-7112)
大阪电子部 (电话 +81-6-6244-6672)
 - EV-9200GC-80 以 5 个为一个销售单位。
 - TGC-080SBP 和 TGC-080SDW 是一起销售的。

A.6 调试工具 (软件)

ID78K0S-NS 集成调试器	该调试器支持 78K/0S 系列的在线仿真器 IE-78K0S-NS 和 IE-78K0S-NS-A。ID78K0S-NS 是基于 Windows 的软件。 该调试器增强了 C 语言的调试功能。通过使用集成窗口功能，可以将源程序，反汇编显示，和带跟踪结果的存储器显示联系在一起，可以显示对应于源程序的跟踪结果。与设备文件联合使用 (DF789418) (独立销售)。
	产品编号: $\mu S \times \times \times ID78K0S-NS$
SM78K0S 系统仿真	用于 78K/0S 系列的系统仿真。SM78K0S 是基于 Windows 的软件。 在主机上模拟目标系统的操作，可执行 C 语言级和汇编语言级的调试。 使用 SM78K0S，可以在不需要外围硬件的情况下验证程序逻辑和功能，因此可以增强开发效率改进软件质量。 和设备文件配合使用 (DF789418) (单独销售)
	产品编号: $\mu S \times \times \times SM78K0S$
DF789418 ^注 设备文件	该文件包含设备特有的信息。 与其他工具联合使用 (RA78K0S, CC78K0S, ID78K0S-NS, 和 SM78K0S) (全部独立销售)
	产品编号: $\mu S \times \times \times DF789418$

注 DF789418 是一个通用文件，可被 RA78K0S、CC78K0S、ID78K0S-NS 和 SM78K0S 使用。

备注 产品编号中的 $\times \times \times \times$ 随使用的操作系统和支持媒介而定。

$\mu S \times \times \times ID78K0S-NS$

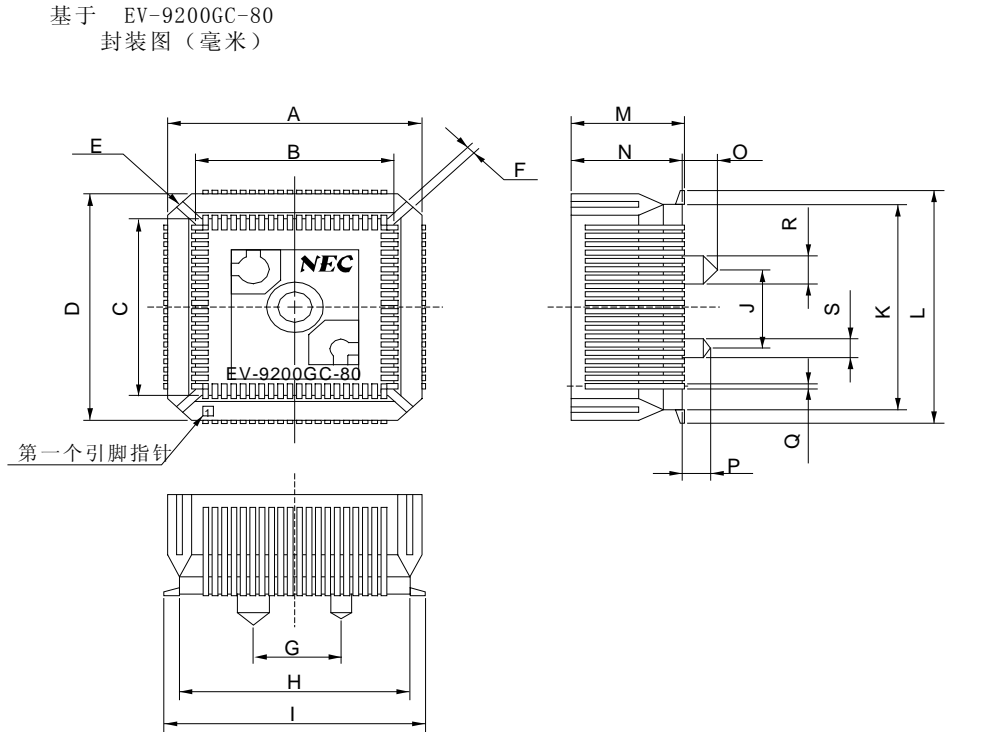
$\mu S \times \times \times SM78K0S$

$\times \times \times \times$	主机	操作系统	支持媒介
AB13	PC-9800 系列, IBM PC/AT 兼容机	日文 Windows	3.5 寸 2HD 软盘
BB13		英文 Windows	
AB17		日文 Windows	CD-ROM
BB17		英文 Windows	

A.7 转换插座和转换适配器的封装图

A.7.1 转换插座的封装图和建议尺寸 (EV-9200GC-80)

图 A-2. EV-9200GC-80 的封装图 (参考)

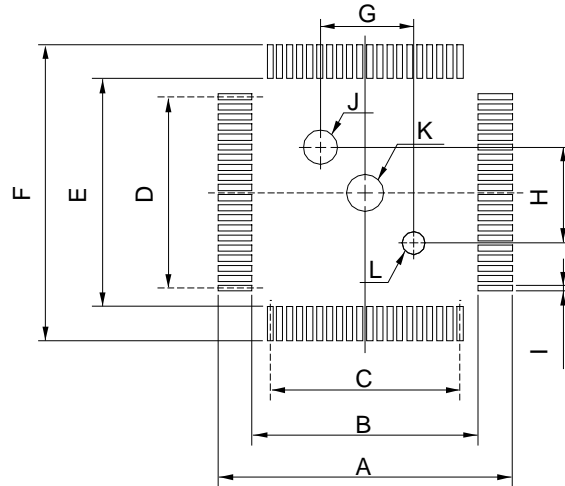


EV-9200GC-80-G1E

项目	毫米	英寸
A	18.0	0.709
B	14.4	0.567
C	14.4	0.567
D	18.0	0.709
E	4-C 2.0	4-C 0.079
F	0.8	0.031
G	6.0	0.236
H	16.0	0.63
I	18.7	0.736
J	6.0	0.236
K	16.0	0.63
L	18.7	0.736
M	8.2	0.323
N	8.0	0.315
O	2.5	0.098
P	2.0	0.079
Q	0.35	0.014
R	φ 2.3	φ 0.091
S	φ 1.5	φ 0.059

图 A-3. EV-9200GC-80 的建议尺寸 (参考)

基于EV-9200GC-80
(2) 焊盘图 (毫米)



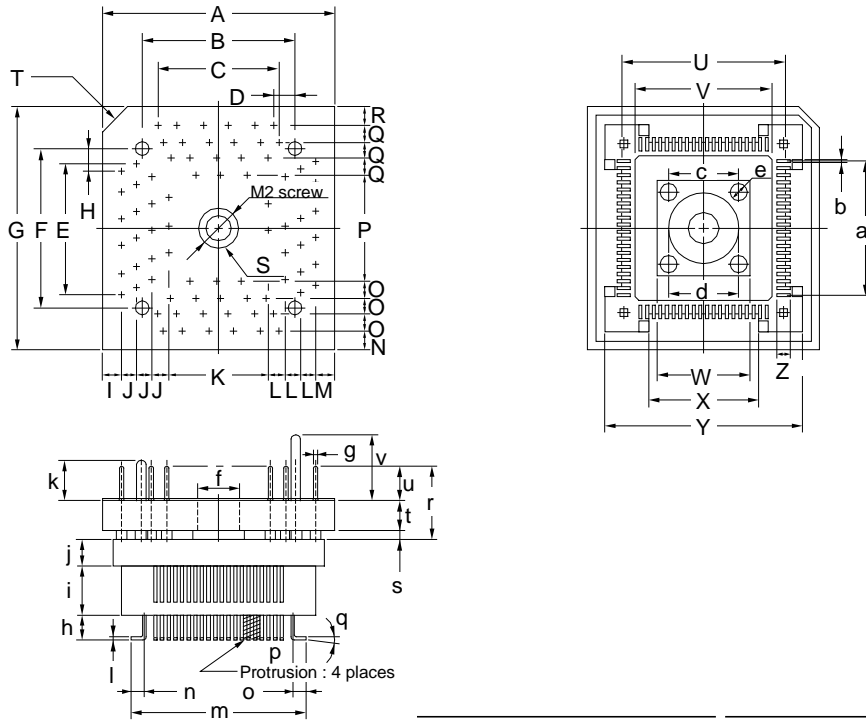
EV-9200GC-80-P1E

项目	毫米	英寸
A	19.7	0.776
B	15.0	0.591
C	$0.65 \pm 0.02 \times 19 = 12.35 \pm 0.05$	$0.026^{+0.001}_{-0.002} \times 0.740 = 0.486^{+0.003}_{-0.002}$
D	$0.65 \pm 0.02 \times 19 = 12.35 \pm 0.05$	$0.026^{+0.001}_{-0.002} \times 0.740 = 0.486^{+0.003}_{-0.002}$
E	15.0	0.591
F	19.7	0.776
G	6.0 ± 0.05	$0.236^{+0.003}_{-0.002}$
H	6.0 ± 0.05	$0.236^{+0.003}_{-0.002}$
I	0.35 ± 0.02	$0.014^{+0.001}_{-0.001}$
J	$\phi 2.36 \pm 0.03$	$0.093^{+0.001}_{-0.002}$
K	$\phi 2.3$	$\phi 0.091$
L	$\phi 1.57 \pm 0.03$	$0.062^{+0.001}_{-0.002}$

Caution EV-9200的安装焊盘尺寸与目标设备(QFP)某些部分可能并不相同。如果需要QFP的推荐安装焊盘尺寸, 请参阅“半导体器件安装手册”。
(<http://www.necel.com/pkg/en/mount/index.html>).

A.7.2 转换适配器的封装图 (TGK-080SDW)

图 A-4. TGK-080SDW 的封装图 (参考)

TGK-080SDW (TQPACK080SD + TQSOCKET080SDW)
 封装尺寸 (单位: 毫米)


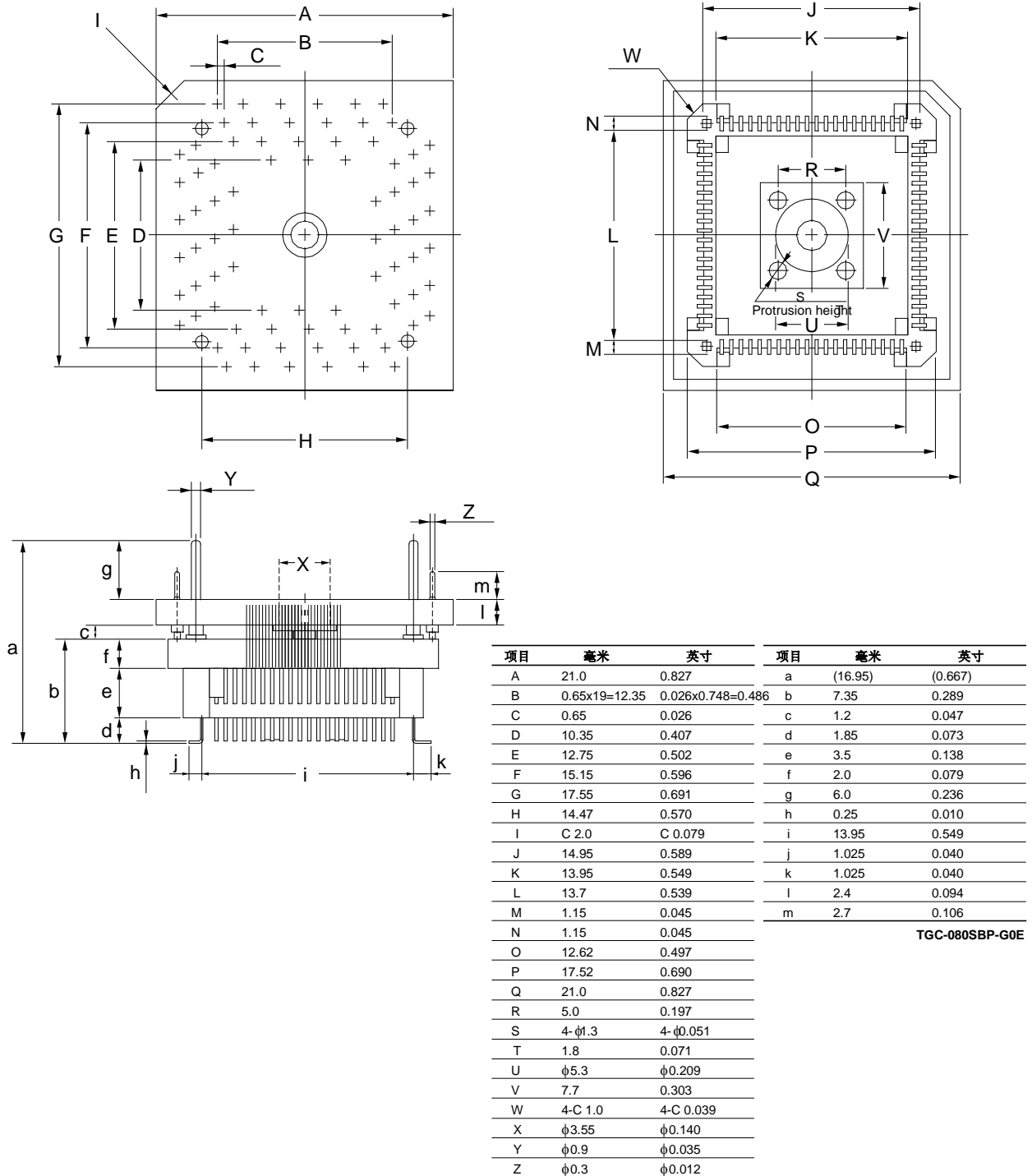
项目	毫米	英寸	项目	毫米	英寸
A	18.0	0.709	a	0.5x19=9.5 [±] 0.10	0.020x0.748=0.374 [±] 0.004
B	11.77	0.463	b	0.25	0.010
C	0.5x19=9.5	0.020x0.748=0.374	c	φ5.3	φ0.209
D	0.5	0.020	d	φ5.3	φ0.209
E	0.5x19=9.5	0.020x0.748=0.374	e	φ1.3	φ0.051
F	11.77	0.463	f	φ3.55	φ0.140
G	18.0	0.709	g	φ0.3	φ0.012
H	0.5	0.020	h	1.85 [±] 0.2	0.073 [±] 0.008
I	1.58	0.062	i	3.5	0.138
J	1.2	0.047	j	2.0	0.079
K	7.64	0.301	k	3.0	0.118
L	1.2	0.047	l	0.25	0.010
M	1.58	0.062	m	14.0	0.551
N	1.58	0.062	n	1.4 [±] 0.2	0.055 [±] 0.008
O	1.2	0.047	o	1.4 [±] 0.2	0.055 [±] 0.008
P	7.64	0.301	p	h=1.8 φ1.3	h=0.071 φ0.051
Q	1.2	0.047	q	0-5	0.000-0.197
R	1.58	0.062	r	5.9	0.232
S	φ3.55	φ0.140	s	0.8	0.031
T	C 2.0	C 0.079	t	2.4	0.094
U	12.31	0.485	u	2.7	0.106
V	10.17	0.400	v	3.9	0.154
W	6.8	0.268	TGK-080SDW-G1E		
X	8.24	0.324			
Y	14.8	0.583			
Z	1.4 [±] 0.2	0.055 [±] 0.008			

注释: TOKYO ELETECH CORPORATION 提供的产品

A. 7.3 转换适配器的封装图(TGC-080SBP)

图 A-5. TGC-080SBP 的封装图 (参考)

参考图表: TGC-080SBP (TQPACK080SB+TQSOCKET080SBP)
封装尺寸 (unit: 毫米)

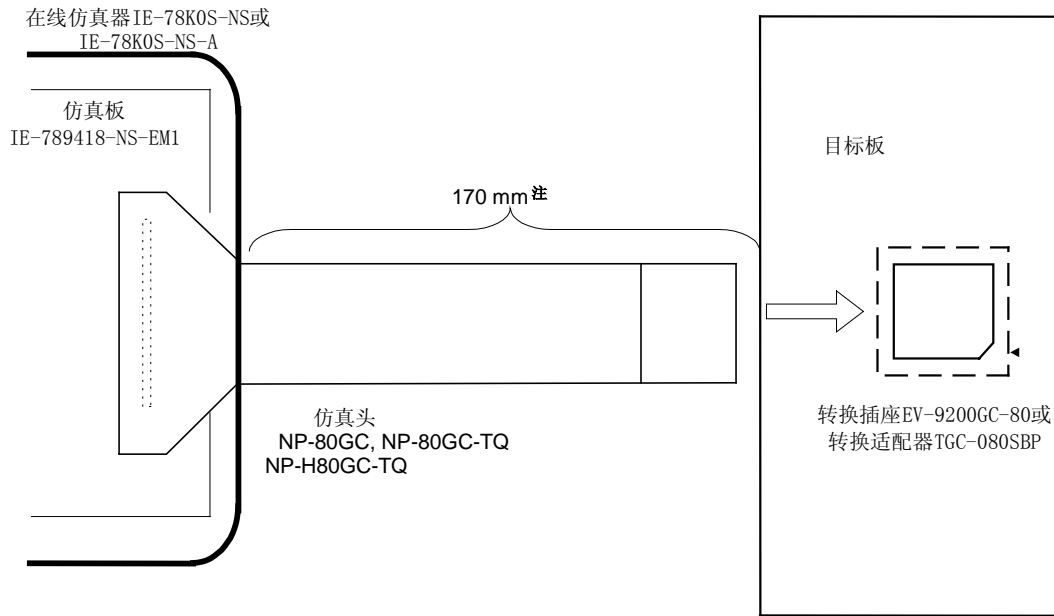


注释:TOKYO ELETECH CORPORATION提供的产品.

图 B-1 到 B-4 显示了仿真探头与转换适配器或转换插座之间的连接条件。设计系统时必须满足一些条件，如安装在目标系统上的部件形状，如下所示。

(1) NP-80GC, NP-80GC-TQ, NP-H80GC-TQ

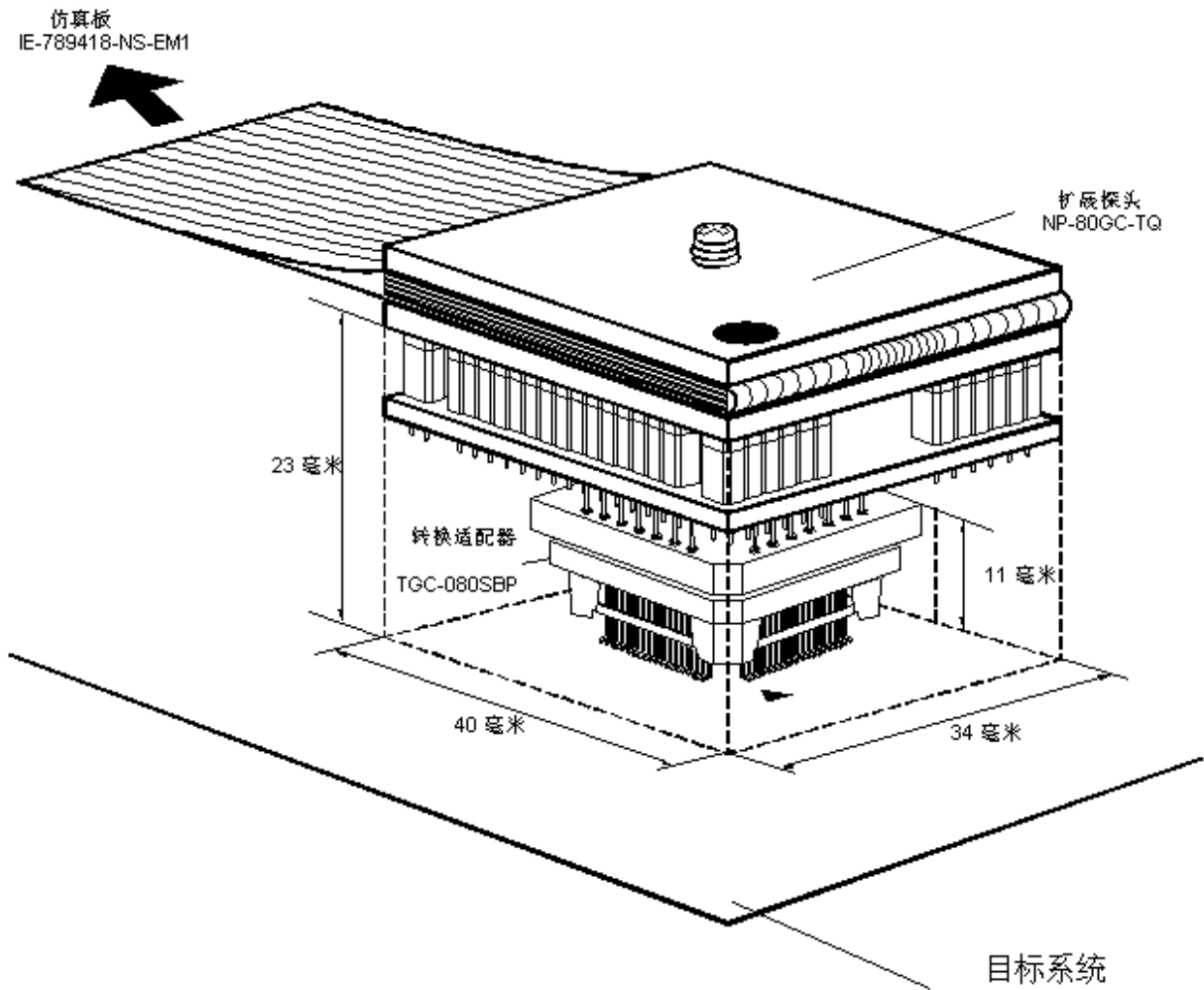
图 B-1. 在线仿真器和转换插座 (80GC) 之间的距离



注 当使用 NP-H80GC-TQ 时距离为 370mm。

备注 NP-80GC, NP-80GC-TQ, 和 NP-H80GC-TQ 都是 Naito Densai Machida Mfg. Co., Ltd 公司的产品。

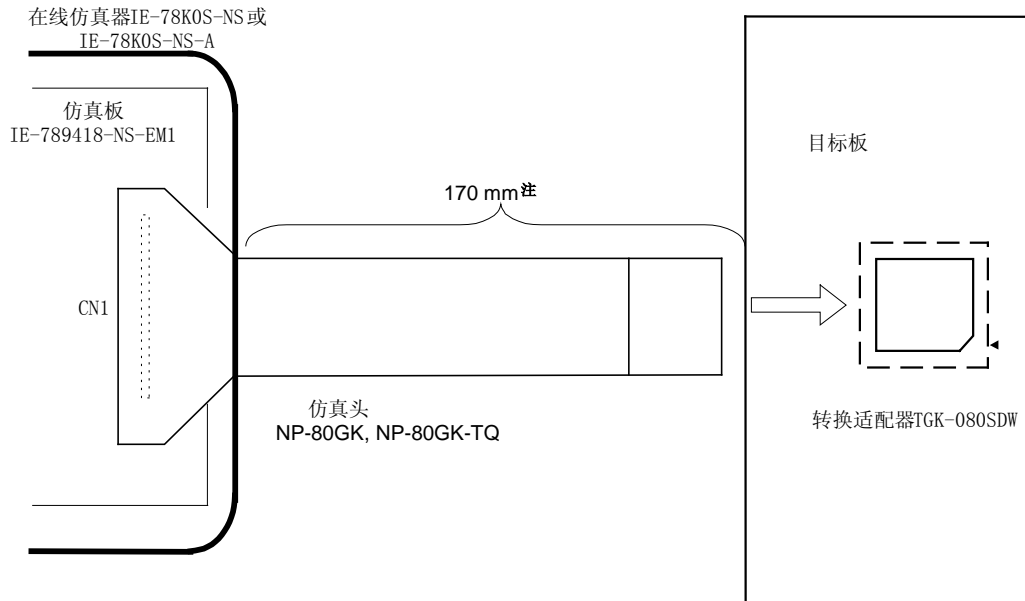
图 B-2. 目标系统的连接条件(NP-80GC-TQ)



备注 NP-80GC-TQ 是 Naito Densei Machida Mfg. Co., Ltd 公司的产品。
TGC-080SBP 是 TOKYO ELETECH CORPORATION 公司的产品。

(2) NP-80GK, NP-H80GK-TQ

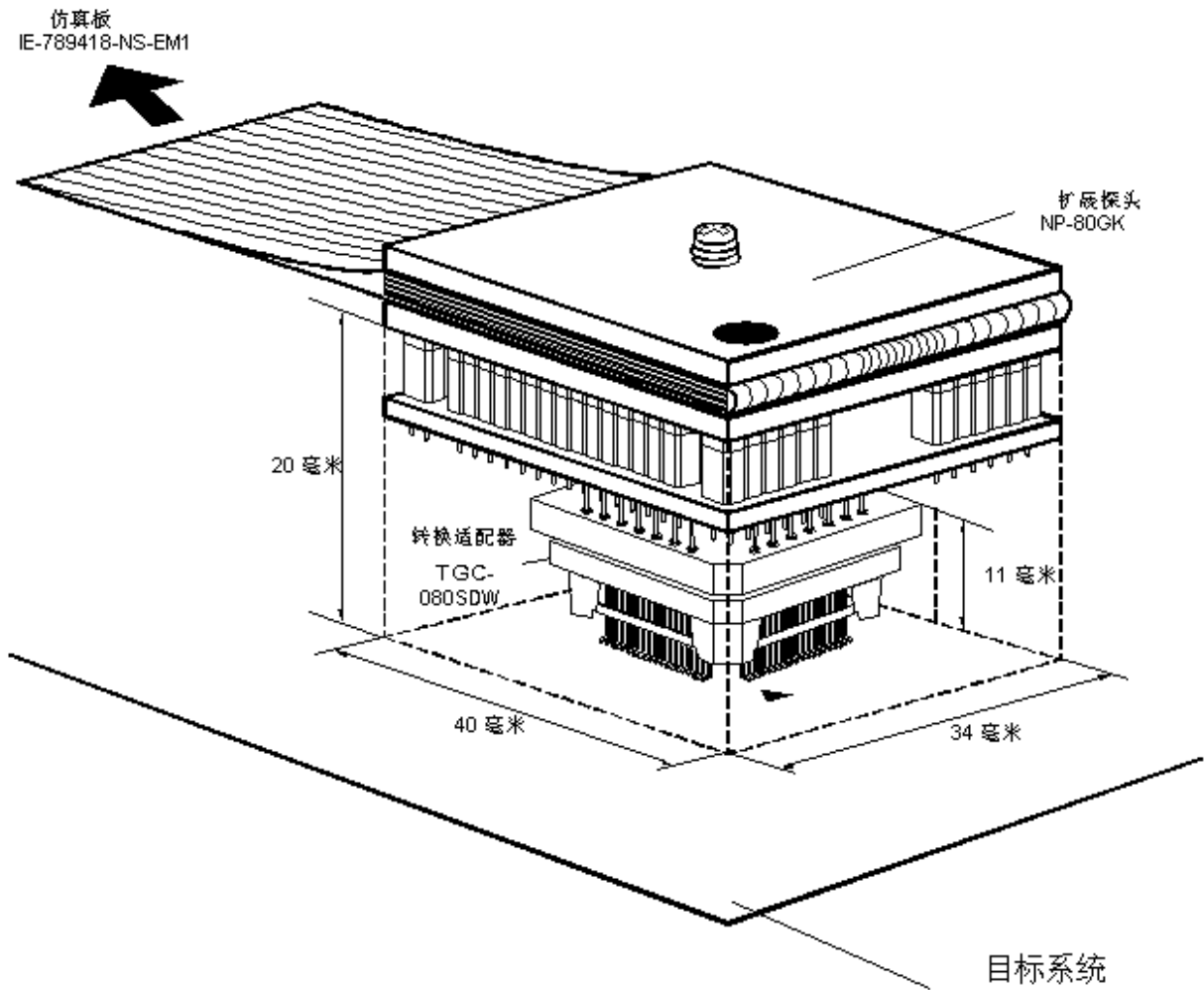
图 B-3. 在线仿真器与转换适配器(80GK)的距离



注 当使用 NP-H80GK-TQ 时距离为 370 mm 。

备注 NP-80GK 和 NP-H80GK-TQ 是 Naito Densei Machida Mfg. Co., Ltd 公司的产品。
TGK-080SDW 是 TOKYO ELETECH CORPORATION 公司的产品。

图 B-4. 目标系统的连接条件 (NP-80GK)



备注 NP-80GK 是 Naito Densai Machida Mfg. Co., Ltd 公司的产品。
TGC-080SDW 是 TOKYO ELETECH CORPORATION 公司的产品。

附录 C 寄存器索引

C.1 寄存器索引 (按寄存器名称的字母顺序排序)

[A]

A/D 转换结果寄存器 0 (ADCR0)	141, 154
A/D 转换器模式寄存器 0 (ADM0)	143, 156
A/D 输入选择寄存器 0 (ADS0)	144, 157
异步串行接口模式寄存器 00 (ASIM00)	177, 184, 186, 199
异步串行接口状态寄存器 00 (ASIS00)	179, 187

[B]

波特率发生器控制寄存器 00 (BRGC00)	180, 188, 200
-------------------------------	---------------

[C]

比较器模式寄存器 0 (CMPRM0)	168
---------------------------	-----

[E]

8 位比较寄存器 00 (CR00)	117
8 位比较寄存器 01 (CR01)	117
8 位比较寄存器 02 (CR02)	117
8 位定时器计数器 00 (TM00)	117
8 位定时器计数器 01 (TM01)	117
8 位定时器计数器 02 (TM02)	117
8 位定时器模式控制寄存器 00 (TMC00)	118
8 位定时器模式控制寄存器 01 (TMC01)	119
8 位定时器模式控制寄存器 02 (TMC02)	120
外部中断模式寄存器 0 (INTM0)	234
外部中断模式寄存器 1 (INTM1)	235

[I]

中断屏蔽标志寄存器 0 (MK0)	233
中断屏蔽标志寄存器 1 (MK1)	233
中断请求标志寄存器 0 (IF0)	232
中断请求标志寄存器 1 (IF1)	232

[K]

键返回模式寄存器 00 (KRM00)	237
---------------------------	-----

[L]

LCD 时钟控制寄存器 0 (LCDC0)	207
LCD 显示模式寄存器 0 (LCDM0)	205
LCD 端口选择器 0 (LPS0)	206

[O]	
振荡稳定时间选择寄存器 (OSTS)	245
[P]	
端口 0 (P0)	72
端口 2 (P2)	73
端口 4 (P4)	78
端口 5 (P5)	80
端口 6 (P6)	81
端口 8 (P8)	83
端口 9 (P9)	84
端口模式寄存器 0 (PM0)	85
端口模式寄存器 2 (PM2)	85, 106, 121
端口模式寄存器 4 (PM4)	85
端口模式寄存器 5 (PM5)	85
端口模式寄存器 8 (PM8)	85
端口模式寄存器 9 (PM9)	85
处理器时钟控制寄存器 (PCC)	91
上拉电阻选项寄存器 0 (PU0)	86
上拉电阻选项寄存器 1 (PU1)	86
上拉电阻选项寄存器 2 (PU2)	86
[R]	
接收缓冲寄存器 00 (RXB00)	175
[S]	
串行操作模式寄存器 00 (CSIM00)	176, 183, 185, 198
16 位捕捉寄存器 50 (TCP50)	103
16 位比较寄存器 50 (CR50)	103
16 位定时器计数器 50 (TM50)	103
16 位定时器模式控制寄存器 50 (TMC50)	104
副时钟控制寄存器 (CSS)	93
副振荡器模式寄存器 (SCKM)	92
[T]	
定时器时钟选择寄存器 2 (TCL2)	136
发送移位寄存器 00 (TXS00)	175
[W]	
钟表定时器模式控制寄存器 (WTM)	131
看门狗定时器模式寄存器 (WDTM)	137

C.2 寄存器索引 (按寄存器符号的字母顺序排序)

[A]

ADCRO:	A/D 转换结果寄存器 0	141, 154
ADM0:	A/D 转换器模式寄存器 0	143, 156
ADS0:	A/D 输入选择寄存器 0	144, 157
ASIM00:	异步串行接口模式寄存器 00	177, 184, 186, 199
ASIS00:	异步串行接口状态寄存器 00	179, 187

[B]

BRGC00:	波特率发生器控制寄存器 00	180, 188, 200
---------	----------------------	---------------

[C]

CMPRM0:	比较器模式寄存器 0	168
CR00:	8 位比较寄存器 00	117
CR01:	8 位比较寄存器 01	117
CR02:	8 位比较寄存器 02	117
CR50:	16 位比较寄存器 50	103
CSIM00:	串行操作模式寄存器 00	176, 183, 185, 198
CSS:	副时钟控制寄存器	93

[I]

IF0:	中断请求标志寄存器 0	232
IF1:	中断请求标志寄存器 1	232
INTM0:	外部中断模式寄存器 0	234
INTM1:	外部中断模式寄存器 1	235

[K]

KRM00:	键返回模式寄存器 00	237
--------	-------------------	-----

[L]

LCDC0:	LCD 时钟控制寄存器 0	207
LCDM0:	LCD 显示模式寄存器 0	205
LPS0:	LCD 端口选择器 0	206

[M]

MK0:	中断屏蔽标志寄存器 0	233
MK1:	中断屏蔽标志寄存器 1	233

[O]

OSTS:	振荡稳定时间选择寄存器	245
-------	-------------------	-----

[P]

P0:	端口 0	72
P2:	端口 2	73
P4:	端口 4	78
P5:	端口 5	80
P6:	端口 6	81

P8:	端口 8	83
P9:	端口 9	84
PCC:	处理器时钟控制寄存器	91
PM0:	端口模式寄存器 0	85
PM2:	端口模式寄存器 2	85, 106, 121
PM4:	端口模式寄存器 4	85
PM5:	端口模式寄存器 5	85
PM8:	端口模式寄存器 8	85
PM9:	端口模式寄存器 9	85
PU0:	上拉电阻选项寄存器 0	86
PU1:	上拉电阻选项寄存器 1	86
PU2:	上拉电阻选项寄存器 2	86
[R]		
RXB00:	接收缓冲寄存器 00	175
[S]		
SCKM:	副振荡器模式寄存器	92
[T]		
TCL2:	定时器时钟选择寄存器 2	136
TCP50:	16 位捕捉寄存器 50	103
TM00:	8 位定时器计数器 00	117
TM01:	8 位定时器计数器 01	117
TM02:	8 位定时器计数器 02	117
TM50:	16 位定时器计数器 50	103
TMC00:	8 位定时器模式控制寄存器 00	118
TMC01:	8 位定时器模式控制寄存器 01	119
TMC02:	8 位定时器模式控制寄存器 02	120
TMC50:	16 位定时器模式控制寄存器 50	104
TXS00:	发送移位寄存器 00	175
[W]		
WDTM:	看门狗定时器模式寄存器	137
WTM:	钟表定时器模式控制寄存器	131

附录 D 修订历史

下表显示了该版本的修订历史。“应用到”栏表示应用到修订版本的章节。

(1/2)

版本	描述	应用到
第二版	修改封装 • 删除 80-pin 塑封 TQFP 封装（密脚距）（GK-BE9 类型） • 增加 80-pin 塑封 TQFP 封装（密脚距）（GK-9EU 类型）	全部
	修改 表 2-1 引脚输入/输出电路的类型	第二章 引脚功能
	修改 表 4-3 当使用复用功能时端口模式寄存器和输出锁存的设置	第四章 端口功能
	修改 6.2 16 位定时器 (1)16 比较寄存器 50 (CR50) 的配置的注意事项 2	第六章 16 位定时器
	修改图 6-2 16 位定时器模式控制寄存器 50 的格式	
	增加 6.4.1 作为定时器中断的操作的注意事项	
	修改图 6-8 用于捕捉操作时 16 位定时器模式控制寄存器 50 的设置	
	增加 7.4.3 方波输出的注意事项	第七章 8 位定时器/事件计数器
	增加 10.4.1 8 位 A/D 转换器的基本操作的注意事项	第十章 8 位 A/D 转换器 (μ PD789407A 子系列)
	增加 11.4.1 10 位 A/D 转换器的基本操作的注意事项	第十一章 10 位 A/D 转换器 (μ PD789417A 子系列)
	增加表 18-1 μ PD78F9418A 和 掩膜 ROM 版本的区分的注意事项	第十八章 μ PD78F9418A
	修改 表 18-2 通讯模式并在其中增加注释	
	修改 图 18-4 Flashpro III 型在伪 3 线模式下的连接示例（当 P0 被使用）	
	修改 图 18-4 PG-FP3 设置示例	
	修改 A.2 Flash 存储器编程工具的 FLASH 存储器编程适配器的产品名称	附录 A 开发工具
	增加 A.3.1 硬件的对应每种仿真探针的适配器产品名称	
第三版	修改 AVREF 和 VPP 引脚的处理	第二章 引脚功能
	增加反馈电阻的相关注释	第五章 时钟发生器
	增加 6.5 使用 16 位定时器 50 的注意事项	第六章 16 位定时器 50
	增加 10.5 使用 8 位 A/D 转换器的注意事项的 (8) ANI0~ANI6 引脚的输入阻抗	第十章 8 位 A/D 转换器 (μ PD789407A 子系列)

版本	描述	应用
第三版	修改 11.2 10 位 A/D 转换器的配置中(2) A/D 转换结果寄存器 0(ADCRO) 的描述	第十一章 10 位 A/D 转换器 (μ PD789417A 子系列)
	增加 11.5 使用 10 位 A/D 转换器的注意事项的 (8) ANI0 ~ ANI6 引脚的输入阻抗	
	增加读取 UART 的接收数据的描述	第十三章 串行接口 00
	增加图 15-2 中断请求标志寄存器的格式的的注意事项	第十五章 中断功能
	增加图 15-7 键返回模式寄存器 00 的格式的的注意事项	
	增加表 18-1 PD78F9418A 与 掩膜 ROM 版本的区别的对上拉电阻和 LCD 驱动分压电阻的描述	第十八章 PD78F9418A
	全部修改 18.1 Flash 存储器特性关于 FLASH 存储器编程的内容	
	增加电气特性	第二十一章 电气特性
	增加特性曲线 (参考值)	第二十二章 特性曲线 (参考值)
	增加封装图	第二十三章 封装图
	增加建议的焊接条件	第二十四章 建议的焊接条件
	开发工具内容的全部修订版本 删除嵌入式软件	附录 A 开发工具
	增加在目标系统设计的注意事项	附录 B 目标系统设计的注意事项