

6821 (6520, 6820)外设接口适配器(PIA)

概述

6820 外设接口适配器(PIA)为把外围设备连接到 6800 微处理器提供了通用的手段，而 6520(PIA)则是为 6502 处理器提供的相应部件，这两类 PIA 都有着类似的外部引脚接口和工作原理。这类器件通过两组 8 位双向外围数据总线和四根控制线使 CPU 与外设接口。它们与大多数外设接口时不需要外加逻辑电路。

PIA 的功能组态可由 CPU 在系统初始化期间用程序编排定。每根外围数据线都能由程序编定为输入或输出状态。四根“控制/中断”线的每一根均可用程序编定为几种控制方式中的一种。这为接口操作提供了高度的适应性。

主要技术特性

- 用于与 CPU 通讯的 8 位双向数据总线；
- 与外设接口用的两组 8 位双向总线；
- 两个可编程的控制寄存器；
- 两个可编程的数据方向寄存器；
- 四条独立控制的中断输入线，两条可用于控制外设的输出线；
- 用于输入和输出外设操作的应答控制逻辑；
- 三态输出且可直接驱动（晶体管）的外围线；
- 可程序控制的中断能力；
- 有 CMOS 驱动能力的 A 端口外围线；
- 全部 A 端口和 B 端口缓冲器具有驱动两个 TTL 负载的能力；
- 与 TTL 兼容；
- 静态工作。

引脚安排

引脚图

V _{SS}	--	1	40	--	CA ₁
PA ₀	--	2	39	--	CA ₂
PA ₁	--	3	38	--	IRQBB
PA ₂	--	4	37	--	IRQAB
PA ₃	--	5	36	--	RS ₀
PA ₄	--	6	35	--	RS ₁
PA ₅	--	7	34	--	RESETB
PA ₆	--	8	33	--	D ₀
PA ₇	--	9	32	--	D ₁
PB ₀	--	10	31	--	D ₂
PB ₁	--	11	30	--	D ₃
PB ₂	--	12	29	--	D ₄
PB ₃	--	13	28	--	D ₅
PB ₄	--	14	27	--	D ₆
PB ₅	--	15	26	--	D ₇
PB ₆	--	16	25	--	ENABLE
PB ₇	--	17	24	--	CS ₁
CB ₁	--	18	23	--	CS _{2B}
CB ₂	--	19	22	--	CS ₀
V _{CC}	--	20	21	--	R/WB

引脚说明

引脚	名称	说明
D0~D7	双向数据线	用于在 CPU 和 PIA 之间传送数据。数据总线输出驱动器是三态器件。除 CPU 进行读 PIA 操作时间外，其余时间均保持为高阻抗（断开）状态。
ENABLE	允许线	是 CPU 发给 PIA 的唯一定时脉冲信号，其他信号的定时均以 ENABLE 脉冲的前后沿作基准，读信号通常由 6800(6502)的 PHI2(OUT)引入。
R/WB	读/写线	此信号由 CPU 发出用来控制数据总线上数据的传送方向。当 PIA 选中，该线为低电平时，则打开输入缓冲器，数据由 ENABLE 信号从 CPU 传送到 PIA；若该线为高电平，则打开 PIA 的输出缓冲器，数据由 ENABLE 信号从 PIA 传送到 CPU 的数据总线上。
RESETB	复位线	该信号线低电平有效，将 PIA 所有寄存器复位。可用于清零。
CS0、CS1、CS2B	片选线	这三条线用来选择不同的 PIA。要选中某个 PIA，必须使 CS0、CS1 保持高电平，使 CS2B 保持低电平，这样 PIA 才能在 ENABLE 和 R/WB 的控制下进行数据传输。在 ENABLE 信号工作期间，这些信号必须保持稳定。
RS0、RS1	寄存器选择线	用来选择 PIA 的内部寄存器。与内部控制寄存器配合就可选择存有读入或写出信息的寄存器。在读或写周期内，RS 线和 CS 线上的信号必须在 ENABLE 信号期间保持稳定。
PA0~PA7	A 口外设数据线	每条外设数据线都可由程序编定为输入或输出，这由与外设数据线相对应的数据方向寄存器的各位置 1（输出）或置 0（输入）来决定的。

引脚	名称	说明
PB0~PB7	B 口外设数据线	和 PA0~PA7 有相同的功能，但这些数据线有三态功能，在用作输入时，呈现高阻状态。
IRQAB、IRQBB	中断请求线	这是低电平有效的信号线，中断请求信号既可直接也可通过中断优先判别电路加到 IRQAB 或 IRQBB 线上，从而向 CPU 发出中断请求。每条中断请求线都有两个能使中断请求线降为低电平的内部中断标志位，每个标志位均与一个特定的外设中断线相连。在 PIA 中还有四个中断允许位，可用于禁止来自某外设的特定中断。由 CPU 执行的中断服务可通过软件子程序来完成，即按照优先级顺序地读出并检查每个 PIA 的两个控制寄存器中置位的中断标志位。 CPU 对相应的数据寄存器进行读操作后，将把中断标志清零。之后，直到该 PIA 不再被选中且 ENABLE 脉冲到来之前，中断标志位是不可能被置位的。
CA1、CB1	中断输入线	输入用，可以控制寄存器的中断标志位置位，至于这些输入信号的上跳变或下跳变有效可由程序对两个控制寄存器进行预设决定。
CA2	外设控制线	可由程序预置控制寄存器 A 确定中断输入或作外设控制输出。
CB2	外设控制线	可由程序预置控制寄存器 B 确定中断输入或作外设控制输出。但作输入时，具有高输入阻抗，输出时也有比 CA2 更强的驱动能力。

控制寄存器格式							
	7	6	5	4	3	2	1 0
A 口控制寄存器 CRA	A 口中断请求 1 IRQA ₁	A 口中断请求 2 IRQA ₂	CA ₂ 控制		A 口数据方向寄存器 DDRA 存取	CA ₁ 控制	
B 口控制寄存器 CRB	B 口中断请求 1 IRQB ₁	B 口中断请求 2 IRQB ₂	CB ₂ 控制		B 口数据方向寄存器 DDRB 存取	CB ₁ 控制	

中断输入 CA ₁ 和 CB ₁ 控制				
CRA ₁ (CRB ₁)	CRA ₀ (CRB ₀)	中断输入 CA ₁ (CB ₁)	中断标志 CRA ₇ (CRB ₇)	对 CPU 的中断请求 IRQAB(IRQBB)
0	0	负跳变有效	CA ₁ (CB ₁) 负跳变时置位	禁止中断请求, IRQB 保持高电平
0	1	负跳变有效	CA ₁ (CB ₁) 负跳变时置位	中断标志 CRA ₇ (CRB ₇) 上升为高电平时降为低电平
1	0	正跳变有效	CA ₁ (CB ₁) 正跳变时置位	禁止中断请求, IRQB 保持高电平
1	1	正跳变有效	CA ₁ (CB ₁) 正跳变时置位	中断标志 CRA ₇ (CRB ₇) 上升为高电平时降为低电平

注:

1. 负跳变是高电平至低电平的跳变, 正跳变是低电平至高电平的跳变。
2. 中断标志位 CRA₇(CRB₇)由 CPU “读数据寄存器 A(B)” 操作清零。
3. 若中断发生时, CRA₀(CRB₀)为 0 (中断被屏蔽) 而后升为高电平, 则在 CRA₀(CRB₀)写成 1 后, IRQAB(IRQBB)将有效。

CA ₂ 和 CB ₂ 作中断输入的控制					
CRA ₅ (CRB ₅)	CRA ₄ (CRB ₄)	CRA ₃ (CRB ₃)	中断输入 CA ₁ (CB ₁)	中断标志 CRA ₇ (CRB ₇)	对 CPU 的中断请求 IRQAB(IRQBB)
0	0	0	负跳变有效	CA ₂ (CB ₂) 负跳变时置位	禁止中断请求, IRQB 保持高电平
0	0	1	负跳变有效	CA ₂ (CB ₂) 负跳变时置位	中断标志 CRA ₆ (CRB ₆) 上升为高电平时降为低电平
0	1	0	正跳变有效	CA ₂ (CB ₂) 正跳变时置位	禁止中断请求, IRQB 保持高电平
0	1	1	正跳变有效	CA ₂ (CB ₂) 正跳变时置位	中断标志 CRA ₆ (CRB ₆) 上升为高电平时降为低电平

注:

1. 中断标志位 CRA₆(CRB₆)由 CPU “读数据寄存器 A(B)” 操作清零。
2. 若中断发生时, CRA₃(CRB₃)为 0 (中断被屏蔽) 而后升为高电平, 则在 CRA₃(CRB₃)写成 1 后, IRQAB(IRQBB)将有效。

CB ₂ 作输出的控制				
CRB ₅	CRB ₄	CRB ₃	CB ₂	
			清除	置位
1	0	0	在 CPU “写 B 口数据寄存器” 操作后的第一个 ENABLE 脉冲的正跳变处降为低电平	在中断标志位 CRB ₇ 被信号 CB ₁ 有效跳变置位后 CB ₂ 上升为高电平
1	0	1	在 CPU “写 B 口数据寄存器” 操作后的第一个 ENABLE 脉冲的正跳变处降为低电平	在该部分不被选中后的第一个 ENABLE 脉冲的正跳变处 CB ₂ 上升为高电平
1	1	0	在 CPU “写 B 口控制寄存器” 而使 CRB ₃ 进入低电平时 CB ₂ 降为低电平	只要 CRB ₃ 为低, CB ₂ 总为低。当 CPU “写 B 口控制寄存器” 而使 CRB ₃ 为高电平时 CB ₂ 升为高电平
1	1	1	只要 CRB ₃ 为高, CB ₂ 总为高。当 CPU “写 B 口控制寄存器” 而使 CRB ₃ 为低电平时 CB ₂ 降为低电平	在 CPU “写 B 口控制寄存器” 而使 CRB ₃ 进入高电平时 CB ₂ 升为高电平

CA ₂ 作输出的控制				
CRA ₅	CRA ₄	CRA ₃	CA ₂	
			清除	置位
1	0	0	在 CPU “读 A 口数据寄存器” 操作后的第一个 ENABLE 脉冲的负跳变处降为低电平	在中断标志位 CRA ₇ 被信号 CA ₁ 有效跳变置位后 CA ₂ 上升为高电平
1	0	1	在 CPU “读 A 口数据寄存器” 操作后的第一个 ENABLE 脉冲的负跳变处降为低电平	在该部分不被选中后的第一个 ENABLE 脉冲的负跳变处 CA ₂ 上升为高电平
1	1	0	在 CPU “写 A 口控制寄存器” 而使 CRA ₃ 进入低电平时 CA ₂ 降为低电平	只要 CRA ₃ 为低, CA ₂ 总为低。当 CPU “写 A 口控制寄存器” 而使 CRA ₃ 为高电平时 CA ₂ 升为高电平
1	1	1	只要 CRA ₃ 为高, CA ₂ 总为高。当 CPU “写 A 口控制寄存器” 而使 CRA ₃ 为低电平时 CA ₂ 降为低电平	在 CPU “写 A 口控制寄存器” 而使 CRA ₃ 进入高电平时 CA ₂ 升为高电平

资料主要来源

- 《接口与通信》，高传善、郭健民、陈章龙编著，复旦大学出版社
- 《6502 微处理器及其应用》，荣树熙，张开敬编，北京师范大学出版社。
- 《微型计算机常用芯片手册》，白英彩主编，上海科学技术出版社。